

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第4区分
 【発行日】平成22年2月25日(2010.2.25)

【公開番号】特開2008-186517(P2008-186517A)
 【公開日】平成20年8月14日(2008.8.14)
 【年通号数】公開・登録公報2008-032
 【出願番号】特願2007-19295(P2007-19295)
 【国際特許分類】

G 1 1 C 29/50 (2006.01)
 G 0 1 R 31/28 (2006.01)
 H 0 3 K 5/26 (2006.01)
 G 1 1 C 11/401 (2006.01)
 H 0 1 L 21/822 (2006.01)
 H 0 1 L 27/04 (2006.01)

【F I】

G 1 1 C 29/00 6 7 1 M
 G 0 1 R 31/28 V
 H 0 3 K 5/26 Z
 G 1 1 C 11/34 3 7 1 A
 H 0 1 L 27/04 T

【手続補正書】

【提出日】平成22年1月8日(2010.1.8)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

外部メモリとの間でDDR方式を用いて信号の送受信を行う半導体装置であって、
 位相シフト量を決定するDLL回路と、

前記DLL回路に接続され、テストモード時にテストモード信号に基づき前記決定した位相シフト量を所定位相ずらす演算回路と、

前記演算回路に接続され、前記所定位相ずれた前記位相シフト量を設定する第1～第4のレジスタと、

前記第1～第4のレジスタおよび前記外部メモリと信号の送受信を行う第1の端子および第2の端子に接続され、前記第1～4のレジスタに設定した前記位相シフト量に基づき位相をシフトして信号の送受信を行う伝送回路と、を備え、

前記伝送回路は、

前記第1のレジスタに接続され、前記第1の端子に出力する第1の信号を前記第1のレジスタに設定した前記位相シフト量に基づき位相シフトする第1の位相シフトと、

前記第1の位相シフトおよび前記第1の端子に接続され、前記外部メモリとの間で前記第1の信号と前記外部メモリからの第2の信号の入出力を行い、または前記テストモード時に前記第1の信号をループバックする第1の双方向バッファと、

前記第1の双方向バッファに接続され、前記第1の信号または前記第2の信号を前記第2のレジスタに設定した前記位相シフト量に基づき位相シフトする第2の位相シフトと、

前記第2の端子に出力する第3の信号を前記第3のレジスタに設定した前記位相シフト量に基づき位相シフトする第3の位相シフトと、

前記第3の位相シフトおよび前記第2の端子に接続され、前記外部メモリとの間で前記第3の信号と前記外部メモリからの第4の信号の入出力を行い、または前記テストモード時に前記第3の信号をループバックする第2の双方向バッファと、

前記第2の双方向バッファおよび第4のレジスタに接続され、前記第3の信号または前記第4の信号を前記第4のレジスタに設定した前記位相シフト量に基づき位相シフトする第4の位相シフトと、

前記第2、第4の位相シフトに接続され、前記第1または第2の信号を、それぞれ前記第3または第4の信号に応じて取り出すFIFOと、を備える半導体装置。

【請求項2】

前記半導体装置は、さらに前記FIFOの出力と期待値とを比較する判定回路を備えることを特徴とする請求項1記載の半導体装置。

【請求項3】

前記演算回路は、テストモード時にテストモード信号に応じて前記決定した位相シフト量を所定位相ずらす請求項2記載の半導体装置。

【請求項4】

外部メモリとの間でDDR方式を用いて信号の送受信を行う半導体装置であって、位相遅延量を決定するDLL回路と、前記DLL回路に接続され、前記決定した位相シフト量を所定位相ずらす演算回路と、前記演算回路に接続され、前記所定位相ずれた前記位相シフト量を設定する第5のレジスタと、

前記第5のレジスタに接続され、入力信号と、前記入力信号を前記第5のレジスタに設定した位相シフト量に基づき位相シフトした信号とを比較することにより前記入力信号のプリアンプル期間を検出するプリアンプル検出回路と、

前記プリアンプル検出回路の出力を期待値と比較する比較器と、を備える半導体装置。

【請求項5】

前記演算回路と前記プリアンプル検出回路とに接続され、前記所定位相ずれた前記位相シフト量を設定する第6のレジスタをさらに備え、

前記プリアンプル検出回路は、前記第6のレジスタに設定した位相シフト量に基づき位相シフトした入力信号と、前記入力信号を前記第5のレジスタに設定した位相シフト量に基づき位相シフトした信号とを比較することにより前記入力信号のプリアンプル期間を検出することを特徴とする請求項4記載の半導体装置。

【請求項6】

前記演算回路は、テストモード時にテストモード信号に基づき位相シフト量を所定位相ずらすことを特徴とする請求項4または請求項5記載の半導体装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正の内容】

【0009】

本発明の一実施形態における半導体装置は、位相シフト量を決定するDLL回路と、前記DLL回路に接続され、テストモード時にテストモード信号に基づき前記決定した位相シフト量を所定位相ずらす演算回路と、前記演算回路に接続され、前記所定位相ずれた前記位相シフト量を設定する第1～第4のレジスタと、前記第1～第4のレジスタおよび前記外部メモリと信号の送受信を行う第1の端子および第2の端子に接続され、前記第1～4のレジスタに設定した前記位相シフト量に基づき位相をシフトして信号の送受信を行う伝送回路とを備え、前記伝送回路は、前記第1のレジスタに接続され、前記第1の端子に出力する第1の信号を前記第1のレジスタに設定した前記位相シフト量に基づき位相シフトする第1の位相シフトと、前記第1の位相シフトおよび前記第1の端子に接続され、前記外部メモリとの間で前記第1の信号と前記外部メモリからの第2の信号の入出力を行い、また

は前記テストモード時に前記第 1 の信号をループバックする第 1 の双方向バッファと、前記第 1 の双方向バッファに接続され、前記第 1 の信号または前記第 2 の信号を前記第 2 のレジスタに設定した前記位相シフト量に基づき位相シフトする第 2 の位相シフタと、前記第 2 の端子に出力する第 3 の信号を前記第 3 のレジスタに設定した前記位相シフト量に基づき位相シフトする第 3 の位相シフタと、前記第 3 の位相シフタおよび前記第 2 の端子に接続され、前記外部メモリとの間で前記第 3 の信号と前記外部メモリからの第 4 の信号の入出力を行い、または前記テストモード時に前記第 3 の信号をループバックする第 2 の双方向バッファと、前記第 2 の双方向バッファおよび第 4 のレジスタに接続され、前記第 3 の信号または前記第 4 の信号を前記第 4 のレジスタに設定した前記位相シフト量に基づき位相シフトする第 4 の位相シフタと、前記第 2 , 第 4 の位相シフタに接続され、前記第 1 または第 2 の信号を、それぞれ前記第 3 または第 4 の信号に応じて取り出す FIFO とを備える。