

República Federativa do Brasil
Ministério do Desenvolvimento, Indústria
e do Comércio Exterior
Instituto Nacional da Propriedade Industrial.

(21) **PI 0711499-0 A2**

BRPI0711499A2

(22) Data de Depósito: 05/06/2007

(43) **Data da Publicação:** 20/12/2011
(RPI 2137)

(51) **Int.Cl.:**
H03M 13/27

(54) **Título:** EQUIPAMENTO ENTRELAÇADOR E RECEPTOR PARA UM SINAL GERADO PELO EQUIPAMENTO ENTRELAÇADOR

(30) **Prioridade Unionista:** 09/06/2006 DE 10 2006 026 895.4

(73) **Titular(es):** FRAUNHOFER - GESELLSCHAFT ZUR FORDERUNG DER ANGEWANDTEN FORSCHUNG E.V.

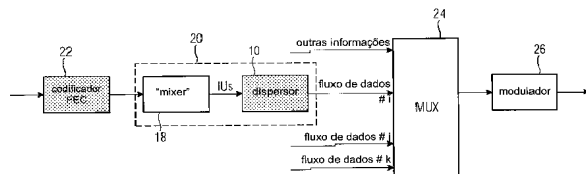
(72) **Inventor(es):** BREILING, MARCO, EBERLEIN, ERNST, HEUBERGER ALBERT, KEIP CEDRIC, STADALI HOLGER

(74) **Procurador(es):** Cruzeiro Newmarc Patentes e Marcas Ltda.

(86) **Pedido Internacional:** PCT EP2007004998 de 05/06/2007

(87) **Publicação Internacional:** WO 2007/140998de 13/12/2007

(57) **Resumo:** EQUIPAMENTO ENTRELAÇADOR E RECEPTOR PARA UM SINAL GERADO PELO EQUIPAMENTO ENTRELAÇADOR. Entrelaçador de convolução para o processamento de uma palavra de código obtida a partir de um bloco de entrada de símbolos usando uma codificação de adição de redundância (22), e tendo mais símbolos que o bloco de entrada, onde a palavra de código tem uma sequência de unidades de entrelaçamento, em que cada unidade de entrelaçamento tem pelo menos dois símbolos, inclui meios de entrelaçamento (10). O meio de entrelaçamento altera a sequência de unidades de entrelaçamento para obter uma palavra de código entrelaçada tendo uma sequência alterada de unidades de entrelaçamento. Em particular, a ordem dos símbolos dentro de uma unidade de entrelaçamento não é alterada pelos meios de entrelaçamento. Entretanto, a ordem das unidades de entrelaçamento na palavra de código entre si ou com referência a uma palavra de código anterior ou subsequente é alterada.



**"EQUIPAMENTO ENTRELAÇADOR E RECEPTOR PARA UM
SINAL GERADO PELO EQUIPAMENTO ENTRELAÇADOR"**

Descrição

A presente invenção se refere a uma tecnologia de
5 transmissão digital e particularmente a conceitos de transmissão
bem adaptados para canais de transmissão com variação de tempo
como pode ser encontrado em rádio e difusão móveis.

O entrelaçamento de tempo e/ou entrelaçamento de
frequência combinado com códigos de correção de erros (correção de
10 erro para frente, FEC) pertencem a um princípio básico na
tecnologia de transmissão, como mostrado na Fig. 6.

Uma palavra de informação que consiste de bits de
informações é aqui enviada a um codificador FEC estabelecendo uma
palavra de código a partir dessa palavra de informação, isto é, um
15 vetor de símbolos de códigos ou bits código. Essas palavras de
código e/ou blocos daí formadas são passadas para o entrelaçador.
Alteram a ordem dos símbolos e passa os símbolos assim mixados
para o canal de transmissão. A redistribuição dos símbolos pode
ocorrer no eixo dos tempos ("entrelaçamento no tempo") e/ou no
20 eixo das frequências ("entrelaçamento de frequência").

O uso de um entrelaçador faz sentido se o canal
de transmissão não for estático, isto é, se suas propriedades
mudarem com o tempo e/ou com a frequência. Assim, a potência de
sinal que chega ao receptor pode variar fortemente em um receptor
25 em movimento. Assim, alguns símbolos códigos são defeituosos com
maior probabilidade (ex., por ruído térmico superposto) do que
outros.

Dependendo do movimento do transmissor, o

receptor e/ou os objetos ao longo do caminho de transmissão e dependendo da natureza das vizinhanças do transmissor, receptor e do caminho de transmissão, as propriedades do canal podem variar mais ou menos rapidamente. Uma medida da constância temporal do canal de transmissão é o tempo de coerência: o canal não muda de forma significativa nesse tempo.

A probabilidade de um erro de transmissão é normalmente estimada a partir do estado do canal. O estado do canal descreve a qualidade do sinal de recepção (ex., a taxa momentânea da potência do sinal para o ruído). É o objetivo de um entrelaçador distribuir as informações em tempo (e também em geral em frequência) de maneira que, com as propriedades de canal com variação de tempo, a taxa de "bons" (pequena probabilidade de um erro de transmissão) para "maus" (alta probabilidade de um erro de transmissão) símbolos se torna aproximadamente constante no tempo em média atrás do de-entrelaçador, que reverte o entrelaçador no lado da transmissão. No caso de uma propriedade de canal de mudança rápida (ex., altas velocidades do veículo), normalmente é suficiente um entrelaçador relativamente curto. Com propriedades de canal de lenta variação com o tempo, deve ser escolhido um comprimento de entrelaçador correspondentemente maior.

A alteração nas propriedades do canal pode provir de vários efeitos.

- No caso de uma propagação multivias, a locação de fase relativa das proporções do sinal determina se as proporções do sinal se superpõem de forma construtiva ou destrutiva. Mesmo uma mudança de posição por uma fração de comprimento de onda do sinal portador, aqui leva a outras locações

de fase. As propriedades do canal podem se alterar de forma correspondentemente rápida. Isto é denominado de "*fast fading*".

- Entretanto, as propriedades do sinal também dependem muito das vizinhanças. Assim, ex., as paredes atenuam o sinal. De maneira correspondente, a qualidade do sinal dentro de uma casa são normalmente piores que no exterior. As mudanças nas propriedades do sinal correlacionadas com as vizinhanças se alteram lentamente quando comparadas com o *fast fading*. De forma correspondente, isto é denominado de "*slow fading*".

Normalmente, somente as propriedades do *fast fading* são consideradas no projeto do entrelaçador. Como os custos de memória são a cada vez menores, entretanto, os entrelaçadores crescentemente maiores estão agora se tornando mais interessantes. Nesse caso, as propriedades do *slow fading* devem ser consideradas em um crescente alcance no projeto do entrelaçador.

Pode ser mencionado o seguinte como exemplos de *slow fading*:

- Recepção móvel de sinais de satélite. Em uma carro em movimento, o cenário de recepção muda constantemente em correspondência às vizinhanças. Para cada cenário de recepção, podem ser definidos três estágios de recepção.

o Existe um link de linha de visão com o satélite (ex., estrada aberta). Isto é denominado de "*line-of-sight state*" (LOS)

o Os sinais são atenuados (ex., por árvores). Este estado é geralmente denominado de "*shadow state*".

o O sinal é tão fortemente atenuado que não é mais útil. Este estado é geralmente denominado de "*blockage*".

state".

- A transmissão em redes de celulares com transmissores de potência de transmissão relativamente baixa.

A cobertura de área de redes de celulares é obtida por muitos transmissores. Para esses tipos de redes, deve ser considerado o fato que as condições de recepção mudam com rapidez relativamente grande. Como a distância do transmissor é pequena, a distância relativa do receptor pode mudar rapidamente. Nesse caso, as propriedades do sinal em entrelaçadores longos podem ser muito alteradas já dentro do comprimento do entrelaçador.

No receptor, a troca de símbolos códigos (=entrelaçamento) realizada no transmissor é novamente revertida (=de-entrelaçamento). Isso leva ao fato que *burst errors* [erro que ocorre quando dois bits adjacentes são corrompidos por uma única perturbação] que ocorrem na transmissão são distribuídos como erros individuais em todo o bloco de dados atrás do de-entrelaçador e pode assim ser corrigido mais facilmente pelo decodificador FEC.

Os seguintes tipos de entrelaçador devem ser distintos:

- entrelaçador de convolução
- entrelaçador de blocos

Entrelaçadores de convolução tratam com "entrelaçadores interblocos", isto é, os blocos são "borrados" temporalmente de maneira que os blocos que estão em sucessão antes do entrelaçador são entrelaçados atrás do entrelaçador. Aqui, é formado um bloco de uma ou mais palavras de código. O comprimento

do entrelaçador não depende do tamanho do bloco, mas da largura do borrão.

Em um entrelaçador de convolução exemplar, um bloco de símbolos códigos FEC é dividido em, por ex., quatro
5 blocos parciais de tamanhos desiguais pelo entrelaçador e entrelaçados com os blocos a montante e/ou a jusante.

Os entrelaçadores de convolução são caracterizados pelo fato de

- a saída do codificador FEC é dividida em vários
10 fluxos parciais de dados por meio de um de-plexer. O princípio está ilustrado na Fig. 7. Aqui, o fluxo de dados é normalmente distribuído para os fluxos parciais de dados sob a forma de bits ou em grupos de bits ("símbolos"). Cada fluxo parcial de dados é então retardado por meio de linhas de retardo (ex., implementado
15 por meio de FIFOs).

- Para a sincronização do de-entrelaçador de convolução no receptor, somente o de-multiplexador deve ser sincronizado.

- O comprimento das linhas de retardo pode ser
20 regularmente escalonado. Qualquer dos arranjos pode ser escolhido, entretanto, de maneira que os símbolos sucessivos permaneçam o mais separados possível, sendo as propriedades do canal, portanto, não correlacionadas.

Os entrelaçadores de blocos lidam com
25 "entrelaçamento intrabloco", isto é, o processamento ocorre em forma de blocos, com um bloco consistindo de uma ou mais palavras de código. O tamanho do bloco define aqui o comprimento do entrelaçador. Aqui, são empregados com freqüência códigos FEC

sistemáticos; o bloco de dados contém aqui informações úteis (= as informações a transmitir) e redundância adicional, para poder corrigir erros de transmissão.

São conhecidos vários tipos de entrelaçadores de blocos.

- É o princípio básico de um entrelaçador de blocos que os elementos de um vetor de dados ou matriz sejam permutados, isto é, trocados.

- A variante do bloco sendo tomado como matriz é melhor conhecida. Aqui, uma fileira forma, por ex., uma palavra de código (ex., uma palavra de código Reed-Solomon). As informações são então copiadas para a matriz, fileira por fileira e lidas coluna por coluna no transmissor/entrelaçador. Como exemplo, o método do ETSI Standard EN301192, que é ilustrado na Fig. 8, deve ser aqui mencionado.

A Fig. 9 mostra a disposição de dados úteis ("dados de aplicação"). Ler e/ou transmitir ocorre então nos datagramas, com a Fig. 9 ainda mostrando uma disposição de matriz em fileiras, onde a matriz tem o número de fileiras igual a "no_of_rows". Além disso, como exemplo, existe um número de colunas que parte do número 0 ao número 190. Para preencher a matriz, são adicionados os denominados bytes de padding continuando (cont.) até os últimos bytes de padding após o último datagrama.

As propriedades do entrelaçador podem, entre outras coisas, ser caracterizadas pelos seguintes parâmetros:

- Retardo ponta a ponta:

Este parâmetro define o intervalo de tempo entre

o instante de tempo quando o símbolo está disponível na entrada do entrelaçador até o instante de tempo quando este símbolo está disponível na saída do de-entrelaçador.

- (Receptor) Tempo de acesso

5 O intervalo de tempo entre o instante de tempo quando o primeiro símbolo estiver disponível na entrada do de-entrelaçador e o instante de tempo quando a palavra de código estiver disponível e decodificável na entrada do decodificador FEC, o que significa na saída do de-entrelaçador. De acordo com a
 10 invenção, é somente necessário esperar até que uma parte suficientemente grande da palavra de código estiver disponível na saída do de-entrelaçador, e não o tempo total do retardo ponta a ponta, enquanto os pacotes recebidos tiverem uma razão suficiente sinal-para-ruído. Este parâmetro determina o tempo entre a mudança
 15 no receptor ou a mudança para outro programa e a disponibilidade do sinal (ex., sinal de áudio ou vídeo) para o usuário, por ex., no receptor de difusão. A decodificação de, por ex., um sinal de vídeo em algumas circunstâncias pode significar mais retardos, que, entretanto, não devem ir para o tempo de acesso. A esse
 20 respeito, deve ser notado que um decodificador de áudio ou de vídeo pode gerar mais retardos, também tendo um efeito sobre os serviços que não são entrelaçados no tempo.

- Exigência de memória

25 A exigência de memória é determinada pelo comprimento do entrelaçador e o tipo de entrelaçador, assim como da representação escolhida de sinais no transmissor ou no receptor.

Os conceitos do entrelaçador supramencionado se

caracterizam por bom *scrambling* (embaralhamento) tanto dentro de uma palavra de código ou bloco e além dos limites da palavra de código em consideração temporal. Como ilustrado na Fig. 7, é obtida uma alteração na ordem dos símbolos individuais em uma palavra de código enviada serialmente para o lado de entrada do de-multiplexador por meio de elementos de retardo no entrelaçador externo. Entretanto, com referência à transmissão desses dados, isto não tem que ser aqui um *scrambling* temporal, mas o *scrambling* de frequência também pode ser obtido em conjunto. O *scrambling* de frequência é obtido, por exemplo, se a saída do fluxo de dados do multiplexador no extremo do lado direito do entrelaçador externo estiver convertida de serial para paralelo e associada a um conjunto de, por ex., 1024 portadores em um símbolo OFDM, de maneira que sempre dois bits do fluxo de dados do lado de saída estejam associados ao portador em caso de ser usado o mapeamento QPSK, por exemplo, para que uma ocupação OFDM acomode 2048 bits na ordem como gerados pelo entrelaçador externo. Naturalmente, isto significa que bits e/ou símbolos FEC são dispostos em outros portadores da maneira que teriam sido dispostos se o entrelaçador externo não estivesse presente, devido aos elementos de retardo no entrelaçador externo.

Portanto, um entrelaçador de convolução ou um entrelaçador de entrelaçamento com retardos funciona tanto como entrelaçador de tempos ou como um entrelaçador de frequência, ou ambos, como entrelaçador de tempos e de frequência, dependendo da implementação subsequente.

É desvantajoso na estrutura do entrelaçador mostrada na Fig. 7 que existam grandes exigências de gastos e de

memória tanto no lado do transmissor como no lado do receptor. Essa desvantagem se torna cada vez mais grave, quanto maiores se tornam as palavras de código, isto é, quanto mais bits são enviados como um bloco para o codificador FEC, e quanto mais bits saem como um bloco do codificador FEC, como mostrado na Fig. 6, por exemplo. Os codificadores FEC sempre possuem taxas de códigos menores que 1. A taxa de códigos de $1/3$, por exemplo, significa que o número de bits em uma palavra de código saída do codificador FEC é três vezes o número de bits em um bloco de entrada ou na entrada da palavra de informação no codificador FEC, como ressaltado na Fig. 6. O entrelaçador agora deve desempenhar o melhor possível tanto em scrambling temporal como de frequência, de maneira que um controle de multiplexador, e/ou falando geralmente, um "processamento" próprio, é necessário para cada bit e/ou para cada byte (dependendo do esquema de codificação do FEC).

Isto induz diretamente também a necessidade de um correspondente controle de de-entrelaçador no lado do receptor. Além disso, devem ser geradas informações de qualidade, como um valor para uma taxa sinal/ruído obtida, para uma probabilidade de erro de bit ou uma probabilidade para o valor do bit e/ou byte, na decodificação de cada bit e/ou para cada símbolo, em que essas probabilidades são especialmente empregadas nos denominados decodificadores softs. Apesar de isso não ser ainda muito crítico em palavras de código relativamente pequenas, o problema aumenta, quanto maiores se tornam as palavras de código. Para transmissores com complexidade reduzida e, particularmente para receptores com complexidade reduzida, que são particularmente críticos em aplicações de difusão, como os receptores são produtos feitos em

massa e devem ser oferecidos os mais baratos possíveis, isto significa que realmente é desejável uma palavra de código de pequeno comprimento. Por outro lado, uma palavra de código de maior comprimento dá maiores vantagens com propriedades de canal
5 de lenta variação no tempo, já que uma palavra de código pode ser "distribuída" em um maior período de tempo e/ou uma maior faixa de frequências.

É o objetivo da presente invenção prover um conceito de transmissão eficiente e, portanto, melhor
10 administrável, que também proporcione, entretanto, bons resultados em canais com propriedades de variação lenta.

Este objetivo é obtido por meio de um equipamento entrelaçador de acordo com a reivindicação 1, um transmissor de acordo com a reivindicação 21, um método para o processamento de
15 uma palavra de código de acordo com a reivindicação 22, um receptor de acordo com a reivindicação 23, um método de recepção de acordo com a reivindicação 32, ou um programa de computador de acordo com a reivindicação 33.

A presente invenção se baseia no achado que uma
20 boa eficiência pode ser também mantida no caso do aumento das palavras de código, se o equipamento entrelaçador que proporciona a tarefa do entrelaçador de convolução não faz o entrelaçamento de acordo com o símbolo FEC, mas funciona com unidades de entrelaçamento (IU), onde uma unidade de entrelaçamento compreende
25 pelo menos dois símbolos FEC. Em determinados codificadores FEC, um símbolo FEC é um bit. Nesse caso, uma unidade de entrelaçamento compreende pelo menos dois bits. Em outros codificadores FEC, um símbolo FEC é um byte. Então, uma unidade de entrelaçamento inclui

pelo menos dois bytes. A palavra de código, que compreende uma seqüência de unidades de entrelaçamento, com cada unidade de entrelaçamento tendo associados pelo menos dois símbolos, é assim enviada ao meio de entrelaçamento para obter uma palavra de código entrelaçada com uma seqüência alterada de unidades de entrelaçamento. Em particular, o entrelaçamento é feito de maneira que uma ordem dos símbolos dentro de uma unidade de entrelaçamento não se altere, enquanto a seqüência das unidades de entrelaçamento é alterada para que pelo menos uma unidade de entrelaçamento de um procedimento ou de uma subsequente palavra de código seja disposta entre duas unidades de entrelaçamento da mesma única palavra de código, ou que uma ordem das unidades de entrelaçamento na palavra de código entrelaçada seja diferente de uma ordem da seqüência de unidades de entrelaçamento da palavra de código antes do processamento pelo meio de entrelaçamento.

O entrelaçamento assim obtido é escalável, já que o número de símbolos em uma unidade de entrelaçamento pode ser ajustado de maneira arbitrária. Em outras palavras, em um entrelaçador fixamente existente ou projetado fixamente, que funcione em unidades de entrelaçamento e não mais em símbolos, o comprimento da palavra de código pode ser aumentado ou reduzido de forma arbitrária. Para tanto, as estruturas do entrelaçador não devem ser mudadas. Somente o número de símbolos em uma unidade de entrelaçamento deve ser mudado. Com um número fixo de taps de entrelaçador, pode ser processada uma maior palavra de código se o número de símbolos em uma unidade de entrelaçamento for aumentado, enquanto o número de símbolos em uma unidade de entrelaçamento pode ser reduzido quando menores palavras de código forem

processadas. Quanto maior o número de símbolos em uma unidade de entrelaçamento, mais eficiente se torna o processamento no lado do receptor como também do transmissor. Por outro lado, com um crescente número de símbolos em uma unidade de entrelaçamento, o efeito favorável do entrelaçamento de convolução pode persistir. Entretanto, este efeito pode ser enfraquecido se, a montante do entrelaçador de convolução, esteja conectado um entrelaçador de blocos que não funcione como uma unidade de entrelaçamento, mas na realidade formando um entrelaçamento de blocos de acordo com o símbolo FEC antes de formar as unidades de entrelaçamento. Nesta configuração preferida da presente invenção, são combinados um entrelaçador de blocos e um entrelaçador de convolução, onde o entrelaçador de blocos funciona em símbolos em todo o bloco, entretanto enquanto o entrelaçador de convolução somente funciona na forma de unidade de entrelaçamento e não na forma de símbolos.

Em outras configurações, o entrelaçador de blocos efetivo pode mesmo ser substituído por códigos FEC especiais, que já obtêm uma distribuição particularmente boa das informações em toda a palavra de código, como, por ex., os codificadores FEC com comprimento muito grande de registrador de deslocamento (ex., mais que 25 células de memória) do registrador de deslocamento com feedback linear (LFSR).

De acordo com a invenção, todo o receptor pode agora ser mudado para o processamento na forma de unidade de entrelaçamento. Assim, as informações brandas, isto é, informações auxiliares, associadas a uma unidade de entrelaçamento recebida, não deve mais ser determinada em forma de símbolos, mas somente em forma de unidades de entrelaçamento. Se uma unidade de

entrelaçamento tiver oito símbolos, por exemplo, isto significa uma redução de 8 vezes no custo do receptor.

Além disso, a administração de memórias pode ser simplificada de forma significativa, não somente no lado do transmissor, como também no lado do receptor, já que as memórias podem ser lidas e impressas de forma substancialmente mais rápida do que em bursts, onde um burst é especialmente eficiente quando se refere a endereços adjacentes de memória. Como a ordem dentro de uma unidade de entrelaçamento não é alterada, uma unidade de entrelaçamento pode, portanto, ser impressa de forma especialmente eficiente por uma memória de receptor na forma de bursts para realizar a funcionalidade do entrelaçamento. As unidades de entrelaçamento individuais são realmente dispostas em diferentes endereços de memória, que podem bem ser distribuídos separados dentro da memória. Entretanto, os símbolos dentro de uma unidade de entrelaçamento, são contíguos e podem assim ser registrados de maneira contígua na memória do receptor, já que o entrelaçador de convolução no lado do transmissor não toca na ordem dos símbolos dentro de uma unidade de entrelaçamento.

Demais vantagens da presente invenção são que, o custo de administração e o custo de memória das informações auxiliares são bastante reduzidos no lado do receptor, já que as informações auxiliares somente devem ser geradas, administradas e empregadas para uma unidade de entrelaçamento e não mais para cada símbolo individual. Além disso, nas unidades de entrelaçamento, também pode ser determinado se o decodificador, no caso de uma relativa boa qualidade de transmissão, tem dados suficientes para realizar uma decodificação com poucos erros ou isenta de erros já

após um certo tempo e/ou após um certo número de unidades de entrelaçamento recebidas. Então, outras unidades de entrelaçamento podem ser facilmente ignoradas e marcadas como as denominadas "rasuras" no receptor. Isto leva a uma redução significativa no
5 retardo ponta a ponta.

Também, pode ser feita em conjunto uma eficiente administração de energia, já que o receptor ou a parte relevante do receptor pode ser colocado em modo *sleep*, já que foram recebidas suficientes unidades de entrelaçamento para uma correta
10 decodificação.

Além disso, também pode ser obtido melhor tempo de acesso ao receptor, já que o receptor já está pronto quando tiver suficientes unidades de entrelaçamento, e inicia a decodificação, e não precisa decodificar uma palavra de código
15 completa para estar pronto.

De preferência, blocos de entrada, isto é, são empregadas palavras de informações com comprimentos superiores a 5000 símbolos, e de preferência com mais de 10000 símbolos. Com uma taxa de codificação de $1/3$, por exemplo, o codificador FEC
20 provê então palavras de código com mais de 15000 símbolos. Em geral, é empregado o tamanho da palavra de código na saída do codificador FEC com mais de 10000 bits. As unidades de entrelaçamento preferidas então não somente têm pelo menos dois bits/símbolos, mas pelo menos 100 símbolos, de maneira que o
25 número de unidades de entrelaçamento por palavra de código seja menor que 200 e, idealmente se situe entre 10 a 50.

As configurações preferidas da presente invenção serão explicadas em maiores detalhes a seguir com relação aos

desenhos de acompanhamento, onde:

A Fig. 1 é uma ilustração de princípios do conceito do entrelaçador de acordo com a invenção;

5 A Fig. 2 mostra uma configuração preferida de um transmissor de acordo com a invenção;

A Fig. 3 mostra uma configuração preferida de um receptor de acordo com a invenção;

A Fig. 4 é uma ilustração funcional da estrutura do receptor da Fig. 3;

10 A Fig. 5 mostra uma configuração preferida de uma rotina de processamento do processador para aumentar a eficiência do receptor;

A Fig. 6 é uma ilustração de princípios de uma combinação de um codificador FEC e um entrelaçador;

15 A Fig. 7 mostra um entrelaçador de convolução da DVB-T EN 300744;

A Fig. 8 mostra uma estrutura de entrelaçador de blocos de acordo com a EN 301192;

20 A Fig. 9 mostra uma disposição dos dados úteis "dados de aplicação", onde a impressão e/ou a transferência ocorre em datagramas;

A Fig. 10 mostra uma configuração preferida do equipamento entrelaçador de acordo com a invenção com três grupos de linhas de conexão com diferentes retardos;

25 A Fig. 11 mostra um perfil de entrelaçador igual;

A Fig. 12 mostra um perfil de entrelaçador igual/posterior adaptado a um canal de transmissão com boas condições de recepção e admitindo um curto acesso de tempo (acesso

rápido).

Antes de explicar as figuras individuais em detalhes, serão primeiramente ilustradas as vantagens especiais do equipamento entrelaçador preferido, como descrito com base na Fig.

5 1. Particularmente no caso de longos entrelaçadores de convolução, a presente invenção permite uma realização eficiente, que obtêm suas vantagens particulares não somente por si mesmos, como também em combinação com estratégias especiais de decodificador.

10 O objetivo da invenção é uma estrutura de entrelaçador que permita uma realização eficiente, particularmente em entrelaçadores de tempos muito longos. A estrutura é vantajosa em conexão com as estratégias do decodificador.

As estratégias do decodificador podem ser subdivididas nos seguintes grupos

15 - Sem informações de estado de canal

Os erros devem ser reconhecidos e corrigidos sem informações adicionais

- Decodificação soft

20 A probabilidade de um erro de transmissão pode ser estimada para cada bit ou símbolo.

- Decodificação "erasure"

É sabido que nenhum símbolo foi recebido. Esta forma pode ser vista como um caso especial de decodificação soft. Para um bit ou byte que não foi recebido (ou um bit ou byte com taxa extremamente baixa de sinal/ruído), em que ocorra
25 "suposição", isto é, a probabilidade de um bit ser um "0" ou um "1" é estabelecida como 50% cada.

A estrutura escolhida oferece particularmente

vantagens para uma decodificação soft e decodificação "erasure". A estrutura escolhida tem as seguintes vantagens:

- As informações de estado de canal necessárias para uma decodificação "erasure" ou decodificação soft são formadas para um bloco (unidade de entrelaçador = IU) cada e armazenadas em conjunto com a IU.

- As informações de estado de canal também podem ser usadas para reduzir as exigências de memória. Assim, é possível que, por ex., somente os dados com suficiente qualidade de sinal sejam armazenados.

- Como as IUs de vários bits (tipicamente pelo menos 100 ou mais) são administradas como um bloco no receptor, é possível empregar, por ex., modernos chips de memória, que normalmente suportam um acesso a um bloco de dados de maneira mais eficiente que um acesso seletivo a células individuais de memória.

- A estrutura também permite melhor administração da memória no caso de uma alteração de programa ou na troca do receptor operante. Assim, para evitar os dados do antigo (= anteriormente selecionado) programa e para que o novo programa seja misturado, a memória deve ser deletada no caso de uma alteração de programa (ou é esperado até que a memória seja preenchida com novos dados). Com a nova estrutura proposta, é suficiente se somente as informações de estado de canal forem estabelecidas em "erasure".

A presente invenção descreve uma estrutura de entrelaçador e estratégias de acompanhamento do decodificador, que sejam particularmente relevantes para sistemas com longos entrelaçadores de tempos.

Em conexão com códigos de correção de erros de baixa classificação, o entrelaçador permite a transmissão segura também no caso de canais com forte variação no tempo, como é típico, por ex., em transmissões por satélite ou também em redes terrestres de celulares. Com parâmetros adequados e estratégias do decodificador, muitas das desvantagens típicas dos entrelaçadores também são reduzidas, por ex., o maior tempo de acesso e o maior requisito de memória.

Por um lado, isto é feito pelo maior processamento de dados como pequenos pacotes de dados (IU). Isto (como já mencionado antes) permite uma administração mais eficiente dos dados. Assim, para obter um total ganho de entrelaçador, entretanto, é vantajoso para que os dados sejam entrelaçados sob a forma de bits. Isto é feito por meio de um denominado "mixer".

Por meio da concatenação dos dois entrelaçadores, as vantagens do entrelaçamento sob a forma de bits são assim combinadas com uma implementação mais eficiente do processamento orientado por pacotes de dados.

A Fig. 1 mostra um equipamento entrelaçador de acordo com a invenção para o processamento de várias palavras de código CW1, CW2, CW3, que são dispostas em seqüência no tempo e formam um fluxo de dados de saída a partir de um codificador FEC, como é mostrado na Fig. 6, por exemplo. De maneira alternativa, as palavras de código também podem já ser palavras de código enviadas de um entrelaçador de blocos ou "mixer", como será explicado com referência à Fig. 2. Cada palavra de código é dividida em um número de unidades de entrelaçamento IU, com cada unidade de

entrelaçamento tendo dois índices, isto é, o índice i e o índice j , somente com objetivos de notação. O índice i indica o número seqüencial da palavra de código na seqüência da palavra de código, enquanto o índice j indica o número seqüencial da unidade de entrelaçamento na própria palavra de código i . De maneira importante, cada unidade de entrelaçamento inclui vários símbolos, isto é, vários bits ou bytes, dependendo do codificador FEC, em que o número de bits ou bytes, isto é, falando em geral, o número de símbolos em uma unidade de entrelaçamento, é preferivelmente maior que 50 e menor que 400.

Além disso, o número de símbolos em uma unidade de entrelaçamento é dependente do comprimento da palavra de código, de maneira que é preferível que cada palavra de código tenha, de preferência, pelo menos 50 ou até mais unidades de entrelaçamento. Somente por motivos de clareza, as palavras de código são mostradas com somente quatro unidades de entrelaçamento na configuração mostrada na Fig. 1.

A palavra de código é obtida a partir de um bloco de entrada de símbolos em um codificador FEC usando codificação de adição de redundância, em que a palavra de código compreende mais símbolos que o bloco de entrada, que é um sinônimo da declaração de que a taxa de códigos do codificador de adição de redundância é menor que 1. A palavra de código compreende uma seqüência de unidades de entrelaçamento, com cada unidade de entrelaçamento compreendendo pelo menos dois símbolos.

O equipamento entrelaçador inclui, como seu coração, um meio de entrelaçamento formado para alterar a seqüência das unidades de entrelaçamento em uma palavra de código

de maneira a obter uma palavra de código entrelaçada compreendendo uma seqüência alterada de unidades de entrelaçamento. Em particular, a unidade de entrelaçamento 10 é formada não para mudar uma ordem dos símbolos dentro de uma unidade de entrelaçamento, e para mudar a seqüência das unidades de entrelaçamento de maneira que pelo menos uma unidade de entrelaçamento de uma palavra de código precedente ou subsequente seja disposta entre duas unidades de entrelaçamento da palavra de código, e/ou que uma ordem de unidades de entrelaçamento na palavra de código entrelaçada seja diferente de uma ordem da seqüência de unidades de entrelaçamento. De preferência, o meio de entrelaçamento é formado de maneira a ter um de-multiplexador de entrada 11, uma pluralidade de linhas de conexão 12 e um multiplexador de saída 13. Após abastecer um número de unidades completas de entrelaçamento em uma linha de conexão, o multiplexador de entrada é formado para mudar para outra linha de conexão, em que o número de unidades de entrelaçamento completas seja igual ou maior que 1.

Além disso, na configuração mostrada na Fig. 1, a primeira linha de conexão 12a tem um valor de retardo de substancialmente zero. Assim, é disposto em seu próprio elemento de retardo sob a forma de uma memória FIFO ou de uma linha de retardo especial. Por outro lado, a segunda linha de conexão 12b tem um retardo definido D, em que a próxima linha de conexão 12c tem outro retardo definido, que é formado pelos dois meios de retardo D e difere do retardo no bloco 12b. O retardo na linha de conexão 12c somente como exemplo, é de duas vezes o da linha de retardo 12b. Podem ser ajustadas taxas arbitrárias de retardo, mas

com um raster inteiro sendo preferido pelo menos entre um determinado número de linhas de conexão de uma pluralidade de linhas de conexão, como será detalhada na conexão com a Fig. 10, em que na configuração mostrada na Fig. 10 compreende uma pluralidade de linhas de conexão compreendendo pelo menos duas, e na configuração mostrada na Fig. 10 até três grupos de linhas de conexão entre si, que são caracterizadas por valores especiais de retardo comuns.

A Fig. 2 mostra uma configuração preferida de um transmissor, em que a integração do equipamento entrelaçador da Fig. 1 em um conceito de transmissor também resulta da Fig. 2. O equipamento transmissor mostrado na Fig. 2 inclui o equipamento entrelaçador de acordo com a presente invenção, que é indicado por 20 na Fig. 2, assim como um codificador FEC 22 a montante, assim como um multiplexador 24 a jusante e um modulador 26 a jusante do multiplexador. O equipamento entrelaçador 20 também inclui a unidade de entrelaçamento 10 mostrada na Fig. 1, na configuração preferida mostrada na Fig. 2. Esta unidade de entrelaçamento 10 é denominada de "dispersora" na Fig. 2, mas principalmente tem a mesma funcionalidade da unidade de entrelaçamento 10 na Fig. 1. A montante do dispersor 10, existe um "mixer" 18, que também está contido em uma configuração preferida do equipamento entrelaçador 20 de acordo com a invenção, para realizar, antes do processamento na forma de unidade de entrelaçamento no dispersor, uma função de entrelaçamento de bloco, onde é feito o entrelaçamento na forma de símbolo, como mudança da ordem dos símbolos na saída da palavra de código do codificador FEC 22.

A estrutura do receptor complementar a este está

mostrada na Fig. 3. O sinal de entrada é enviado a um demodulador 30 que abastece um de-multiplexador 32 capaz de extrair outras informações e diversos fluxos de dados do sinal de entrada. Somente como exemplo, o processamento do fluxo de dados é representado pelo número i , em que este fluxo de dados é o fluxo de dados que foi gerado no exemplo mostrado na Fig. 2. O processamento no lado do transmissor e no lado do receptor para outros fluxos de dados k , j , que são outros programas de difusão ou de televisão ou outras conversações, por exemplo, podem ocorrer no lado do transmissor e do receptor, como o processamento do fluxo de dados i . O fluxo de dados i , que foi extraído pelo multiplexador 32, é enviado a um de-dispersor 34, que abastece unidades de entrelaçamento (IUs) ao "de-mixer" 36, que então restaura as palavras individuais de código, que podem então ser enviadas a um decodificador FEC 38, para novamente criarem, se a transmissão tiver sido suficiente e/ou se tiver sido adicionada suficiente redundância, uma reprodução do bloco de entrada de símbolos idênticos - fora dos erros de bit - ao bloco de entrada dos símbolos que foram enviados ao codificador FEC 22 da Fig. 2 no lado do transmissor.

O codificador FEC 22 serve para a adição de redundância ao sinal de entrada. Para essa finalidade, por ex., são adequados os poderosos códigos, como os códigos turbo, como são conhecidos, por ex., no padrão 3GPP2, ou os códigos LDPC, por exemplo, como são conhecidos no padrão DVB-S2. Entretanto, também podem ser usados outros códigos. A saída do codificador FEC 22 é uma palavra de código. O uso de palavras de código relativamente longas, que são tipicamente maiores que 10000 bits, é vantajoso

para esta qualidade de transmissão.

O "mixer" 20 é um tipo de entrelaçador de blocos que muda a ordem dos bits dentro da palavra de código em forma de símbolos, isto é, em forma de bits ou de bytes. Aqui, ocorre a multiplexação em unidades de entrelaçamento. A saída do "mixer" é subdividida em unidades de entrelaçamento (IUs). Uma unidade de entrelaçador é um grupo de bits ou bytes, ou geralmente um grupo de símbolos. Tipicamente, a palavra de código deve ser subdividida em cerca de 20 unidades de entrelaçador ou mais. Com um tamanho de palavra de código maior que 10000 bits, resultam 200 ou mais bits por unidade de entrelaçamento.

O dispersor 10 representa um tipo de entrelaçador de convolução que serve para distribuir as unidades de entrelaçador no tempo. Em contraste com os entrelaçadores de convolução normais, a mudança não ocorre em forma de bits ou de símbolos, mas em forma de unidades de entrelaçamento.

A saída do dispersor 10 pode então ser multiplexada com outros dados, como mostrado na Fig. 2, isto é, outras informações, outros programas ou grupos de programas.

O modulador 26 gera daí então um sinal RF. Podem ser usados diferentes moduladores. Aqui, somente são mencionados como exemplos o OFDM ou uma modulação portadora com modulação n-PSK.

O receptor mostrado na Fig. 3, inclui o demodulador 30, que compreende um meio de sincronização de acompanhamento. Além disso, pode ser feita a sincronização de quadros se o demodulador não usar qualquer estrutura de frames ou usar outro comprimento de frame. Esta sincronização de quadros

serve para a sincronização do de-multiplexador e do de-entrelaçador.

O de-multiplexador 32 provê um fluxo de dados com uma série de unidades de entrelaçamento em sua saída. Além disso, é também feita uma estimativa de estado de canal, como será explicado com referência à Fig. 4. Aqui, o estado de canal é estimado não sob a forma de símbolos, mas sob a forma de unidades de entrelaçamento ou - falando geralmente - sendo provida uma peça de informações de qualidade de recepção por unidade de entrelaçamento, provendo de certa forma uma declaração referente à confiabilidade ou à qualidade de recepção de uma unidade de entrelaçamento como um todo. Estados de canais, taxas de sinal-ruído, taxas de erro de bits, etc., são essas informações de qualidade de recepção. Não são determinadas ou usadas informações de qualidade de recepção por símbolo.

O fluxo de dados é fornecido ao de-dispersor, que ainda será explicado, e que é implementado por meio, por exemplo, de administração de memória. Na saída do de-dispersor, é feita uma multiplexação para novamente gerar, a partir das unidades de entrelaçamento na saída do de-dispersor, palavras de código então submetidas a de-entrelaçamento de blocos em um "de-mixer" 36, para então finalmente fazer a decodificação no decodificador FEC 38, por exemplo, decodificação Viterbi ou qualquer outro tipo de decodificação. Falando geralmente, o de-dispersor 34 realiza uma operação complementar a funcionalidade do dispersor 10, e o "de-mixer" 36 realiza uma operação complementar à operação do "mixer" 18. Os elementos do lado do receptor 34 e 36, entretanto, nem sempre têm que processar todas as palavras de código, mas também

substituem determinadas unidades de entrelaçamento por "erasures", como será ainda explicado subsequenteemente, de maneira que as operações do de-entrelaçador dos elementos 34 e 36 sejam então feitas usando informações "erasure", e não usando realmente

5 unidades de entrelaçamento recebidas.

Subsequenteemente, o "mixer" 18 será explicado em maiores detalhes.

O "mixer" é um entrelaçador de blocos que permuta os bits dentro de um menor bloco, por ex., da palavra de código.

10 Em um esquema de entrelaçador com um dispersor, o "de-mixer" serve para distribuir os erros burst que ocorrem inevitavelmente atrás do de-dispersor devido a um de-entrelaçamento na forma de IU o mais favoravelmente possível em um bloco, por ex., uniformemente em uma palavra de código, de maneira

15 que o processo de decodificação proporcione melhores resultados.

Em uma configuração, o entrelaçamento dos bits de entrada $a[i]$ com os bits de saída $b[i]$ ocorre correspondendo à seguinte fórmula:

$$b[i] = a[(CILM_Inc * i) \bmod \text{codewordLen}],$$

20 onde

codewordLen é o comprimento da palavra de código,

CILM_Inc é um parâmetro configurável, e

mod é a operação modulo.

Subsequenteemente, será explicado o dispersor 10

25 da Fig. 2, como geralmente ilustrado na Fig. 1.

O real entrelaçador de tempos (possivelmente também empregado como entrelaçador de freqüência) é o dispersor. Distribui a saída dos blocos (ex., palavras de código) pelo

"mixer" no tempo (e/ou na frequência). O dispersor é um entrelaçador de convolução que não opera na forma de bits, mas na forma de blocos. Devido ao funcionamento em blocos, o uso de um "mixer" faz sentido (ver acima).

5 As vantagens do entrelaçamento em bloco devem ser vistas, entre outras coisas, no receptor:

- O de-entrelaçamento normalmente ocorre armazenando os dados de entrada em uma armazenagem intermediária e subseqüentemente lendo na ordem de-entrelaçada. O armazenamento e
10 a leitura em forma de blocos permite o controle eficiente da memória. Uma memória de acesso randômico dinâmico (RAM) pode, apesar de tudo, ser escrita e lida bem mais rapidamente sob a forma de bursts que quando é feito o acesso de bytes individuais de maneira não contígua. Assim, no caso de um entrelaçamento em
15 blocos, (a) pode ser provida uma a memória mais lenta/mais barata que no caso de um entrelaçamento na forma de bits, ou (b) a memória pode ser compartilhada de melhor maneira com outros usuários (arbitramento de uma memória compartilhada), de maneira a que sejam necessários menos pacotes de memórias. Em ambos os
20 casos, podem ser feitas reduções de custos.

- A administração dos dados de recepção no de-entrelaçador ocorre de maneira mais eficiente: informações de estado de canal (ex., a estimativa da taxa sinal-ruído) somente deve ser armazenada por IU, em vez de ser por cada símbolo/bit; é
25 economizado, assim, espaço de memória. Além disso, o armazenamento na forma de IU permite que a administração do entrelaçador delete IUs individuais quando não forem necessárias, ex., quando suficientes IUs "boas" (pouco perturbadas) tiverem sido recebidas

da palavra de código, as "más" IUs não mais deverão ser guardadas, e as já recebidas podem ser facilmente liberadas por meio de inteligente administração do entrelaçador. A inteligente administração do entrelaçador aqui significa que uma unidade de controle de entrelaçador guarda as informações auxiliares em cada IU armazenada em uma tabela, para otimizar o resultado do decodificador e a memória necessária. A unidade de controle do entrelaçador sempre pode determinar quais IUs são necessárias para os demais processos de decodificação, e quais não são. Para a decodificação, as IUs não guardadas devem ser substituídas por "erasures". O "de-mixer", portanto, obtém um número de "erasures" para essas IUs a partir do de-dispersor.

A Fig. 10 mostra a estrutura de princípio do entrelaçador de convolução no dispersor em uma configuração. O entrelaçador mostrado tem linhas de retardo irregulares.

O dispersor inclui linhas de retardo paralelo noIlvTaps, onde noIlvTaps corresponde ao tamanho do bloco na saída do "mixer" dividido pelo tamanho de uma IU (IU_Len a seguir). As linhas são enviadas uma após a outra por um de-multiplexador (DEMUX). A entrada deste de-multiplexador é um fluxo de bits código ou símbolos da saída do "mixer". O DEMUX abastece cada linha de retardo com exatamente uma unidade de entrelaçador (IU), que corresponde a bits código IU_Len ou símbolos da saída do "mixer". Então, o DEMUX muda para a próxima linha, e assim por diante. No início de um bloco processado pelo "mixer" (ex., a palavra de código) o DEMUX sempre muda para a próxima linha (índice 0). O final de um bloco é alcançado quando o DEMUX tiver enviado uma IU para a última linha (índice noIlvTaps-1).

O entrelaçador mostrado pode ser configurado por meio de sete parâmetros de noIlv-Taps, middleStart, lateStart, tapDiffMult, earlyTapDiff, middleTapDiff, lateTapDiff.

Cada linha inclui elementos de retardo. Existem
5 três elementos possíveis, como pode ser visto na Fig. 10:

- Retardo "E" inclui $\text{tapDiffMult} * \text{earlyTapDiff}$ IUs (isto é, $\text{tapDiffMult} * \text{earlyTapDiff} * \text{IU_Len}$ bits/symbols)

- Retardo "M" inclui $\text{tapDiffMult} * \text{middleTapDiff}$ IUs

10 - Retardo "L" inclui $\text{tapDiffMult} * \text{lateTapDiff}$ IUs

Na saída das linhas, a multiplexador (MUX) coleta as saídas dos elementos de retardo. Sua comutação das linhas é perfeitamente sincronizada com o DEMUX.

15 A saída do MUX assim, é um fluxo de IUs dos blocos entrelaçados ou das palavras de código.

As IUs na primeira linha (índice 0) são sempre sem retardo. Todas as outras IUs com índice $0 < i < \text{noIlvTaps}$ do bloco/palavra de código são retardadas como a seguir com relação à
20 primeira IU (ver também a Fig. 10):

o para $0 \leq i < \text{middleStart}$: o retardo nos blocos/palavras de código é $i * \text{tapDiffMult} * \text{earlyTapDiff}$

o para $\text{middleStart} \leq i < \text{lateStart}$: o retardo nos blocos/palavras de código é $(\text{middleStart}-1) * \text{tapDiffMult} * \text{earlyTapDiff} + (i - \text{middleStart}+1) * \text{tapDiffMult} * \text{middleTapDiff}$
25

o para $\text{lateStart} \leq i < \text{noIlvTaps}$: o retardo nos blocos/palavras de código é $(\text{middleStart}-1) * \text{tapDiffMult} * \text{earlyTapDiff} + (\text{lateStart} - \text{middleStart}) * \text{tapDiffMult} *$

$\text{middleTapDiff} + (i - \text{lateStart} + 1) * \text{tapDiffMult} * \text{lateTapDiff}$

Por essa razão, as primeiras middleStart IUs ("parte inicial") do bloco/palavra de código são distribuídas de maneira diferente no tempo que as médias ($\text{lateStart} - \text{middleStart}$) IUs ("middle part") e as últimas ($\text{noIlvTaps} - \text{lateStart}$) IUs são novamente distribuídas de maneira diferente:

- a distância entre as IUs da parte inicial, que pertenceram ao mesmo bloco/palavra de código antes do entrelaçamento, é então $\text{tapDiffMult} * \text{earlyTapDiff}$,

- a distância entre as IUs da parte média é $\text{tapDiffMult} * \text{middleTapDiff}$ blocos/palavras de código

- a distância entre as IUs da última parte é $\text{tapDiffMult} * \text{lateTapDiff}$ blocos/palavras de código,

Configurando os 7 parâmetros entrelaçadores, é possível selecionar o perfil do entrelaçador adequado, isto é, uma distribuição favorável do conteúdo de um bloco/palavra de código no tempo (e/ou na frequência). Por exemplo, muitas IUs podem ser transmitidas com curto retardo na última parte, caso seja desejável, ou as IUs podem ser distribuídas de maneira uniforme em um dado período de tempo, ou podem ser ambas combinadas, etc.

A Fig. 10 mostra uma configuração preferida do equipamento entrelaçador anteriormente descrito, que é também denominado de dispersor. Em particular, o equipamento entrelaçador ou meio de entrelaçamento do equipamento entrelaçador mostrado na Fig. 10 inclui o multiplexador de entrada 11, que é formado como de-multiplexador e denominado de DEMUX na Fig. 10. Além disso, existe o multiplexador de saída 12, que é denominado de MUX na Fig. 10. Entre os dois multiplexadores 11 e 12, existe uma

pluralidade de linhas de conexão, que são subdivididas em três grupos na configuração mostrada na Fig. 10, como já descrito. O primeiro grupo é a parte prévia 12d. A segunda parte é a parte do meio 12e, e a terceira parte é a última parte 12f.

5 Cada linha de retardo e/ou linha de conexão com retardo, exceto a real primeira linha de conexão 12a, tem uma determinada unidade de retardo, em que as unidades de retardo podem, entretanto, ser configuradas de maneira diferente nos três grupos, isto é, por meio do parâmetro `earlyTapDiff` para o grupo
10 12d, por meio do parâmetro `middleTapDiff` para o grupo 12e e pelo parâmetro `lateTapDiff` para o grupo 12f.

A Fig. 10 ainda mostra que o retardo aumenta com um incremento (E, M ou L) da linha de conexão (Tap) para a linha de conexão, de maneira que, por ex., a linha de conexão Tap
15 `middleStart-1` tem um número de Tap `middleStart-1` elementos de retardo E. Além disso, cada linha de conexão do segundo grupo 12e tem o mesmo número de unidades de retardo E que a última linha de conexão do primeiro grupo, assim como, além disso um número de M-retardos aumentando de linha de conexão para linha de conexão. De
20 forma correspondente, cada linha de conexão do grupo posterior também tem o mesmo número de E retardos que a última linha de conexão do primeiro grupo e o mesmo número de M retardos que a última linha de conexão do segundo grupo, assim como um número de L-elementos de retardo aumentando de linha de conexão para linha
25 de conexão.

O primeiro grupo e o segundo grupo e o terceiro grupo incluem linhas de conexão, em que cada uma dessas linhas de conexão, exceto a real primeira linha de conexão do primeiro

grupo, tem uma quantidade definida de retardo ou um múltiplo inteiro da quantidade definida de retardo, em que a quantidade definida de retardo, isto é, o incremento E, M, L, pode diferir de grupo para grupo, e, de maneira importante, é configurável pelos parâmetros individuais de controle, como explicado anteriormente. Pode ser visto na Fig. 10 e na descrição de E, M e L que o raster básico é o comprimento de uma unidade de entrelaçamento, isto é, IU_Len. Se uma unidade de entrelaçamento tem, por ex., 20 símbolos, cada retardo E, M, L é um múltiplo inteiro deste retardo, que corresponde a um comprimento de uma unidade de entrelaçamento IU_Len. O retardo correspondente a toda uma unidade de entrelaçamento é dado pela duração do período do clock de processamento multiplicado pelo número de bits ou símbolos, onde o clock é um bit clock no caso do processamento de bits, e onde o clock é um byte clock no caso do processamento de bytes como símbolos.

Subseqüentemente, será ilustrado um exemplo de configuração particular.

Parâmetro FEC

É usado um código turbo correspondente ao padrão 3GPP2 como codificador FEC.

Bits por bloco na entrada do codificador FEC (incluindo 6 bits de cauda)	12288 bits	bits
Taxa de códigos R	1/4	
Número de bits na saída do codificador FEC	49152 bits	bbits

Tamanho de uma IU	512 bits	bits
Número de IUs por palavra de código	96	

Configuração do "Mixer"

codewordLen tem 49152 bits e CILM_Inc tem 217.

Configuração do Dispersor

Os seguintes subcapítulos mostram várias
5 configurações representando diferentes perfis de entrelaçadores, e
assim vários casos de aplicação.

Igual Distribuição (Fig. 11)

As IUs que pertencem a um bloco (ou palavra de
código) são igualmente distribuídas no tempo, isto é, a distância
10 entre as IUs é a mesma na saída do dispersor.

Essa configuração faz sentido se o canal de
transmissão produz breves interrupções randômicas (mau estado de
canal) e então, mais ou menos perturba randomicamente as IUs
individuais. Em particular, essa configuração faz sentido para
15 maiores taxas de códigos.

Uma possível configuração é usar somente a parte
prévia, isto é, middleStart = noIlvTaps.

Prévia/Última

As IUs de um bloco são transmitidas em dois
20 bursts (anterior e posterior), entre os quais existe um intervalo
de tempo em que nenhuma das IUs deste bloco é transmitida ou o são
muito raramente.

Esta configuração deve ser usada se o canal de
transmissão produzir interrupções muito longas (ex., ao dirigir
25 sob uma ponte ou dentro de um túnel). Aqui, em caso de boa

recepção, a parte prévia ou última deve ser suficiente por si mesma, para poder decodificar o bloco. Se este for o caso, é permitida a interrupção como sendo, no máximo, tão longa quanto o intervalo entre a prévia e a última, sem a ocorrência de falhas na
5 decodificação deste bloco.

Para a parametrização desta configuração, middleStart e noIlvTaps-lateStart (número na parte prévia e/ou última) devem ser maiores que lateStart-middleStart (tamanho da parte média). Para uma transmissão do tipo burst, devem ser
10 escolhidas earlyTapDiff e lateTapDiff em zero, enquanto tapDiffMult e middleTapDiff devem ser máximas, para estender as IUs o mais possível na parte média.

Igual/Última (Fig. 12)

Parte das IUs é transmitida de acordo com a
15 estratégia de "distribuição igual" (ver acima), o resto vem de maneira burst como a última parte.

Nesse caso, a última parte deve incluir um número suficiente de IUs, de maneira que, individualmente seja suficiente para a decodificação sem erros, no caso de condições de boa
20 recepção. Assim, este perfil de entrelaçador é adequado para acesso rápido, de maneira que o tempo de acesso possa ser mantido baixo apesar de um longo entrelaçador. As IUs remanescentes na parte igual devem oferecer a proteção contra falhas randômicas das IUs (ver "distribuição igual").

25 A parametrização pode ocorrer de maneira similar à acima para as partes prévias, médias e últimas.

Anterior/Igual

Esta configuração é uma imagem de espelho

temporal da configuração "igual/tardia", isto é, existe uma parte prévia tipo burst seguida por "distribuição igual" para as IUs remanescentes.

É vantajoso aqui que o retardo ponta a ponta seja
5 pequeno. Logo que possível, pode já ser decodificado após a recepção da parte prévia, que é logo depois de que as informações de acompanhamento terem entrado no transmissor.

A Fig. 5 mostra uma implementação funcional da disposição do receptor de acordo com a invenção. Este recebe um
10 sinal de recepção com unidades de entrelaçamento entrelaçadas, como saídas do multiplexador 32, por ex., a partir do fluxo de dados com o número i na Fig. 3 e entrada no de-dispersor 34. Essas unidades de entrelaçamento entrelaçadas são enviadas para um detector da unidade de entrelaçamento 40 formado para receber as
15 unidades de entrelaçamento a partir do sinal. As unidades de entrelaçamento detectadas são necessárias para controlarem corretamente o de-dispersor 34. Além disso, de acordo com a invenção, é disposto um estimador de informações auxiliares 42 seja somente comunicando com o detector da unidade de
20 entrelaçamento 40 ou também obtendo o sinal de recepção, ou que pode ser controlado por um outro dispositivo, como um estimador de canal. O estimador de informações auxiliares é formado para estimar as informações de uma unidade de entrelaçamento extraída relativa à transmissão de todas as unidades de entrelaçamento. O
25 estimador de informações auxiliares 42 e o detector da unidade de entrelaçamento 40 abastecem um processador 44 para maior processamento das unidades de entrelaçamento, usando as informações auxiliares determinadas para toda uma unidade de

entrelaçamento e fornecida pelo bloco 42. Assim, na configuração preferida, o processador 44 combina as funcionalidades do de-dispersor 34 e do "de-mixer" 36 da Fig. 3. Entretanto, nas configurações preferidas da presente invenção, inclui outras funcionalidades que aumentam a eficiência do receptor, como será explicado com referência à Fig. 5.

Em particular, o processador 44 então verifica, quando tiver obtido as informações auxiliares de uma unidade de entrelaçamento, qual a qualidade de recepção melhor que um determinado limite que é indicada para a unidade de entrelaçamento (etapa 50). Se essa pergunta for respondida negativamente, toda a unidade de entrelaçamento é descartada (etapa 52), que pode, por exemplo ser implementada, em particular, nada armazenando em uma memória, mas simplesmente caracterizando as unidades de entrelaçamento descartadas com "erasures", isto é, por ex., com informações de probabilidade sinalizando 50 % de probabilidades de um 0 ou um 1, quando ocorre a de-dispersão.

Entretanto, se a pergunta da etapa 50 for respondida afirmativamente, essa unidade de entrelaçamento, como estabelecido na etapa 54, é armazenada em uma memória do receptor implementando a funcionalidade do de-dispersor 34, lendo na memória de maneira diferente da qual foi escrita. Ainda assim, se tiver sido determinado que foi recebido um número suficiente de unidades de entrelaçamento de boa qualidade de uma palavra de código, de maneira que já possa ser feita a decodificação correta da palavra de código sem receber todas as unidades de entrelaçamento da palavra de código, é verificado se uma unidade de entrelaçamento de pior qualidade que a da unidade de

entrelaçamento atualmente considerada está guardada na memória do receptor. Se essa unidade de entrelaçamento for encontrada, é sobrescrita com pela unidade de entrelaçamento detectada presentemente, mais nova e de melhor qualidade. Entretanto, se for

5 determinado que todas as unidades de entrelaçamento armazenadas têm melhor qualidade, e se também for determinado que o número suficiente de unidades de entrelaçamento já foi recebido, a unidade de entrelaçamento com relativamente boa qualidade devido às informações auxiliares estimadas são descartadas, já que não

10 são mais necessárias.

A esse respeito, na etapa 56, é verificado se está armazenado o número suficiente de unidades de entrelaçamento, o que significa se já é possível ocorrer a decodificação correta de uma palavra de código. Se essa pergunta for respondida

15 afirmativamente, a decodificação é iniciada na etapa 58, isto é, a palavra de código é enviada ao "de-mixer" 36 se esse "de-mixer" estiver presente, ou se a palavra de código for diretamente enviada ao decodificador FEC 38 se o "de-mixer" 36 da Fig. 3 não estiver presente, onde são inseridas "erasures" para as unidades

20 de entrelaçamento que tiverem sido descartadas ou não mais estiverem armazenadas. Caso seja determinado ao mesmo tempo na etapa 60 que a memória ainda está disponível, já pode ser iniciada nesta memória de receptor para melhorar a duração de tempo que ocorre no caso de uma alteração de programa, o armazenamento das

25 unidades de entrelaçamento de outro programa em paralelo na memória (etapa 62), de maneira que - no caso ideal - o segundo programa também seja armazenado na memória referindo-se completamente às palavras de código, de maneira que a mudança de

um programa para outro programa seja feita diretamente, isto é, sem o retardo ponta a ponta normalmente dado pelo longo entrelaçador de convolução.

Tudo isto se torna possível já que não é mais
5 operado na forma simples ou na forma de bits, de acordo com a invenção, mas é operado sob a forma de unidades de entrelaçamento, de maneira que somente informações de qualidade devam ser processadas sob a forma de unidades de entrelaçamento. Além disso, deve ser impressa uma memória de recepção sob a forma de unidades
10 de entrelaçamento, isto é, sob a forma de bursts, sendo que não somente a operação do de-dispersor é acelerada de forma significativa ao ser usada uma memória RAM normal, mas também quando ocorre a ampliação da impressão ao ser usada qualquer outra memória, já que os endereços das memórias adjacentes podem ser
15 impressos em burst para obterem os símbolos individuais presentes em uma unidade de entrelaçamento, de maneira que a operação do de-dispersor seja realizada. Também, pode ser mantida uma sinalização clara, porque o número de informações de tempo a ser administrado não mais precisa ser gerado, administrado e aplicado sob a forma
20 de bits, mas somente sob a forma de unidades de entrelaçamento, o que contribui para uma redução de 128 vezes nas informações a serem administradas se uma unidade de entrelaçamento compreende, por ex., 128 bits ou mais. Portanto, a precisão é realmente reduzida, já que não tem mais informações de qualidade por bit,
25 mas somente por unidade de entrelaçamento, isto é, em granula mais grosseira. Entretanto, isto não é crítico, já que essas informações de qualidade exatas não são necessárias e/ou essas informações de qualidade nesta granulação fina nem sempre são tão

expressivas. Portanto, de acordo com a invenção, a aquisição de informações de qualidade é sintonizada opcionalmente com o entrelaçador, de maneira que a complexidade do estimador de canal também pode ser igualmente reduzida no caso de complexidade
5 reduzida, sem ter que se preocupar com perdas de qualidade.

Subseqüentemente, serão detalhadas as estratégias do decodificador indicado com base nas Fig. 4 e Fig. 5. Como o estado de canal é anteriormente determinado para cada IU, estas informações auxiliares no de-dispersor podem ser usadas para
10 controlar as demais etapas de decodificação em conjunto. Uma implementação de memória otimizada pode ser a seguinte:

O uso de códigos de baixa classificação em um canal de transmissão com variação de tempo permite que somente as "boas" (com pouca perturbação) IUs sejam armazenadas. As IUs com
15 baixa qualidade de sinal não devem ser armazenadas. Como exemplo, deve ser mencionado o uso de um código de classificação 1/4, cujas palavras de código consistem de 96 Ius. No caso de recepção muito boa, cerca de 30 % das IUs são suficientes para poder decodificar esse código, isto é, os 25 % do código necessário para a
20 representação das informações em um código de classificação 1/4 mais 5 % de redundância, de maneira que o decodificador possa operar corretamente. Se for buscada a estratégia de "somente as melhores IUs são armazenadas", a memória necessária pode ser reduzida em até 30 %. De forma correspondente, não 96 IUs, mas
25 somente as $30\% \cdot 96 = 29$ IUs para as quais o melhor estado de canal estimado tiver sido armazenado para cada palavra de código. Se 29 IUs já estiverem armazenadas e se for recebida uma outra melhor que a pior anteriormente recebida, essa má é simplesmente

substituída por uma melhor. Isto é feito por meio de uma unidade de controle do entrelaçador adequada no dispersor.

Uma estratégia similar é de particular interesse em conexão com a Combinação de Diversidade ou no caso em que o
5 multiplexador inclui vários programas.

Conceito 1:

- Tantas IUs quanto as necessárias para a decodificação são armazenadas no programa selecionado (ver exemplo acima).
- 10 - O resto é usado para outros programas, de maneira que se torna possível uma rápida mudança de programa (ver acesso rápido). Assim, a memória existente é utilizada de maneira ideal.

Conceito 2:

- 15 - No caso da Combinação de Diversidade, somente as boas IUs são previamente armazenadas. Assim, é tornado menor a memória necessária.

Uma estratégia alternativa ou adicionalmente aplicada otimizada para o consumo de energia pode ser a seguinte:

- 20 Se tiver sido recebido o número suficiente de "boas" IUs, o receptor pode ser desligado. O receptor mede assim continuamente a qualidade das IUs recebidas. Se tiver sido recebido o número suficiente de IUs com boa qualidade de sinal, as demais não serão mais necessárias e podem ser substituídas por
25 "erasure". Se, por ex., for formado um sistema de transmissão de maneira em que uma determinada faixa (distância máxima entre o transmissor e o receptor) seja determinada, todos os receptores mais próximos ao transmissor recebem os dados com maior qualidade.

Assim, os receptores não mais precisam de todas as IUs para decodificação isenta de erros. Caso não forem mais necessárias as IUs individuais, as partes de acompanhamento do receptor podem ser desligadas brevemente outras vezes. Assim, o período de operação de dispositivos portáteis é prolongado, já que o consumo médio de potência é reduzido. A administração dos dados é substancialmente simplificada pela estrutura de entrelaçador escolhida.

Uma estratégia otimizada pelo acesso rápido serve idealmente se o entrelaçador for configurado para uma forte parte posterior, isto é, se o terceiro grupo do dispersor da Fig. 10 for fortemente pesado.

No caso de um entrelaçador de convolução, é verdade que a soma do comprimento da linha de retardo no transmissor e no receptor é igual para todos os tabs. Se a linha de retardo for escolhida longa no transmissor, a linha de retardo é, de forma correspondente, curta no receptor. Uma linha de retardo longa no transmissor significa que os dados de acompanhamento são transmitidos mais tarde (= "posterior"). Entretanto, uma linha de retardo curta no receptor significa um retardo curto. Os bits de acompanhamento são assim disponíveis na saída do de-dispersor após um pequeno tempo de retardo (= acesso mais rápido = "fast access"). Essa configuração é particularmente vantajosa ao usar uma taxa de códigos relativamente baixa para o codificador FEC.

Em resumo, a presente invenção assim inclui um equipamento entrelaçador que implementa a funcionalidade de um entrelaçador de convolução no meio de entrelaçamento, que atua sob a forma de unidade de entrelaçamento, onde uma unidade de

entrelaçamento inclui mais do que um símbolo. O número de bits por símbolo aqui, corresponde ao comprimento do símbolo do codificador FEC.

Portanto, a estrutura do entrelaçador do invento
5 tem a característica de que uma palavra de código é decomposta em uma série de menores pacotes de dados, isto é, de unidades de entrelaçamento. Uma unidade de entrelaçamento inclui mais do que um símbolo de informação e, de preferência, pelo menos 128
10 símbolos de informações. Essas unidades de entrelaçamento são distribuídas em várias linhas de conexão com diferentes retardos por meio de um de-multiplexador, onde as linhas de conexão e/ou linhas de retardo têm vários comprimentos, ou implementam vários retardos de alguma forma, por exemplo, por memórias FIFO. Após o correspondente retardo, o multiplexador do lado de saída
15 multiplexa a saída das linhas de conexão novamente em um fluxo de dados, que é então enviado a um modulador, para finalmente gerar um sinal de saída RF.

Na configuração preferida, é conectado um "mixer"
a montante do dispersor. Com isto, é compensada a desvantagem do
20 agrupamento em unidades de entrelaçamento introduzida à primeira vista. Ainda assim, particularmente para códigos FEC, que ainda têm relativamente boas propriedades também sem um "mixer", é também preferível uma implementação capaz de operar sem o "mixer" por motivos de complexidade, tanto no lado do transmissor como no
25 lado do receptor.

Se for usado o "mixer", funcionará como um entrelaçador de blocos, que está conectado a montante do meio de entrelaçamento e redistribui os bits de dados ou os símbolos de

dados da palavra de código individualmente, isto é, sob a forma de símbolos ou sob a forma de bits.

Para melhorar a funcionalidade do decodificador, é primeiramente determinado o estado de canal no lado do
5 decodificador para cada uma das unidades de entrelaçamento. Aqui, a série de unidades de entrelaçamento junto com as informações de estado de canal são levadas para a ordem original por meio do de-
dispersor. A saída do de-entrelaçador, em conjunto com as informações de estado de canal, são então processadas pelo
10 decodificador FEC. Como explicado com base na Fig. 10, o dispersor é um dispersor configurável, tendo em várias partes o comprimento em que as unidades de entrelaçamento e a extensão temporal da qual com respeito aos retardos nas partes respectivas possam ser
escolhidas de maneira diferente, dependendo das exigências. A
15 configuração do dispersor em três segmentos, isto é, um segmento anterior, um segmento médio e um segmento posterior, se trata de uma implementação especial. Para determinadas aplicações, uma configuração anterior-posterior ou uma configuração igual-
posterior pode ser expediente, onde um código FEC de baixa
20 classificação e uma forte parte posterior são preferidos na última configuração, para permitir um rápido acesso. Configurações alternativas são a configuração anterior-igual ou a configuração do dispersor complementar, no caso da diversidade de transmissão. No lado do decodificador, é preferido um algoritmo decodificador,
25 que arquiva unidades de entrelaçamento que sejam boas e necessárias para decodificação na memória, enquanto as piores são substituídas por melhores unidades de entrelaçamento ou as piores unidades de entrelaçamento não são armazenadas. As unidades de

entrelaçamento não são armazenadas caso o canal seja melhor que o planejado. Unidades de entrelaçamento indisponíveis são aqui consideradas como "erasures".

A funcionalidade pode ser usada particularmente para melhor administração de energia, que é de particular vantagem para dispositivos móveis operados a baterias e cuja duração de atividade possa ser por esta aumentada. Particularmente, quando for recebido um número suficiente de boas unidades de entrelaçamento, a parte correspondente do receptor é desligada para economizar a energia da bateria.

Dependendo das circunstâncias, os métodos da invenção podem ser implementados em hardware ou em software. A implementação pode ser em meio de armazenagem digital, em particular em um disco ou CD com sinais de controle por leitura eletrônica capazes de cooperar com um sistema programável de computador, de maneira que o método seja executado. Em geral, a invenção também assim consiste de um produto de programa de computador tendo um código de programa armazenado em um veículo de leitura por máquina para realizar o método quando o produto de programa de computador é operado em um computador. Em outras palavras, a invenção pode assim ser operada como um programa de computador dotado de um código de programa para a realização do método quando o programa de computador é operado em um computador.

Reivindicações

1. Equipamento entrelaçador para o processamento de uma palavra de código obtida a partir de um bloco de entrada de símbolos usando codificação de adição de redundância (22), e
5 compreendendo mais símbolos que o bloco de entrada, caracterizado pelo fato de que a palavra de código compreende uma seqüência de unidades de entrelaçamento (IE_{ij}), onde cada unidade de entrelaçamento compreende pelo menos dois símbolos, compreendendo:
um meio de entrelaçamento (10) para a alteração da seqüência de
10 unidades de entrelaçamento para obter uma palavra de código entrelaçada compreendendo uma seqüência alterada de unidades de entrelaçamento, onde o meio de entrelaçamento (10) é formado não para mudar uma ordem dos símbolos dentro de uma unidade de entrelaçamento e para mudar a seqüência, de maneira que pelo menos
15 uma unidade de entrelaçamento de uma palavra de código anterior ou subsequente seja disposta entre duas unidades de entrelaçamento da palavra de código, ou que uma ordem de unidades de entrelaçamento na palavra de código entrelaçada seja diferente de uma ordem da seqüência de unidades de entrelaçamento.

20 2. Equipamento entrelaçador, de acordo com a reivindicação 1, caracterizado pelo fato de que é escolhido um tamanho da unidade de entrelaçamento para que a palavra de código compreenda pelo menos quatro unidades de entrelaçamento, e onde o meio de entrelaçamento (10) seja formado para alterar a seqüência
25 de pelo menos quatro unidades de entrelaçamento.

3. Equipamento entrelaçador, de acordo com a reivindicação 1 ou 2, caracterizado pelo fato de que um símbolo é um bit e cada meio de entrelaçamento compreende pelo menos dois

bits, ou onde um símbolo é um byte e cada unidade de entrelaçamento compreende pelo menos dois bytes.

4. Equipamento entrelaçador, de acordo com qualquer uma das reivindicações anteriores, caracterizado pelo fato de que a codificação de adição de redundância (22) opera na forma de símbolos para a obtenção de um símbolo da palavra de código, usando uma combinação de um ou mais símbolos do bloco de entrada, de maneira que a palavra de código se baseie em um raster símbolo, e onde o meio de entrelaçamento (10) seja formado para realizar a alteração da seqüência em um raster de unidade de entrelaçamento mais grosseiro que o raster símbolo.

5. Equipamento entrelaçador, de acordo com qualquer uma das reivindicações anteriores, caracterizado pelo fato de que uma unidade de entrelaçamento compreende pelo menos 128 símbolos, e onde o meio de entrelaçamento é formado para alterar a seqüência das unidades de entrelaçamento, cada uma das quais compreende pelo menos 128 símbolos.

6. Equipamento entrelaçador, de acordo com qualquer uma das reivindicações anteriores, caracterizado pelo fato de que compreende: um entrelaçador de blocos (18) para a alteração da ordem dos símbolos na palavra de código, de maneira que uma ordem de símbolos como gerada pela codificação de adição de redundância (22) seja alterada de maneira a obter a palavra de código compreendendo a seqüência de unidades de entrelaçamento.

7. Equipamento entrelaçador, de acordo com a reivindicação 6, caracterizado pelo fato de que o entrelaçador de blocos (18) é formado para implementar a seguinte regra de entrelaçador: $b[i] = a[(CILM_Inc * i) \bmod codewordLen]$, onde $b[i]$

é um símbolo em uma posição i da palavra de código em uma saída do entrelaçador de blocos, onde $a[x]$ é um valor de um símbolo em um local x da entrada da palavra de código no entrelaçador de blocos, onde $CILM_Inc$ é um inteiro ajustável, onde mod é uma operação
 5 modulo, e onde $CodewordLen$ é o comprimento da palavra de código.

8. Equipamento entrelaçador, de acordo com a reivindicação 7, caracterizado pelo fato de que o entrelaçador de blocos (18) é configurável para operar usando um parâmetro configurável $CILM_Inc$.

10 9. Equipamento entrelaçador, de acordo com a reivindicação 8, caracterizado pelo fato de que o entrelaçador de blocos (18) é formado para compreender um parâmetro configurável dependente da taxa de códigos do codificador de adição de redundância (22), onde o parâmetro é tipicamente um número primo
 15 ou um produto de números primos.

10. Equipamento entrelaçador, de acordo com qualquer uma das reivindicações anteriores, caracterizado pelo fato de que um símbolo inclui um bit se a codificação de adição de redundância incluir um código turbo, um código Viterbi ou um
 20 código LDPC, e onde um símbolo inclui um byte se a codificação de adição de redundância for uma codificação Reed-Solomon.

11. Equipamento entrelaçador, de acordo com qualquer uma das reivindicações anteriores, caracterizado pelo fato de que o meio de entrelaçamento compreende: uma pluralidade
 25 de linhas de conexão (10a, 10b, 10c), onde cada linha de conexão é formada para prover um retardo definido, que é diferente para cada linha de conexão, ou que é substancialmente igual a 0 para uma linha de conexão; um multiplexador de entrada (11) formado para

alterar, após a alimentação de um número de unidades completas de entrelaçamento em uma linha de conexão, para outra linha de conexão, onde o número de unidades completas de entrelaçamento é igual ou maior que 1; e um multiplexador de saída (13) formado para alterar, após a recepção de um número de unidades completas de entrelaçamento a partir de uma linha de conexão, para outra linha de conexão, onde o número é igual ou maior que 1.

12. Equipamento entrelaçador, de acordo com a reivindicação 11, caracterizado pelo fato de que a pluralidade de linhas de conexão compreende um primeiro grupo (12d) de linhas de conexão onde cada linha de conexão, exceto a primeira, é formada para prover uma primeira quantidade definida de retardo (E) ou um múltiplo inteiro da primeira quantidade definida de retardo, e onde a pluralidade de linhas de conexão compreende um segundo grupo (12e) de linhas de conexão, onde cada linha de conexão do segundo grupo é formada para prover o mesmo múltiplo do primeiro retardo definido assim como um segundo retardo definido (M) diferente do primeiro retardo definido (E), ou de um múltiplo inteiro do segundo retardo definido.

13. Equipamento entrelaçador, de acordo com a reivindicação 12, caracterizado pelo fato de ainda compreender um terceiro grupo (12f) de linhas de conexão, onde cada linha de conexão do terceiro grupo é formada para compreender o mesmo múltiplo do primeiro retardo definido assim como o mesmo múltiplo do segundo retardo definido assim como um terceiro retardo definido (L) diferente do primeiro retardo definido ou do segundo retardo definido.

14. Equipamento entrelaçador, de acordo com a

reivindicação 12 ou 13, caracterizado pelo fato de que a primeira quantidade definida de retardos ou a segunda quantidade definida de retardos é configurável usando um parâmetro de configuração que permite a configuração em múltiplos inteiros de uma unidade de
5 entrelaçamento.

15. Equipamento entrelaçador, de acordo com a reivindicação 13, caracterizado pelo fato de que o terceiro grupo (12f) de linhas de conexão é formado para configurar a terceira quantidade definida de retardos em múltiplos inteiros de uma
10 unidade de entrelaçamento.

16. Equipamento entrelaçador, de acordo com qualquer uma das reivindicações anteriores, caracterizado pelo fato de que o meio de entrelaçamento é configurado para entrelaçar de maneira que as unidades de entrelaçamento da palavra de código
15 sejam enviadas de maneira uniforme no tempo para obter um perfil de distribuição igual.

17. Equipamento entrelaçador, de acordo com qualquer uma das reivindicações de 1 a 15, caracterizado pelo fato de que o meio de conexão é configurado para entrelaçar de maneira
20 que unidades de entrelaçamento da palavra de código sejam transmitidas com mais energia em um primeiro ou um terceiro intervalo de tempo que em um segundo intervalo de tempo que se situa entre o primeiro e o terceiro intervalo de tempos, onde menos ou nenhuma unidade de entrelaçamento são transmitidas quando
25 comparadas ao primeiro e o terceiro intervalo de tempos, para obter um perfil de distribuição anterior-posterior.

18. Equipamento entrelaçador, de acordo com qualquer uma das reivindicações de 1 a 15, caracterizado pelo fato

de que o meio de entrelaçamento é configurado para entrelaçar de maneira que parte das unidades de entrelaçamento seja transmitida de maneira uniformemente distribuída no tempo e uma parte remanescente das unidades de entrelaçamento seja transmitida sob a forma de bursts em um intervalo de tempo seguinte onde mais unidades de entrelaçamento por unidade de tempo sejam transmitidas que no primeiro intervalo de tempo, para obter um perfil de distribuição igual-posterior.

19. Equipamento entrelaçador, de acordo com qualquer uma das reivindicações de 1 a 15, caracterizado pelo fato de que o meio de entrelaçamento é formado para entrelaçar de maneira que um número de unidades de entrelaçamento seja transmitido sob o formato de bursts em um primeiro intervalo de tempo, e que uma parte remanescente das unidades de entrelaçamento da palavra de código seja transmitida em uma ocorrência de um maior intervalo de tempo, onde mais unidades de entrelaçamento por unidade de tempo sejam transmitidas no primeiro intervalo de tempo do que no intervalo seguinte de tempo, para obter um perfil de distribuição anterior-igual.

20. Equipamento entrelaçador, de acordo com qualquer uma das reivindicações anteriores, caracterizado pelo fato de que o meio de entrelaçamento é configurável, e onde os parâmetros de configuração são introduzidos no sinal de transmissão para serem detectados por um receptor.

21. Transmissor para a geração de um sinal de transmissão, caracterizado pelo fato de que compreende: um codificador de adição de redundância (22) com uma taxa de códigos menor que 1, que é formado para gerar, a partir de um bloco de

entrada de sinais, uma palavra de código compreendendo um número de símbolos maior que um número de símbolos do bloco de entrada; um meio de entrelaçamento de acordo com qualquer uma das reivindicações de 1 a 20; e um modulador para a modulação de uma saída de fluxo de dados do meio de entrelaçamento para um canal de transmissão.

22. Método para o processamento de uma palavra de código obtida a partir de um bloco de entrada de sinais usando codificação de adição de redundância (22), e compreendendo mais símbolos que o bloco de entrada, caracterizado pelo fato de que a palavra de código compreende uma sequência de unidades de entrelaçamento (IE_{ij}), onde cada unidade de entrelaçamento compreende pelo menos dois símbolos, compreendendo: alterar (10) a sequência de unidades de entrelaçamento para obter uma palavra de código entrelaçada compreendendo uma sequência alterada de unidades de entrelaçamento, onde a alteração (10) é feita de maneira que uma ordem dos símbolos dentro de uma unidade de entrelaçamento não é alterada e a sequência é alterada para que pelo menos uma unidade de entrelaçamento de uma palavra de código precedente ou subsequente seja disposta entre duas unidades de entrelaçamento da palavra de código, ou que uma ordem de unidades de entrelaçamento na palavra de código entrelaçada seja diferente de uma ordem da sequência de unidades de entrelaçamento.

23. Receptor para a recepção de um sinal obtido a partir de um bloco de símbolos usando codificação de adição de redundância, e baseado em uma palavra de código compreendendo uma sequência de unidades de entrelaçamento, caracterizado pelo fato de que a sequência de unidades de entrelaçamento foi alterada,

onde uma ordem dos símbolos dentro de uma unidade de entrelaçamento não tiver sido alterada, e onde pelo menos uma unidade de entrelaçamento de uma palavra de código anterior ou subsequente é disposta entre duas unidades de entrelaçamento da palavra de código, ou onde uma ordem de unidades de entrelaçamento na palavra de código entrelaçada é diferente de uma ordem das unidades de entrelaçamento antes do entrelaçamento, compreendendo: um detector (40) para a detecção de unidades de entrelaçamento a partir do sinal; um estimador de informações auxiliares (42) para
5 estimar as informações auxiliares de uma unidade de entrelaçamento relacionada com a transmissão de toda a unidade de entrelaçamento; e um processador (44) para o processamento da unidade de entrelaçamento baseado ainda nas informações auxiliares determinadas para toda a respectiva unidade de entrelaçamento.

15 24. Receptor, de acordo com a reivindicação 23, caracterizado pelo fato de que o estimador das informações auxiliares (42) é formado para estimar informações de qualidade de recepção da unidade de entrelaçamento, e onde o processador (44) é formado para armazenar toda a unidade de entrelaçamento com base
20 nas informações auxiliares completamente para outros processamentos ou ignorá-las completamente em outros processamentos.

25 25. Receptor, de acordo com a reivindicação 24, caracterizado pelo fato de que o processador (44) é formado para armazenar uma unidade de entrelaçamento para outros processamentos se as informações auxiliares indicarem uma qualidade de recepção superior a um limite (50).

26. Receptor, de acordo com a reivindicação 24,

caracterizado pelo fato de que o processador (44) é formado para armazenar uma unidade de entrelaçamento para outros processamentos se o processador (44) tiver determinado que ainda não estão armazenadas suficientes unidades de entrelaçamento para
5 decodificação com uma determinada taxa de erros para uma palavra de código.

27. Receptor, de acordo com a reivindicação 26, caracterizado pelo fato de que o processador é formado para sobrescrever (54) a unidade de entrelaçamento já armazenada da
10 pior qualidade de recepção em uma memória, caso suficientes unidades de entrelaçamento para uma palavra de código já estiverem armazenadas e se tiverem sido estimadas as informações auxiliares indicando uma melhor qualidade de recepção da unidade de entrelaçamento que uma qualidade de recepção já armazenada para um
15 meio de entrelaçamento.

28. Receptor, de acordo com qualquer uma das reivindicações de 24 a 27, caracterizado pelo fato de que o sinal compreende uma pluralidade de programas, e onde o processador (44) é formado para armazenar (62), se já tiverem sido armazenadas
20 suficientes unidades de entrelaçamento para uma palavra de código de um programa selecionado e se ainda existir memória livre disponível (60), unidades de entrelaçamento de outro programa, mas não armazenar unidades de entrelaçamento da palavra de código do programa selecionado.

25 29. Receptor, de acordo com qualquer uma das reivindicações de 24 a 28, caracterizado pelo fato de que o processador (44) é formado para colocar o receptor em um modo de economia de energia caso sejam armazenadas suficientes unidades de

entrelaçamento para a decodificação correta de um código.

30. Receptor, de acordo com qualquer uma das reivindicações de 23 a 29, caracterizado pelo fato de que o sinal é entrelaçado de maneira que existe a última duração de tempo, onde mais unidades de entrelaçamento da palavra de código são incluídas que em outra duração de tempo de uma transmissão, e onde o processador (44) compreende uma funcionalidade de rápido acesso para iniciar a decodificação da palavra de código já com base nas unidades de entrelaçamento encontradas a partir do último intervalo de tempo, sem esperar pelas unidades de entrelaçamento do outro intervalo de tempo.

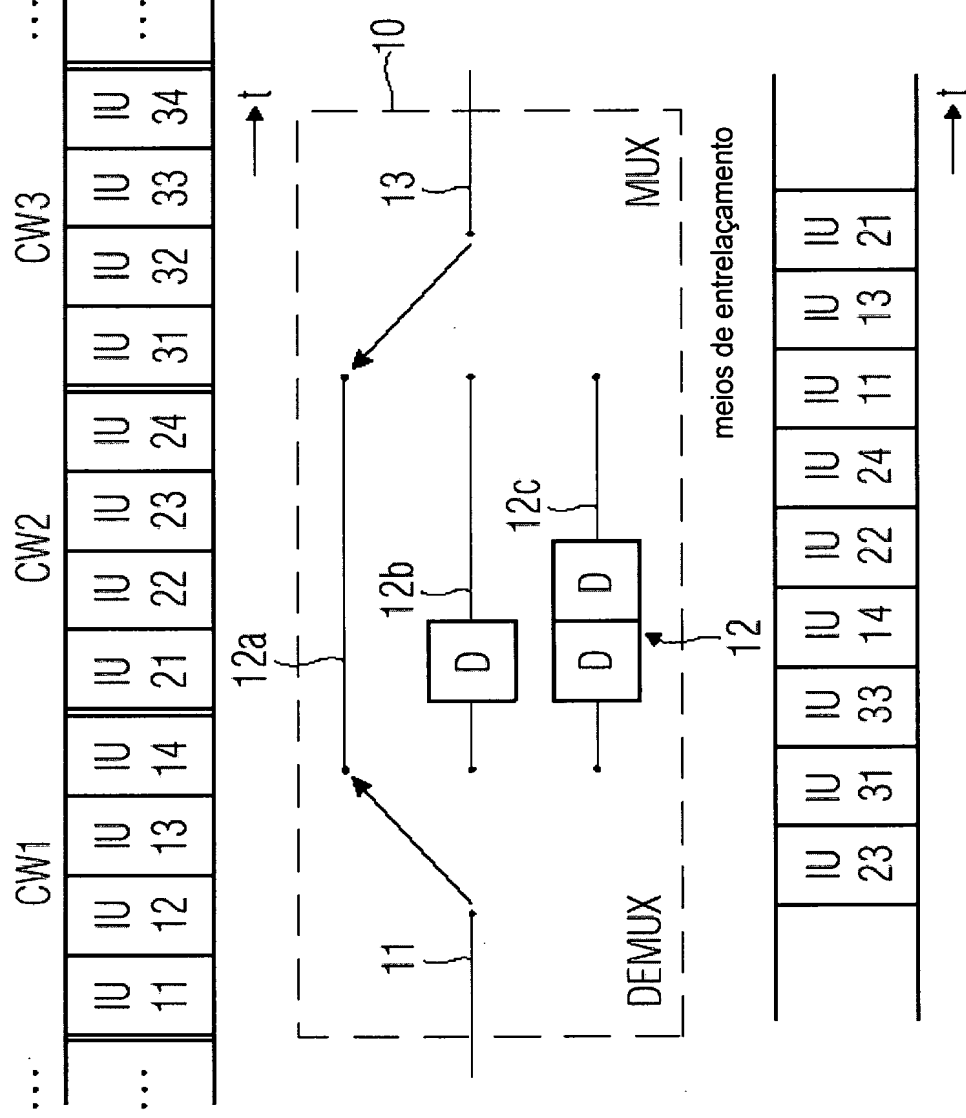
31. Receptor, de acordo com qualquer uma das reivindicações de 23 a 30, caracterizado pelo fato de que o sinal retorna para uma codificação com taxa de códigos igual ou menor que 0,5, e onde o último intervalo de tempo tem uma proporção de unidades de entrelaçamento tão grande que o número de unidades de entrelaçamento no último intervalo de tempo é já suficiente para a decodificação em determinada taxa de erros no caso de uma determinada qualidade de canal.

32. Método para a recepção de um sinal obtido a partir de um bloco de símbolos usando uma codificação de adição de redundância, e baseado em uma palavra de código compreendendo uma seqüência de unidades de entrelaçamento, caracterizado pelo fato de que a seqüência de unidades de entrelaçamento foi alterada, onde uma ordem dos símbolos dentro de uma unidade de entrelaçamento não foi alterada, e onde pelo menos uma unidade de entrelaçamento de uma palavra de código anterior ou subsequente é disposta entre duas unidades de entrelaçamento da palavra de

código, ou onde uma ordem de unidades de entrelaçamento na palavra de código entrelaçada é diferente de uma ordem de unidades de entrelaçamento antes do entrelaçamento, compreendendo: detectar (40) unidades de entrelaçamento a partir do sinal; estimar (42) as
5 informações auxiliares de uma unidade de entrelaçamento relacionada a uma transmissão de toda a unidade de entrelaçamento; e processar ainda (44) a unidade de entrelaçamento com base nas informações auxiliares determinadas para toda a respectiva unidade de entrelaçamento.

10 33. Programa de computador com um código de programa para a realização do método de acordo com a reivindicação 22 ou 32, caracterizado pelo fato de que, quando o método é realizado em um computador.

FIGURA 1



- IU_{11} , IU_{13} da palavra de código precedente CW_1 se situam entre IU_{21} e IU_{22} .
- IU_{24} se situa entre IU_{21} e IU_{22}
- IU_{32} se situa entre IU_{31} e IU_{33}

$U_{ij} : i \triangleq$ número sequencial da palavra de código na sequência da palavra de código

$J \triangleq$ número seqüencial da UI na palavra de código i

D : retardo por uma unidade de retardo

FIGURA 2

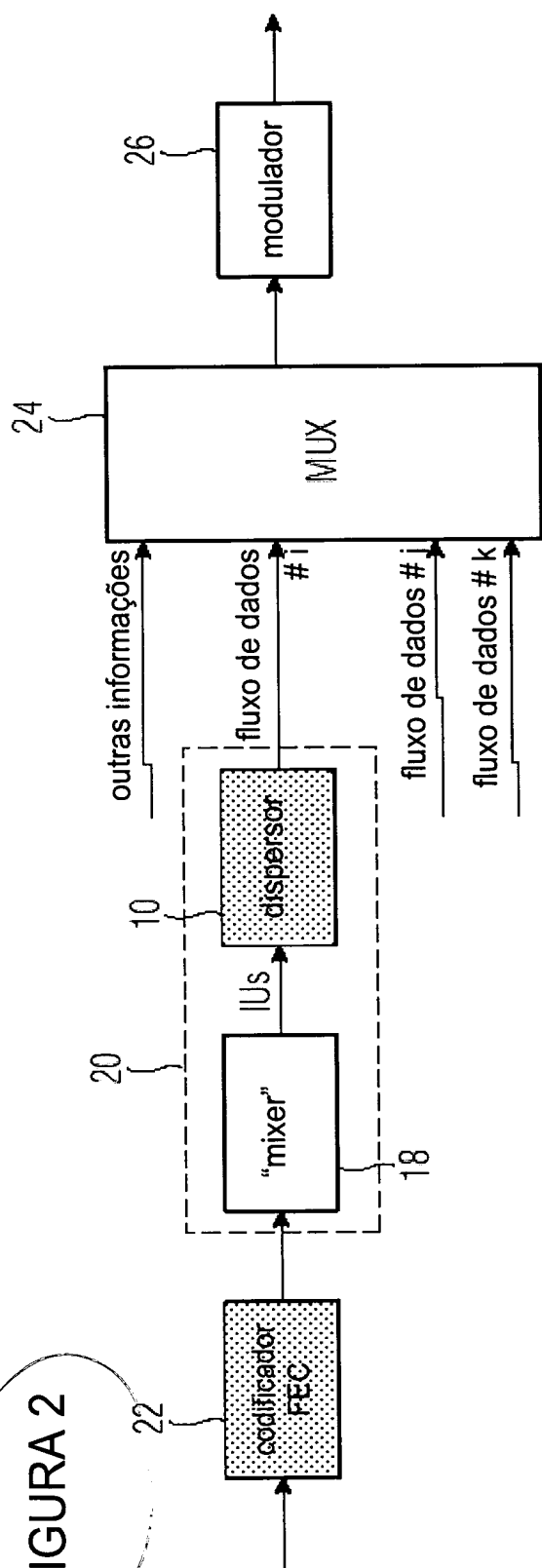
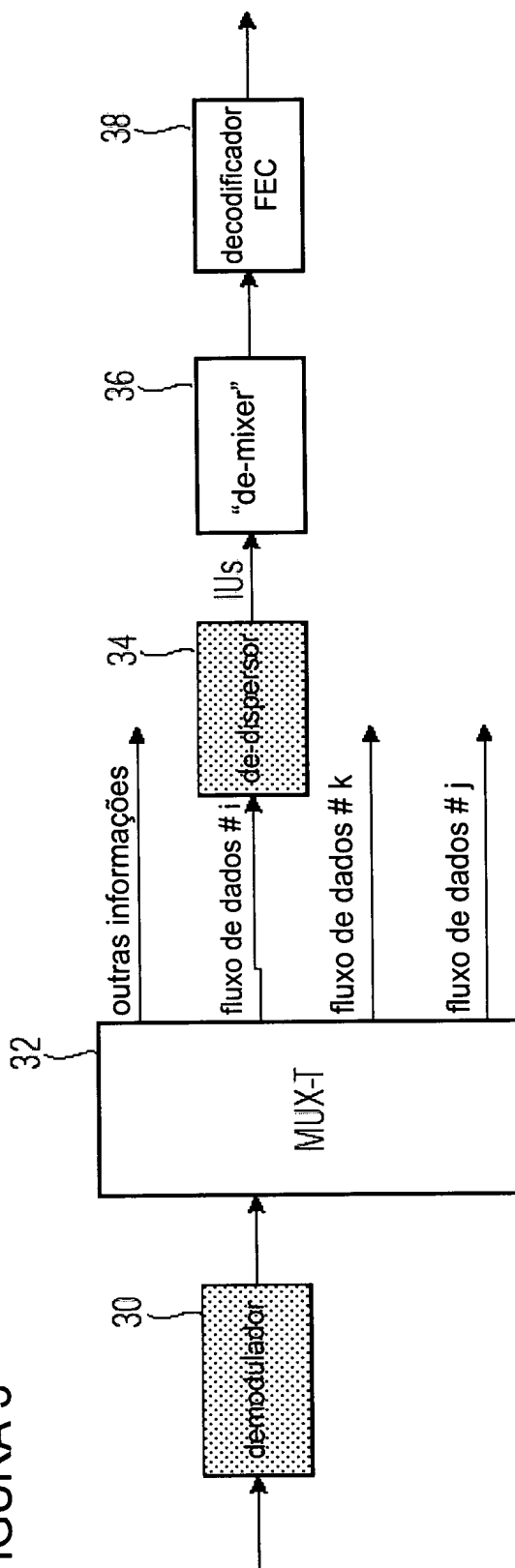


FIGURA 3



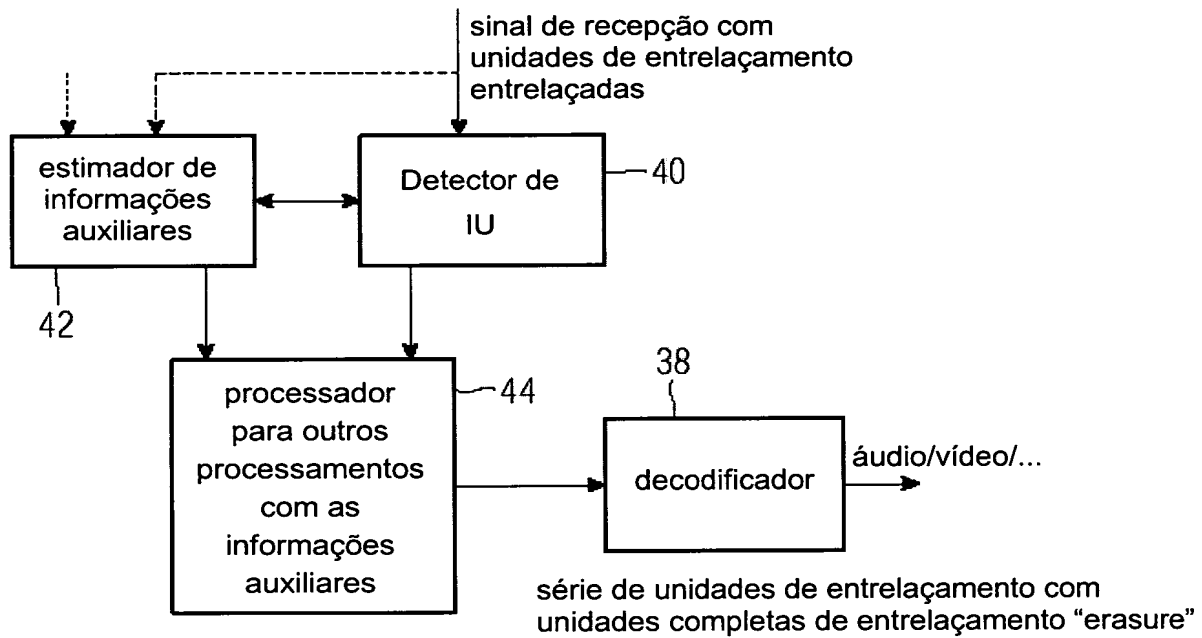


FIGURA 4

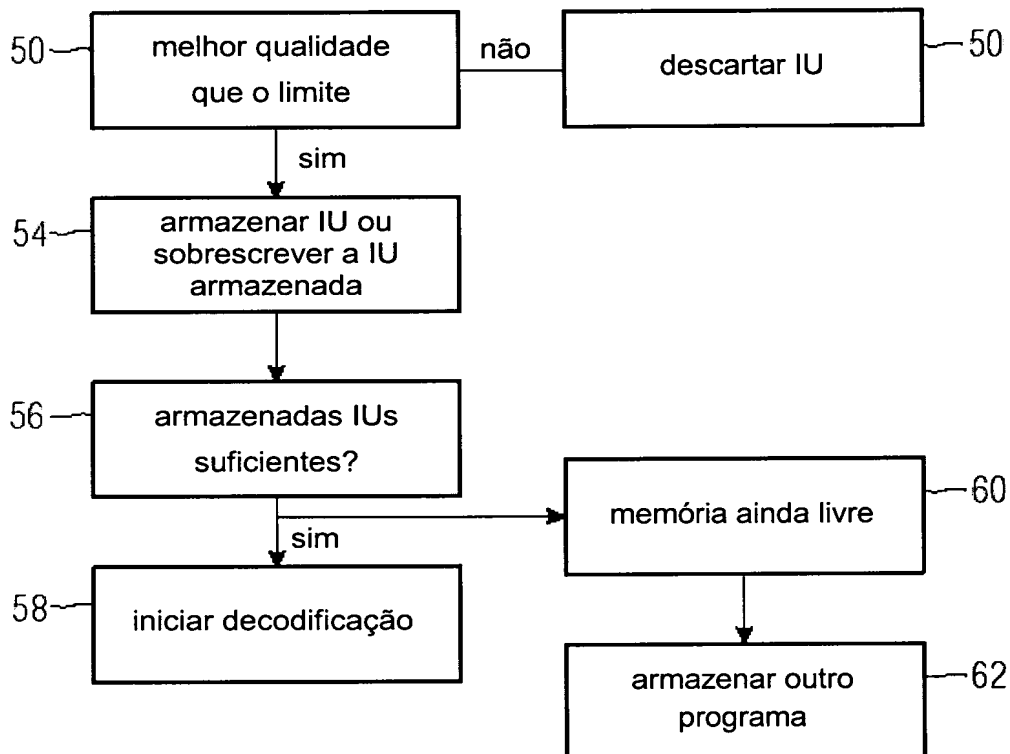


FIGURA 5

FIGURA 6

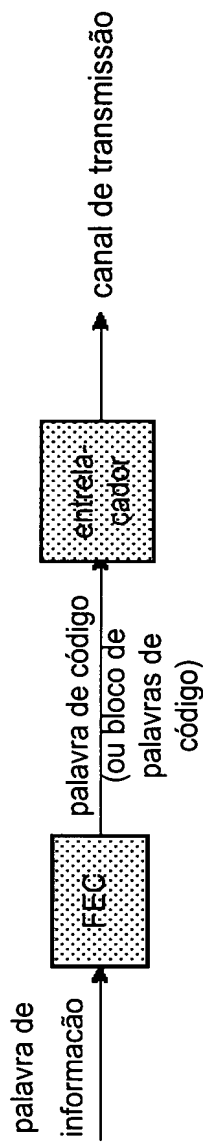
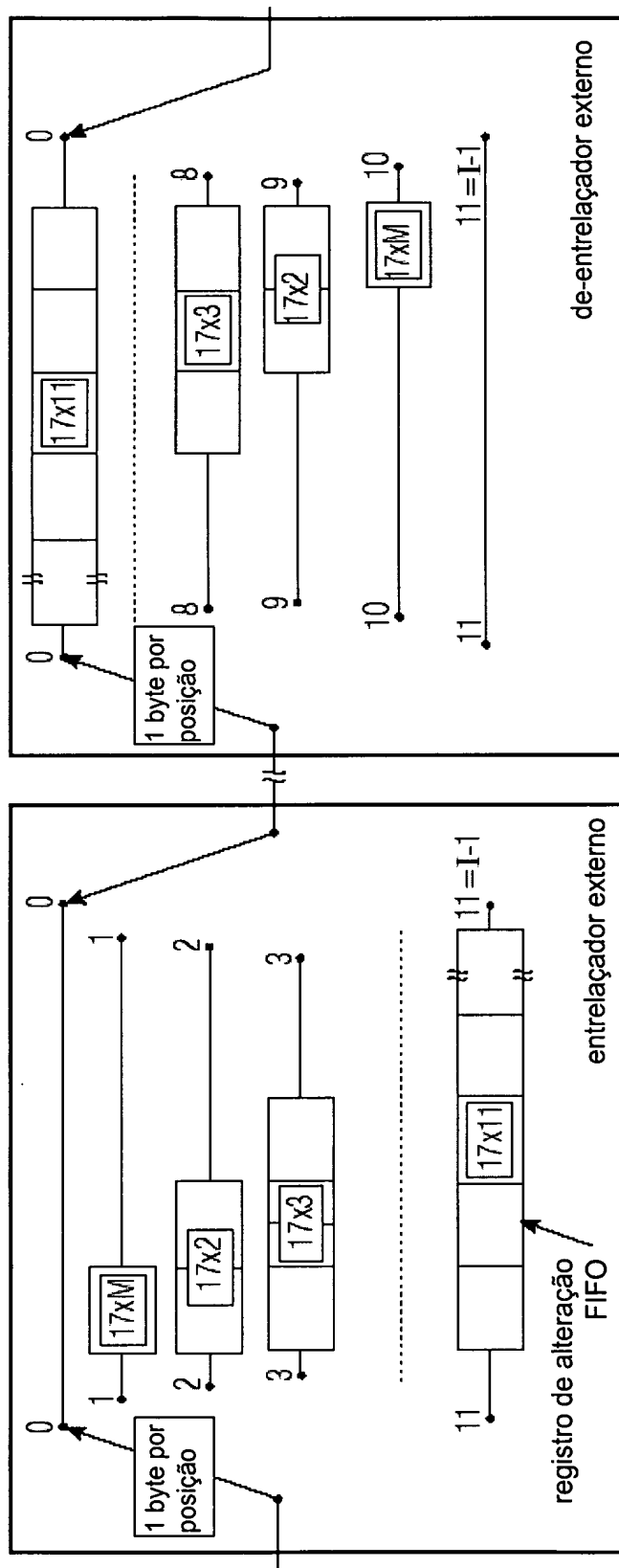


FIGURA 7



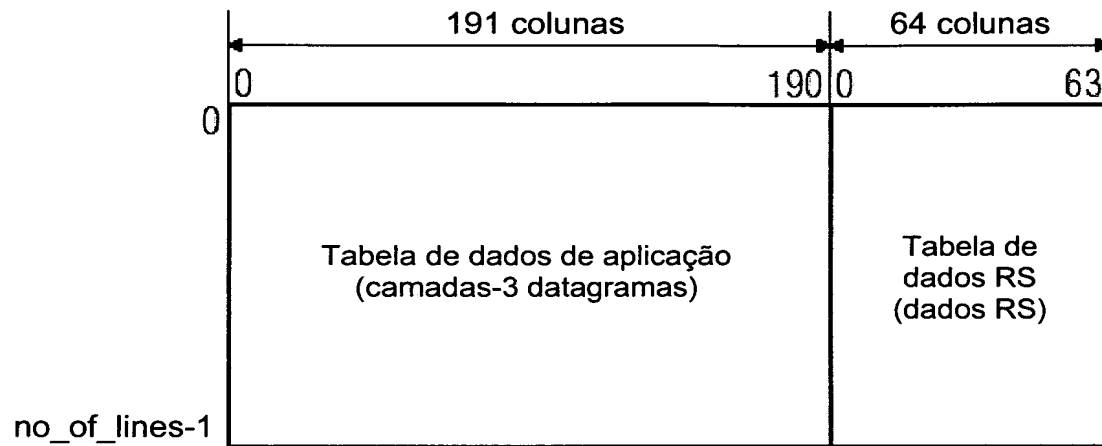


FIGURA 8

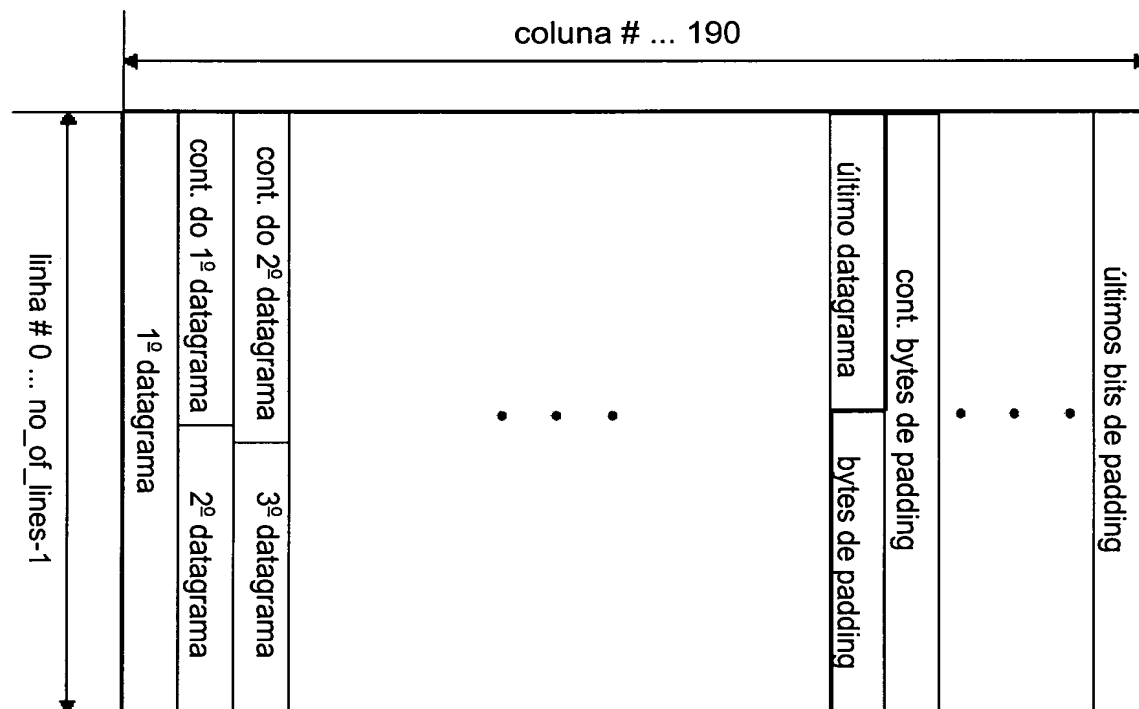
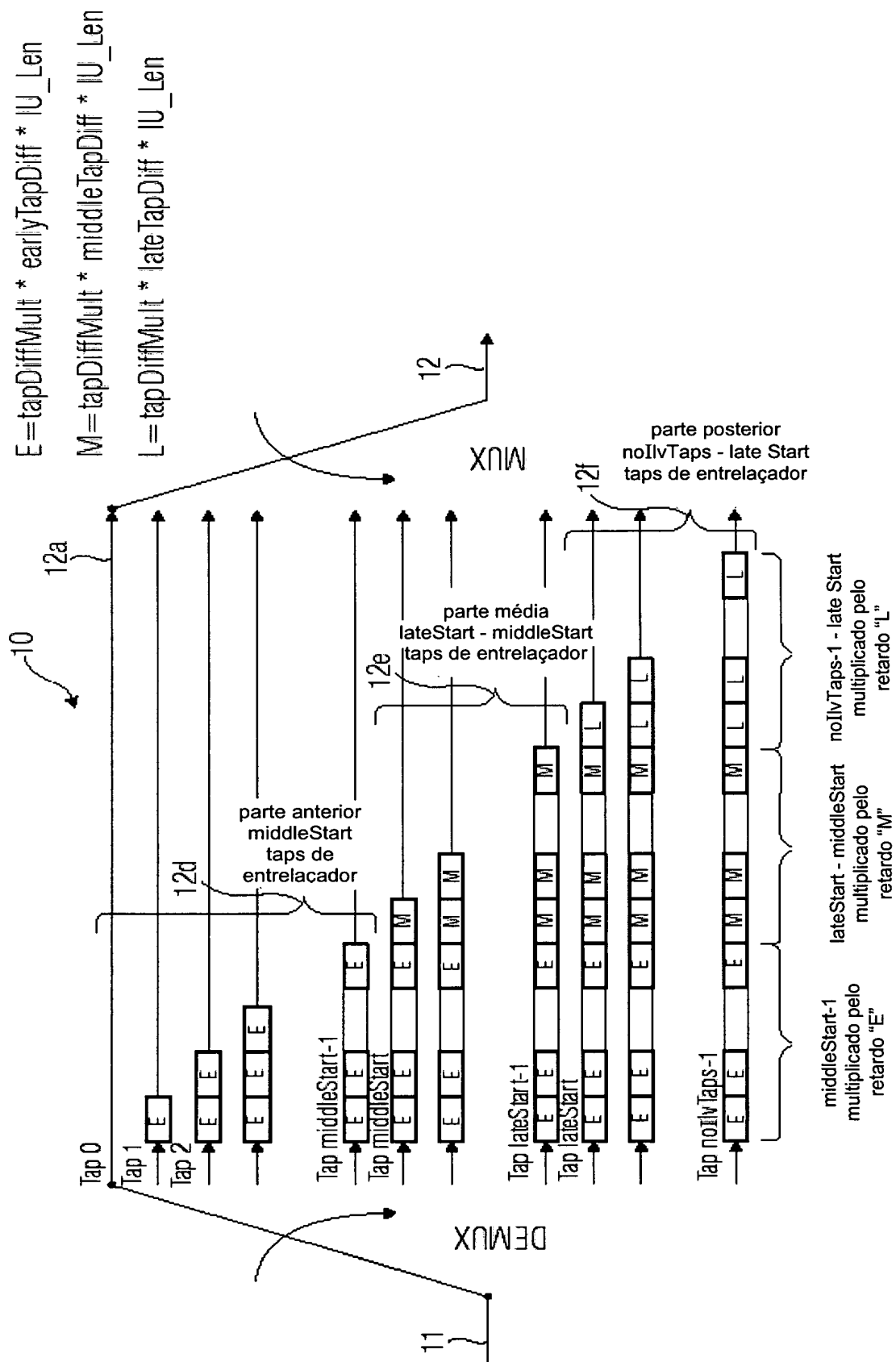


FIGURA 9

FIGURA 10



perfil entrelaçador igual

porcentagem de bits transmitidos

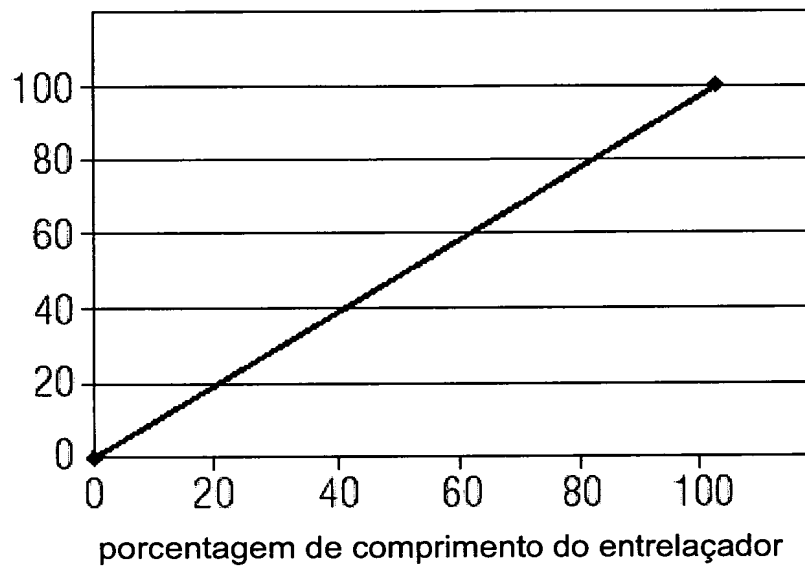


FIGURA 11

perfil entrelaçador igual/posterior

porcentagem de bits transmitidos

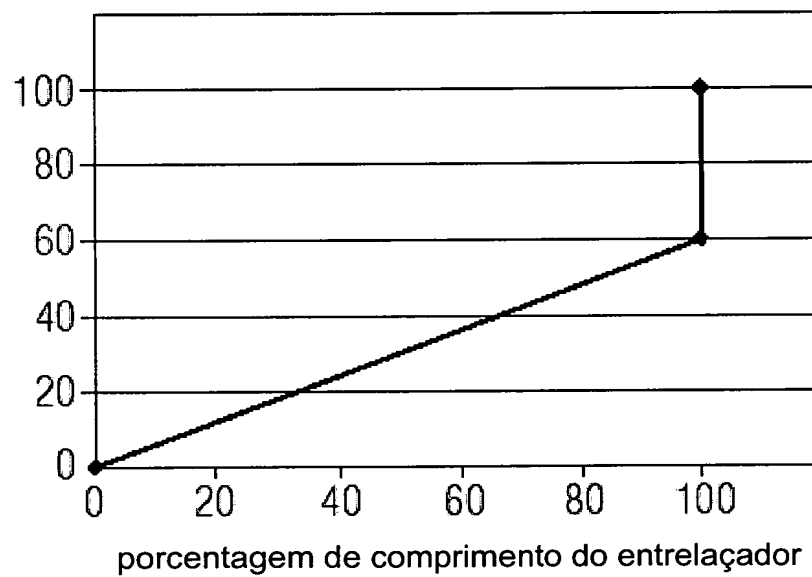


FIGURA 12

"EQUIPAMENTO ENTRELAÇADOR E RECEPTOR PARA UM
SINAL GERADO PELO EQUIPAMENTO ENTRELAÇADOR"

Resumo

Entrelaçador de convolução para o processamento
5 de uma palavra de código obtida a partir de um bloco de entrada de
símbolos usando uma codificação de adição de redundância (22), e
tendo mais símbolos que o bloco de entrada, onde a palavra de
código tem uma sequência de unidades de entrelaçamento, em que
cada unidade de entrelaçamento tem pelo menos dois símbolos,
10 inclui meios de entrelaçamento (10). O meio de entrelaçamento
altera a sequência de unidades de entrelaçamento para obter uma
palavra de código entrelaçada tendo uma sequência alterada de
unidades de entrelaçamento. Em particular, a ordem dos símbolos
dentro de uma unidade de entrelaçamento não é alterada pelos meios
15 de entrelaçamento. Entretanto, a ordem das unidades de
entrelaçamento na palavra de código entre si ou com referência a
uma palavra de código anterior ou subsequente é alterada.