(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0065222
(43) 공개일자 2018년06월18일

(51) 국제특허분류(Int. Cl.)
G01R 31/317 (2006.01) *G01R 31/3183* (2006.01)
(52) CPC특허분류
G01R 31/31725 (2013.01)
G01R 31/31728 (2013.01)
(21) 출원번호 10-2016-0165760
(22) 출원일자 2016년12월07일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
김철우
서울특별시 성북구 안암로 145 고려대학교 자연계 캠퍼스 공학관 418호
김동윤
서울특별시 동대문구 무학로45길 7, 301호 (용두동)
(뒷면에 계속)
(74) 대리인
이철희

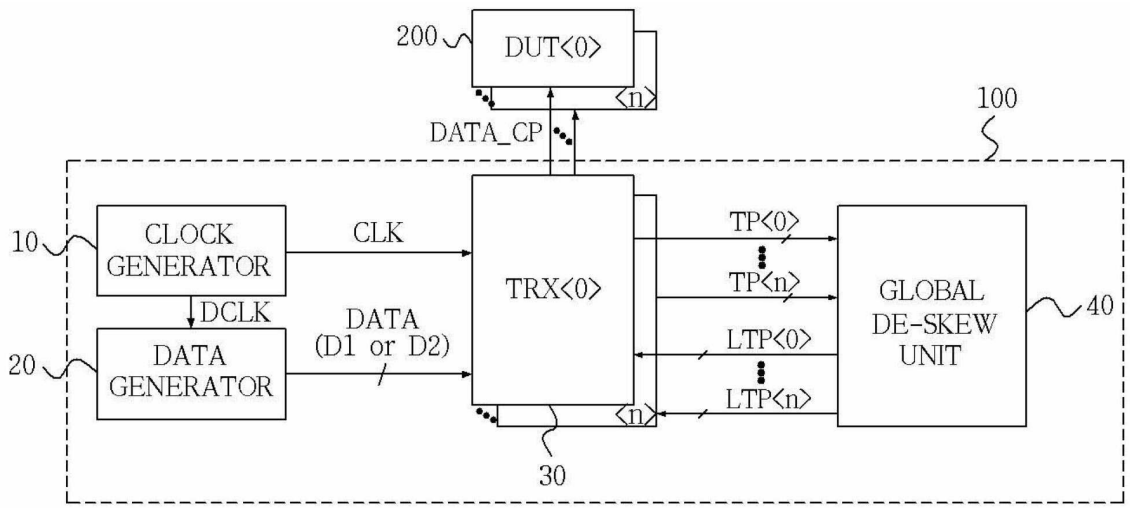
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 **테스트 장치**

(57) 요 약

본 발명은 다수의 피 시험 장치(DUT: device under test)들을 외부에서 동시에 테스트(BOST: Built-Out-Self-Test)하는 장치를 개시한다. 상기 테스트 장치는, 트레이닝 모드에서 클럭 신호를 기준으로 미리 설정된 단위 간격(Unit Interval)의 범위 내에서 제1 데이터 신호를 지연시킨 제1 타이밍 정보를 제공하여 가장 느린 송수신기와의 타이밍 차이에 대응하는 제2 타이밍 정보를 수신하고, 오퍼레이션 모드에서 상기 제2 타이밍 정보에 대응하여 제2 데이터 신호를 상기 미리 설정된 단위 간격의 배수로 지연시킨 보상 데이터를 다수의 피 시험 장치들에게 동시에 제공하는 송수신기들; 및 상기 트레이닝 모드에서 상기 제1 타이밍 정보를 수신하고, 상기 제1 타이밍 정보에 대응하여 가장 느린 상기 송수신기와의 타이밍 차이를 연산하고, 상기 타이밍 차이에 대응하는 상기 제2 타이밍 정보를 상기 송수신기들에 제공하는 글로벌 디-스큐(De-skew)부;를 포함한다.

대 표 도 - 도1



(52) CPC특허분류
G01R 31/3183 (2013.01)
(72) 발명자
정인화
경기도 화성시 동탄대로22길 30, 605동 102호 (영천동, 동탄센트럴자이)
김용주
서울특별시 송파구 양재대로 1218, 202동 801호 (방이동, 올림픽선수기자촌아파트)

명 세 서

청구범위

청구항 1

트레이닝 모드에서 클럭 신호를 기준으로 미리 설정된 단위 간격의 범위 내에서 제1 데이터 신호를 지연시킨 제1 타이밍 정보를 제공하고 가장 느린 송수신기와의 타이밍 차이에 대응하는 제2 타이밍 정보를 수신하며, 오퍼레이션 모드에서 상기 제2 타이밍 정보에 대응하여 제2 데이터 신호를 상기 미리 설정된 단위 간격의 배수로 지연시킨 보상 데이터를 다수의 피 시험 장치들에게 동시에 제공하는 송수신기들; 및

상기 트레이닝 모드에서 상기 제1 타이밍 정보를 수신하고, 상기 제1 타이밍 정보에 대응하여 가장 느린 상기 송수신기와의 타이밍 차이를 연산하고, 상기 타이밍 차이에 대응하는 상기 제2 타이밍 정보를 상기 송수신기들에 제공하는 글로벌 디-스큐(De-skew)부;

를 포함하는 테스트 장치.

청구항 2

제 1 항에 있어서, 상기 송수신기들은,

상기 트레이닝 모드에서 상기 클럭 신호를 기준으로 상기 제1 데이터 신호를 상기 미리 설정된 단위 간격의 범위 내에서 지연시키는 지연고정루프; 및

상기 오퍼레이션 모드에서 상기 제2 데이터 신호를 상기 제2 타이밍 정보에 대응하는 상기 미리 설정된 단위 간격의 배수로 지연시키는 로컬 디-스큐부;를 포함하는 테스트 장치.

청구항 3

제 2 항에 있어서, 상기 송수신기들은,

상기 트레이닝 모드에서 상기 미리 설정된 단위 간격의 위상 차이를 가지는 다중 위상 클록 신호들을 생성하고, 상기 오퍼레이션 모드에서 상기 다중 위상 클록 신호들을 상기 로컬 디-스큐부에 제공하는 위상 생성기;를 더 포함하는 테스트 장치.

청구항 4

제 3 항에 있어서, 상기 로컬 디-스큐부는,

상기 오퍼레이션 모드에서 상기 제2 타이밍 정보에 대응하여 상기 제2 데이터 신호를 상기 미리 설정된 단위 간격의 배수로 지연시키는 디-플립플롭들; 및

상기 오퍼레이션 모드에서 상기 제2 타이밍 정보에 대응하여 상기 다중 위상 클록 신호들 중 하나를 선택하는 클록 선택기;

를 포함하는 테스트 장치.

청구항 5

제 2 항에 있어서, 상기 송수신기들은,

상기 클록 신호를 미리 설정된 비로 분할하고 분할된 클록 신호를 출력하는 클록 디바이더;

상기 클록 신호와 상기 분할된 클록 신호에 응답하여 상기 지연고정루프에 의해 지연된 상기 제1 데이터 신호를 병렬화하는 병렬 변환기; 및

상기 병렬 변환기의 출력 신호를 엔코딩한 상기 제1 타이밍 정보를 상기 글로벌 디-스큐부에 제공하는 엔코더;

를 더 포함하는 테스트 장치.

청구항 6

제 2 항에 있어서, 상기 송수신기들은

상기 클럭 신호와 선택된 위상 클럭 신호에 응답하여 지연된 상기 제2 데이터 신호를 직렬화하는 직렬 변환기;

상기 지연고정루프에 의해 지연된 클록 신호에 응답하여 상기 직렬 변환기의 출력 신호를 래치하는 래치부; 및

상기 래치부의 출력 신호에 응답하여 상기 보상 데이터를 상기 피 시험 장치에 제공하는 출력 구동부;

를 더 포함하는 테스트 장치.

청구항 7

제 6 항에 있어서, 상기 지연고정루프는

상기 오퍼레이션 모드에서 상기 클럭 신호를 상기 트레이닝 모드에서 락된(locked) 지연량으로 지연시키고, 지연된 상기 클럭 신호를 상기 래치부에 제공하는 테스트 장치.

청구항 8

제 1 항에 있어서,

상기 클럭 신호를 생성하는 클럭 생성부; 및

상기 트레이닝 모드에서 상기 제1 데이터 신호를 생성하고, 상기 오퍼레이션모드에서 상기 제2 데이터 신호를 생성하는 데이터 생성부;

를 더 포함하는 테스트 장치.

청구항 9

클럭 신호를 기준으로 미리 설정된 단위 간격(Unit Interval)의 범위 내에서 제1 데이터 신호를 지연시키는 지연고정루프,

상기 지연고정루프에 의해 지연된 상기 제1 데이터 신호에 대응하는 제1 타이밍 정보를 제공하는 엔코더, 및

가장 느린 송수신기와의 타이밍 차이에 대응하는 제2 타이밍 정보에 대응하여 제2 데이터 신호를 상기 미리 설정된 단위 간격의 배수로 지연시키는 로컬 디-스큐부를 포함하는 송수신기들; 및

상기 제1 타이밍 정보를 수신하고, 상기 제1 타이밍 정보에 대응하여 가장 느린 상기 송수신기와의 타이밍 차이를 연산하며, 상기 타이밍 차이에 대응하는 상기 제2 타이밍 정보를 상기 로컬 디-스큐부에 제공하는 글로벌 디-스큐(De-skew)부;를 포함하는 테스트 장치.

청구항 10

제 9 항에 있어서, 상기 지연고정루프는,

상기 미리 설정된 단위 간격의 범위 내에서 지연시키도록 설정된 지연 라인을 포함하는 테스트 장치.

청구항 11

제 9 항에 있어서, 상기 로컬 디-스큐부는,

상기 제2 타이밍 정보에 대응하여 상기 제2 데이터 신호를 상기 미리 설정된 단위 간격의 배수로 지연시키는 로직 회로를 포함하는 테스트 장치.

청구항 12

제 9 항에 있어서, 상기 송수신기들은,

상기 미리 설정된 단위 간격의 위상 차이를 가지는 다중 위상 클록 신호들을 생성하고, 이를 상기 로컬 디-스큐부에 제공하는 위상 생성기;를 더 포함하는 테스트 장치.

청구항 13

제 12 항에 있어서, 상기 로컬 디-스큐부는,

상기 제2 타이밍 정보에 대응하여 상기 제2 데이터 신호를 상기 미리 설정된 단위 간격의 배수로 지연시키는 디플립플롭들; 및

상기 제2 타이밍 정보에 대응하여 상기 다중 위상 클록 신호들 중 하나를 선택하는 클록 선택기;를 포함하는 테스트 장치.

청구항 14

제 9 항에 있어서,

상기 제1 데이터 신호는 상기 송수신기들에 대응하는 채널들의 타이밍 정보를 얻기 위한 구간에 제공되는 신호이고, 상기 제2 데이터 신호는 피 시험 장치들을 동시에 테스트하는 구간에 제공되는 신호로 설정된 테스트 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 테스트 장치에 관한 것으로, 더 상세하게는 다수의 피 시험 장치(DUT: device under test)들을 외부에서 동시에 테스트(BOST: Built-Out-Self-Test)하는 장치에 관한 것이다.

배 경 기 술

[0002] 일반적으로, BOST(Built-Out-Self-Test) 장치는 다수의 피 시험 장치들의 모든 입력 핀에 동일한 신호를 같은 타이밍에 인가하여 다수의 피 시험 장치들의 성능 및 불량 여부를 동시에 테스트하고 있다.

[0003] 그런데, 데이터 신호를 피 시험 장치들로 전송할 때, 각 피 시험 장치들과 대응하는 채널의 길이, PVT 변화, 핀과 핀 사이의 미스매치 등으로 인하여 스큐(skew)가 발생할 수 있다.

[0004] 종래의 테스트 장치는 지연고정루프(DLL: Delay Locked Loop)를 이용하여 각 채널에서 발생하는 모든 스큐를 보정하고 있으나, 지연고정루프의 넓은 지연 범위로 인해 파워를 많이 소모하고, 특히 고속의 데이터 신호를 전송하는 오퍼레이션모드에서 파워 드롭(power drop)이 발생하는 문제점이 있다.

[0005] 따라서, 종래의 테스트 장치는 파워 드롭으로 각 채널들의 지연고정루프의 지연이 달라져 채널들 간의 디-스큐(De-skew)가 정상적으로 이루어지지 못하므로, 피 시험 장치들의 성능 및 불량 여부를 정확히 테스트하지 못하는 문제점이 있다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 한국공개번호 KR 2016-0046259(2016.04.28)

(특허문헌 0002) 한국공개번호 KR 2015-0080060(2015.07.09)

(특허문헌 0003) 한국등록번호 KR 10-0897349(2009.05.06)

발명의 내용

해결하려는 과제

[0007] 본 발명이 해결하고자 하는 기술적 과제는 채널들 간의 디-스큐(De-skew)가 정상적으로 이루어져 다수의 피 시험 장치들을 동시에 정확히 테스트할 수 있는 테스트 장치를 제공하는데 있다.

과제의 해결 수단

[0008] 본 발명의 실시예에 따른 테스트 장치는, 트레이닝 모드에서 클럭 신호를 기준으로 미리 설정된 단위 간격(Unit Interval)의 범위 내에서 제1 데이터 신호를 지연시킨 제1 타이밍 정보를 제공하여 가장 느린 송수신기와의 타이밍 차이에 대응하는 제2 타이밍 정보를 수신하고, 오퍼레이션 모드에서 상기 제2 타이밍 정보에 대응하여 제2 데이터 신호를 상기 미리 설정된 단위 간격의 배수로 지연시킨 보상 데이터를 다수의 피 시험 장치들에게 동시에 제공하는 송수신기들; 및 상기 트레이닝 모드에서 상기 제1 타이밍 정보를 수신하고, 상기 제1 타이밍 정보에 대응하여 가장 느린 상기 송수신기와의 타이밍 차이를 연산하고, 상기 타이밍 차이에 대응하는 상기 제2 타이밍 정보를 상기 송수신기들에 제공하는 글로벌 디-스큐(De-skew)부;를 포함한다.

[0009] 본 발명에서, 상기 송수신기들은, 상기 트레이닝 모드에서 상기 클럭 신호를 기준으로 상기 제1 데이터 신호를 상기 미리 설정된 단위 간격의 범위 내에서 지연시키는 지연고정루프; 및 상기 오퍼레이션 모드에서 상기 제2 데이터 신호를 상기 제2 타이밍 정보에 대응하는 상기 미리 설정된 단위 간격의 배수로 지연시키는 로컬 디-스큐부;를 포함한다.

[0010] 본 발명에서, 상기 송수신기들은, 상기 트레이닝 모드에서 상기 미리 설정된 단위 간격의 위상 차이를 가지는 다중 위상 클록 신호들을 생성하고, 상기 오퍼레이션 모드에서 상기 다중 위상 클록 신호들을 상기 로컬 디-스큐부에 제공하는 위상 생성기;를 더 포함한다.

[0011] 본 발명에서, 상기 로컬 디-스큐부는, 상기 오퍼레이션 모드에서 상기 제2 타이밍 정보에 대응하여 상기 제2 데이터 신호를 상기 미리 설정된 단위 간격의 배수로 지연시키는 디-플립플롭들; 및 상기 오퍼레이션 모드에서 상기 제2 타이밍 정보에 대응하여 상기 다중 위상 클록 신호들 중 하나를 선택하는 클록 선택기;를 포함한다.

[0012] 본 발명에서, 상기 송수신기들은, 상기 클록 신호를 미리 설정된 비로 분할하고 분할된 클록 신호를 출력하는 클록 디바이더; 상기 클록 신호와 상기 분할된 클록 신호에 응답하여 상기 지연고정루프에 의해 지연된 상기 제1 데이터 신호를 병렬화하는 병렬 변환기; 및 상기 병렬 변환기의 출력 신호를 엔코딩한 상기 제1 타이밍 정보를 상기 글로벌 디-스큐부에 제공하는 엔코더;를 더 포함한다.

[0013] 본 발명에서, 상기 송수신기들은 상기 클럭 신호와 선택된 위상 클럭 신호에 응답하여 지연된 상기 제2 데이터 신호를 직렬화하는 직렬 변환기; 상기 지연고정루프에 의해 지연된 클록 신호에 응답하여 상기 직렬 변환기의 출력 신호를 래치하는 래치부; 및 상기 래치부의 출력 신호에 응답하여 상기 보상 데이터를 상기 피 시험 장치에 제공하는 출력 구동부;를 더 포함한다.

[0014] 본 발명에서, 상기 지연고정루프는 상기 오퍼레이션 모드에서 상기 클럭 신호를 상기 트레이닝 모드에서 락된(locked) 지연량으로 지연시키고, 지연된 상기 클럭 신호를 상기 래치부에 제공한다.

[0015] 본 발명에서, 상기 클럭 신호를 생성하는 클럭 생성부; 및 상기 트레이닝 모드에서 상기 제1 데이터 신호를 생성하고, 상기 오퍼레이션모드에서 상기 제2 데이터 신호를 생성하는 데이터 생성부;를 더 포함한다.

[0016] 본 발명의 다른 실시예에 따른 테스트 장치는, 클럭 신호를 기준으로 미리 설정된 단위 간격(Unit Interval)의 범위 내에서 제1 데이터 신호를 지연시키는 지연고정루프, 상기 지연고정루프에 의해 지연된 상기 제1 데이터 신호에 대응하는 제1 타이밍 정보를 제공하는 엔코더, 및 가장 느린 송수신기와의 타이밍 차이에 대응하는 제2 타이밍 정보에 대응하여 제2 데이터 신호를 상기 미리 설정된 단위 간격의 배수로 지연시키는 로컬 디-스큐부를 포함하는 송수신기들; 및 상기 제1 타이밍 정보를 수신하고, 상기 제1 타이밍 정보에 대응하여 가장 느린 상기 송수신기와의 타이밍 차이를 연산하며, 상기 타이밍 차이에 대응하는 상기 제2 타이밍 정보를 상기 로컬 디-스큐부에 제공하는 글로벌 디-스큐(De-skew)부;를 포함한다.

[0017] 본 발명에서, 상기 지연고정루프는, 상기 미리 설정된 단위 간격의 범위 내에서 지연시키도록 설정된 지연 라인을 포함한다.

[0018] 본 발명에서, 상기 로컬 디-스큐부는, 상기 제2 타이밍 정보에 대응하여 상기 제2 데이터 신호를 상기 미리 설정된 단위 간격의 배수로 지연시키는 로직 회로를 포함한다.

[0019] 본 발명에서, 상기 송수신기들은, 상기 미리 설정된 단위 간격의 위상 차이를 가지는 다중 위상 클록 신호들을 생성하고, 이를 상기 로컬 디-스큐부에 제공하는 위상 생성기;를 더 포함한다.

[0020] 본 발명에서, 상기 로컬 디-스큐부는, 상기 제2 타이밍 정보에 대응하여 상기 제2 데이터 신호를 상기 미리 설정된 단위 간격의 배수로 지연시키는 디 플립플롭들; 및 상기 제2 타이밍 정보에 대응하여 상기 다중 위상 클록 신호들 중 하나를 선택하는 클록 선택기;를 포함한다.

[0021] 본 발명에서, 상기 제1 데이터 신호는 상기 송수신기들에 대응하는 채널들의 타이밍 정보를 얻기 위한 트레이닝 모드에 제공되는 신호이고, 상기 제2 데이터 신호는 피 시험 장치들을 테스트하는 오퍼레이션 모드에 제공되는 신호로 설정된다.

발명의 효과

[0022] 본 발명에 따르면, 지연고정루프의 지연을 미리 설정된 단위 간격(unit interval)으로 제한하므로 다수의 피 시험 장치들을 동시에 테스트 시 파워 드롭이 발생하는 것을 방지할 수 있다.

[0023] 또한, 채널들 간의 디-스큐(De-skew)가 정상적으로 이루어져 다수의 피 시험 장치들을 동시에 정확히 테스트할 수 있다.

[0024] 또한, 지연고정루프의 지연라인을 크기를 줄일 수 있으므로 설계 측면에서 칩 면적을 크게 줄일 수 있다.

[0025] 또한, 위상고정루프의 주파수 변화에 상관없이 다양한 주파수 대역에서 피 시험 장치들을 동시에 테스트 할 수 있다.

도면의 간단한 설명

[0026] 도 1은 본 발명의 실시예에 따른 테스트 장치의 개략 블록도이다.

도 2는 본 발명의 실시예에 따른 테스트 장치의 세부 블럭도이다.

도 3는 본 발명의 실시예에 따른 테스트 장치의 송수신기의 블록도이다.

도 4은 본 발명의 실시예에 따른 테스트 장치의 트레이닝 모드에서의 동작을 설명하기 위한 블록도이다.

도 5는 본 발명의 실시예에 따른 테스트 장치의 오퍼레이션 모드에서의 동작을 설명하기 위한 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0027] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명한다. 본 명세서 및 특허청구범위에 사용된 용어는 통상적이거나 사전적 의미로 한정되어 해석되지 아니하며, 본 발명의 기술적 사항에 부합하는 의미와 개념으로 해석되어야 한다.

[0028] 본 명세서에 기재된 실시예와 도면에 도시된 구성은 본 발명의 바람직한 실시예이며, 본 발명의 기술적 사상을 모두 대변하는 것이 아니므로, 본 출원 시점에서 이들을 대체할 수 있는 다양한 균등물과 변형예들이 있을 수 있다.

[0029] 도 1은 본 발명의 실시예에 따른 테스트 장치의 개략 블록도이다.

[0030] 도 1을 참고하면, 본 발명의 실시예에 따른 테스트 장치(100)는 클록 생성부(10), 데이터 생성부(20), 송수신기들(TRX<0> ~ TRX<n>) 및 글로벌 디-스큐부(40)를 포함한다.

[0031] 클록 생성부(10)는 클럭 신호(CLK)를 생성하고, 이를 양방향 송수신기들(TRX<0> ~ TRX<n>)에 제공한다. 일례로, 4.5GHz의 클럭 신호(CLK)를 제공하는 것으로 구성할 수 있다.

[0032] 데이터 생성부(20)는 데이터 신호(DATA)를 생성하고, 이를 양방향 송수신기들(TRX<0> ~ TRX<n>)에 제공한다. 데이터 생성부(20)는 트레이닝 모드와 오퍼레이션 모드에 따라 다른 주파수의 데이터를 데이터 신호(DATA)로 제공하는 것으로 구성할 수 있다. 일례로, 트레이닝 모드에서 100MHz의 제1 데이터 신호(D1)를 데이터 신호(DATA)로 제공하고, 오퍼레이션 모드에서 4.5GHz의 제2 데이터 신호(D2)를 데이터 신호(DATA)를 제공하는 것으로 구성할 수 있다.

[0033] 송수신기들(TRX<0> ~ TRX<n>)은 트레이닝 모드에서 지연고정루프(32, 도 3에 도시)를 통해 데이터 신호(DATA)가 클록 신호(CLK)에 동기되도록 미리 설정된 단위 간격(Unit Interval)의 범위 내에서 데이터 신호(DATA)를 지연시키고, 각 송수신기들(TRX<0> ~ TRX<n>)의 지연된 데이터 신호에 대응하는 제1 타이밍 정보(TP<0> ~ TP<n>)를 글로벌 디-스큐부(40)에 제공한다. 일례로, 단위 간격은 9Gbps의 1UI로 설정될 수 있다.

[0034] 글로벌 디-스큐부(40)는 트레이닝 모드에서 각 송수신기들(TRX<0> ~ TRX<n>)로부터 지연된 데이터 신호에 대응하는 제1 타이밍 정보(TP<0> ~ TP<n>)를 수신하고, 가장 느린 송수신기와의 타이밍 차이에 대응하는 제2 타이밍 정보(LTP<0> ~ LTP<n>)를 각 송수신기들(TRX<0> ~ TRX<n>)에 제공한다.

[0035] 송수신기들(TRX<0> ~ TRX<n>)은 오퍼레이션 모드에서 로컬 디-스큐부(44, 도 3에 도시)를 통해 제2 타이밍 정보(LTP<0> ~ LTP<n>)에 대응하는 단위 간격의 배수로 데이터 신호(DATA)를 지연시키고, 스큐(skew)가 보정된 보상 데이터(DATA_CP)를 다수의 피 시험 장치(200)들에게 동시에 제공한다. 일례로, 송수신기들(TRX<0> ~ TRX<n>)은 제2 타이밍 정보(LTP<0> ~ LTP<n>)에 대응하는 단위 간격의 정수 배로 데이터 신호(DATA)를 지연시킨다.

[0036] 여기에서, 트레이닝 모드는 송수신기들(TRX<0> ~ TRX<n>)에 대응하는 채널들의 타이밍 정보를 얻기 위한 동작 구간이고, 오퍼레이션 모드는 피 시험 장치(200)들을 실질적으로 테스트하는 동작 구간으로 이해될 수 있다.

[0037] 도 2는 본 발명의 실시예에 따른 테스트 장치의 세부 블럭도이다.

[0038] 도 2를 참고하면, 본 발명의 실시예에 따른 테스트 장치(100)는 클록 생성부(10), 데이터 생성부(20), 클럭 및 데이터 트리(25), 송수신기들(TRX<0> ~ TRX<n>) 및 글로벌 디-스큐부(40)를 포함한다.

[0039] 클록 생성부(10)는 위상 고정 루프(12) 및 클록 디바이더(14)를 포함하고, 위상 고정 루프(12)는 기준 클록 신호(RCLK)를 이용하여 생성한 클록 신호(CLK)을 송수신기(30)에 제공하며, 클록 디바이더(14)는 클록 신호(CLK)을 분할한 클록 신호(DCLK)를 데이터 생성부(20)에 제공한다. 일례로, 위상 고정 루프(12)는 4.5GHz의 클록 신호(CLK)를 제공하고, 클록 디바이더(14)는 4.5GHz의 클럭 신호(CLK)를 1/8로 분할한 562.5MHz의 클럭 신호(DCLK)를 제공하는 것으로 구성할 수 있다.

[0040] 데이터 생성부(20)는 제1 데이터 생성부(22), 제2 데이터 생성부(24) 및 선택부(26)를 포함하고, 제1 데이터 생성부(22)는 트레이닝 모드에서 제1 데이터(D1)를 데이터 신호(DATA)로 제공하고, 제2 데이터 생성부(24)는 오퍼레이션 모드에서 제2 데이터(D2)를 데이터 신호(DATA)로 제공하며, 선택부(26)는 선택 신호(SEL)에 따라 제1 데이터(D1) 및 제2 데이터(D2) 중 하나를 선택하여 송수신기(30)에 제공한다. 일례로, 데이터 생성부(20)는 트레이닝 모드(training mode)에서 100MHz의 제1 데이터 신호(D1)를 데이터 신호(DATA)로 제공하고, 오퍼레이션 모드(operation mode)에서 4.5GHz의 제2 데이터 신호(D2)를 데이터 신호(DATA)를 제공하는 것으로 구성할 수 있다.

[0041] 클럭 트리 및 데이터 트리(25)는 클록 생성부(10)의 클럭 신호(CLK)와 데이터 생성부(20)의 데이터 신호(DATA)를 각 송수신기들(TRX<0> ~ TRX<n>)에 전달하는 매개 역할을 한다.

[0042] 송수신기들(TRX<0> ~ TRX<n>)은 트레이닝 모드에서 지연고정루프(32, 도 3에 도시)를 통해 데이터 신호(DATA)가 클록 신호(CLK)에 동기되도록 9Gbps의 1UI로 설정된 범위 내에서 데이터 신호(DATA)를 지연시키고, 지연된 데이터 신호에 대응하는 제1 타이밍 정보(TP<0> ~ TP<n>)를 글로벌 디-스큐부(40)에 제공한다. 본 실시예에 따르면, 지연고정루프(32)의 지연을 9Gbps의 1UI 범위 내로 제한하므로 고속의 데이터 신호를 이용하여 다수의 피 시험 장치들을 동시에 테스트하는 오퍼레이션 모드 동작에서 파워가 드롭(drop)되는 것을 방지할 수 있다.

[0043] 그리고, 송수신기들(TRX<0> ~ TRX<n>)은 오퍼레이션 모드에서 로컬 디-스큐부(44, 도 3에 도시)를 통해 제2 타이밍 정보(LTP<0> ~ LTP<n>)에 대응하는 단위 간격의 배수로 데이터 신호(DATA)를 지연시키고, 스큐(skew)가 보정된 보상 데이터(DATA_CP)를 다수의 피 시험 장치(200)들에게 동시에 제공한다. 일례로, 로컬 디-스큐부(44)는 디-플립플롭들로 구성할 수 있다.

[0044] 글로벌 디-스큐부(40)는 트레이닝 모드에서 각 송수신기들(TRX<0> ~ TRX<n>)로부터 지연된 데이터 신호에 대응하는 제1 타이밍 정보(TP<0> ~ TP<n>)를 수신하고, 가장 느린 송수신기와의 타이밍 차이에 대응하는 제2 타이밍 정보(LTP<0> ~ LTP<n>)를 각 송수신기들(TRX<0> ~ TRX<n>)에 제공한다.

[0045] 도 3는 본 발명의 실시예에 따른 테스트 장치의 송수신기의 블록도이다.

[0046] 도 3을 참고하면, 본 발명의 실시예에 따른 테스트 장치의 송수신기(30)는 지연고정루프(32), 디바이더(34), 위상 생성기(36), 병렬 변환기(38), 엔코더(42), 로컬 디-스큐부(44), 직렬 변환기(46), 래치부(48) 및 출력 구동부(52)를 포함한다.

[0047] 지연고정루프(32)는 트레이닝 모드에서 클럭 신호(CLK)와 데이터 신호(DATA)를 수신하고, 데이터 신호(DATA)가 클록 신호(CLK)에 동기되도록 단위 간격의 범위 내에서 데이터 신호(DATA)를 지연시키며, 지연된 데이터 신호(D1_del)를 병렬 변환기(38)에 제공한다. 일례로, 지연고정루프(32)는 0 ~ 2ns 범위에서 지연하도록 지연라인을 구성할 수 있다.

[0048] 그리고, 지연고정루프(32)는 오퍼레이션 모드에서 클록 신호(CLK)를 트레이닝 모드에서 락된(locked) 지연 값으로 지연시키고, 지연된 클럭 신호(CLK_del)를 래치부(48)에 제공한다.

[0049] 디바이더(34)는 클럭 신호(CLK)를 분할한 클럭 신호(CLK_DIV)를 위상 생성기(36), 병렬 변환기(38) 및 로컬 디-스큐부(44)에 제공한다. 일례로, 디바이더(34)는 4.5GHz의 클럭 신호(CLK)를 1/8로 분할한 562.5MHz의 클럭 신호(CLK_DIV)를 제공하는 것을 구성할 수 있다.

[0050] 위상 생성기(36)는 트레이닝 모드에서 분할된 클럭 신호(CLK_DIV)에 응답하여 미리 설정된 위상 차이를 갖는 다중 위상 클록 신호들(CLK<0:m>)을 생성하고, 오퍼레이션 모드에서 다중 위상 클록 신호들(CLK<0:m>)을 로컬 디-스큐부(44)에 제공한다. 일례로, 다중 위상 클록 신호들(CLK<0:m>)의 위상 차이는 9GHz의 1UI로 설정될 수 있다. 일례로, 위상 생성기(36)는 분할된 클럭 신호(CLK_DIV)를 지연하는 지연 라인, 지연 라인의 출력 신호와 분할된 클럭 신호(CLK_DIV)의 위상을 비교하여 검출 신호를 출력하는 위상 검출기 등을 포함할 수 있다. 여기서, m은 제2 데이터 신호(D2)의 비트 수에 대응된다. 일례로, 오퍼레이션 모드에서 16비트의 제2 데이터 신호를 제공하는 경우 9GHz의 1UI씩 위상 차이가 나는 다중 위상 클록 신호들(CLK<0:15>)를 생성하는 것으로 구성할 수 있다.

[0051] 이러한 위상 생성기(36)는 트레이닝 모드에서 다중 위상 클록 신호들(CLK<0:m>)을 생성하고, 오퍼레이션 모드에서 다중 위상 클록 신호들(CLK<0:m>)을 로컬 디-스큐부(44)에 제공하므로, 위상고정루프(12)의 주파수 변화에 상관없이 다양한 주파수 대역에서 피 시험 장치(200)들을 동시에 테스트 할 수 있다.

[0052] 병렬 변환기(38)는 트레이닝 모드에서 클록 신호(CLK)와 분할된 클록 신호(CLK_DIV)에 응답하여 지연고정루프(32)에 의해 지연된 데이터 신호(D1_del)를 병렬 데이터로 변환한다.

[0053] 엔코더(42)는 트레이닝 모드에서 병렬 변환기(38)의 병렬 데이터를 엔코딩하고, 제1 타이밍 정보(TP)를 글로벌 디-스큐부(40)에 제공한다. 즉, 각 송수신기들(TRX<0> ~ TRX<n>)의 엔코더(42)는 지연고정루프(32)에 의해 지연된 데이터 신호(D1_del)에 대응하는 제1 타이밍 정보(TP<0> ~ TP<n>)를 글로벌 디-스큐부(40)에 제공한다.

[0054] 로컬 디-스큐부(44)는 트레이닝 모드에서 가장 느린 송수신기와의 타이밍 차이에 대응하는 제2 타이밍 정보(LTP)를 수신하고 이를 저장한다. 그리고, 로컬 디-스큐부(44)는 오퍼레이션 모드에서 제2 타이밍 정보(LTP)에 대응하여 디-플립플롭(442, 도 5에 도시) 등의 로직 회로를 통해 데이터 신호(DATA)를 단위 간격의 배수로 지연시키고, 지연된 데이터 신호(D2_del)를 직렬 변환기(46)에 제공한다. 일례로, 가장 느린 송수신기와의 타이밍 차이가 N(여기서, N은 정수)인 경우 로직 회로를 통해 N*UI배만큼 데이터 신호(DATA)를 지연시킨다.

[0055] 그리고, 로컬 디-스큐부(44)는 오퍼레이션 모드에서 클럭 선택기(444, 도 5에 도시)를 통해 다중 위상 클럭 신호들(CLK<0:m>) 중 하나를 선택하고, 선택한 위상 클럭 신호(CLK_SEL)를 직렬 변환기(46)에 제공한다.

[0056] 직렬 변환기(46)는 오퍼레이션 모드에서 클럭 신호(CLK)와 클록 선택기(444)에 의해 선택된 위상 클록 신호(CLK_SEL)에 응답하여 지연된 제2 데이터 신호(D2_del)를 직렬 데이터로 변환한다.

[0057] 래치부(48)는 오퍼레이션 모드에서 지연고정루프(32)에 의해 지연된 클록 신호(CLK_del)에 응답하여 직렬 변환기(46)의 직렬 데이터를 래치하고, 출력 구동부(52)는 오퍼레이션 모드에서 래치부(48)의 직렬 데이터에 응답하여 스큐가 보정된 보상 데이터(DATA_CP)를 피 시험 장치(200)에 제공한다.

[0058] 도 4은 본 발명의 실시예에 따른 테스트 장치(100)의 트레이닝 모드에서의 동작을 설명하기 위한 블록도이다. 트레이닝 모드는 송수신기들(TRX<0> ~ TRX<n>)에 대응하는 채널들의 타이밍 정보를 얻기 위한 모드로 이해될 수 있다.

[0059] 도 4를 참고하면, 지연고정루프(32)는 지연 라인(322), 멀티플렉서(324), 위상 검출기(326) 및 제어기(328)를 포함하며, 트레이닝 모드에서 클럭 신호(CLK)와 데이터 신호(DATA)를 수신한다.

[0060] 지연 라인(322)은 지연 셀들을 통해 데이터 신호(DATA)를 지연시키고, 다수의 지연 신호를 출력하며, 멀티플렉서(324)는 제어기(328)의 제어에 따라 다수의 지연 신호 중 하나를 선택하여 출력한다. 위상 검출기(326)는 클럭 신호(CLK)와 선택된 지연 신호의 위상을 비교하고, 비교 결과에 대응하는 신호를 제어기(328)에 제공하며, 제어기(328)는 그에 따른 선택 신호를 멀티플렉서(324)에 제공한다.

[0061] 이러한 지연고정루프(32)는 데이터 신호(DATA)와 클록 신호(CLK)가 미리 설정된 단위 간격의 배수로 차이가 나도록 단위 간격의 범위 내에서 데이터 신호(DATA)를 지연시키고, 지연시킨 데이터 신호(D1_del)를 병렬 변환기(38)에 제공한다.

[0062] 병렬 변환기(38)는 트레이닝 모드에서 클록 신호(CLK)와 분할된 클록 신호(CLK_DIV)에 응답하여 지연고정루프(32)에 의해 지연된 데이터 신호(D1_del)를 병렬 데이터로 변환하고, 엔코더(42)는 트레이닝 모드에서 병렬 변

환기(38)의 병렬 데이터를 엔코딩하고, 제1 타이밍 정보(TP)를 글로벌 디-스큐부(40)에 제공한다.

[0063] 글로벌 디-스큐부(40)는 트레이닝 모드에서 송수신기들(TRX<0> ~ TRX<n>)로부터 지연된 데이터 신호에 대응하는 제1 타이밍 정보(TP<0> ~ TP<n>)를 수신하고, 가장 느린 송수신기와의 타이밍 차이에 대응하는 제2 타이밍 정보(LTP<0> ~ LTP<n>)를 연산하며, 제2 타이밍 정보(LTP<0> ~ LTP<n>)를 송수신기들(TRX<0> ~ TRX<n>)에 제공한다.

[0064] 로컬 디-스큐부(44)는 트레이닝 모드에서 가장 느린 송수신기와의 타이밍 차이에 대응하는 제2 타이밍 정보(LTP<0> ~ LTP<n>)를 수신하고, 이를 저장한다.

[0065] 위상 생성기(36)는 트레이닝 모드에서 분할된 클럭 신호(CLK_DIV)에 응답하여 미리 설정된 위상 차이를 갖는 다중 위상 클록 신호들(CLK<0:m>)을 생성하고, 이를 저장한다. 여기서, 다중 위상 클록 신호들(CLK<0:m>)의 위상 차이는 9GHz의 1UI로 설정될 수 있다.

[0066] 도 5는 본 발명의 실시예에 따른 테스트 장치의 오퍼레이션 모드에서의 동작을 설명하기 위한 블록도이다. 오퍼레이션 모드는 피 시험 장치(200)들을 실질적으로 동시에 테스트하는 모드로 이해될 수 있다.

[0067] 도 5를 참고하면, 지연고정루프(32)는 오퍼레이션 모드에서 클록 신호(CLK)를 트레이닝 모드에서 락된(locked) 지연 값으로 지연시키고, 지연된 클럭 신호(CLK_del)를 래치부(48)에 제공한다.

[0068] 로컬 디-스큐부(44)는 오퍼레이션 모드에서 디-플립플롭(442)들을 통해 데이터 신호(DATA)를 가장 느린 송수신기와의 타이밍 차이에 대응하는 제2 타이밍 정보(LTP<0> ~ LTP<n>)에 응답하여 단위 간격의 배수로 지연시키고, 지연된 데이터 신호(D2_del)를 직렬 변환기(46)에 제공한다.

[0069] 위상 생성기(36)는 오퍼레이션 모드에서 다중 위상 클록 신호들(CLK<0:m>)을 로컬 디-스큐부(44)에 제공하고, 로컬 디-스큐부(44)는 오퍼레이션 모드에서 클럭 선택기(444)를 통해 다중 위상 클럭 신호들(CLK<0:m>) 중 하나를 선택하고, 선택한 위상 클럭 신호(CLK_SEL)를 직렬 변환기(46)에 제공한다. 이는 위상고정루프(12)의 주파수 변화에 상관없이 다양한 주파수 대역에서 피 시험 장치(200)들을 동시에 테스트 할 수 있게 지원한다.

[0070] 직렬 변환기(46)는 오퍼레이션 모드에서 클럭 신호(CLK)와 클록 선택기(444)에 의해 선택된 위상 클록 신호(CLK_SEL)에 응답하여 지연된 제2 데이터 신호(D2_del)를 직렬 데이터로 변환한다.

[0071] 래치부(48)는 오퍼레이션 모드에서 지연고정루프(32)에 의해 지연된 클록 신호(CLK_del)에 응답하여 직렬 변환기(46)의 직렬 데이터를 래치하고, 출력 구동부(52)는 오퍼레이션 모드에서 래치부(48)의 직렬 데이터에 응답하여 스큐가 보정된 보상 데이터(DATA_CP)를 피 시험 장치(200)에 제공한다.

[0072] 이와 같이, 본 발명의 실시예에 따른 테스트 장치(100)는 송수신기들(TRX<0> ~ TRX<n>)에 대응하는 채널들의 타이밍 정보를 얻기 위한 트레이닝 모드와 피 시험 장치(200)들을 실질적으로 동시에 테스트하는 오퍼레이션 모드로 나누어 동작한다.

[0073] 본 발명의 실시예에 따르면, 지연고정루프(32)는 클록 신호(CLK)를 기준으로 데이터 신호(DATA)가 미리 설정된 단위 간격의 배수로 차이가 나도록 단위 간격의 범위 내에서 데이터 신호(DATA)를 지연시키도록 제한되므로, 다수의 피 시험 장치들을 동시에 테스트 시 파워 드롭이 발생하는 것을 방지할 수 있고, 지연고정루프의 지연라인을 크기를 줄일 수 있으므로 설계 측면에서 칩 면적을 크게 줄일 수 있다.

[0074] 또한, 로컬 디-스큐부(44)는 가장 느린 송수신기와의 타이밍 차이에 대응하는 제2 타이밍 정보(LTP<0> ~ LTP<n>)에 응답하여 N*UI만큼 지연시키므로, 채널들 간의 디-스큐(De-skew)가 정상적으로 이루어져 다수의 피 시험 장치들을 동시에 정확히 테스트할 수 있다.

[0075] 또한, 위상 생성기(36)는 오퍼레이션 모드에서 단위 간격 만큼의 위상 차이를 가지는 다중 위상 클록 신호들(CLK<0:m>)을 생성하고, 이를 보상 데이터(DATA_CP) 출력에 이용하므로, 위상고정루프의 주파수 변화에 상관없이 다양한 주파수 대역에서 피 시험 장치들을 동시에 테스트 할 수 있다.

[0076] 한편, 본 발명의 실시예에 따른 테스트 장치는 테스트 모드에서 100MHz의 패턴 데이터 신호를 제공하는 것으로 구성하고 있으나, 테스트 모드에서 100MHz의 패턴 데이터 신호를 제공하여 가장 느린 송수신기와의 타이밍 차이에 대응하는 제2 타이밍 정보를 획득하고, 4.5GHz의 데이터 신호를 제공하여 지연고정루프의 지연을 락(lock)시키는 것으로 구성할 수 있다.

부호의 설명

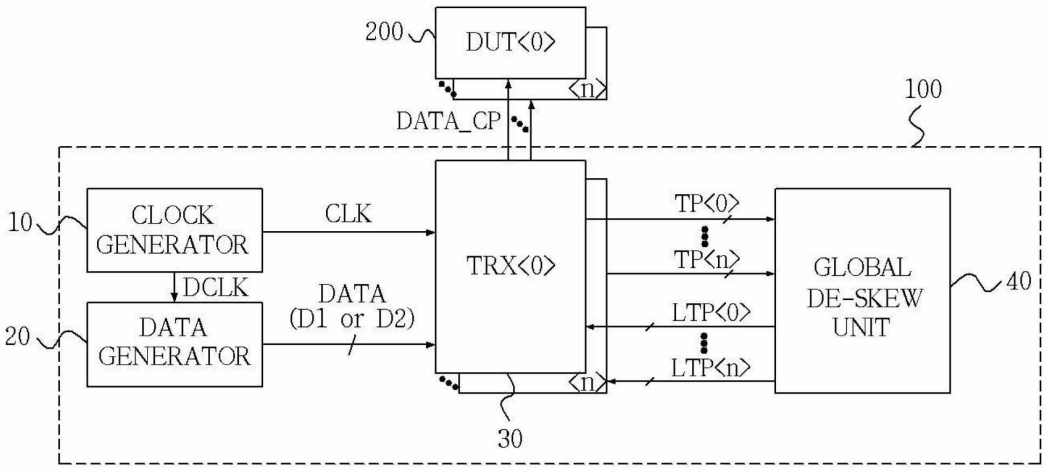
[0077] 10: 클럭 생성부 20: 데이터 생성부

30: 송수신기 40: 글로벌 디-스큐부

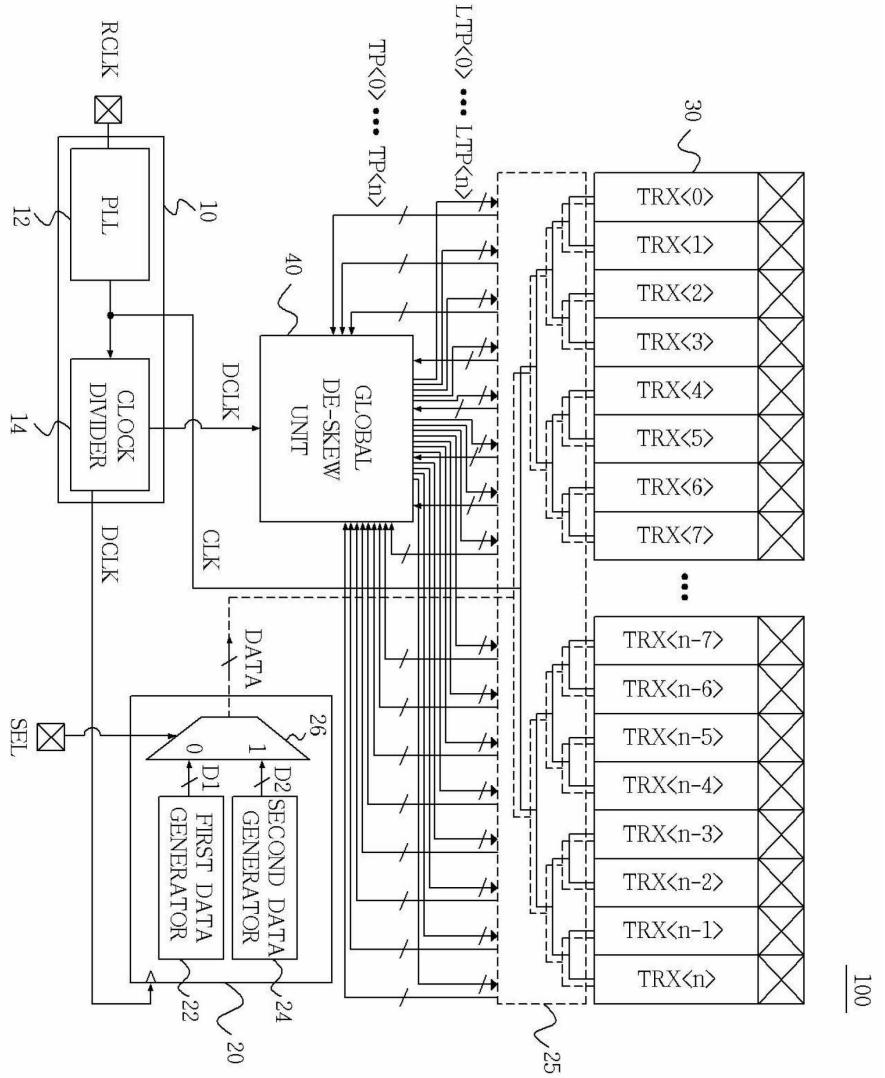
100: 테스트 장치 200: 피 시험 장치

도면

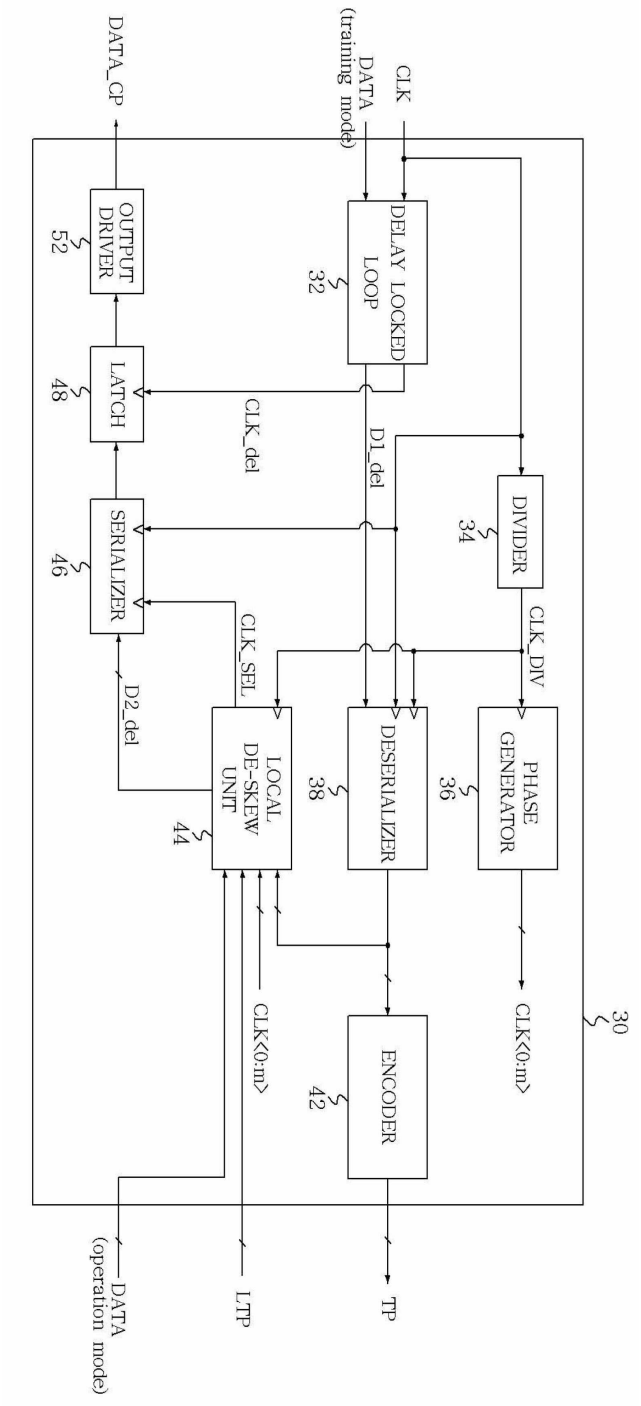
도면1



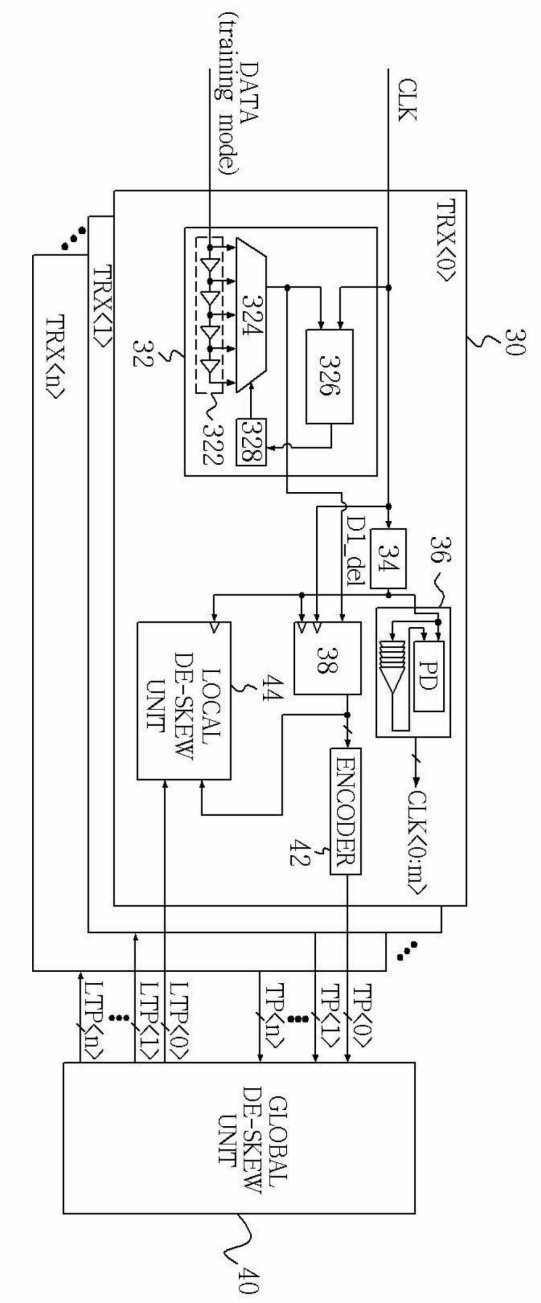
도면2


RCLK
PLL
12
10
CLOCK DIVIDER
14
DCLK
CLK
DCLK
SEL
TP<0> ... TP<n>
LTP<0> ... LTP<n>
40
GLOBAL DE-SKEW UNIT
30
TRX<0>
TRX<1>
TRX<2>
TRX<3>
TRX<4>
TRX<5>
TRX<6>
TRX<7>
TRX<n-7>
TRX<n-6>
TRX<n-5>
TRX<n-4>
TRX<n-3>
TRX<n-2>
TRX<n-1>
TRX<n>
100
25
DATA
26
0
1
D1
D2
FIRST DATA GENERATOR
SECOND DATA GENERATOR
22
24
20

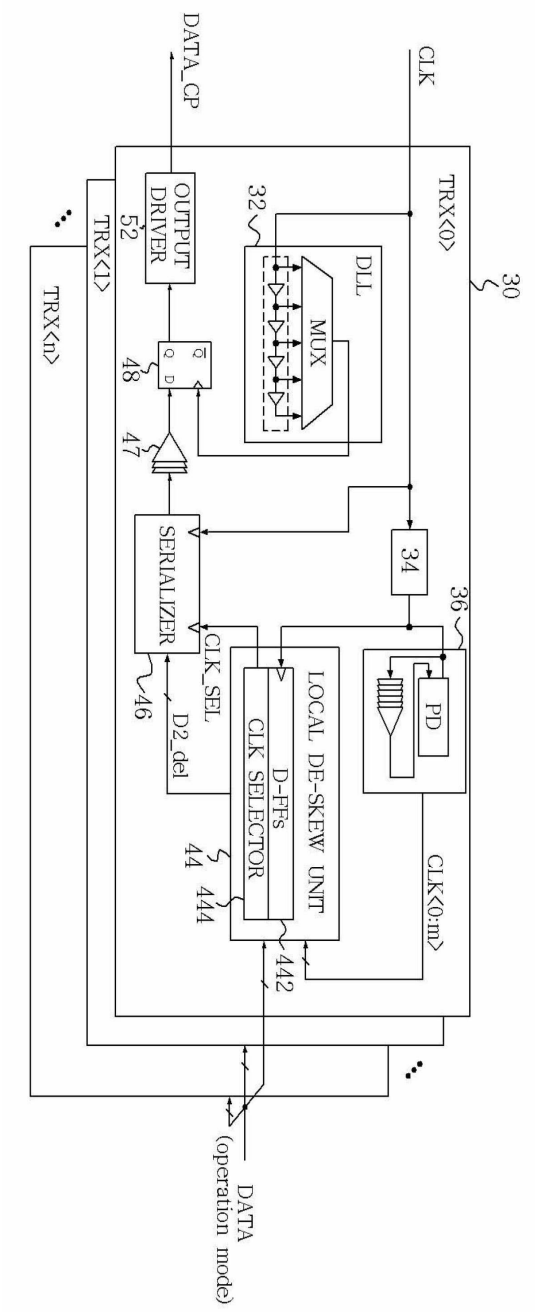
도면3


DATA_CP
DATA (training mode)
CLK
OUTPUT DRIVER
52
DELAY_LOCKED LOOP
32
LATCH
48
CLK_del
D1_del
DIVIDER
34
SERIALIZER
46
CLK_SEL
CLK_DIV
D2_del
LOCAL DE-SKEW UNIT
44
DESERIALIZER
38
PHASE GENERATOR
36
30
CLK<0:m>
ENCODER
42
CLK<0:m>
LTP
TP
DATA (operation mode)

도면4


DATA
(training mode)
CLK
TRX<0>
TRX<1>
TRX<n>
30
32
324
326
322
328
D1_del
34
36
38
PD
LOCAL
DE-SKEW
UNIT
44
ENCODER
42
CLK<0:m>
LTP<n>
LTP<1>
LTP<0>
TP<n>
TP<1>
TP<0>
GLOBAL
DE-SKEW
UNIT
40

도면5


DATA_CP
CLK
TRX<0>
30
OUTPUT DRIVER
52
32
DLL
MUX
TRX<1>
TRX<n>
48
47
SERIALIZER
34
36
CLK_SEL
46
D2_del
LOCAL DE-SKEW UNIT
D-FFs
CLK SELECTOR
44
444
442
PD
CLK<0:m>
DATA
(operation mode)