

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-99212

(P2012-99212A)

(43) 公開日 平成24年5月24日(2012.5.24)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 19/28 (2006.01)	G 1 1 C 19/28 D	2 H 1 9 3
G 0 9 G 3/36 (2006.01)	G 0 9 G 3/36	5 C 0 0 6
G 0 9 G 3/20 (2006.01)	G 0 9 G 3/20 6 1 1 J	5 C 0 8 0
G 1 1 C 19/00 (2006.01)	G 0 9 G 3/20 6 2 2 E	
G 0 2 F 1/133 (2006.01)	G 0 9 G 3/20 6 8 0 G	

審査請求 未請求 請求項の数 9 O L (全 17 頁) 最終頁に続く

(21) 出願番号 特願2011-238656 (P2011-238656)
 (22) 出願日 平成23年10月31日(2011.10.31)
 (31) 優先権主張番号 201010532020.5
 (32) 優先日 平成22年10月29日(2010.10.29)
 (33) 優先権主張国 中国 (CN)

(71) 出願人 510280589
 京東方科技集團股▲ふん▼有限公司
 中華人民共和國 1 0 0 0 1 5 北京市朝陽區
 酒仙橋路 1 0 號
 (71) 出願人 511121702
 成都京東方光電科技有限公司
 中華人民共和國 6 1 1 7 3 1 四川省成都市
 高新區 (西區) 合作路 1 1 8 8 號
 (74) 代理人 100108453
 弁理士 村山 靖彦
 (74) 代理人 100089037
 弁理士 渡邊 隆
 (74) 代理人 100110364
 弁理士 実広 信哉

最終頁に続く

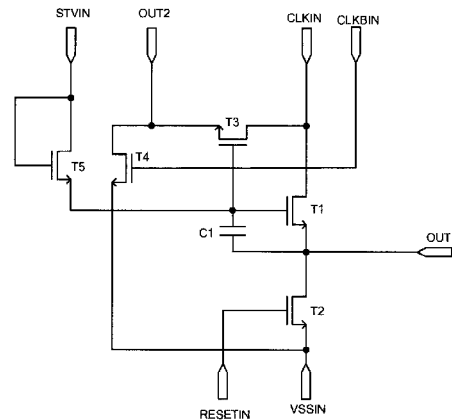
(54) 【発明の名称】 シフト・レジスタユニット、ゲート駆動装置及び液晶ディスプレイ

(57) 【要約】

【課題】本発明は、シフト・レジスタユニット、ゲート駆動装置及び液晶ディスプレイを提供する。

【解決手段】前記シフト・レジスタユニットは五つの薄膜トランジスタを備える。第1の薄膜トランジスタのドレインが第1のクロック信号入力端に接続される。第3の薄膜トランジスタのドレインが第1のクロック信号入力端に接続され、ゲートが第1の薄膜トランジスタのゲートに接続され、ソースが第2の信号出力端に接続される。第1の信号出力端はゲート駆動信号を出力し、第2の信号出力端は隣接する次のシフト・レジスタユニットに制御信号を提供する。本発明が提供するシフト・レジスタユニット、ゲート駆動装置、及び液晶ディスプレイは、ゲート駆動信号と隣接する次のシフト・レジスタユニットを制御するための制御信号とを分離するので、遅延の堆積によるゲート駆動信号の正確度の低下という課題を解決できる。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

シフト・レジスタユニットであって、

ドレインが第1のクロック信号入力端に接続され、ソースが第1の信号出力端に接続される第1の薄膜トランジスタと、

ドレインが第1の信号出力端に接続され、ゲートがリセット信号入力端に接続され、ソースがローレベル信号入力端に接続される第2の薄膜トランジスタと、

ドレインが前記第1のクロック信号入力端に接続され、ゲートが前記第1の薄膜トランジスタのゲートに接続され、ソースが第2の信号出力端に接続される第3の薄膜トランジスタと、

10

ドレインが前記第3の薄膜トランジスタのドレインに接続され、ゲートが第2のクロック信号入力端に接続され、ソースがローレベル信号入力端に接続される第4の薄膜トランジスタと、

ゲートとドレインがいずれもスタート信号入力端に接続され、ソースが前記第1の薄膜トランジスタのゲートに接続される第5の薄膜トランジスタと、

両端がそれぞれ前記第1の薄膜トランジスタのゲートとソースとに接続されるコンデンサーと、を備え、

前記第1のクロック信号入力端がクロック信号を入力し、前記第2のクロック信号入力端が前記第1のクロック信号入力の信号と逆位相になるクロック信号を入力し、前記リセット信号入力端がリセット信号を入力し、前記スタート信号入力端がスタート信号を入力し、前記ローレベル信号入力端がローレベル信号を入力し、前記第1の信号出力端がゲート駆動信号を出力し、前記第2の信号出力端が隣接する次のシフト・レジスタユニットに制御信号を提供することを特徴とするシフト・レジスタユニット。

20

【請求項 2】

前記ゲート駆動信号がローレベルに保持される必要のある段階において、前記ゲート駆動信号のレベルをローレベルにプルダウンするように制御するプルダウンモジュールを更に備えることを特徴とする請求項1に記載のシフト・レジスタユニット。

【請求項 3】

前記プルダウンモジュールは駆動ユニットとプルダウンユニットとを備え、

前記駆動ユニットは、前記プルダウンユニットを、前記ゲート駆動信号がローレベルに保持される必要のある段階において動作するように駆動し、

30

前記プルダウンユニットは、前記駆動ユニットの制御によって前記ゲート駆動信号をローレベルにプルダウンすることを特徴とする請求項2に記載のシフト・レジスタユニット

。

【請求項 4】

前記駆動ユニットは、

ドレインとゲートとが前記第1のクロック信号入力端に接続される第9の薄膜トランジスタと、

ドレインが前記第1のクロック信号入力端に接続され、ゲートが前記第2のクロック信号入力端に接続され、ソースが前記第9の薄膜トランジスタのソースに接続される第10薄膜トランジスタと、

40

ドレインが前記第9の薄膜トランジスタのソースと第10薄膜トランジスタのソースとに接続され、ゲートが前記第3の薄膜トランジスタのソースに接続され、ソースが前記ローレベル信号入力端に接続される第11の薄膜トランジスタと、を備え、

前記プルダウンユニットは

ドレインが前記第5の薄膜トランジスタのソースに接続され、ゲートが前記第9の薄膜トランジスタのソースに接続され、ソースが前記ローレベル信号入力端に接続される第6薄膜トランジスタと、

ドレインが前記第1の信号出力端に接続され、ゲートが前記第9の薄膜トランジスタのソースに接続され、ソースが前記ローレベル信号入力端に接続される第7の薄膜トランジスタ

50

たと、

ドレインが前記第1の信号出力端に接続され、ゲートが前記第2のクロック信号入力端に接続され、ソースが前記ローレベル信号入力端に接続される第8の薄膜トランジスタと、を備えることを特徴とする請求項3に記載のシフト・レジスタユニット。

【請求項5】

前記駆動ユニットは、

ドレインがハイレベル信号入力端に接続され、ゲートが前記第1のクロック信号入力端に接続される第12の薄膜トランジスタと、

ドレインが前記第12の薄膜トランジスタのソースに接続され、ゲートが前記第2のクロック信号入力端に接続され、ソースが前記ローレベル信号入力端に接続される第13の薄膜トランジスタと、

ドレインが前記第12の薄膜トランジスタのソースに接続され、ゲートが前記第3の薄膜トランジスタのソースに接続され、ソースが前記ローレベル信号入力端に接続される第14の薄膜トランジスタと、

前記プルダウンユニットは、

ゲートが前記第12の薄膜トランジスタのソースに接続され、ドレインが前記第5の薄膜トランジスタのソースに接続され、ソースが前記ローレベル信号入力端に接続される第6の薄膜トランジスタと、

ドレインが前記第1の信号出力端に接続され、ゲートが前記第12の薄膜トランジスタのソースに接続され、ソースが前記ローレベル信号入力端に接続される第7の薄膜トランジスタと、

ドレインが前記第1の信号出力端に接続され、ゲートが前記第2のクロック信号入力端に接続され、ソースが前記ローレベル信号入力端に接続される第8の薄膜トランジスタと、を備え、

前記ハイレベル信号入力端はハイレベル信号を入力することを特徴とする請求項3に記載のシフト・レジスタユニット。

【請求項6】

ドレインが前記第5の薄膜トランジスタのソースに接続され、ゲートが前記リセット信号入力端に接続され、ソースが前記ローレベル信号入力端に接続される第15の薄膜トランジスタを更に備えることを特徴とする請求項4又は5に記載のシフト・レジスタユニット。

【請求項7】

液晶ディスプレイ・ゲート駆動装置であって、順次に接続するn個の請求項1から請求項6までのいずれか一つに記載される前記シフト・レジスタユニットを備え、ただし、nが自然数であって、

1個目のシフト・レジスタユニットとn個目のシフト・レジスタユニット以外、他の各シフト・レジスタユニットの第2の信号出力端はいずれも隣接する一つ前のシフト・レジスタユニットのリセット信号入力端、及び隣接する次のシフト・レジスタユニットのスタート信号入力端に接続され、

1個目のシフト・レジスタユニットの第2の信号出力端が2個目のシフト・レジスタユニットのスタート信号入力端に接続され、

最後のシフト・レジスタユニットの第2の信号出力端がn-1目のシフト・レジスタユニットのリセット信号入力端、及び自身のリセット信号入力端に接続されることを特徴とする液晶ディスプレイ・ゲート駆動装置。

【請求項8】

前記奇数目のシフト・レジスタユニットは、第1のクロック信号入力端が第1のクロック信号を入力し、その第2のクロック信号入力端が第2のクロック信号を入力し、

偶数目のシフト・レジスタユニットは、第1のクロック信号入力端が第2のクロック信号を入力し、その第2のクロック信号入力端が第1のクロック信号を入力し、

前記第1のクロック信号と第2のクロック信号は互いに逆位相の信号である請求項7に記載の液晶ディスプレイ・ゲート駆動装置。

10

20

30

40

50

【請求項9】

液晶ディスプレイであって、請求項7又は請求項8に記載の前記液晶ディスプレイ・ゲート駆動装置を備えることを特徴とする液晶ディスプレイ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施例は、駆動技術分野に係わり、特にシフト・レジスタユニット、ゲート駆動装置及び液晶ディスプレイに係わるものである。

【背景技術】

【0002】

薄膜トランジスタ・液晶ディスプレイ（Thin Film Transistor Liquid Crystal Display、TFT-LCDと略称される）において、常にゲート駆動装置により画素領域の各薄膜トランジスタのゲートにゲート駆動信号が供給される。ゲート駆動装置はアレイ工程によって液晶ディスプレイのアレイ基板に形成される。このような技術はGOA技術（Gate on Array、GOAと称される）とも称される。

【0003】

GOA技術を採用して形成された液晶ディスプレイのゲート駆動装置は多数のシフト・レジスタユニットを備える。一つのシフト・レジスタユニットは一つのゲート駆動信号を出力する。シフト・レジスタユニットは画素領域（画素領域とは、液晶ディスプレイの表示領域を指し、多数のサブピクセルを備える）のゲートラインに接続される。画素領域のゲートラインに負荷が存在する。ゲートラインの負荷は、シフト・レジスタユニットが出力するゲート駆動信号に遅延を引き起こさせる。

【0004】

従来技術に係るゲート駆動装置において、一つのシフト・レジスタユニットが出力したゲート駆動信号はゲートラインを駆動する必要がある以外に、隣接する次のシフト・レジスタユニットの制御信号（例えば、隣接する次のシフト・レジスタユニットのフレームスタート信号とする）として隣接する次のシフト・レジスタユニットに入力される必要もある。このように、隣接する次のシフト・レジスタユニットが生成するゲート駆動信号は更に長い遅延を生じてしまう。このように類推すると、各シフト・レジスタ間に遅延の累積が生じることに相当して、ゲート駆動装置が出力するゲート駆動信号の正確度が低減される。

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明は、従来技術において遅延の累積によって、ゲート駆動装置が出力したゲート駆動信号の正確度が低減される、という課題を解決するため、シフト・レジスタユニット、ゲート駆動装置及び液晶ディスプレイを提供することを目的とする。

【課題を解決するための手段】

【0006】

本発明の実施例が提供するシフト・レジスタユニットであって、
ドレインが第1のクロック信号入力端に接続され、ソースが第1の信号出力端に接続される第1の薄膜トランジスタと、
ドレインが第1の信号出力端に接続され、ゲートがリセット信号入力端に接続され、ソースがローレベル信号入力端に接続される第2の薄膜トランジスタと、
ドレインが前記第1のクロック信号入力端に接続され、ゲートが前記第1の薄膜トランジスタのゲートに接続され、ソースが第2の信号出力端に接続される第3の薄膜トランジスタと、
ドレインが前記第3の薄膜トランジスタのドレインに接続され、ゲートが第2のクロック信号入力端に接続され、ソースがローレベル信号入力端に接続される第4の薄膜トランジスタと、

ゲートとドレインがいずれもスタート信号入力端に接続され、ソースが前記第1の薄膜トランジスタのゲートに接続される第5の薄膜トランジスタと、

両端がそれぞれ前記第1の薄膜トランジスタのゲートとソースとに接続されるコンデンサーと、を備え、

前記第1のクロック信号入力端がクロック信号を入力し、前記第2のクロック信号入力端が前記第1のクロック信号の信号と逆位相になるクロック信号を入力し、前記リセット信号入力端がリセット信号を入力し、前記スタート信号入力端がスタート信号を入力し、前記ローレベル信号入力端がローレベル信号を入力し、前記第1の信号出力端がゲート駆動信号を出力し、前記第2の信号出力端が隣接する次のシフト・レジスタユニットに制御信号を提供する。

10

【0007】

本発明が更に提供する液晶ディスプレイ・ゲート駆動装置であって、順次に接続するn個の前記シフト・レジスタユニットを備え、ただし、nが自然数であって、

1個目のシフト・レジスタユニットとn個目のシフト・レジスタユニット以外、他の各シフト・レジスタユニットの第2の信号出力端はいずれも隣接する一つ前のシフト・レジスタユニットのリセット信号入力端、及び隣接する次のシフト・レジスタユニットのスタート信号入力端に接続され、

1個目のシフト・レジスタユニットの第2の信号出力端が2個目のシフト・レジスタユニットのスタート信号入力端に接続され、

最後のシフト・レジスタユニットの第2の信号出力端がn-1個目のシフト・レジスタユニットのリセット信号入力端、及び自身のリセット信号入力端に接続されている。

20

【0008】

本発明が更に提供する液晶ディスプレイであって、前記液晶ディスプレイ・ゲート駆動装置を備える。

【0009】

本発明が提供するシフト・レジスタユニット、ゲート駆動装置及び液晶ディスプレイは、第1の薄膜トランジスタのゲートと第3の薄膜トランジスタのゲートとは、いずれも第5の薄膜トランジスタのソースに接続され、第1の薄膜トランジスタのドレインと第3の薄膜トランジスタのソースとはいずれも第1のクロック信号入力端に接続され、第3の薄膜トランジスタのドレインが第2の信号出力端に接続され、第1の薄膜トランジスタのソースが第1の信号出力端に接続されている。このような接続方法によって、第1の信号出力端が出力する信号が、第2の信号出力端が出力する信号と大体同じようになるのを保証でき、且つ第2の信号出力端が画素領域のゲートラインに接続されないため、画素領域の負荷による影響を受けなく、第2の信号出力端が出力する信号は第1の信号出力端が出力する信号と比べ、遅延がより小さい。第2の信号出力端が出力する信号を隣接する次のシフト・レジスタユニットにとって必要となる制御信号とすることによって、遅延の累積によりもたらした、ゲート駆動装置が出力したゲート駆動信号の正確度が低減される、という課題を解決することができ、ゲート駆動信号の正確度を向上させる。

30

【0010】

本発明の実施例または従来技術の技術案をさらに明瞭に説明するために、以下は、実施例または従来技術の説明に必要となる図面を簡単に説明する。下記の図面は明らかに本発明の一部の実施例に係わるものにすぎず、当業者にとって進歩な労働を支払わない場合に、これらの図面に基づいてほかの図面を得られる。

40

【図面の簡単な説明】

【0011】

【図1】本発明の第1実施例に係わるシフト・レジスタユニットの構成模式図である。

【図2】図1に示したシフト・レジスタユニットが生成するゲート駆動信号の模式図である。

【図3】本発明の第2実施例に係わるシフト・レジスタユニットの構成模式図である。

【図4】本発明の第3実施例に係わるシフト・レジスタユニットの構成模式図である。

50

【図5】本発明に係わる液晶ディスプレイのゲート駆動装置の構成模式図である。

【図6】図5に示した液晶ディスプレイのゲート駆動装置の入力/出力する信号のシーケンス図である。

【図7】図4に示したシフトのレジスタユニットの入力/出力する信号のシーケンス図である。

【図8】本発明の第4実施例に係わるシフト・レジスタユニットの構成模式図である。

【図9】本発明の第5実施例に係わるシフト・レジスタユニットの構成模式図である。

【発明を実施するための形態】

【0012】

本発明の実施例の目的、技術案及びメリットを更に明瞭にするために、以下は、本発明の実施例の図面を結合して、本発明の実施例の技術案を明瞭で完全に説明する。下記の実施例は明らかに本発明の一部の実施例に過ぎず、全部の実施例を含まれないのである。本発明の実施例に基づいて、当業者は進歩な労働を支払わない場合に得るほかの実施例も、本発明の保護した範囲に属する。

10

【0013】

図1は本発明の第1実施例に係わるシフト・レジスタユニットの構成模式図である。このシフト・レジスタユニットは、第1の薄膜トランジスタT1と、第2の薄膜トランジスタT2と、第3の薄膜トランジスタT3と、第4の薄膜トランジスタT4と、第5の薄膜トランジスタT5と、コンデンサーC1と、を備える。

【0014】

第1の薄膜トランジスタT1のドレインが第1のクロック信号入力端(CLKIN)に接続され、ソースが第1の信号出力端(OUT1)に接続される。

20

【0015】

第2の薄膜トランジスタT2のドレインが第1の信号出力端(OUT1)に接続され、ゲートがリセット信号入力端(RESETIN)に接続され、ソースがローレベル信号入力端(VSSIN)に接続される。

【0016】

第3の薄膜トランジスタT3のドレインが第1のクロック信号入力端(CLKIN)に接続され、ゲートが第1の薄膜トランジスタT1のゲートに接続され、ソースが第2の信号出力端(OUT2)に接続される。

30

【0017】

第4の薄膜トランジスタT4のドレインが第3の薄膜トランジスタT3のドレインに接続され、ゲートが第2のクロック信号入力端(CLKBIN)に接続され、ソースがローレベル信号入力端(VSSIN)に接続される。

【0018】

第5の薄膜トランジスタT5のゲートとドレインがいずれもスタート信号入力端(STVIN)に接続され、ソースが第1の薄膜トランジスタT1のゲートに接続される。

【0019】

コンデンサーC1の両端がそれぞれ第1の薄膜トランジスタT1のゲートとソースとに接続される。

40

【0020】

ただし、第1のクロック信号入力端(CLKIN)はクロック信号を入力する。第2のクロック信号入力端(CLKBIN)は第1のクロック信号の入力信号と逆位相になるクロック信号を入力する。リセット信号入力端(RESETIN)はリセット信号を入力する。スタート信号入力端(STVIN)はフレームスタート信号を入力する。ローレベル信号入力端(VSSIN)はローレベル信号を入力する。第1の信号出力端(OUT1)はゲート駆動信号を出力する。第2の信号出力端(OUT2)は隣接する次のシフト・レジスタユニットに制御信号を提供する。

【0021】

本発明の第1実施例が提供するシフト・レジスタユニットは第1の信号出力端と第2の信号出力端を備える。前記第1の信号出力端はゲート駆動信号を出力する。即ち、第1の信号

50

出力端が画素領域のゲートラインに接続される。第2の信号出力端は隣接する次のシフト・レジスタユニットに制御信号を提供する。前記隣接する次のシフト・レジスタユニットに必要となる制御信号はリセット信号とフレームスタート信号を備えてもいい。隣接する一つ前のシフト・レジスタユニットが出力するゲート駆動信号は、隣接する次のシフト・レジスタユニットの制御信号としてもいい。

【0022】

第1実施例においては、第1の薄膜トランジスタのゲートと第3の薄膜トランジスタのゲートとはいずれも第5の薄膜トランジスタのソースに接続され、第1の薄膜トランジスタのドレインと第3の薄膜トランジスタのソースとはいずれも第1のクロック信号入力端に接続され、第3の薄膜トランジスタのドレインは第2の信号出力端に接続され、第1の薄膜トランジスタのソースは第1の信号出力端に接続される。このような接続方法によって、第1の信号出力端が出力する信号は第2の信号出力端が出力する信号と大体同じであって、且つ第2の信号出力端が画素領域のゲートラインに接続されないため、画素領域の負荷に影響されないため、第2の信号出力端が出力する信号は第1の信号出力端が出力する信号に比べて、遅延がより小さい。第2の信号出力端が出力する信号を隣接する次のシフト・レジスタユニットに必要となる制御信号とすることによって、遅延累積によってゲート駆動装置が出力するゲート駆動信号の正確度が低減されるという課題を解決でき、且つゲート駆動信号の正確度を向上させることができる。

【0023】

第1実施例が提供するシフト・レジスタユニットは、実際にシフト・レジスタユニットが生成する制御信号とゲート駆動信号とを分離して、ゲート駆動信号がゲートラインを駆動するのみに用いられ、隣接する次のシフト・レジスタユニットがゲート駆動信号を生成するように制御する機能は第2の信号出力端が出力する信号によって実現されるが、従来技術のように、一つの信号出力端が生成するゲート駆動信号はゲートラインを駆動するためにも用いられ、隣接する次のシフト・レジスタユニットがゲート駆動信号を生成するように制御するためにも用いられることではないのである。

【0024】

図2は図1に示したシフト・レジスタユニットが生成するゲート駆動信号の模式図である。液晶ディスプレイにとっては、一行のゲートラインをオンするように制御する必要があるときに、この行のゲートラインに接続されるシフト・レジスタユニットが出力するゲート駆動信号はハイレベルである。この行のゲートラインをオフするように制御する必要があるときに、この行のゲートラインに接続されるシフト・レジスタユニットが出力するゲート駆動信号はローレベルである。液晶ディスプレイが順次走査を採用する場合に、ゲートラインがa行あって、液晶ディスプレイの1フレームの表示時間がTとすると、ゲート駆動信号がハイレベルに保持された時間はT/aである。

【0025】

しかし、第1の信号出力端が出力するゲート駆動信号は、ローレベルに保持される段階において、クロック信号の影響によってハイレベルになってしまう可能性があって、これにより、液晶ディスプレイの正常表示に影響する。図1を例にして、第1の薄膜トランジスタT1のドレインが第1のクロック信号出力端に接続され、ゲート駆動信号がローレベルに保持される段階において、第1のクロック信号入力端(CLKIN)に入力される信号は依然としてハイレベルになる。第1のクロック信号入力端(CLKIN)に入力される信号がハイレベルになることは、ゲート駆動信号もハイレベルになることをもたらす可能性がある。第2の薄膜トランジスタは、ゲート駆動信号のレベルを低減するレベルプルダウン役割を果たすことができるが、第2の薄膜トランジスタは、リセット信号入力端(RESETIN)に入力されるリセット信号がハイレベルである場合こそ、レベルをプルダウンする役割を果たす。第2の薄膜トランジスタがオフされる場合に、ゲート駆動信号をローレベルに確実に保持されることが保証できない。

【0026】

図3は本発明の第2実施例に係わるシフト・レジスタユニットの構成模式図である。こ

10

20

30

40

50

の実施例においては、第1実施例の上にプルダウンモジュール11が追加される。このプルダウンモジュールは、第1の信号出力端（OUT1）に接続され、ゲート駆動信号がローレベルに保持される必要のある段階において、駆動信号のレベルをローレベルにプルダウンするように制御する。

【0027】

プルダウンモジュール11は駆動ユニット11aとプルダウンユニット11bとを備えてもよい。駆動ユニット11aは第1のクロック信号入力端（CLKIN）と第2のクロック信号入力端（CLKBIN）と第2の信号出力端（OUT2）とに接続されることができ、ゲート駆動信号がローレベルに保持される必要のある段階においてプルダウンユニットを動作させるように駆動する。プルダウンユニット11bが駆動ユニット11aと第1の信号出力端（OUT1）とに接続され、駆動ユニット11aの制御によって第1の信号出力端（OUT1）が出力するゲート駆動信号をローレベルにプルダウンする。

10

【0028】

図4は本発明の第3実施例に係わるシフト・レジスタユニットの構成模式図である。この実施例において、駆動ユニット11aは第9の薄膜トランジスタT9と第10薄膜トランジスタT10と第11の薄膜トランジスタT11とを備える。第9の薄膜トランジスタT9のドレインとゲートが第1のクロック信号入力端（CLKIN）に接続される。第10薄膜トランジスタT10のドレインが第1のクロック信号入力端（CLKIN）に接続され、ゲートが第2のクロック信号入力端（CLKBIN）に接続され、ソースが第9の薄膜トランジスタT9のソースに接続される。第11の薄膜トランジスタT11のドレインが第9の薄膜トランジスタT9のソースと第10薄膜トランジスタT10のソースに接続され、ゲートが第3の薄膜トランジスタT3のソースに接続され、ソースがローレベル信号入力端（VSSIN）に接続される。

20

【0029】

プルダウンユニット11bは第6の薄膜トランジスタT6と第7の薄膜トランジスタT7と第8の薄膜トランジスタT8とを備える。第6の薄膜トランジスタT6のドレインが第5の薄膜トランジスタT5のソースに接続され、ゲートが第9の薄膜トランジスタT9のソースに接続され、ソースがローレベル信号入力端（VSSIN）に接続される。第7の薄膜トランジスタT7のドレインが第1の信号出力端（OUT1）に接続され、ゲートが第9の薄膜トランジスタT9のソースに接続され、ソースがローレベル信号入力端（VSSIN）に接続される。第8の薄膜トランジスタT8のドレインが第1の信号出力端（OUT1）に接続され、ゲートが第2のクロック信号入力端（CLKBIN）に接続され、ソースがローレベル信号入力端（VSSIN）に接続される。

30

【0030】

図5は本発明に係わる液晶ディスプレイ・ゲート駆動装置の構成模式図である。この装置は順次に接続されるn個の前記各実施例に記載のシフト・レジスタユニットを備える。ただし、nは自然数である。各シフト・レジスタユニットはそれぞれSR₁、SR₂、……、SR_nと標識される。

【0031】

1個目のシフト・レジスタユニットSR₁とn個目のシフト・レジスタユニットSR_n以外に、各シフト・レジスタユニットの第2の信号出力端（OUT2）はいずれも隣接する一つ前のシフト・レジスタユニットのリセット信号入力端（RESETIN）、及び隣接する次のシフト・レジスタユニットのスタート信号入力端（STVIN）に接続される。

40

【0032】

1個目のシフト・レジスタユニットSR₁の第2の信号出力端（OUT2）が2個目のシフト・レジスタユニットのスタート信号入力端（STVIN）に接続される。

【0033】

最後のシフト・レジスタユニットSR_nの第2の信号出力端（OUT2）がn-1個目のシフト・レジスタユニットのリセット信号入力端（RESETIN）、及び自身のリセット信号入力端（RESETIN）に接続される。

【0034】

各シフト・レジスタユニットが出力するゲート駆動信号はそれぞれGL₁、GL₂、……、GL

50

n と標識される。

【0035】

図5及び前述各シフト・レジスタユニットの実施例を結合して、本発明が提供するゲート駆動装置における各シフト・レジスタユニットの接続関係が明瞭に見える。以下は、単独のシフト・レジスタユニットにおいて入/出力の信号間のシーケンス関係、及び液晶ディスプレイのゲート駆動装置において入/出力の信号間のシーケンス関係を説明する。

【0036】

図6は図5に示した液晶ディスプレイ・ゲート駆動装置が信号を入/出力するシーケンスを示した図である。STVはフレームスタート信号であって、1個目のシフト・レジスタユニットSR₁のスタート信号入力端(STVIN)に入力される。他のシフト・レジスタユニットのスタート信号入力端(STVIN)はいずれも隣接する一つ前のシフト・レジスタユニットの第2の信号出力端(OUT2)に接続され、即ち、他のシフト・レジスタユニットのスタート信号入力端(STVIN)に入力されるのは、隣接する一つ前のシフト・レジスタユニットの第2の信号出力端(OUT2)が出力する信号である。シフト・レジスタユニットの第2の信号出力端(OUT2)が出力する信号は隣接する次のシフト・レジスタユニットのフレームスタート信号とされる。

10

【0037】

各シフト・レジスタユニットの第1の信号出力端(OUT1)が一つのゲート駆動信号を出力して、液晶ディスプレイの一行のゲートラインを駆動する。

【0038】

ローレベル信号(VSS)(図6においてVSSが図示しない)が各シフト・レジスタユニットのローレベル信号入力端(VSSIN)に入力される。

20

【0039】

奇数目のシフト・レジスタユニットは、第1のクロック信号入力端(CLKIN)が第1のクロック信号(CLK)を入力し、第2のクロック信号入力端(CLKBIN)が第2のクロック信号(CLKB)を入力する。偶数目のシフト・レジスタユニットは、第1のクロック信号入力端(CLKIN)が第2のクロック信号(CLKB)を入力し、第2のクロック信号入力端(CLKBIN)が第1のクロック信号(CLK)を入力する。前記第1のクロック信号(CLK)と第2のクロック信号(CLKB)は互いに逆位相の信号である。

【0040】

図7は図4に示したシフト・レジスタユニットの入/出力する信号のシーケンス図である。スタート信号入力端(STVIN)がフレームスタート信号(STV)を入力し、第1のクロック信号入力端(CLKIN)が第1のクロック信号(CLK)を入力し、第2のクロック信号入力端(CLKBIN)が第2のクロック信号(CLKB)を入力し、ローレベル信号入力端(VSSIN)がローレベル信号(VSS)を入力し、リセット信号入力端(RESETIN)がリセット信号(RESET)を入力し、第1の信号出力端(OUT1)がゲート駆動信号(GL₁)を出力し、第2の信号出力端(OUT2)が2個目のシフト・レジスタユニットを制御するための制御信号(OUTPUT2)を出力する。図7にローレベル信号(VSS)が図示されないが、ローレベル信号(VSS)はずっとローレベルに保持される信号である。

30

【0041】

図4に示したシフト・レジスタユニットにおいて、第3の薄膜トランジスタT3のゲートと、第1の薄膜トランジスタT1のゲートと、コンデンサC1の一端と、第6の薄膜トランジスタT6のドレインと、第5の薄膜トランジスタT5のソースとを接合するところにはP接合点が形成される。第9の薄膜トランジスタT9のソースと、第10薄膜トランジスタT10のソースと、第11の薄膜トランジスタT11のドレインと、第6の薄膜トランジスタT6のゲートと、第7の薄膜トランジスタT7のゲートとを接合するところにはM接合点が形成される。図7にはM接合点とP接合点のシーケンスが併せて図示している。

40

【0042】

以下は、図4と図5と図7とを結合して、本発明が提供するシフト・レジスタユニットの動作原理を説明する。

50

【 0 0 4 3 】

図 7 に示したシーケンス図面の一部を選択して、その中から5つの段階を選び、A、B、C、D、及びEと標識している。

【 0 0 4 4 】

A段階においては、第2のクロック信号 (CLKB) はハイレベルであって、第10の薄膜トランジスタT10はオンされる。第1のクロック信号 (CLK) はローレベルであるので、M接合点のレベルがローレベルにプルダウンされ、第6の薄膜トランジスタT6と第7の薄膜トランジスタT7がオフされる。フレームスタート信号 (STV) はハイレベルであって、第5の薄膜トランジスタT5がオンされ、P接合点のレベルがハイレベルにプルアップされるので、第1の薄膜トランジスタT1と第3の薄膜トランジスタT3とがオンされる。第2のクロック信号 (CLKB) はハイレベルであるため、第8の薄膜トランジスタがオンされる。そこで、第1の信号出力端が出力する信号 (GL₁) はローレベルとなる。第1のクロック信号 (CLK) はローレベルであって、且つ第3の薄膜トランジスタT3がオンされるので、第2の信号出力端が出力する信号 (OUTPUT2) はローレベルとなる。コンデンサーC1の両端の充電電圧はハイレベルのレベル値とローレベルのレベル値との間の差の値である。

10

【 0 0 4 5 】

B段階においては、リセット信号 (RESET) と第2のクロック信号 (CLKB) がローレベルであって、フレームスタート信号 (STV) がローレベルであるので、第2の薄膜トランジスタT2、第5の薄膜トランジスタT5、第8の薄膜トランジスタT8及び第10薄膜トランジスタT10はオフされる。コンデンサーC1の電荷保持作用により、P接合点のレベルは依然としてハイレベルに保持され、第1の薄膜トランジスタT1と第3の薄膜トランジスタT3はオン状態に保持される。第1のクロック信号 (CLK) がハイレベルであって、且つ第3の薄膜トランジスタT3がオンされるので、第2の信号出力端が出力する信号 (OUTPUT2) はハイレベルとなり、第11の薄膜トランジスタT11がオンされる。第1のクロック信号 (CLK) がハイレベルであるため、第9の薄膜トランジスタがオンされるが、第11の薄膜トランジスタT11もオンされるので、M接合点のレベルはローレベルにプルダウンされ、第6の薄膜トランジスタT6と第7の薄膜トランジスタT7はオフされる。第1のクロック信号 (CLK) がハイレベルであって、第1の薄膜トランジスタT1がオンされ、第2の薄膜トランジスタT2がオフされるので、第1の信号出力端が出力する信号 (GL₁) はハイレベルである。

20

【 0 0 4 6 】

また、B段階においては、コンデンサーC1の結合作用により、P接合点のレベルはさらにハイレベルのレベル値の2倍とローレベルのレベルとの間の差の値にプルアップされ、即ち、第1の薄膜トランジスタT1のゲート電圧を向上させ、第1の薄膜トランジスタT1の導通電流を増大させる。これによって、第1の信号出力端 (OUT1) が出力するゲート駆動信号 (GL1) が切り立っているようになる。

30

【 0 0 4 7 】

B段階においては、第1の薄膜トランジスタT1と第3の薄膜トランジスタのゲートとはいずれもP接合点に接続され、第1の薄膜トランジスタT1のドレインと第3の薄膜トランジスタT3のソースとはいずれも第1のクロック信号入力端 (CLKIN) に接続されるので、第2の信号出力端 (OUT2) が出力する信号 (OUTPUT2) は第1の信号出力端 (OUT1) が出力する信号 (GL₁) と同じくハイレベルである。このシフト・レジスタユニットがB段階にある場合に、隣接する次のシフト・レジスタユニットはA段階にある。このようにして、第2の信号出力端が出力する信号 (OUTPUT2) はちょうど隣接する次のシフト・レジスタユニットのフレームスタート信号とすることはできる。

40

【 0 0 4 8 】

C段階においては、フレームスタート信号 (STV) がローレベルであって、第5の薄膜トランジスタT5がオフされる。第2のクロック信号 (CLKB) がハイレベルであって、第10薄膜トランジスタT10がオンされる。第1のクロック信号 (CLK) がローレベルであって、第9の薄膜トランジスタT9がオフされ、M点のレベルがローレベルにプルダウンされ、第6の薄膜トランジスタT6と第7の薄膜トランジスタT7がオフされる。第2のクロック信号 (CLKB)

50

がハイレベルであって、第8の薄膜トランジスタT8がオンされ、第1の信号出力端 (OUT1) が出力する信号 (GL₁) はローレベルである。第2のクロック信号 (CLKB) はハイレベルであって、第4の薄膜トランジスタT4がオンされ、第2の信号出力端 (OUT2) が出力する信号 (OUTPUT2) はローレベルである。

【 0 0 4 9 】

また、C段階においては、リセット信号 (RESET) がハイレベルであって、第2の薄膜トランジスタT2がオンされ、P接合点のレベルがローレベルにプルダウンされる。第2の薄膜トランジスタT2がオンされるのも、さらに第1の信号出力端 (OUT) から出力する信号 (GL₁) がローレベルに確実にプルダウンされることを保証する。これは、第1の信号出力端 (OUT1) がアレイ基板におけるゲートラインに接続されて、より大きい寄生容量が生成されるからである。仮に、第2の薄膜トランジスタT2がオンされると、寄生容量の放電を速めることができ、これにより、第1の信号出力端 (OUT1) が出力する信号 (GL₁) をローレベルに急速に復帰させる。

【 0 0 5 0 】

D段階においては、リセット信号 (RESET) がローレベルであって、第2の薄膜トランジスタT2がオフされる。第2のクロック信号 (CLKB) がローレベルであって、第10薄膜トランジスタT10がオフされ、第11の薄膜トランジスタT11がオフされる。第1のクロック信号 (CLK) がハイレベルであって、第9の薄膜トランジスタT9がオンされ、M接合点のレベルがハイレベルにプルアップされ、第6の薄膜トランジスタT6と第7の薄膜トランジスタT7とがオンされ、P接合点と、第1の信号出力端 (OUT) が出力する信号 (GL₁) とがローレベルにプルダウンされる。P接合点がローレベルであるので、第3の薄膜トランジスタT3がオフされ、第4の薄膜トランジスタT4がオフされ、第2の信号出力端 (OUT2) が出力する信号 (OUTPUT2) はローレベルに保持される。

【 0 0 5 1 】

E段階においては、第1のクロック信号 (CLK) がローレベルであって、第9の薄膜トランジスタT9がオフされる。第2のクロック信号 (CLKB) がハイレベルであって、第2の薄膜トランジスタT10と第8の薄膜トランジスタT8がオンされる。第1のクロック信号 (CLK) がローレベルであるので、M接合点のレベルがローレベルにプルダウンされ、第6の薄膜トランジスタT6と第7の薄膜トランジスタT7とはオフされる。第8の薄膜トランジスタT8がオンされるので、第1の信号出力端 (OUT1) が出力する信号 (GL₁) はローレベルである。第2のクロック信号 (CLKB) がハイレベルであって、第4の薄膜トランジスタT4がオンされ、第2の信号出力端 (OUT2) が出力する信号 (OUTPUT2) はローレベルにプルダウンされる。フレームスタート信号 (STV) がローレベルであって、第5の薄膜トランジスタがオフされ、P接合点がローレベルに保持され、第3の薄膜トランジスタT3と第4の薄膜トランジスタT4とはオフに保持される。

【 0 0 5 2 】

E段階の後に、フレームスタート信号 (STV) がローレベルに保持され、シフト・レジスタユニットが入力 / 出力するシーケンス信号はD段階とE段階のシーケンス信号を繰り返す。第1のクロック信号 (CLK) と第2のクロック信号 (CLKB) とは交替にハイレベルになるにつれて、第8の薄膜トランジスタT8と第7の薄膜トランジスタT7とは第1の信号出力端 (OUT1) が出力する信号 (GL₁) を交替にローレベルにプルダウンする。

【 0 0 5 3 】

フレームスタート信号 (STV) の次のハイレベルが来的时候に、シフト・レジスタユニットはA-E段階のシーケンスを繰り返している。

【 0 0 5 4 】

上記A、B、及びC段階においては、シフト・レジスタユニットが一つのゲート駆動信号を出力することによって、このシフト・レジスタユニットの第1の信号出力端に接続されるゲートラインは、一行のTFTをオンさせるように制御されて、液晶ディスプレイのソース駆動回路のデータ信号が画素電極に入力されて、画素電極に充電する。

【 0 0 5 5 】

10

20

30

40

50

上記動作原理の説明から分かるように、図3において、第7の薄膜トランジスタT7と第8の薄膜トランジスタT8は、ゲート駆動信号 GL_1 のレベルをプルダウンする役割を主に果たし、ゲート駆動信号がローレベルに保持される必要のある段階においてゲート駆動信号をローレベルに確実に保持するようなことを保証できる。

【0056】

図4に示したシフト・レジスタユニットにおいて、第7の薄膜トランジスタT7と第8の薄膜トランジスタT8とはずっとオンされることではなく、第1のクロック信号と第2のクロック信号が交替にハイレベルになるにつれて、第7の薄膜トランジスタT7と第8の薄膜トランジスタT8とも交替にオンされる(図7を参照、CLKBとM点のシーケンスが交替にハイレベルになる)。このようにして、第7の薄膜トランジスタT7と第8の薄膜トランジスタT8とのゲートは、直流的なバイアス電圧に影響されることなく、交流的なバイアス電圧に影響されるため、第7の薄膜トランジスタT7と第8の薄膜トランジスタT8との閾値電圧 V_{th} に大き過ぎるシフトを引き起こさせることを防止する。

10

【0057】

図8は本発明の第4実施例に係わるシフト・レジスタユニットの構成模式図である。この実施例において、駆動ユニットの構成は図3と異なる。

【0058】

図8に示した実施例においては、駆動ユニット11aは第12の薄膜トランジスタT12、第13の薄膜トランジスタT13、及び第14の薄膜トランジスタT14を備える。第12の薄膜トランジスタT12のドレインがハイレベル信号入力端(VDDIN)に接続され、ゲートが第1のクロック信号入力端(CLKIN)に接続される。ハイレベル信号入力端(VDDIN)はハイレベル信号(VDD)を入力する。ハイレベル信号(VDD)はハイレベルにずっと保持される信号でもよく、例えば、+25Vに保持される信号でもよい。

20

【0059】

第13の薄膜トランジスタT13のドレインが第12の薄膜トランジスタT12のソースに接続され、ゲートが第2のクロック信号入力端(CLKBIN)に接続され、ソースがローレベル信号入力端(VSSIN)に接続される。

【0060】

第14の薄膜トランジスタT14のドレインが第12の薄膜トランジスタT12のソースに接続され、ゲートが第3の薄膜トランジスタT3のソースに接続され、ソースがローレベル信号入力端(VSSIN)に接続される。

30

【0061】

プルダウンユニット11bは第6の薄膜トランジスタT6と第7の薄膜トランジスタT7と第8の薄膜トランジスタT8とを備える。

【0062】

第6の薄膜トランジスタT6のゲートが第12の薄膜トランジスタT12のソースに接続され、ドレインが第5の薄膜トランジスタT5のソースに接続され、ソースがローレベル信号入力端(VSSIN)に接続される。

【0063】

第7の薄膜トランジスタT7のドレインが第1の信号出力端(OUT1)に接続され、ゲートが第12の薄膜トランジスタT12のソースに接続され、ソースがローレベル信号入力端(VSSIN)に接続される。

40

【0064】

第8の薄膜トランジスタT8のドレインが第1の信号出力端(OUT1)に接続され、ゲートが第2のクロック信号入力端(CLKBIN)に接続され、ソースがローレベル信号入力端(VSSIN)に接続される。

【0065】

図8に示した実施例において、第12の薄膜トランジスタT12と第13の薄膜トランジスタT13と第14の薄膜トランジスタT14とが、M接合点において第2のクロック信号(CLKB)と交替に変化する信号を生成することによって、第7の薄膜トランジスタT7と第8の薄膜トラン

50

ジスタT8とは、ゲート駆動信号がローレベルに保持される必要のある段階において、ゲート駆動信号を交替にプルダウンして、ゲート駆動信号がローレベルに確実に保持されるようなことを保証する。且つ、第7の薄膜トランジスタと第8の薄膜トランジスタとの閾値電圧 V_{th} に大きすぎるシフトを起こさせることはない。

【0066】

図9は本発明の第5実施例に係わるシフト・レジスタユニットの構成模式図である。この実施例は、図3に示した実施例の上に第15の薄膜トランジスタT15を追加している。前記第15の薄膜トランジスタT15のドレインが第5の薄膜トランジスタT5のソースに接続され、ゲートがリセット信号入力端（RESETIN）に接続され、ソースがローレベル信号入力端（VSSIN）に接続される。

10

【0067】

図9に示した実施例においては、第15の薄膜トランジスタT15が第5の薄膜トランジスタT5のソースに接続され、即ち、P接合点に接続される。P接合点のレベルは、コンデンサの結合作用によってとても大きいレベルにプルアップされ（図7に示したシーケンスを参照）、第15の薄膜トランジスタT15によって、P接合点の電荷が早めに放電させて、第1の信号出力端（OUT1）が出力するゲート駆動信号（ GL_1 ）の立ち下がリエッジが切り立っているようになる。

【0068】

図8に示したシフト・レジスタユニットにも第15の薄膜トランジスタT15が追加されても良い。第15の薄膜トランジスタT15が他の薄膜トランジスタ及び各入力端と間の接続関係が図9と同じである。

20

【0069】

本発明の各実施例においては、第5の薄膜トランジスタT5のゲートとドレインとはいずれもスタート信号入力端（STVIN）に接続され、入力されたフレームスタート信号（STV）がハイレベルである場合には、第1の薄膜トランジスタT1にプリチャージすることに相当する。

【0070】

図9に示した実施例においては、各薄膜トランジスタの長さに対する幅の比（width to length ratio）は、以下の通りでも良い。即ち、

第1の薄膜トランジスタT1：1800 $\mu\text{m}/4.5 \mu\text{m}$ 、第2の薄膜トランジスタT2：800 $\mu\text{m}/4.5 \mu\text{m}$ 、第3の薄膜トランジスタT3：200 $\mu\text{m}/4.5 \mu\text{m}$ 、第4の薄膜トランジスタT4：100 $\mu\text{m}/4.5 \mu\text{m}$ 、第5の薄膜トランジスタT5：100 $\mu\text{m}/4.5 \mu\text{m}$ 、第6の薄膜トランジスタT6：300 $\mu\text{m}/4.5 \mu\text{m}$ 、第7の薄膜トランジスタT7：100 $\mu\text{m}/4.5 \mu\text{m}$ 、第8の薄膜トランジスタT8：200 $\mu\text{m}/4.5 \mu\text{m}$ 、第9の薄膜トランジスタT9：50 $\mu\text{m}/4.5 \mu\text{m}$ 、第10薄膜トランジスタT10：200 $\mu\text{m}/4.5 \mu\text{m}$ 、第11の薄膜トランジスタT11：200 $\mu\text{m}/4.5 \mu\text{m}$ 、第12の薄膜トランジスタT12：200 $\mu\text{m}/4.5 \mu\text{m}$ 、第13の薄膜トランジスタT13：50 $\mu\text{m}/4.5 \mu\text{m}$ 、第14の薄膜トランジスタT14：200 $\mu\text{m}/4.5 \mu\text{m}$ 、第15の膜晶体管T15：200 $\mu\text{m}/4.5 \mu\text{m}$ 。ただし、第1の薄膜トランジスタT1、第2の薄膜トランジスタT2、第6の薄膜トランジスタT6、第7の薄膜トランジスタT7、及び第15の薄膜トランジスタT15の長さに対する幅の比は、これらの薄膜トランジスタの駆動能力を向上させるように、必要に応じて大きくしてもよい。

30

40

コンデンサーC1の容量値は0.3ピコファラド（pF）でも良い。

【0071】

本発明が提供する液晶ディスプレイ・ゲート駆動装置においては、シフト・レジスタユニットは、本発明の各実施例が提供するシフト・レジスタユニットを採用することができ、例えば、図1、図3、図4、図8 或いは図9に示したシフト・レジスタユニットを採用することができる。

【0072】

本発明は液晶ディスプレイを更に提供している。前記液晶ディスプレイは、上記各実施例の液晶ディスプレイ・ゲート駆動装置を備えることができる。液晶ディスプレイ・ゲート駆動装置における各薄膜トランジスタは、画素領域の薄膜トランジスタに類似した製造

50

工程によってアレイ基板に堆積されてもよく、アレイ基板の周縁に堆積されることが好ましい。

【 0 0 7 3 】

最後に、以下のように説明する必要がある。即ち、上記した実施形態は、本発明の技術案を説明するに用いられるものだけであり、それを制限するものではない。好適な実施例を参照して本発明を詳細に説明したが、依然として前記各実施例に記載の技術案を補正し、或いはその部分の技術特徴を同等な取替を行うことができ、この補正又は取替が補正後の技術案の本質を本発明の各実施例の技術案の主旨と範囲から離脱させないことは当業者にとって理解するところである。

【 符号の説明 】

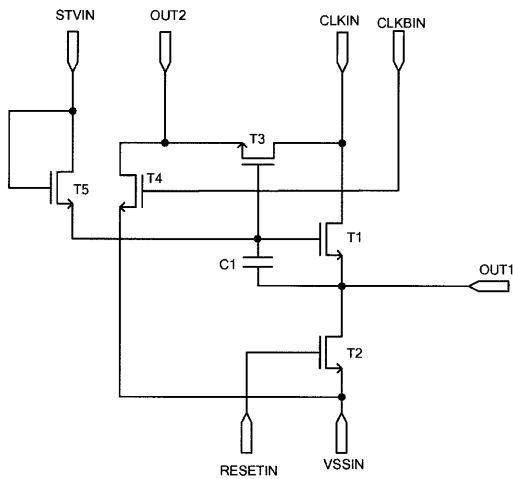
10

【 0 0 7 4 】

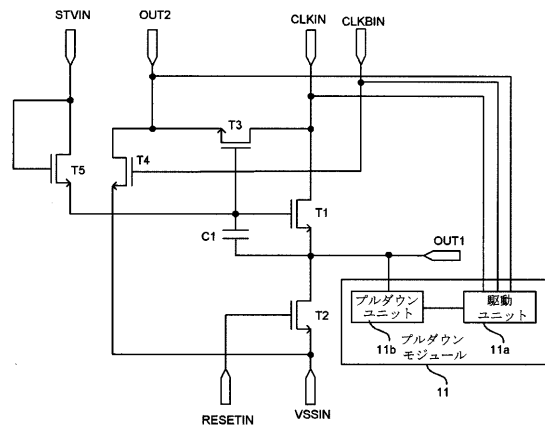
- 1 1 プルダウンモジュール
- 1 1 a 駆動ユニット
- 1 1 b プルダウンユニット
- CLKIN 第1のクロック信号入力端
- CLKBIN 第2のクロック信号入力端
- OUT1 第1の信号出力端
- OUT2 第2の信号出力端
- STVIN スタート信号入力端
- VSSIN ローレベル信号入力端
- RESETIN リセット信号入力端

20

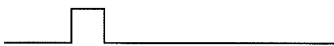
【 図 1 】



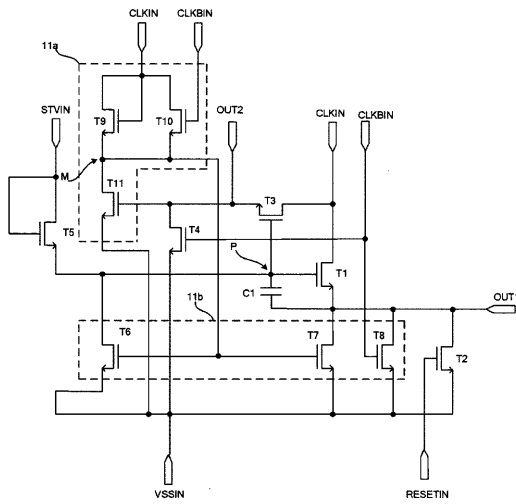
【 図 3 】



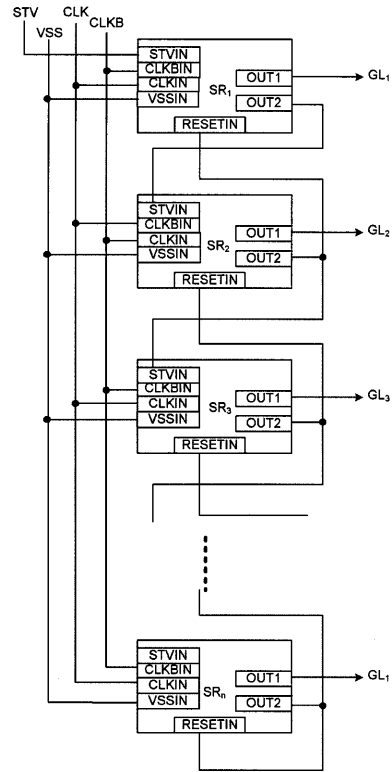
【 図 2 】



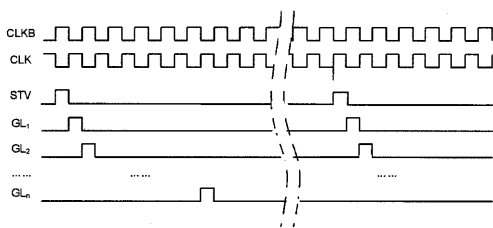
【 図 4 】



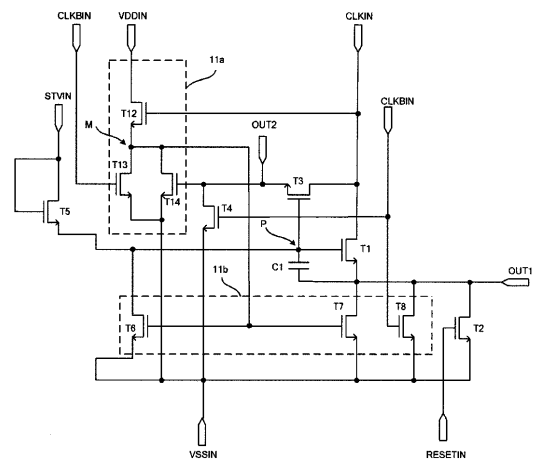
【 図 5 】



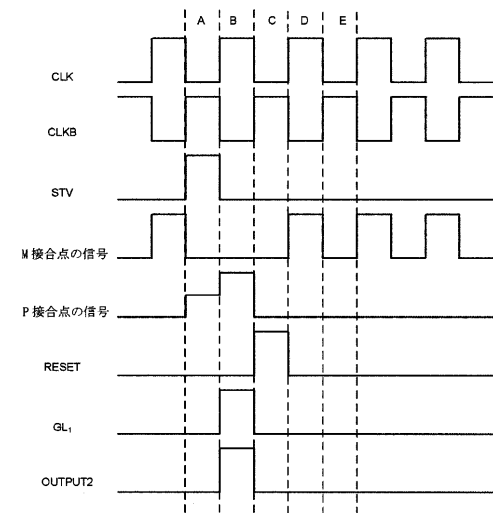
【 図 6 】



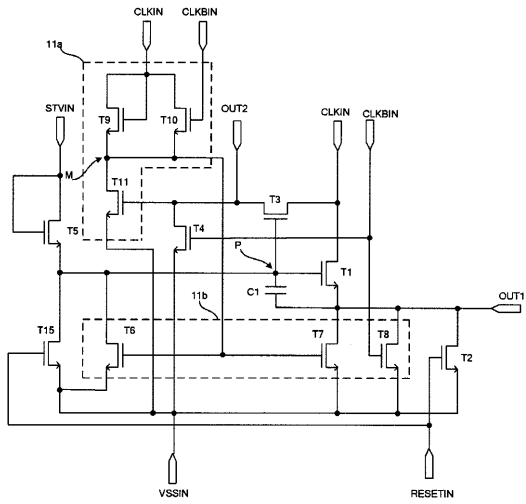
【 図 8 】



【 図 7 】



【 図 9 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
G 1 1 C 19/00 J
G 0 2 F 1/133 5 5 0

(72)発明者 譚 文
中華人民共和国 1 0 0 1 7 6 北京經濟技術開發區西環中路 8 號

(72)発明者 祁 小敬
中華人民共和国 1 0 0 1 7 6 北京經濟技術開發區西環中路 8 號

(72)発明者 黄 ウェイ 贇
中華人民共和国 1 0 0 1 7 6 北京經濟技術開發區西環中路 8 號

F ターム(参考) 2H193 ZA04 ZB02 ZC25 ZE09 ZF23 ZF44 ZF51 ZH46
5C006 BC03 BF03
5C080 AA10 BB05 JJ02 JJ03 JJ04