

公告本

發明專利說明書

571429

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※ 申請案號：91136156 ※IPC分類：H01L27/04

※ 申請日期：91-12-13

壹、發明名稱

(中文) 電子元件

(英文) ELECTRONIC DEVICE

貳、發明人 (共 7 人)

發明人 1 (如發明人超過一人，請填說明書發明人續頁)

姓名：(中文) 小林一彥

(英文) Kazuhiko KOBAYASHI

住居所地址：(中文) 日本國神奈川縣川崎市中原區上小田中4丁目1番1號

(英文) 1-1, Kamikodanaka 4-chome, Nakahara-ku, Kawasaki-shi, Kanagawa 211-8588 Japan

國籍：(中文) 日本 (英文) JAPAN

參、申請人 (共 1 人)

申請人 1 (如發明人超過一人，請填說明書申請人續頁)

姓名或名稱：(中文) 日商・富士通股份有限公司

(英文) FUJITSU LIMITED

住居所或營業所地址：(中文) 日本國神奈川縣川崎市中原區上小田中4丁目1番1號

(英文) 1-1, Kamikodanaka 4-chome, Nakahara-ku, Kawasaki-shi, Kanagawa 211-8588 Japan

國籍：(中文) 日本 (英文) JAPAN

代表人：(中文) 秋草直之

(英文) Naoyuki Akikusa

☒ 續發明人或申請人續頁 (發明人或申請人欄位不敷使用時，請註記並使用續頁)

發明人 2

姓名：(中文) 迫田英治
(英文) Hideharu Sakoda

住居所地址：(中文) 日本國神奈川縣川崎市中原區上小田中4丁目1番1號
(英文) 1-1, Kamikodanaka 4-chome, Nakahara-ku,
Kawasaki-shi, Kanagawa 211-8588 Japan

國籍：(中文) 日本 (英文) JAPAN

發明人 3

姓名：(中文) 松本浩久
(英文) Hirohisa MATSUKI

住居所地址：(中文) 日本國神奈川縣川崎市中原區上小田中4丁目1番1號
(英文) 1-1, Kamikodanaka 4-chome, Nakahara-ku,
Kawasaki-shi, Kanagawa 211-8588 Japan

國籍：(中文) 日本 (英文) JAPAN

發明人 4

姓名：(中文) 井川治
(英文) Osamu IGAWA

住居所地址：(中文) 日本國神奈川縣川崎市中原區上小田中4丁目1番1號
(英文) 1-1, Kamikodanaka 4-chome, Nakahara-ku,
Kawasaki-shi, Kanagawa 211-8588 Japan

國籍：(中文) 日本 (英文) JAPAN

發明人 5

姓名：(中文) 佐藤光孝
(英文) Mitsutaka SATO

住居所地址：(中文) 日本國神奈川縣川崎市中原區上小田中4丁目1番1號
(英文) 1-1, Kamikodanaka 4-chome, Nakahara-ku,
Kawasaki-shi, Kanagawa 211-8588 Japan

國籍：(中文) 日本 (英文) JAPAN

☒ 續發明人或申請人續頁 (發明人或申請人欄位不敷使用時，請註記並使用續頁)

發明人 6

姓名：(中文) 青木考樹

(英文) Koju AOKI

住居所地址：(中文) 日本國愛知縣春日井市高藏寺町二丁目 1844 番 2

(英文) 1844-2, Kozoji-cho 2-chome,

Kasugai-shi, Aichi 487-0013 Japan

國籍：(中文) 日本

(英文) JAPAN

發明人 7

姓名：(中文) 先間宏行

(英文) Hiroyuki SAKIMA

住居所地址：(中文) 日本國愛知縣春日井市高藏寺町二丁目 1844 番 2

(英文) 1844-2, Kozoji-cho 2-chome,

Kasugai-shi, Aichi 487-0013 Japan

國籍：(中文) 日本

(英文) JAPAN

捌、聲明事項

☐ 本案係符合專利法第二十條第一項□第一款但書或□第二款但書規定之期間，其日期為：_____

☐ 本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. _____
2. _____
3. _____

☒ 主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1. 日本 2001.12.14 特願 2001-381325
2. 日本 2002.10.22 特願 2002-307429
3. _____
4. _____
5. _____
6. _____
7. _____
8. _____
9. _____
10. _____

☐ 主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. _____
2. _____
3. _____

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. _____
2. _____
3. _____

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. _____
2. _____
3. _____

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明

(發明說明應敘明：發明所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明)

【發明所屬之技術領域】

發明領域

本發明概有關於一種電子元件，尤有關於小型化的電子元件典型係以具有晶片尺寸封裝結構之半導體元件來代表者。

【先前技術】

發明背景

在近年來，例如以行動電話作代表之行動通訊裝置的小型化及細薄化已以驚人的速度在進步中。隨著這些進步而來的是對電子元件之小型化的需求，即被用在該等電子裝置中之電子構件和半導體等須縮小化。

例如，隨著使用高頻帶寬之行動通訊裝置諸如行動電話之尺寸和重量的縮減，對使用於該等行動通訊裝置中之電子元件的小型化和高密度電路設計亦有甚大需求。該等電子元件基本上係由高頻主動構件及被動電路所組成。故，為達成該電子電路的縮小化，該高頻(RF)主動構件與高頻(RF)被動電路的高度整合乃須要被著力。

但是，在企圖整合高頻主動構件例如功率放大器(PA)或低雜訊放大器(LNA)之匹配電路的過程中，乃不可能避免由於被動電路之損耗所造成的特性劣化。故，在習知技術中，會影響其特性之構件的匹配電路並不會被整合，而以外部分配來取代。又，至於該PA或類似物等，若欲將一匹配電路或功率電路製設於半導體基材上，由於其電流容量

玖、發明說明

的關係，故由成本的觀點論之乃是不可行的。

但是，對被使用於行動通訊裝置例如行動電話中之上述高頻構件的縮小化及減省化，其需求卻逐變得愈高，且近年來，對整合該等匹配電路的需求亦逐漸增加。故，為了滿足該等需求，針對設在其半導體基材上之RF被動電路(尤其是螺旋電感器)之各種設計乃逐被開發，而雖可見到一些改良，但有關該Q值及類似的問題等仍然存在，且對該問題的基本解決方法仍尚未被發現。

【發明內容】

10 發明概要

有見於上述之問題，今本發明的目的即在提供一種高度可靠的電子元件，其特性即使在當縮小化時亦不會被劣化。

本發明的特徵係在於其含藉由以下措施而來達到上述目的。

依據本發明之一態樣係：

一電子元件具有一電子電路及一外部連接端子連接於該電子電路，而包含：

一基材具有一電路形成表面，其上設有該電子電路的一部份；

一絕緣層設在該電路形成表面上；及

內部佈線包括可將該電子電路連接於該外部連接端子的佈線，及該電子電路的另一部份其會形成一圖案而設在該絕緣層中或該絕緣層上。

玖、發明說明

依據該發明，乃能將一被動電路形成於該電子電路的基材上所設之一絕緣層中，而非如習知技術將其製設在外部。故，該電子元件將可具有多功能，且一使用該等電子元件的電子裝置亦得能減少其尺寸及構件數目。

- 5 又，在該發明中，由該內部佈線所形成的電子電路係可為一電感器，尤其是一螺旋電感器。且，該電子元件亦可具有多層的螺旋電感器。或者，由該內部佈線所形成的電子電路亦可包含一天線，或一電感器及一天線。

- 又，上述包含電感器與天線的電子元件亦可被製成多
10 數層，其中該天線的位置相較於電感器會更遠離該電路形成表面。

 或者，在本發明中，該天線亦可被設在該基材相反於電路形成表面的一面上。

- 且，由該內部佈線所構成之電子電路對設在該基材之
15 電路形成表面上的電子電路之連接位置，係可在該內部佈線的內端。

 此外，上述電子元件亦可包含一屏蔽層介設於該內部佈線所形成的電子電路與設在基材上的電子電路之間。

 又，上述屏蔽層亦可具有網狀結構。

- 20 又，上述電子元件亦可具有一隔離層，用來電分離該基材與設在該基材上之內部佈線所形成的電子電路。且，該隔離層亦可由一絕緣材料製成，而被填入於設在該基材上之細微溝槽中。

 在本發明中一低雜訊放大器或一功率放大器亦可被用

玖、發明說明

來作為該電子電路。

此外，依據本發明之另一態樣所提供的電子元件包含：

一基材其上設有一電子電路及一無機絕緣層；

一第一絕緣膜設在該無機絕緣層上；

5 一由佈線構成的電感器，該佈線係設在第一絕緣膜上；及

一第二絕緣膜設在第一絕緣膜上而覆蓋該電感器；其中

該第一絕緣膜具有不小於9 μm 的厚度；且

10 該第二絕緣膜具有不小於55 μm 的厚度。

依據上述發明，寄生電容和寄生電阻將能被防止產生於該基材與電感器之間，及在外部元件/裝置與電感器之間。此則會使該電感器的Q值增加。

在本發明中，該電子元件的第一絕緣膜係由聚醯亞胺
15 或以環氧樹脂作為主要成分的有機絕緣材料來製成。此外，該電子元件的第二絕緣膜亦可由環氧樹脂或以環氧樹脂作為主要成分的有機絕緣材料來製成。

上述第一絕緣膜乃可具有一單層結構或亦可具有多層結構。在後者之情況下，該第一絕緣膜乃可包含多數的絕
20 緣層，係由不同的有機絕緣材料製成。

又，在包含該第一絕緣膜的電子元件中，該第一絕緣膜具有一多層結構係由多數絕緣層和一層間佈線所組成，該佈線可連接設在該基材上之一電極與該電感器，而構成該第一絕緣膜的絕緣層等乃各具有不同直徑的開孔，且設

玖、發明說明

在離該基材較高的絕緣層會具有較小的孔徑，又至少該最上方的絕緣層會被設成覆蓋該無機絕緣層。

此外，在該包含有層間佈線以連接一設在該基材上之電極與該電感器的電子元件中，用來形成設在第一絕緣膜之層間佈線的開孔之直徑，乃可被設成比該無機絕緣層中的開孔直徑更小，且該第一絕緣膜會覆蓋該無機絕緣層。

又，本發明的電子元件亦可具有一佈線接腳可將該佈線連接於一外部連接端子，因此該第二絕緣膜的厚度會被該佈線接腳的高度所限制。

10 圖式簡單說明

第1圖為本發明第一實施例之電子元件的示意圖；

第2A、B圖為本發明第一實施例之電子元件的等效電路圖；

第3圖為一螺旋電感器連接於一電子電路的等效電路圖；

第4圖為本發明第一實施例的半導體元件之截面圖；

第5圖為本發明第二實施例之電子元件的示意圖；

第6圖為本發明第三實施例之電子元件的示意圖；

第7A圖為一形成雙層結構之螺旋電感器的立體圖；

第7B、C圖為本發明之電子元件的等效電路之範例；

第8圖為一形成三層結構之螺旋電感器的立體圖；

第9圖為本發明第四實施例之電子元件的示意圖；

第10圖為一天線及螺旋電感器連接於一電子電路的等效電路圖；

玖、發明說明

第11圖為本發明第五實施例之電子元件的示意圖；

第12圖為本發明第六實施例之電子元件的示意圖；

第13圖為本發明第六實施例之電子元件的發射特性圖；

5 第14A及14B圖為螺旋電感器的實施例之電路圖；

第15圖為本發明第七實施例之電子元件的主要構件之頂視放大圖；

第16圖為沿第15圖之A-A線的電子元件截面圖；

第17圖為本發明第七實施例之電子元件的第一有機絕緣膜厚度與該Q值之間的關係圖；

第18圖為該本發明第七實施例之電子元件的第二有機絕緣膜厚度與該Q值變化率之間的關係圖；

第19圖為該第七實施例之電子元件的電阻值與通道孔徑之間的關係圖；

15 第20圖為使用於本發明第八實施例之電子元件中的螺旋電感器之放大圖；

第21A、B、C圖係示出習知技術的螺旋電感器與使用於本發明第八實施例之電子元件中的螺旋電感器之間的差異；及

20 第22圖係示出習知的螺旋電感器與使用於本發明第八實施例之電子元件中的螺旋電感器之特性曲線圖的差異。

【實施方式】

較佳實施例之詳細說明

以下，本發明的較佳實施例等將參照所附圖式來描述

玖、發明說明

說明。

首先，本發明第一實施例的電子元件將會被說明。在以下描述中，一半導體元件會被作為本發明之電子元件的範例。

5 第1至4圖係描述本發明第一實施例的半導體元件10A。第1圖為該半導體元件的示意圖；第2、3圖為該半導體元件10A的電路圖；而第4圖為該半導體元件10A的截面圖。

 該半導體元件10A包含一基材11，一電子電路12，一絕緣膜層13，佈線層14，一聚醯亞胺層15，一再佈線層16，一密封樹脂層17，及一螺旋電感器20。該半導體元件10A具有一晶片規格封裝(CSP)結構。一CSP結構係為一大致具有與該半導體元件相同外部尺寸的封裝體結構。

 該基材11係為一矽基材(半導體基材)，而該電子電路12係設在電路形成表面11a即該基材的頂面上。該電子電路12包含一部份設在該半導體元件10A中的電路，且係使用公知的半導體製造技術來製成。

 又，該電子電路12係為一高頻主動電路，尤其是如第2A與2B圖中所示的低雜訊放大器(以下稱為LNA)。在本實施例中，並非所有包含有匹配電路的電感器皆被設在該螺旋電感器20上；但一包含有會影響該LNA之NF特性及重要性之輸入匹配電路的電感器L1，係由該螺旋電感器20所形成。

 又，一隔離層23會被設在該電路形成表面11a上而偏離

玖、發明說明

該電子電路12的位置處。該隔離層23包含一隔離材料(例如SiO₂等)填設於一微製造的溝槽中。該隔離層23會形成一隔離物而將後述的螺旋電感器20與該基材11電分離。

在前述之該基板11上，該絕緣膜層13、佈線層14、聚
5 醯亞胺層15、再佈線層16、及密封樹脂層17等將會依序形成，如第4圖所示，其係為該電子電路12的截面圖。

該絕緣膜層13係為一SiO₂膜，而直接形成於該矽基材頂上。在該絕緣膜層13上則設有該佈線層14。該佈線層14包含該電子電路12的佈線及I/O端子。

10 該聚醯亞胺層15具有電隔離性，而設在該基材11上，並具有例如12 μm的厚度。該聚醯亞胺層15係使用一旋塗機來形成，因此其不似該絕緣膜層13而會與該基材11分開。

該再佈線層16係相當於在本發明之申請專利範圍中所述的內部佈線，而可例如由銅(Cu)構成。其係依據一預定
15 圖案來形成於該聚醯亞胺層15的頂面上。至於此再佈線層16的形成技術，各種薄膜形成技術皆可使用，例如電鍍、濺射及CVD等。且，該再佈線層16的佈線圖案可利用一習知的罩蔽或阻抗方法，而來容易地製成任何形狀的圖案。為方便之故，該再佈線層16的說明容後再述。

20 該密封樹脂層17係例如由環氧樹脂製成，並具有電隔離性如同前述之聚醯亞胺層15。此密封樹脂層17係例如使用壓縮成型技術來製成。輸入墊18A及輸出墊18B會被設在該密封樹脂層17的預定位置處。

未被示於圖中的外部連接端子(例如焊球等)會被設在

玖、發明說明

該各接墊18A及18B上。且，該各接墊18A及18B皆會經由一
外接腳21A而連接於該螺旋電感器20。又，該等輸出墊18B
會利用一接腳19來連接於電子電路12。

以下，本發明將著重該螺旋電感器20來說明。

5 上述的再佈線層16基本上其功能會形如將該電子電路
12的I/O端子延伸至外部連接端子31(請參閱第12圖；未示於
第1圖中)之位置的佈線。但，在本發明的實施例中，該再
佈線層16原本係被設來將該電子電路12的I/O端子連接於
外部連接端子31的佈線，其亦包含被製成螺旋狀線路圖案
10 的螺旋電感器20。故，依據本實施例的半導體元件10A之特
徵係在於其設有一電感器；即該螺旋電感器20會被設在該
基材11上，且在與該電子電路12分開的位置處。

該螺旋電感器20係為一被動電路，而構成設在該半導
體元件10A之電子電路的另一部份。故，設在該基材11之電
15 路形成表面11a上的電子電路12(高頻主動電路)，及在該聚
醯亞胺層15上形成該再佈線層16的螺旋電感器20(高頻被
動電路)，將會共同來構成該半導體元件10A的電子電路。

該螺旋電感器20的一端係經由該外接腳21A連接於輸
入墊18A等。而該螺旋電感器20的另一端係經由佈線22連接
20 於電子電路12。且，該螺旋電感器20(再佈線層16)能以低成
本來製成，因為其可使用如前所述之習知薄膜形成技術來
製造。

如前所述，本實施例的半導體元件10A具有一螺旋電感
器20，其會與設在該電子電路12中的電感器L2和L3(未示於

玖、發明說明

第3圖中)分開。又，該螺旋電感器20亦被設在該半導體元件10A的內部。

故，在本實施例中，該螺旋電感器20(被動電路)－其在習知技術中係被設於外部－會被設在該絕緣層的內部，該絕緣層係由聚醯亞胺層15和密封樹脂層17所組成，而該二層15、17皆設在該基材11上。此將能使該半導體元件10A具有多功能，並可使設有該螺旋電感器20的半導體元件10A之構件數目減少，並達成小型化。

如前所述，該包含螺旋電感器20的再佈線層16係由銅(Cu)所製成，且該聚醯亞胺層15的厚度僅有數十 μm 。故，由於該再佈線層16之電阻，及該多層結構的上下各層之接合影響所造成的損耗將可減少。

但是，亦如先前所述，該再佈線層16的基本功能係將該電子電路12的I/O端子延伸至外部連接端子31。故即使將該再佈線層16製成可執行其原來的功能，於構成該絕緣層的聚醯亞胺層15與密封樹脂層17之間的佈線仍會具有某些程度的可調變性。

即，於該再佈線層16中含設該螺旋電感器20，會比將其設在包含該電子電路12的基材11上，得具有更多設定電感值的可調變性。且，該螺旋電感器20的形狀，及該電子電路12的連接模式亦能具有某種程度的可調變性。

例如，在一LNA的情況下，其最重要的特性係為該NF特性，該螺旋電感器20會被設成相當於該輸入匹配電路的電感器。若在PA的情況下，該螺旋電感器20會由於電流容

玖、發明說明

量而被設成該輸出匹配電路及功率電路。故，該螺旋電感器20乃可依據該電子電路12的電路特性而被容易地調變成一適當結構。

以下，將針對前述之隔離層23來說明。如第1圖所示，
5 該隔離層23係設在螺旋電感器20的正下方。此隔離層23包含一絕緣材料被裝填於一設在該基材11上的細微溝槽中，而具有電分離該基材11與螺旋電感器20的功能。

在此等結構中，由於該基材11與該螺旋電感器20被該隔離層23電分離，故其因該基材11之影響所造成的Q值劣化
10 將可被防止，且該電子元件的可靠性得能更為增進。具言之，當一矽基材被用來作為本實施例的基材11時，若沒有該隔離層23則該Q值的劣化會十分顯著；但，若設有該隔離層23，則該Q值的劣化將能有效地防止。

又，如前所述，有一聚醯亞胺層會被設在該基材11及
15 螺旋電感器20之間。構成該聚醯亞胺層15的樹脂具有高電隔離性及一低介電常數(相對介電常數)。故，即使未設有該隔離層23，其Q值的劣化亦可藉該聚醯亞胺層15來防止，且一電子構件亦可被設在該螺旋電感器20的正下方。因此，藉著如上述實施例來置設該隔離層，則其Q值的劣化將可更
20 為改善。

又，雖在上述實施例中，一被填設於細微溝槽中的絕緣材料係被作為該隔離層23，但在一變化實施例中，一導電層(N^+ 層)亦可被形成接地電位來設在該螺旋電感器20的正下方，同樣能獲得相同的效果。

玖、發明說明

又，雖在上述實施例中，一螺旋電感器20係被描述作為該半導體元件10A中的電感器，但其亦可將該电感器的螺旋形狀改變成另一種形狀。但是，螺旋狀造型乃是最有效的，因為其能在一非常小的面積中獲得一高電感值。

- 5 又，雖在上述實施例中，電感器L1與L2等係被設在該基材11上，如第2圖所示；惟該等電感器L1與L2亦可被設在該再佈線層16上，而使整個被動電路被設於該再佈線層16上。

再來，本發明的第二實施例將會被描述。

- 10 第5圖係示出本發明第二實施例的半導體元件10B。在本圖中，相同於第1至4圖中所述的構件，將會以相同的標號來表示，而其說明將予省略。且於後之本發明的第三實施例亦同。

- 15 本發明第一實施例的半導體元件10A乃被設成，令該電子電路12與螺旋電感器20的位置，會在該電路形成表面11a上互相偏離岔開。換言之，依據本發明的第一實施例，該半導體元件10A的電子電路12與螺旋電感器20並不會互相面對。

- 20 相反地，本發明第二實施例的半導體元件10B則被設成會使該電子電路12與螺旋電感器20互相面對。且，本實施例的電子電路12亦為一LNA。

藉著將該電子電路直接設在該螺旋電感器20的下方，如在本實施例中所示，則用來連接該電子電路12及螺旋電感器20的佈線，以及該電感器因接腳21所造成的Q值劣化，

玖、發明說明

將可被減少。又，由於該電子電路12與螺旋電感器20形成疊層，故由該半導體元件10B的頂部視之，該晶片的面積將可減少，而得使該半導體元件縮小化。

又，如先前所示，由於在本實施例中該電子電路12係
5 為一LNA，故因整合一輸入匹配電路所造成之NF值的劣化乃可被減少，因此該半導體元件10B能形成一超小型化的LNA，而不需要一外部輸入匹配電路。

且，由於該電子電路12在本實施例中係直接被設在該螺旋電感器20底下，故可電連接該電子電路12及螺旋電感
10 器20的接腳21會被設在該螺旋電感器20的內端(將該內端連接於電子電路12的接腳以下會被稱為內接腳21B)。

該內接腳21B可藉上述結構來被縮短。故，由該內接腳21B所造成的特性劣化將可被減少，且振盪的影響亦能被控制。

15 以下，本發明的第三實施例將被說明。

第6及7圖乃示出本發明第三實施例的半導體元件10C。本實施例之半導體元件10C包含有多數的螺旋電感器(在本例中為兩個)20A及20B等。

該第一螺旋電感器20A係形成一圖案設在一第一聚醯亞胺層15A上，此聚醯亞胺層15A是被設在該基材11上。該
20 第二螺旋電感器20B亦形成一圖案被設在一第二聚醯亞胺層15B上，而該第二聚醯亞胺層15B是設在第一聚醯亞胺層15A頂上。當由該半導體元件10C的頂面視之，第二螺旋電感器20B係疊設在第一螺旋電感器20A頂上。

玖、發明說明

於上述結構中，該半導體元件的電感器係由第一和第二螺旋電感器20A與20B組成，因此其電感值可提升得較高。又，如第7圖的放大圖所示，該第一與第二螺旋電感器20A與20B係複層相疊，故能減少該半導體元件10C的頂視面積。以此方式，本發明的半導體元件10C乃可在小面積中來達成高電感值。

如同第二實施例，本實施例亦可防止內接腳21B所造成的特性劣化，及減少振盪的影響，因為該內接腳21B會在螺旋電感器20的內端電連接該電子電路12和該螺旋電感器20，而能形成一較短的內接腳21B。

上述半導體元件10C的電子電路12係設有第一及第二螺旋電感器20A與20B，而可為一功率放大器，如第7B與7C圖所示。當該電子電路12包括一功率放大器時，並非所有的電感器L1~L3皆含有一設在該螺旋電感器20(再佈線層16)的匹配電路；而是該包含會影響輸出特性即功率放大器之最重要特性的輸出匹配電路之電感器L3，會被設成該螺旋電感器20B。又，在第7C圖所示之例中，一扼流圈L2係被作為供應電路中的螺旋電感器20A，而包含該輸入匹配電路的電感器L1會被以一半導體製程來製成，其中所有包含匹配電路的電感器L1~L3皆會被整合。

又，該等螺旋電感器並不限於兩層，而亦可為三層，如第8圖所示(設有第一至第三螺旋電感器20A、20B、20C等)，或亦可為四層或更多層。故，其電感值亦可藉選擇螺旋電感器的層數而來獲得。

玖、發明說明

且，當在該半導體元件中的電子元件12包含一撥號電路如第14圖所示時，該螺旋電感器會被設成一共振電路(電感器L)，其會影響該撥號電路的相位雜訊特性。

以下，將說明本發明的第四實施例。

5 第9及10圖乃示出本發明第四實施例的半導體元件10D。第9圖為該半導體元件10D的示意圖，第10圖為該半導體元件10D的等效電路圖。

10 依據本發明第四實施例的半導體元件，其特徵係包含有一天線27。且，該電子元件12與該天線27係經由該螺旋電感器20即輸入匹配電路來連接。故，該半導體元件10D可包含一整合為一(all-in-one)的接收晶片。

15 又，亦可將該電子電路製成為一PA。在此情況下，該天線27係連接於該電子電路12的輸出埠，故能減少於該電子電路12與天線27間之佈線所造成的損耗，並可控制該形成一PA之電子電路12的電功率消耗。

20 又，藉著在該基材11上製設一發射/接收裝置(例如PA、LNA、數位訊號處理系統等)之構件，一起小型化的收發器亦可被製成而幾乎不會有因佈線之耗失而造成的特性劣化。在此情況下，一不會損及該天線27特性的樹脂材料必須被選來作為該密封樹脂層17。

如前所述，於本實施例中，該天線27係隨著各接墊18A與18B來被設在密封樹脂層17的頂面上。但，該天線27亦可被設在聚醯亞胺層15上，而與再佈線層16形成一組合結構。於此情況下，若該螺旋電感器20亦設在該聚醯亞胺層

玖、發明說明

15上，則該螺旋電感器20及天線27亦可被製成一組合結構。

在依據該實施例的半導體元件10D中，該天線係被製設形成一所謂的單一晶片接收元件，即其可形成一高度可靠的小型化發射器、接收器、或發射/接收裝置，而幾乎不會有例如佈線影響所造成的特性劣化。又，由於該天線27與螺旋電感器20係一起被設在該半導體元件10D中，故該元件的小型化將可被達成。

至於該螺旋電感器20和天線27的定位，該天線27係被設成比螺旋電感器20更遠離該電路形成表面11a。換言之，該螺旋電感器20會被埋入該元件中，而該天線27則曝現於該元件表面上(該天線亦可被稍微地埋入該元件內)。此結構將可避免該螺旋電感器20影響該天線27的發射/接收操作，而得具有高發射/接收特性。

在上述說明中，該天線27係被設在一面對該基材11之電路形成表面11a的位置處，但是，該天線27亦可被設在該基材11之電路形成表面11a的相反面上。

於此，該天線27及各接墊18A與18B係被設在一絕緣層的密封樹脂層17上，而在本發明的後述申請專利範圍中，乃與該螺旋電感器20全部被含括於所謂的“內部佈線”中。

20 現將說明本發明的第五實施例。

第11圖係示出本發明之第五實施例的半導體元件10E。本實施例的半導體元件10E係類似於第5圖中所示之第二實施例的半導體元件10B，惟除在該半導體元件10E中，有一屏蔽層30被設於該電子電路12與螺旋電感器20之間。

玖、發明說明

該屏蔽層30係由導電金屬所製成，且形成網狀結構。
又，此屏蔽層30係連接於圖中未示出的接地墊，而會形成
接地電位。

藉著在該電子電路12與螺旋電感器20之間製設該屏蔽
5 層30，如上所述，則該電子電路12與螺旋電感器20會因該
屏蔽層30而互相電分離(隔離)，故能避免兩方面互相影響。
以此方式，將可形成一高度可靠的電子電路。又，由於在
本實施例中該屏蔽層30具有網狀結構，故接腳19與21等將
可被製成而不必使它們隔離該屏蔽層30，因此得能簡化該
10 等接腳19及21的製程。

以下，本發明的第六實施例將被說明。

第12圖係示出本發明第六實施例的半導體元件10F。本
實施例的半導體元件10F係類似於第四實施例的半導體元
件10D，惟除在該半導體10F中，有一屏蔽層30介設於該螺
15 旋電感器20與天線27之間。

該屏蔽層30係類似於使用在前述半導體元件10E中
者，並連接於圖中未示出的接地墊。故，此屏蔽層30亦形
成接地電位。藉著如本實施例一般，將該接地屏蔽層30設
在螺旋電感器20與天線27之間，則螺旋電感器20與天線27
20 將會被該屏蔽層30互相電分離(隔離)，故能防止兩方面互相
影響。以此方式，天線27將可避免收取到由該螺旋電感器
20所發出的雜訊，而形成一高度可靠的發射/接收裝置。

第13圖示出半導體元件10F的發射特性。在該圖中，曲
線A代表設有屏蔽層30之半導體元件10F的特性，而曲線B

玖、發明說明

則代表未設有屏蔽層30之半導體元件的特性。如該圖中所示，依據本實施例之半導體元件10F會具有較佳的發射特性。

在上述第五及第六實施例中，該屏蔽層30係被設在電子電路12與螺旋電感器20之間，或在螺旋電感器20與天線27之間。但是，該屏蔽層30亦可被設在電子電路12與螺旋電感器20之間，以及該螺旋電感器20和天線27之間。

再來，將說明本發明的第七實施例。

第15及16圖係示出本發明第七實施例的半導體元件10G。第15圖為該半導體元件10G設有螺旋電感器20之區域的放大圖。第16圖為沿第15圖之A-A線的截面圖。

依據本實施例之半導體元件10G的特徵係，有一第一有機絕緣膜44和一第二有機絕緣膜45設在該基材11上。如第16圖所示，該無機絕緣層41、第一有機絕緣膜44及第二有機絕緣膜45等係疊層設在該基材11上。且，形成於該再佈線層16中的螺旋電感器20會被設在第一有機絕緣膜44上。

該基材11係為一半導體基材，且其電路形成表面(第16圖的頂面)上乃設有該電子電路12(未示出)。又，一電極46係設在該基材11之電路形成表面上的預定位置處。該螺旋電感器20的內端係藉通道48來電連接於上述電極46。

而在該螺旋電感器的外端，有一接腳21會設於其上。該接腳21會貫穿該第二有機絕緣膜45(其將於後說明)，並突出於該膜層上方。有一外部電極49(焊球)會被設在該接腳21的突出部上。

玖、發明說明

以下，將由設在基材11上的無機絕緣層41至第二有機絕緣膜45來逐一說明各層。首先，該無機絕緣層41會被直接設在基材11上。此無機絕緣層41乃形成一鈍化膜，而亦可採用磷矽酸鹽玻璃(PSG)膜，或一SiN膜。

5 該第一有機絕緣膜44係設在無機絕緣層41的頂上。此第一有機絕緣膜44具有複層結構，而包含一第一聚醯亞胺層42及一第二聚醯亞胺層43。如前所述，該螺旋電感器20係形成一圖案來設在第一有機絕緣膜44上。

10 又，該第二有機絕緣膜45係設在第一有機絕緣膜44上。此第二有機絕緣膜45具有與密封樹脂層17相同的功能，而可由例如環氧樹脂或以環氧樹脂作為主要成分的第二有機絕緣材料所製成。

15 在本實施例中，該第一有機絕緣膜44的厚度(第16圖中之箭號W1所示)係被設為不小於9 μm ，而第二有機絕緣膜45的厚度(箭號W2所示)係被設成不小於55 μm 。藉著將該第一與第二有機絕緣膜44與45的厚度設成上述之值，則該螺旋電感器20的Q值將可提高。以下，為何可獲得此等效果將參照第17及18圖來說明。

20 第17圖係示出第一有機絕緣膜44的厚度(第一及第二聚醯亞胺層42和43的總厚度)與Q值之間的關係。在本圖中所示出的特性係將該螺旋電感器20的電感設為3 nH而頻率設為2.0 GHz，來進行實驗所得的結果。

依據第17圖，當第一有機絕緣膜44的厚度在0.0至9.0 μm 的範圍內時，該Q值會逐漸增加，而當該絕緣膜44的厚

玖、發明說明

度大於 $9.0\text{ }\mu\text{m}$ 以上時，Q值則會穩定在大約20.0之值。換言之，一旦該第一有機絕緣膜44的厚度高於 $9.0\text{ }\mu\text{m}$ ，則該螺旋電感器將能保持一高Q值。

第18圖係示出第二有機絕緣膜45的厚度與該Q值之間的關係。在本圖中所示的特性，亦係以電感被設為 3 nH 而頻率設為 2.0 GHz 之螺旋電感器20來進行實驗的結果。

依據第18圖，當該第二有機絕緣膜45的厚度在 24.0 至 $55.0\text{ }\mu\text{m}$ 的範圍內時，該Q值變化率會逐漸增加，而當該絕緣膜45的厚度大於 $55.0\text{ }\mu\text{m}$ 以上時，其將會穩定在一約0.0之值。換言之，該螺旋電感器在第二有機絕緣膜45的厚度大於 $55.0\text{ }\mu\text{m}$ 時，將能保持在一高Q值。

故，藉著將第一有機絕緣膜44的厚度設定為不小於 $90\text{ }\mu\text{m}$ ，則在該螺旋電感器20與基材11(的電路形成表面)之間將會保持一合理的距離。同樣地，藉著將第二有機絕緣膜45的厚度設為不小於 $55.0\text{ }\mu\text{m}$ ，則將可在外部與該螺旋電感器20之間保持一合理的距離。

依據本實施例，將能防止寄生電容與寄生電阻產生於該基材11與螺旋電感器20之間，且亦能防止寄生電容與寄生電阻產生於該半導體元件10G的外部元件和裝置等與該螺旋電感器之間，而得增加該螺旋電感器的Q值。故，將可在該半導體元件10G中形成一具有高Q值的微波單片積體電路(MMIC)。

又，在本實施例中，該第一有機絕緣膜44係由具有聚醯亞胺作為主要成分的有機絕緣材料所製成。該絕緣材料

玖、發明說明

會具有高電感值及低介電常數(相對介電常數)，因此能夠防止該螺旋電感器20的Q值劣化。且，該第一有機絕緣膜44的材料亦可為一種具有環氧樹脂而非聚醯亞胺來作為其主要成分的有機絕緣材料。雖環氧樹脂的介電常數並不似聚醯亞胺那麼低，但其絕佳的機械及電氣穩定性乃可彌補此弱點。

該第二有機絕緣膜45係由環氧樹脂或以環氧樹脂作為主要成分的有機絕緣材料(該二者於後皆稱為環氧樹脂)來製成。藉著提供此等原料成分，該螺旋電感器與基材將能被該環氧樹脂所保護，其具有絕佳的機械強度，並能改善該半導體元件10G的可靠性。又，由於環氧樹脂具有高電感值，故其乃能防止螺旋電感器的Q值劣化。

以下，該通道48的結構將會被說明。該通道48會貫穿該無機絕緣層41及第一有機絕緣膜44，而來電連接設在第一有機絕緣膜44上的螺旋電感器20，及設在基材11上的電極46。

換言之，該通道48會形如一層間佈線，而穿過各絕緣層41~44，來將螺旋電感器20連接於電極46。故，開孔41A、42A、及43A等會分別被製設在無機絕緣層41及第一有機絕緣膜44(即第一和第二聚醯亞胺層42與43)上，俾形成該通道48。以下的說明係有關該各開孔41A、42A、43A之尺寸的相對關係。

首先，比較該第一聚醯亞胺層42之開孔42A的直徑(在第16圖中之箭號L₄₂所示)，與第二聚醯亞胺層43之開孔43A

玖、發明說明

的直徑(如箭號 L_{43} 所示)，則開孔42A的直徑 L_{42} 會大於開孔43A的直徑 L_{43} ($L_{42} < L_{43}$)。即是，分別設在各聚醯亞胺層42與43上的開孔42A與43A的直徑 L_{42} 和 L_{43} 等係被設成，位在離該基材11較高位置處的膜層將會具有較小的開孔。

- 5 另一方面，在上層的第二聚醯亞胺層43(即構成該第一有機絕緣膜44之多層聚醯亞胺層中的最頂層)，係被設成會覆蓋位於下方之無機絕緣層41及第一聚醯亞胺層42的曝現邊緣。換言之，該第二聚醯亞胺層43具有一覆蓋部43B會蓋住該無機絕緣層41和第一聚醯亞胺層42，並繼續延伸至接
- 10 觸該電極46的頂面。由上述覆蓋部43B所形成的開孔43A將會變成該通道48的貫孔。

再來，會對設在第一有機絕緣膜44中之開孔直徑與設在無機絕緣層41中之開孔直徑(第16圖中之箭號 L_{41} 所示)作一比較。

- 15 當第一有機絕緣膜44係由多層聚醯亞胺層製成時，設在第一有機絕緣膜44之孔的直徑，會對應於該等聚醯亞胺層中之最小開孔的直徑(於本實施例中，開孔43A的直徑 L_{43} 會相當於設在第一有機絕緣膜44中之孔的直徑)。

- 如第16圖所示，在本實施例中，設在第一有機絕緣膜
- 20 44中之孔的直徑 L_{43} 會比開孔41A的直徑 L_{41} 更小($L_{43} < L_{41}$)。且，如前所述，該第二聚醯亞胺層43的覆蓋部43B會封蓋該無機絕緣層41設有開孔41A之處。

藉著製成上述結構，由多數聚醯亞胺層42與43所形成的階狀表面將可被填塞於該最頂上之聚醯亞胺層(即第二

玖、發明說明

聚醯亞胺層43)中，並吻合密接。同樣地，由無機絕緣層41和第一有機絕緣膜44形成的階狀表面，將會被該覆蓋部43B填入而使表面平整。

在上述實施例中，於設有將形成通道48(層間佈線)的導電金屬膜之開孔表面上，即該覆蓋部43B的表面，會被製成滑順的斜面；故，雖該通道48被設在覆蓋部43B中，但亦可避免該通道48內的應力保留在其中(於階狀結構中，應力會產生於該表面上形成彎角處)。因而，在通道48中的瑕疵，例如裂縫等，將能被防止，且該半導體元件10G的可靠性將能被改善。又，由於該覆蓋部43B的表面係為一滑順的斜面，故要作為通道48的金屬膜將能被精確地製設在該孔內。

此外，在本實施例中，該通道48之貫孔直徑 L_{43} (即設在該通道48與電極46電連接區域的開孔，在本實施例中係相當於開孔43A)乃被設成 $20\sim 50\text{ }\mu\text{m}$ 。以此方式，該半導體元件10G將可被小型化，同時能避免該通道48的阻抗增加。

第19圖示出該通道48與電極46連接處之歐姆電阻值(阻抗值)與通道孔徑之間的關係。依據該圖所示，該歐姆電阻值會隨著通孔直徑的增加而降低。但是，當該通道孔徑小於 $20.0\text{ }\mu\text{m}$ 時，其歐姆電阻會超過 $60.0\text{ m}\Omega$ ，因此將不適用於本發明。

相反地，當上述直徑超過 $50\text{ }\mu\text{m}$ 時，該電極46的面積會變得太大，因此會妨礙該半導體元件10G的小型化。故，藉著將該通道的孔徑 L_{43} 設為 $20\sim 50\text{ }\mu\text{m}$ ，則該半導體元件10G將能被小型化，且該通道48的阻抗可被抑止而不會增加。

玖、發明說明

又，在本實施例中，該接腳21係被用來連接外部電極49與螺旋電感器20。故，該第二有機絕緣膜45的厚度W1將可在製造該半導體元件10G時，藉該接腳21來精確地決定。此係因為該第二有機絕緣膜45須避免使其厚度大於接腳21的高度。

又，在上述實施例之說明中，該第一有機絕緣膜44具有多層結構；但是，該第一有機絕緣膜44亦可具有單層結構。且，該螺旋電感器並不限於具有螺旋狀結構，而亦可採用其它的例如鉅形結構。

10 以下，本發明的第八實施例將被說明。

第20圖係示出設於本發明第八實施例之半導體元件上的螺旋電感器50之放大圖。在本實施例中，該螺旋電感器50的內端52會偏離該螺旋電感器的中心點54，並設有一延伸佈線53由該內端54避開中心點54而向外延伸。換言之，
15 在包圍該螺旋電感器50之中心點54的區域中，乃設有一未圖案化部份其並不包括該含有螺旋電感器50的再佈線層16。

上述實施例能夠達成該螺旋電感器50的小型化，並使其具有高Q值。其原因將參照第21A、21B、21C及22圖來說
20 明。

第21A圖中所示的螺旋電感器55具有一內端會偏離其中心點，如同本實施例的螺旋電感器50。但是，該延伸佈線53會通過其螺旋電感器55的中心點，而非避開該區域。

示於第21B圖中的螺旋電感器56係被設成可縮小第

玖、發明說明

21A圖之螺旋電感器55的結構。具言之，第21B圖之螺旋電感器56的直徑R2係被設成比第21A圖之螺旋電感器55的直徑R1更小($R2 < R1$)。但，該螺旋電感器56的延伸佈線53亦會通過其中心點。

- 5 第21C圖乃示出第20圖中的螺旋電感器50，其係為本發明的第八實施例。該螺旋電感器50的直徑係相等於第21B圖中所示之螺旋電感器56的直徑R2，其係為螺旋電感器55的縮小版。

10 第22圖示出上述各螺旋電感器55、56、50之各Q值特性。在該圖中之曲線A所示之值係對應於該螺旋電感器55(第21A圖)的特性，曲線B所示之值係對應於螺旋電感器56(第21B圖)的特性，而曲線C所示之值則對應於螺旋電感器50(第21C圖)的特性，其係為依據本發明的實施例。

15 由第22圖中乃可看出，第21A圖所示之螺旋電感器55的Q值特性會比其它螺旋電感器50與56者更佳。但是，如前所述，其直徑R1太大，故會使容納該螺旋電感器55的半導體元件加大。

20 相對地，在第21B圖中所示的螺旋電感器56會具有較小的直徑R2，因此可使容納該螺旋電感器56的半導體元件縮小化。但是，該螺旋電感器56的Q值特性會比其它的螺旋電感器50及55者較差。

 相反地，依據本發明上述實施例的螺旋電感器50具有較小的直徑R2，因此能使該半導體元件達成小型化，並同時具有與該螺旋電感器55幾近相同的Q值特性。故，在本實

玖、發明說明

施例中，該半導體元件的縮小化及高Q值特性的維持皆可同時被達成。

如上所述之本發明會具有各種的優點，如以下所述。

依據本發明，有諸多功能可被賦具於該電子裝置中，
5 而使該電子裝置得能小型化，必須減少構件的數目。

又，由於該內部佈線所形成的電子線路係可為一電感器，故相較於該電感器直接設在基材上的結構，其在設定電感值時將能具有較高程度的可調變性。

此外，由於在本發明中該內部佈線係可為一螺旋電感
10 器，故將可在一非常小的面積中達到較高的電感值。又，由於該螺旋電感器係由設在絕緣層中形成一圖案的內部佈線所構成，故其將能以低成本來容易地製成。

且，藉著在該電子元件中製成多層的螺旋電感器，則將可達到更高的電感值。

15 又，藉著將由內部佈線所形成之電子電路與設在基材上之電子電路的連接位置設定於該內部佈線的內端，則由該等電子電路之上述連接位置的延伸線所造成的特性劣化將可減至最少，且振盪的影響亦可被控制。

或者，藉著將一天線與該內部佈線製設在一起，則一
20 接收器亦可僅以一晶片來製成，故能形成一高度可靠的縮小發射器、接收器、或發射/接收裝置，而幾乎不會有諸如佈線等因素所造成的特性劣化。

又，藉著將一電感器及一天線與該內部佈線製設在一起，則將能達成一更小的多功能電子元件。

玖、發明說明

且，藉著將該電感器與天線製設成膜層結構，並將該天線相對於該電感器設成較遠離該電路形成表面，則該電子元件將能被製得更小。又，藉著將該天線設在相較於該電感器更遠離該電路形成表面的位置處，即，將該天線設在該絕緣層的表面上或靠近該表面處，則該天線的發射及接收操作將可被保護而避免受該电感器的影響。因此，將可達到高發射及接收特性。

又，一高度可靠的電子元件亦可藉將該天線製設在電路形成表面的相反面上而來形成。

且，藉著將由內部佈線所構成的電子電路與設在基材上的電子電路以該屏蔽層來電分離(隔離)，則該二電路將可避免互相影響。此將會形成一具有甚佳可靠性的電子元件。

又，藉著以該隔離層來電分離該基材與內部佈線所形成的電子電路，則由該基材之影響所造成之上述電子電路的Q值劣化將可被防止，且該電子元件的可靠性將會增加。

此外，藉著將第一絕緣膜的厚度設成不小於9 μm ，則可避免在基材與電感器之間產生寄生電容與寄生電阻。又，藉著將第二絕緣膜的厚度設為不小於55 μm ，則寄生電容與寄生電阻將可被防止產生於外部元件或裝置與該電感器之間。而寄生電容與寄生電阻的消滅將能使該电感器的Q值增加。

又，在本發明中將能形成一具有高Q值的微波單片整合積體電路(MMIC)。

且，藉著使用以聚醯亞胺作為主要成分的絕緣材料，

玖、發明說明

其具有一高電感值及一低介電常數(相對介電常數),或使用以環氧樹脂作為主要成分的絕緣材料,其具有絕佳的隔離特性者,來製成該第一絕緣膜,則該電感器的Q值劣化將能被防止。

- 5 又,當製造該層間佈線時,藉著將設在各絕緣層上的各開孔直徑設成,使位在離該基材較遠(較高處)的絕緣層中者具有較小的孔徑,且令至少最頂上的絕緣層會覆蓋該無機絕緣層,則該最頂上的絕緣層將可填鋪於由構成第一絕緣膜之多數絕緣層所形成的階狀表面中,並使其上設有該
- 10 層間佈線的開孔之表面被製成滑順平整。且,在該層間佈線形成區域中的可靠度將可改善,因為當將該層間佈線形成於該開孔的表面上時,應力不會殘留於該層間佈線中。又,由於該開孔的內壁係為推拔滑順表面,故要作為層間佈線的金屬膜將能精確地被設於該孔的內壁上而來形成層
- 15 間佈線。

- 又,藉著將設在第一絕緣膜中之層間佈線開孔的直徑製成比設在無機絕緣層中的開孔直徑更小,並將該第一絕緣膜製成覆蓋該無機絕緣層,則由該無機絕緣層和第一絕緣膜所形成的階狀表面,將可被第一絕緣膜填鋪,而使容
- 20 納該層間佈線的開孔表面形成滑順平整。因此,當要於該開孔表面上製成層間佈線時,應力將不會殘留於該層間佈線中,故該層間佈線形成區域的可靠性將可改善。

 且,藉著限制形成層間佈線之開孔直徑,將可達成該電子元件的縮小化,同時該層間佈線的阻抗增升亦能被控

玖、發明說明

制。

最後，藉著製設一佈線接腳來將該佈線連接於一外部連接端子，因該第二絕緣膜的厚度不可超過該佈線接腳的高度，故將能精確地決定第二絕緣膜的厚度。

- 5 本申請案係依據2001年12月14日所申請之第2001-381325號，及2002年10月22日申請之第2002-307429號日本專利申請案來提出申請，並請求該等較早申請日的權益，該兩案的內容併此附送。

【圖式簡單說明】

- 10 第1圖為本發明第一實施例之電子元件的示意圖；
 第2A、B圖為本發明第一實施例之電子元件的等效電路圖；
 第3圖為一螺旋電感器連接於一電子電路的等效電路圖；
- 15 第4圖為本發明第一實施例的半導體元件之截面圖；
 第5圖為本發明第二實施例之電子元件的示意圖；
 第6圖為本發明第三實施例之電子元件的示意圖；
 第7A圖為一形成雙層結構之螺旋電感器的立體圖；
 第7B、C圖為本發明之電子元件的等效電路之範例；
- 20 第8圖為一形成三層結構之螺旋電感器的立體圖；
 第9圖為本發明第四實施例之電子元件的示意圖；
 第10圖為一天線及螺旋電感器連接於一電子電路的等效電路圖；
 第11圖為本發明第五實施例之電子元件的示意圖；

玖、發明說明

第12圖為本發明第六實施例之電子元件的示意圖；

第13圖為本發明第六實施例之電子元件的發射特性圖；

第14A及14B圖為螺旋電感器的實施例之電路圖；

5 第15圖為本發明第七實施例之電子元件的主要構件之頂視放大圖；

第16圖為沿第15圖之A-A線的電子元件截面圖；

第17圖為本發明第七實施例之電子元件的第一有機絕緣膜厚度與該Q值之間的關係圖；

10 第18圖為該本發明第七實施例之電子元件的第二有機絕緣膜厚度與該Q值變化率之間的關係圖；

第19圖為該第七實施例之電子元件的電阻值與通道孔徑之間的關係圖；

15 第20圖為使用於本發明第八實施例之電子元件中的螺旋電感器之放大圖；

第21A、B、C圖係示出習知技術的螺旋電感器與使用於本發明第八實施例之電子元件中的螺旋電感器之間的差異；及

20 第22圖係示出習知的螺旋電感器與使用於本發明第八實施例之電子元件中的螺旋電感器之特性曲線圖的差異。

【圖式之主要元件代表符號表】

10A、10B、10C、10D、10E、	11a...電路形成表面
10F、10G...半導體元件	12...電子電路
11...基材	13...絕緣膜層

玖、發明說明

14...佈線層	23...隔離層
15、42、43...聚醯亞胺層	27...天線
15A...第一聚醯亞胺層	30...屏蔽層
15B...第二聚醯亞胺層	31...外部連接端子
16...再佈線層	41...無機絕緣層
17...密封樹脂層	41A、42A、43A...開孔
18A...輸入墊	43B...覆蓋部
18B...輸出墊	44...第一有機絕緣膜
19、21...接腳	45...第二有機絕緣膜
20、50、55、56...螺旋電感器	46...電極
20A...第一螺旋電感器	48...通道
20B...第二螺旋電感器	49...外部電極
20C...第三螺旋電感器	51...外端
21A...外接腳	52...內端
21B...內接腳	53...延伸佈線
22...佈線	54...中心點

肆、中文發明摘要

本發明可形成一小型化的電子元件，且其在小型化時仍可保持高度可靠性。針對於此，該電子元件具有一電路，包含：一基材具有一電路形成表面，其上設有該電路的一部份；一聚醯亞胺層設在該電路形成表面上；及一螺旋電感器構成該電路的另一部份，其係形成一圖案設在該聚醯亞胺層上。

伍、英文發明摘要

The present invention realizes a miniaturized electronic device that is still capable of maintaining its high reliability even when miniaturized. To this end, the electronic device has an electronic circuit, comprising: a substrate with a circuit formation surface on which one part of the electronic circuit is formed; a polyimide layer that is formed on the circuit formation surface; and a spiral inductor constituting another part of the electronic circuit, which is formed into a pattern on the polyimide layer.

陸、(一)、本案指定代表圖爲：第1圖

(二)、本代表圖之元件代表符號簡單說明：

10A...半導體元件	18B...輸出墊
11...基材	19、21...接腳
11a...電路形成表面	20...螺旋電感器
12...電子電路	21A...外接腳
15...聚醯亞胺層	21B...內接腳
17...密封樹脂層	22...佈線
18A...輸入墊	23...隔離層

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

拾、申請專利範圍

1. 一種電子元件，具有一電路及一外部連接端子連接於該電路，該電子元件包含：
 - 一基材具有一電路形成表面其上設有該電路的一部份；
 - 5 一絕緣層設在該電路形成表面上；及
 - 內部佈線係包含可將該電路連接於外部連接端子的佈線，以及該電路的另一部份乃形成一圖案而被設在該絕緣層中或該絕緣層上。
2. 如申請專利範圍第1項之電子元件，其中由該內部佈線所形成的電路係為一螺旋電感器。
10
3. 如申請專利範圍第2項之電子元件，乃包含多數的螺旋電感器形成一多層結構。
4. 如申請專利範圍第1項之電子元件，更包含一由該內部佈線形成的電路對設在該基材之電路形成表面上的電路之連接位置，該連接位置係位於內部佈線的內端。
15
5. 如申請專利範圍第1項之電子元件，其中由該內部佈線形成的電路係為一天線。
6. 如申請專利範圍第1項之電子元件，其中：
 - 有一電感器及一天線係被製成由該內部佈線所形
 - 20 成的電路；而
 - 該電感器及天線係形成一疊層結構，且該天線會比電感器離該電路形成表面更遠。
7. 如申請專利範圍第1項之電子元件，更包含一屏蔽層設在由該內部佈線所形成的電路與設於基材上的電路之

拾、申請專利範圍

間。

8. 如申請專利範圍第7項之電子元件，其中該屏蔽層具有一網狀結構。
9. 如申請專利範圍第1項之電子元件，在該基材上更包含一隔離層可將該基材與由內部佈線所形成的電路電分離。
10. 如申請專利範圍第9項之電子元件，其中該隔離層包含一絕緣材料填入於一設在該基材上之細微溝槽中。
11. 一種電子元件，包含：
 - 一基材其上設有一電路及一無機絕緣層；
 - 一第一絕緣膜設在該無機絕緣層上；
 - 一電感器係由設在第一絕緣膜上的佈線所構成；及
 - 一第二絕緣膜設在第一絕緣膜上而覆蓋該電感器；
 - 其中
 - 該第一絕緣膜具有一不小於9 μm 的厚度；且
 - 第二絕緣膜具有一不小於55 μm 的厚度。
12. 如申請專利範圍第11項之電子元件，其中一矽基材係被用來作為該基材。
13. 如申請專利範圍第11項之電子元件，其中該第一絕緣膜係由聚醯亞胺或以環氧樹脂作為主要成分的有機絕緣材料所製成。
14. 如申請專利範圍第11項之電子元件，其中該第二絕緣膜係由環氧樹脂或以環氧樹脂作為主要成分的有機絕緣材料所製成。

拾、申請專利範圍

15. 如申請專利範圍第11項之電子元件，其中該第一絕緣膜具有一單層結構。

16. 如申請專利範圍第11項之電子元件，其中該第一絕緣膜具有一多層結構。

5 17. 如申請專利範圍第11項之電子元件，其中：

該第一絕緣膜具有一多層結構係由多數絕緣層所形成，及一電極設在該基材上且該電感器係由一層間佈線來連接；

10 形成第一絕緣膜的絕緣層等各具有不同直徑的開孔，而位在離該基材較高處的絕緣層會具有較小的孔徑；且

至少最頂部的絕緣層會被設成覆蓋該無機絕緣層。

18. 如申請專利範圍第11項之電子元件，其中：

15 一設在該基材上的電極與該電感器會被一層間佈線所連接；

設在第一絕緣膜中之供形成層間佈線的開孔直徑，係比設在無機絕緣層中之開孔直徑更小；且

該第一絕緣膜係被設成覆蓋該無機絕緣層。

20 19. 如申請專利範圍第18項之電子元件，其中設在第一絕緣膜中的開孔直徑係在20~50 μm 的範圍內。

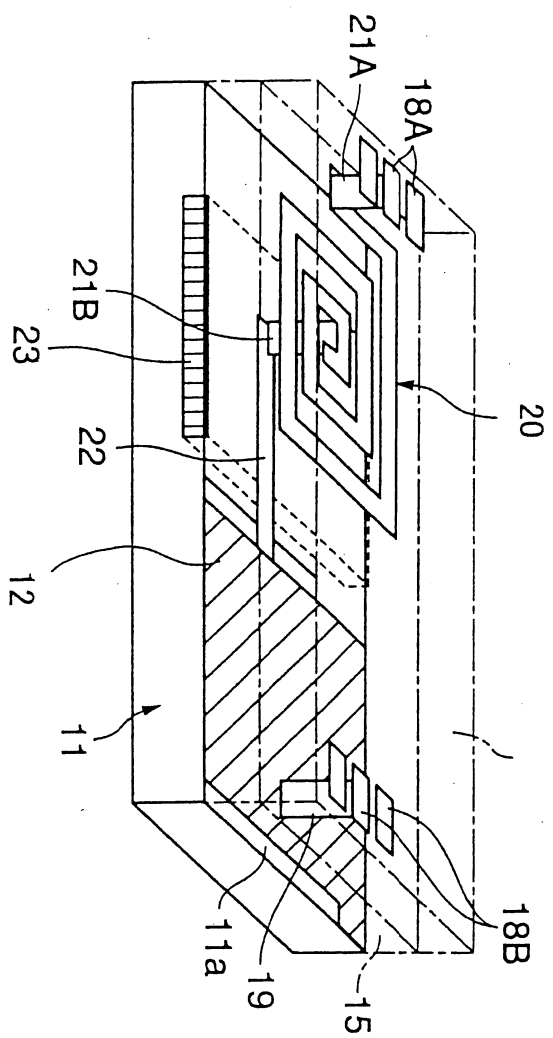
20. 如申請專利範圍第11項之電子元件，乃包含：

一佈線接腳可將該佈線連接於一外部連接端子；其中該第二絕緣膜的厚度會被該佈線接腳的高度所限制。

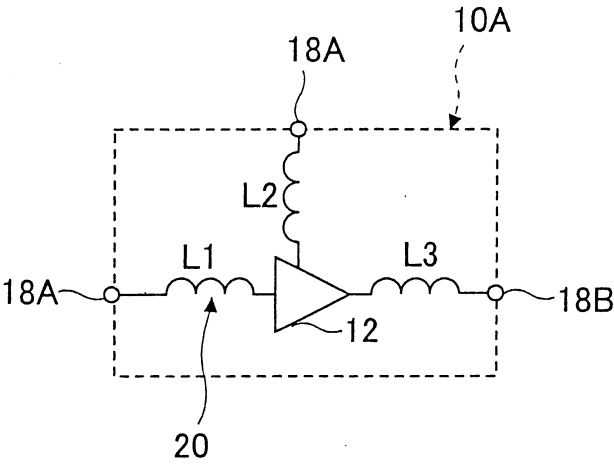
梁 一 回

10A

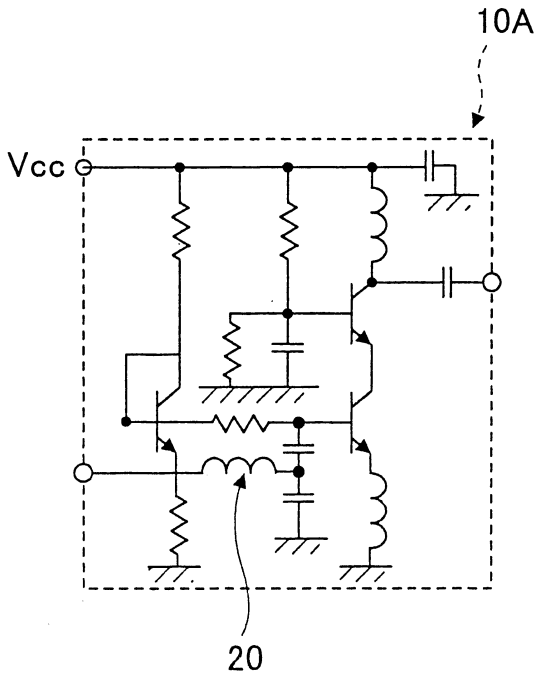
17



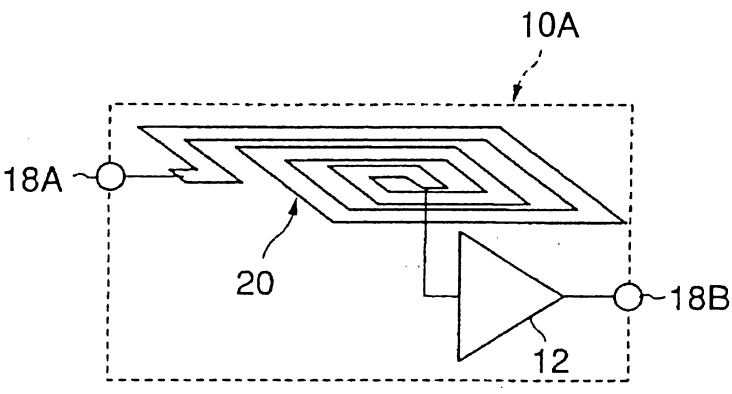
第 2A 圖



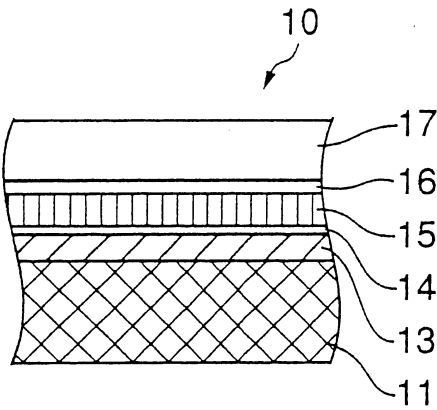
第 2B 圖



第 3 圖

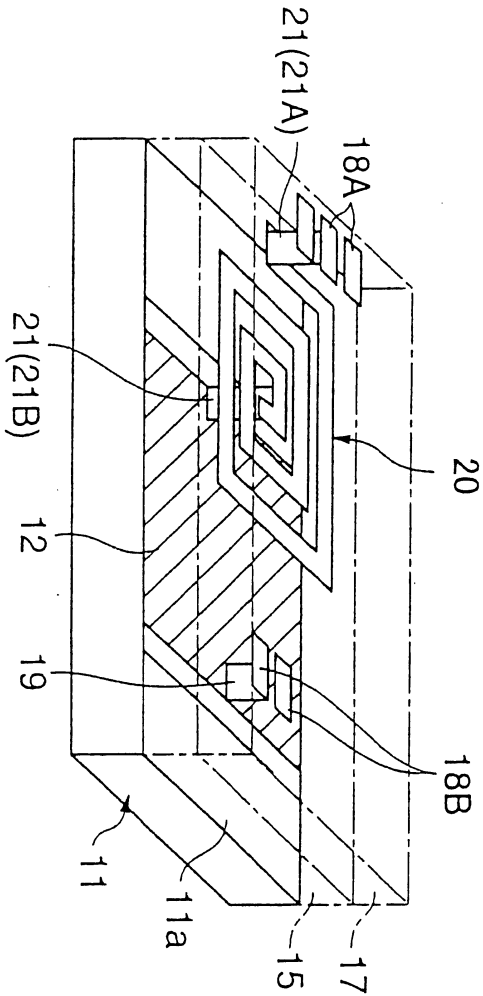


第 4 圖

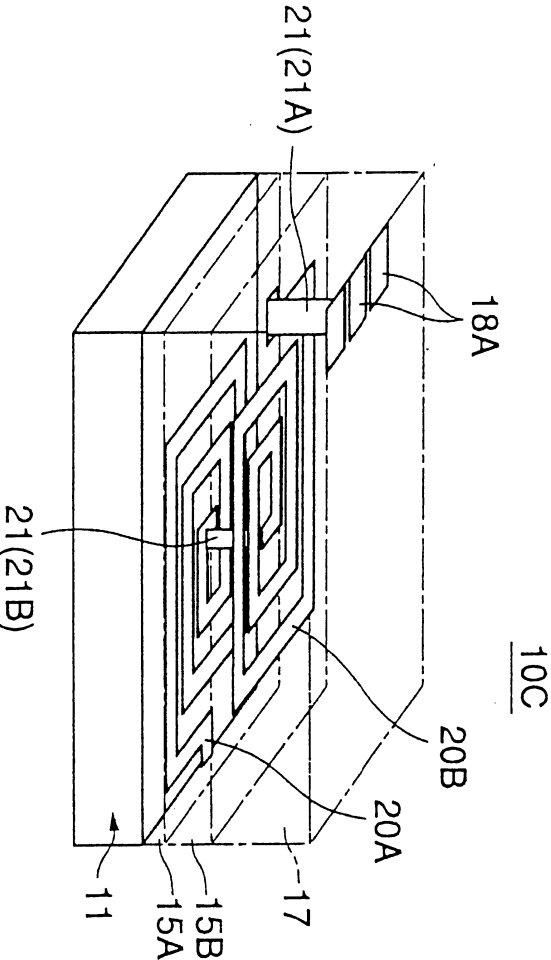


第 5 圖

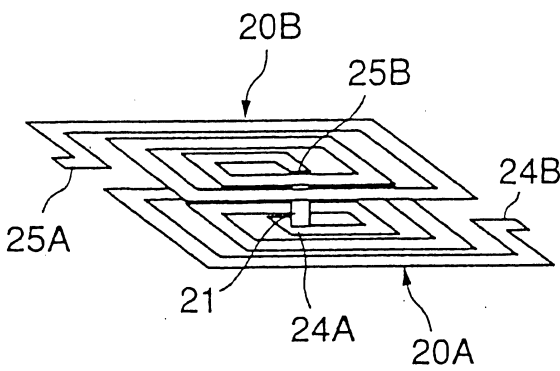
10B



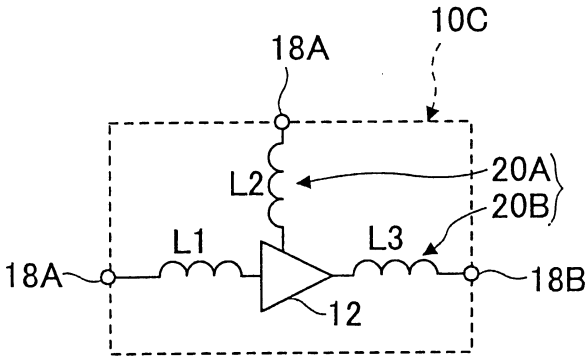
第 6 圖



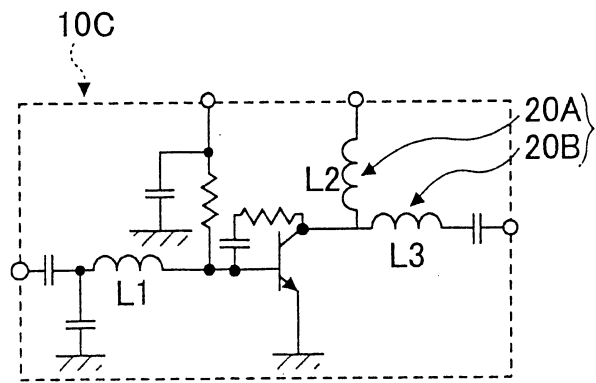
第 7A 圖



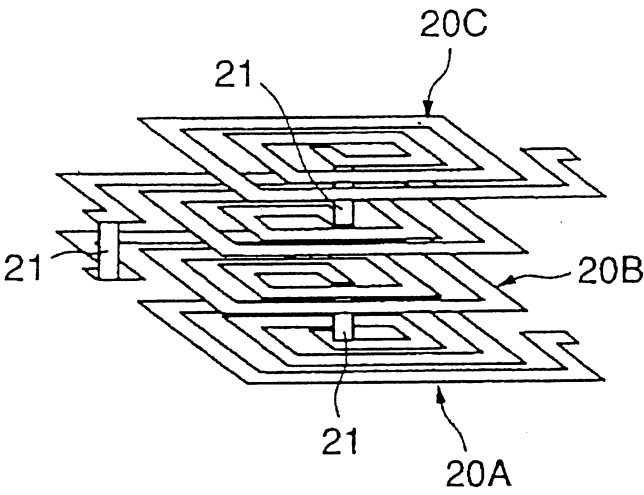
第 7B 圖



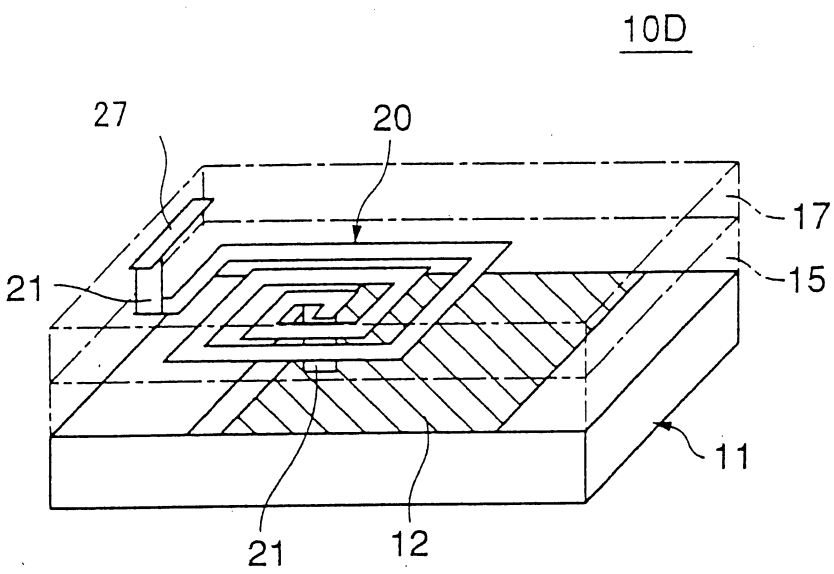
第 7C 圖



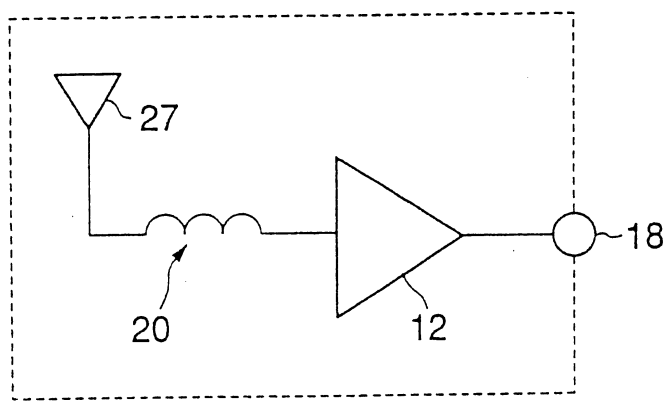
第 8 圖



第 9 圖

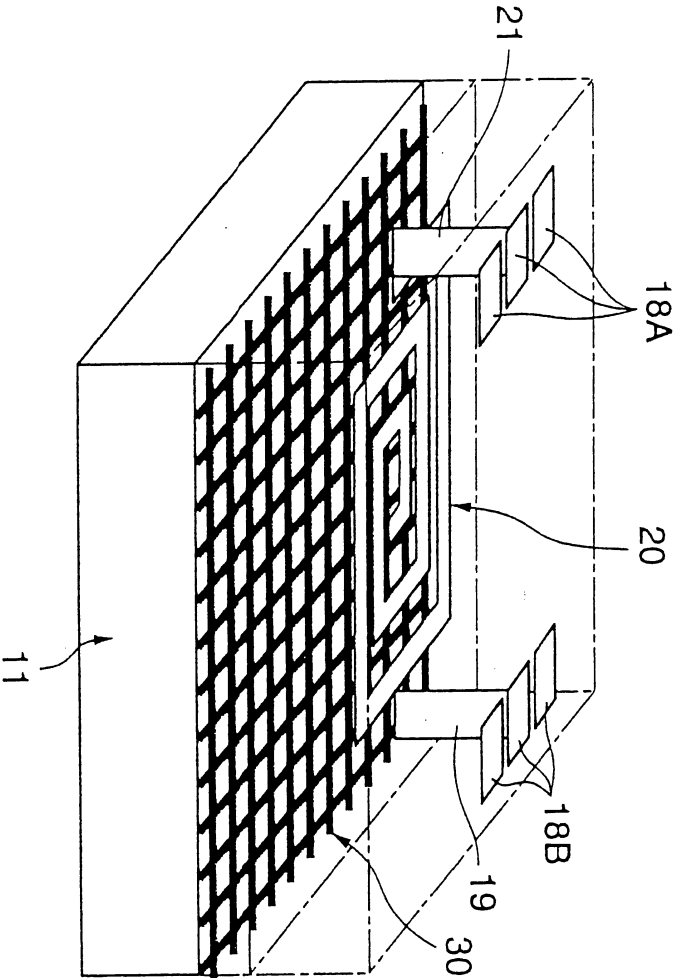


第 10 圖



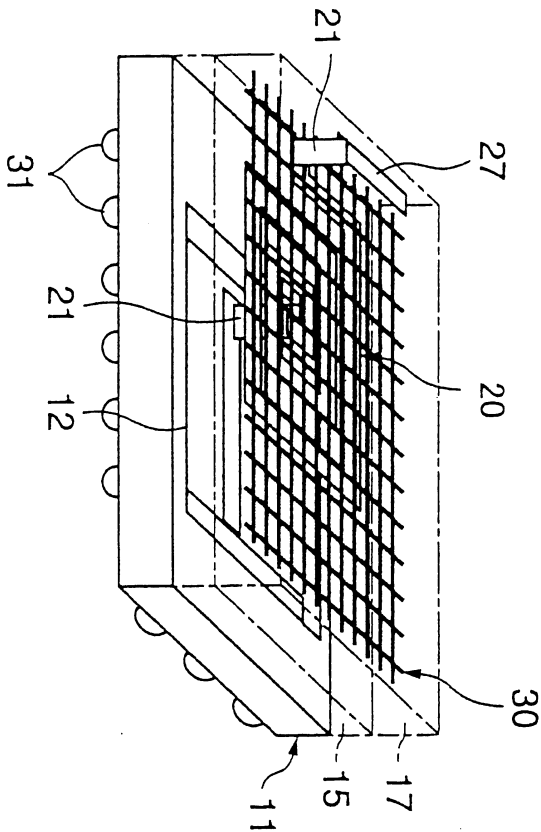
第 11 圖

10E

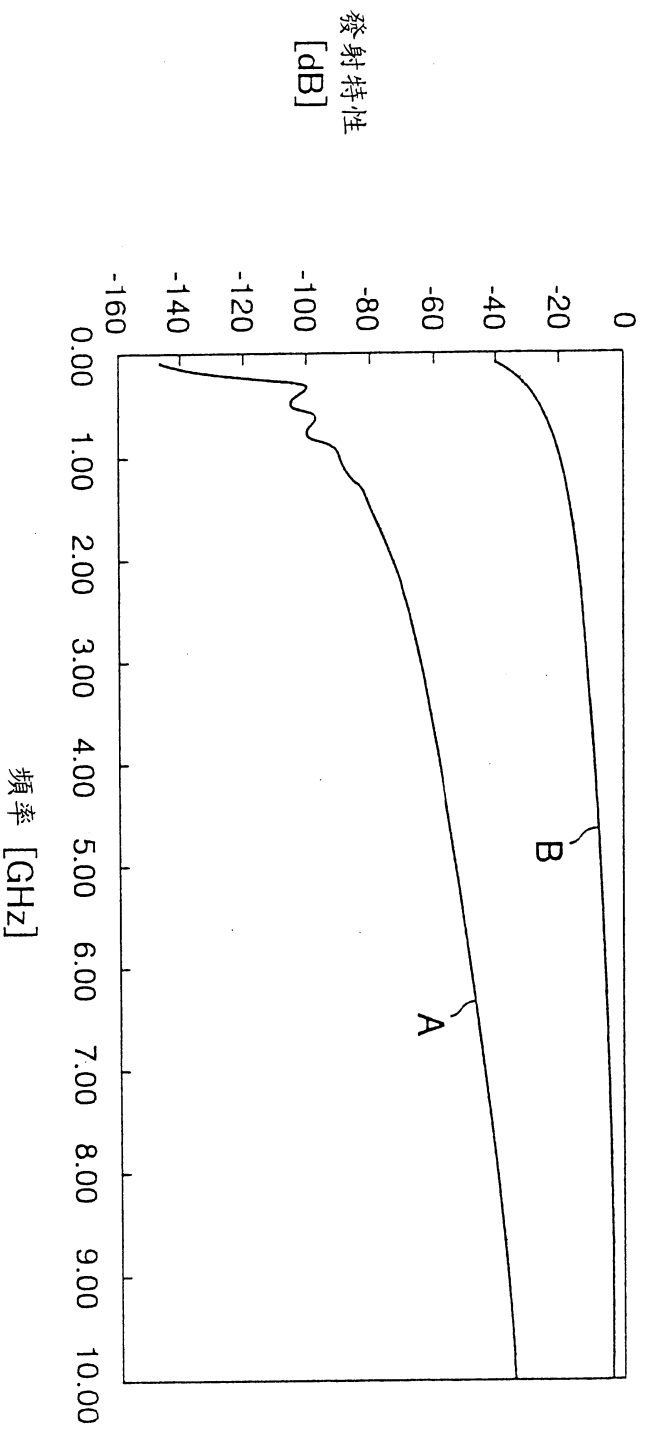


第 12 圖

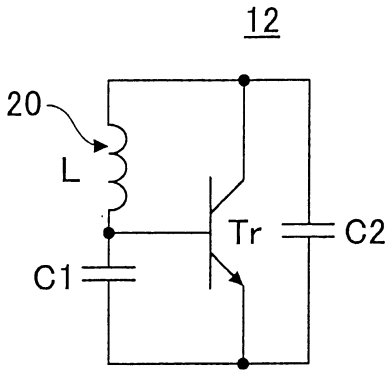
10F



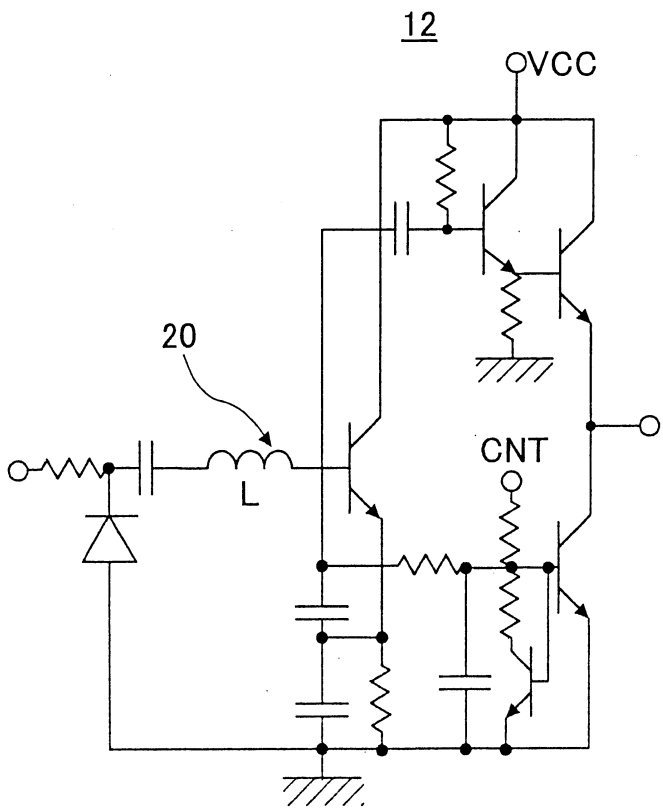
第 13 圖



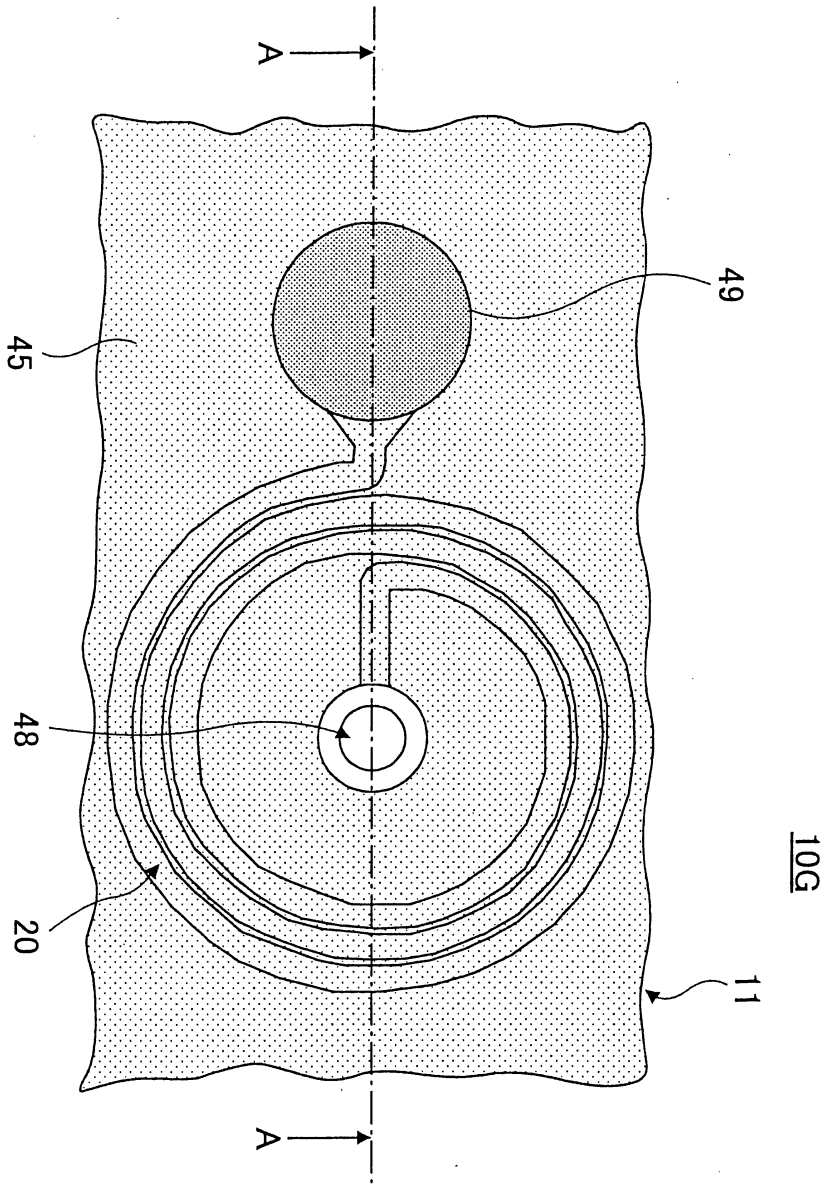
第14A圖



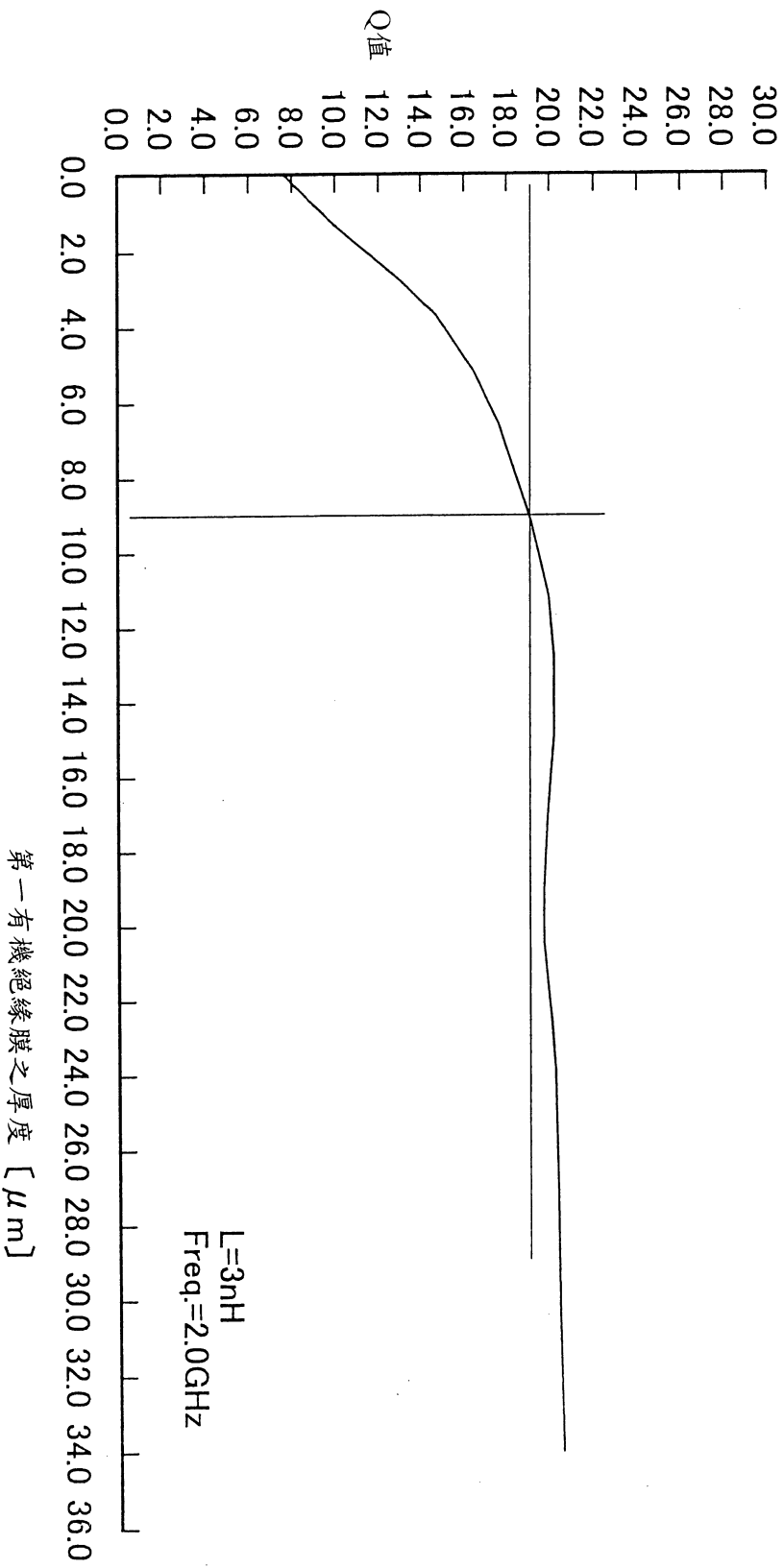
第14B圖



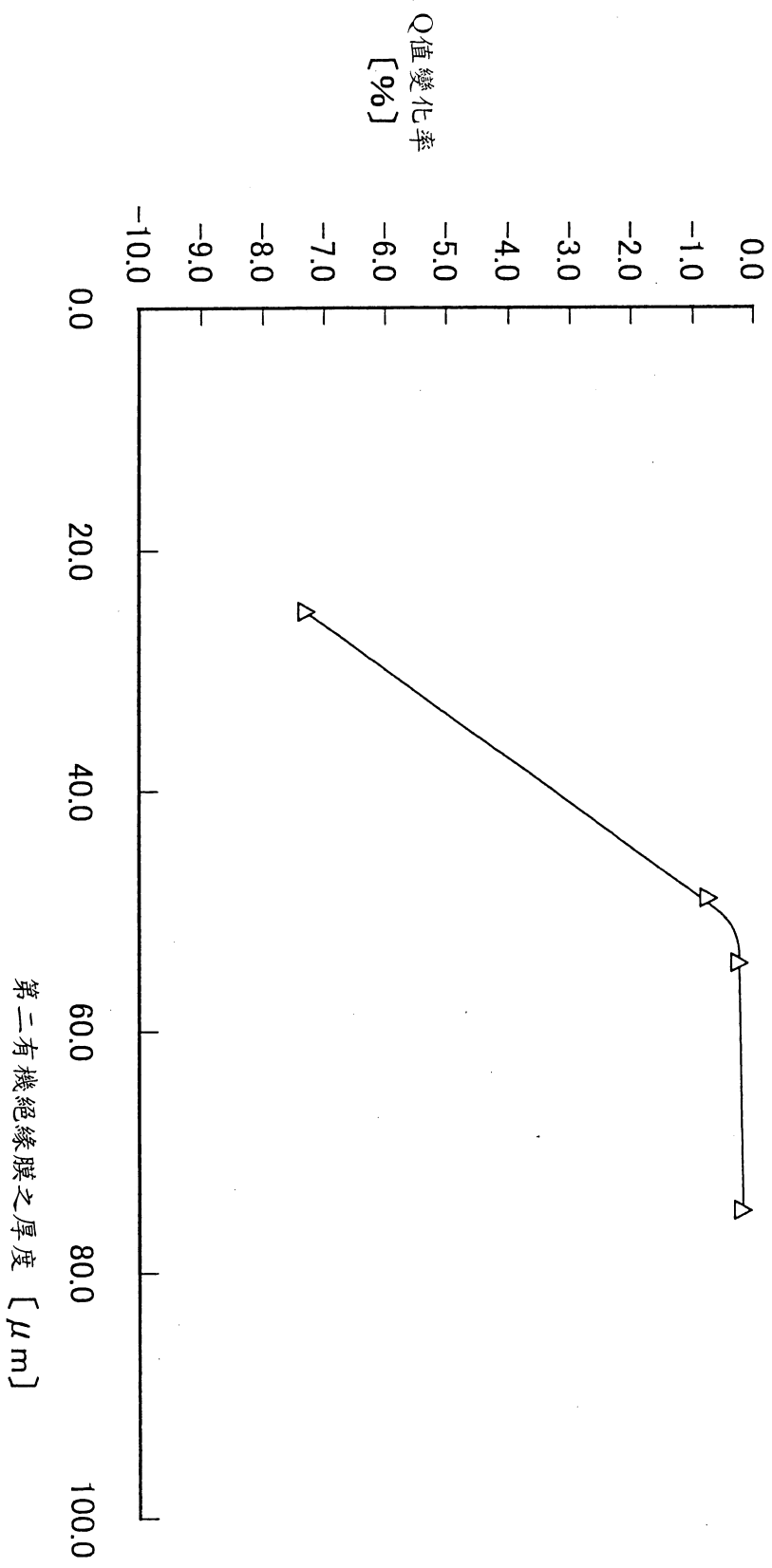
第 15 圖



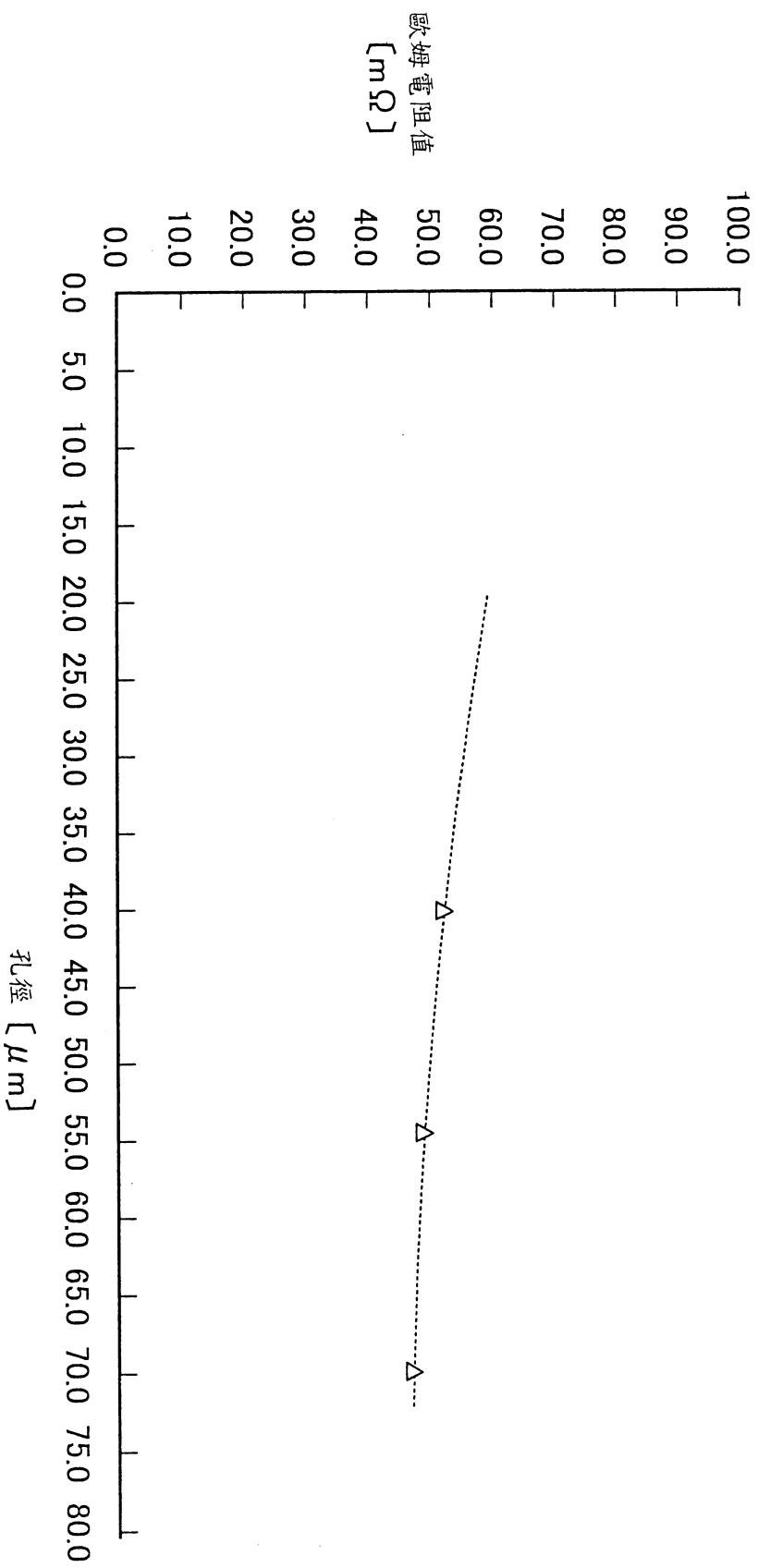
第 17 圖



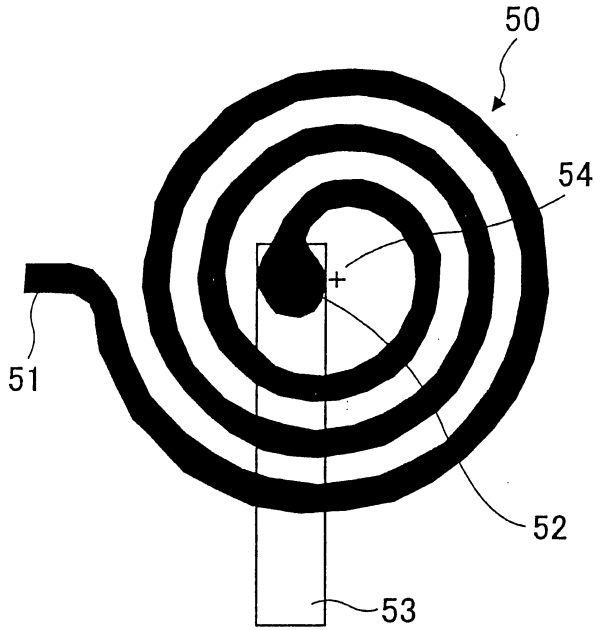
第 18 圖



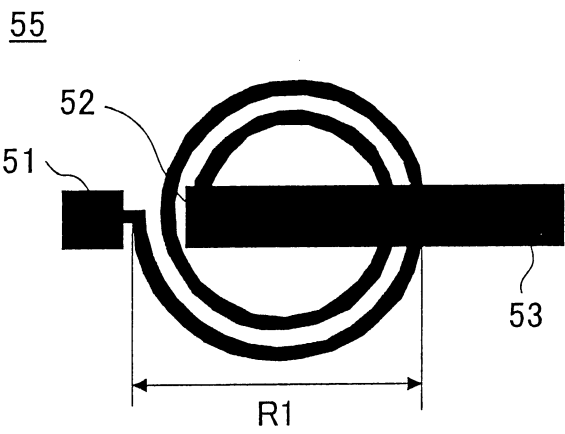
第 19 圖



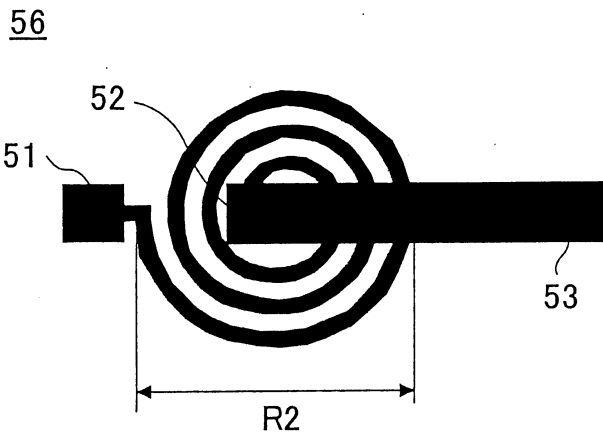
第 20 圖



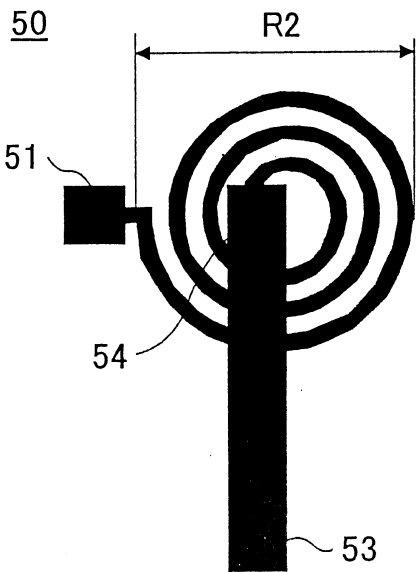
第21A圖



第21B圖



第21C圖



第 22 圖

