



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2018년04월27일  
(11) 등록번호 10-1853242  
(24) 등록일자 2018년04월23일

- (51) 국제특허분류(Int. Cl.)  
*H04N 5/355* (2011.01) *H01L 27/146* (2006.01)  
*H04N 5/232* (2006.01) *H04N 5/235* (2006.01)  
*H04N 5/3745* (2011.01) *H04N 9/04* (2006.01)
- (52) CPC특허분류  
*H04N 5/35563* (2013.01)  
*H01L 27/14632* (2013.01)
- (21) 출원번호 10-2017-7015090
- (22) 출원일자(국제) 2015년11월09일  
 심사청구일자 2017년11월21일
- (85) 번역문제출일자 2017년06월01일
- (65) 공개번호 10-2017-0091619
- (43) 공개일자 2017년08월09일
- (86) 국제출원번호 PCT/US2015/059732
- (87) 국제공개번호 WO 2016/089551  
 국제공개일자 2016년06월09일
- (30) 우선권주장  
 14/561,845 2014년12월05일 미국(US)
- (56) 선행기술조사문현  
 KR1019990083635 A\*  
 KR1020070043656 A\*  
 \*는 심사관에 의하여 인용된 문현

(73) 특허권자  
 웰컴 인코포레이티드  
 미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775

(72) 발명자  
 세이 비아이-청  
 미국 92121-1714 캘리포니아주 샌디에고 모어하우스 드라이브 5775  
 고마 세르지우 라두  
 미국 92121-1714 캘리포니아주 샌디에고 모어하우스 드라이브 5775

(74) 대리인  
 특허법인코리아나

전체 청구항 수 : 총 27 항

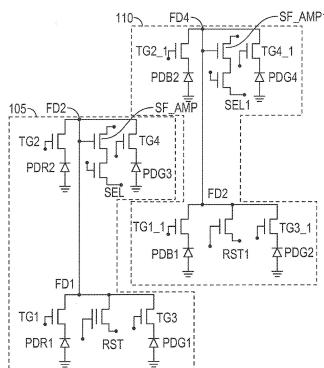
심사관 : 김용권

(54) 발명의 명칭 향상된 전하 용량 및 동적 범위를 갖는 솔리드 스테이트 이미지 센서

### (57) 요 약

특정 양태들은 이미징 시스템들 및 이미징 시스템들과 이미지 센서들을 제조하기 위한 방법들에 관련된다. 이미징 시스템은 복수의 픽셀들을 포함하는 픽셀 어레이를 포함하며, 픽셀들은 광에 노출될 때 전하를 생성하도록 구성되고, 제 1 층 상에 배치된다. 이미징 시스템은 추가로, 그 시스템에 커플링된 픽셀들에 통합된 광을 관통하기 위한 복수의 픽셀 회로들을 포함하고, 복수의 픽셀 회로들의 각각은 복수의 픽셀들의 서브세트 간에 공유되는 하나 이상의 트랜지스터들을 포함하고, 하나 이상의 트랜지스터들은 제 1 층과 상이한 제 2 층 상에 배치된다. 이미징 시스템은 복수의 픽셀들의 각각을 복수의 픽셀 회로들에 커플링하도록 구성된 복수의 플로팅 확산 노드들을 더 포함한다.

### 대 표 도



(52) CPC특허분류

*H01L 27/14634* (2013.01)

*H01L 27/14641* (2013.01)

*H04N 5/23235* (2013.01)

*H04N 5/2355* (2013.01)

*H04N 5/37457* (2013.01)

*H04N 9/045* (2013.01)

*H04N 2209/046* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

이미징 시스템으로서,

광을 전하로 컨버팅하도록 구성된 복수의 픽셀들로서, 각각의 픽셀은,

포토다이오드,

트랜스퍼 게이트,

상기 포토다이오드와 저장 커패시터 사이에 배치된 상기 트랜스퍼 게이트를 통해 상기 포토다이오드와  
직렬로 전기적으로 접속된 상기 저장 커패시터로서, 상기 저장 커패시터는 접속된 상기 포토다이오드로부터 복  
수의 전하 덤프들을 나타내는 누산된 전하의 저장을 위한 커패시턴스를 가지며, 상기 복수의 전하 덤프들의 각  
각은 접속된 상기 포토다이오드에 통합된 광을 나타내는 전하를 포함하는, 상기 저장 커패시터, 및

상기 저장 커패시터와 직렬로 전기적으로 접속된 타이밍 회로로서, 상기 타이밍 회로는 상기 저장 커패  
시터로부터 플로팅 확산 노드로의 전하의 흐름을 제어하도록 구성된, 상기 타이밍 회로

를 포함하는, 상기 복수의 픽셀들;

상기 복수의 픽셀들로부터 전하를 컨버팅하도록 구성된 하나 이상의 증폭기 트랜지스터들;

독출될 상기 복수의 픽셀들의 로우 또는 컬럼을 선택하도록 구성된 하나 이상의 선택 트랜지스터들;

상기 복수의 픽셀들 중 적어도 하나를 리셋하도록 구성된 하나 이상의 리셋 트랜지스터들;

하나 이상의 공유 픽셀 아키텍처들로 배열된 상기 복수의 픽셀들을 포함하는 픽셀 어레이로서, 상기 픽셀 어레이  
이는 상기 복수의 전하 덤프들의 각각을 개별의 상기 포토다이오드로부터 개별의 상기 저장 커패시터로 덤팅하  
기 위해 각각의 픽셀의 트랜스퍼 게이트를 독립적으로 제어하고 각각의 픽셀의 타이밍 회로를 독립적으로 제어  
하여 각각의 저장 다이오드로부터 상기 플로팅 확산 노드로의 전하 덤프들이 한번에 하나의 픽셀을 발생시키도록  
구성된, 상기 픽셀 어레이;

상기 복수의 픽셀들이 배치되는 제 1 실리콘 층; 및

상기 하나 이상의 증폭기 트랜지스터들, 선택 트랜지스터들, 및 리셋 트랜지스터들 중 적어도 하나가 배치되는  
제 2 실리콘 층을 포함하는, 이미징 시스템.

#### 청구항 2

제 1 항에 있어서,

상기 플로팅 확산 노드는 상기 제 1 실리콘 층 상에 배치되고 상기 제 2 실리콘 층 상에 배치된 상기 하나 이상  
의 증폭기 트랜지스터들에 전기적으로 커플링되는, 이미징 시스템.

#### 청구항 3

제 2 항에 있어서,

상기 제 1 실리콘 층 상에 배치된 상기 플로팅 확산 노드는 상기 제 2 실리콘 층 상에 배치된 상기 하나 이상의  
증폭기 트랜지스터들에 파인-피치 하이브리드 본드를 통해 전기적으로 커플링되는, 이미징 시스템.

#### 청구항 4

제 2 항에 있어서,

상기 제 1 실리콘 층 상에 배치된 상기 플로팅 확산 노드는 상기 제 2 실리콘 층 상에 배치된 상기 하나 이상의  
증폭기 트랜지스터들에 퓨전 본드를 통해 전기적으로 커플링되는, 이미징 시스템.

**청구항 5**

제 1 항에 있어서,

상기 픽셀 어레이를 형성하는 상기 하나 이상의 공유 픽셀 아키텍처들은 인터레이싱된 방식으로 배열되고, 상기 복수의 픽셀들 중의 픽셀들의 적어도 서브세트에 의해 공유되는 상기 하나 이상의 증폭기 트랜지스터들, 하나 이상의 선택 트랜지스터들 및 하나 이상의 리셋 트랜지스터들을 포함하는, 이미징 시스템.

**청구항 6**

제 1 항에 있어서,

상기 증폭기 트랜지스터들 중 하나, 상기 선택 트랜지스터들 중 하나, 및 상기 리셋 트랜지스터들 중 하나는 상기 복수의 픽셀들 중 적어도 2 개의 픽셀들 중에서 공유되는, 이미징 시스템.

**청구항 7**

제 1 항에 있어서,

각각의 픽셀에서, 상기 타이밍 회로는 대응하는 상기 트랜스퍼 게이트 및 대응하는 상기 포토다이오드와 직렬로 접속되는, 이미징 시스템.

**청구항 8**

제 1 항에 있어서,

상기 공유 픽셀 아키텍처들의 각각은,

각각의 픽셀의 상기 저장 커패시터로부터 상기 누산된 전하를 수신하도록 구성된 상기 하나 이상의 증폭기 트랜지스터들, 및

상기 복수의 픽셀들의 선택된 로우의 상기 하나 이상의 증폭기 트랜지스터들을 작동시키도록 구성된 상기 하나 이상의 선택 트랜지스터들을 포함하는, 이미징 시스템.

**청구항 9**

제 1 항에 있어서,

상기 각각의 픽셀의 포토다이오드는 광을 통합하고 통합된 광을 상기 포토다이오드에 접속된 각각의 픽셀의 트랜스퍼 게이트를 통해 전달하도록 구성되는, 이미징 시스템.

**청구항 10**

이미징 시스템으로서,

타겟 장면으로부터 광에 노출될 때 전하를 생성하도록 구성되는 복수의 센서 회로들로서, 각각의 센서 회로는, 포토다이오드,

상기 포토다이오드에 접속된 트랜스퍼 게이트,

상기 포토다이오드와 직렬로 커플링된 저장 커패시터로서, 상기 트랜스퍼 게이트는 상기 포토다이오드와 상기 저장 커패시터 사이에 배치되고, 상기 저장 커패시터는 커플링된 상기 포토다이오드로부터 복수의 전하 덤프들을 나타내는 누산된 전하의 저장을 위한 커패시턴스를 가지며, 상기 복수의 전하 덤프들의 각각은 커플링된 상기 포토다이오드에 통합된 광을 나타내는 전하를 포함하는, 상기 저장 커패시터, 및

상기 저장 커패시터와 그리고 플로팅 확산 노드에 직렬로 전기 커플링된 타이밍 회로로서, 상기 트랜스퍼 게이트가 상기 저장 커패시터와 상기 플로팅 확산 노드 사이에 배치되고 상기 저장 커패시터로부터 상기 플로팅 확산 노드로의 전하의 흐름을 제어하도록 구성되는, 상기 타이밍 회로

를 포함하는, 상기 복수의 센서 회로들;

복수의 독출 회로들로서, 각각의 독출 회로는 리셋 트랜지스터, 로우 선택 트랜지스터, 및 증폭 트랜지스터 중

적어도 하나를 포함하는, 상기 복수의 독출 회로들;

상기 복수의 센서 회로들 중 2 이상을 포함하는 복수의 공유 센서 아키텍처들;

상기 복수의 센서 회로들을 포함하는 센서 어레이로서, 상기 센서 어레이에는 상기 복수의 전하 덤프들의 각각을 개별의 상기 포토다이오드로부터 개별의 상기 저장 커패시터로 덤플하기 위해 각각의 센서 회로의 트랜스퍼 게이트를 독립적으로 제어하고 각각의 센서 회로의 타이밍 회로를 독립적으로 제어하여 각각의 저장 다이오드로부터 상기 플로팅 확산 노드로의 전하 덤프들이 한번에 하나의 센서 회로를 발생시키도록 구성된, 상기 센서 어레이;

상기 복수의 공유 센서 아키텍처들을 포함하는 제 1 실리콘 층; 및

상기 복수의 독출 회로들을 포함하는 제 2 실리콘 층으로서, 상기 제 2 실리콘 층은 상기 이미징 시스템에서 상기 제 1 실리콘 층에 대하여 위치되어 상기 제 1 실리콘 층이 타겟 장면으로부터 상기 이미징 시스템 상에 입사하는 광에 노출되게 하는, 상기 제 2 실리콘 층을 포함하는, 이미징 시스템.

#### 청구항 11

제 10 항에 있어서,

상기 증폭 트랜지스터는 하나 이상의 센서 회로들로부터 전하를 컨버팅하도록 구성되는, 이미징 시스템.

#### 청구항 12

제 10 항에 있어서,

상기 센서 어레이에서 상기 복수의 센서 회로들은 베이어 컬러 픽셀 배열로 배열되는, 이미징 시스템.

#### 청구항 13

제 10 항에 있어서,

상기 제 1 실리콘 층 상에 배치된 로우 및 컬럼 버스 독출 경로 중 적어도 하나를 더 포함하며,

상기 로우 및 컬럼 버스 독출 경로 중 적어도 하나는 상기 제 2 실리콘 층 상에 배치된 독출 회로와 커플링되는, 이미징 시스템.

#### 청구항 14

제 10 항에 있어서,

상기 플로팅 확산 노드는 상기 제 1 실리콘 층의 상기 복수의 공유 센서 아키텍처들 중 하나, 및 상기 제 2 실리콘 층의 상기 복수의 독출 회로들 중 하나에 파인-피치 하이브리드 본드를 통해 전기적으로 커플링되는, 이미징 시스템.

#### 청구항 15

제 10 항에 있어서,

퓨전 본드를 통해, 상기 제 2 실리콘 층 상에 배치된 독출 회로에 전기적으로 커플링되는 상기 제 1 실리콘 층 상에 배치된 로우 및 컬럼 버스 독출 경로 중 적어도 하나를 더 포함하는, 이미징 시스템.

#### 청구항 16

이미징 시스템으로서,

광에 노출될 경우 전하를 생성하도록 구성된 복수의 픽셀들을 포함하는 픽셀 어레이로서, 상기 복수의 픽셀들의 각각은, 포토다이오드, 상기 포토다이오드에 접속된 트랜스퍼 게이트, 상기 포토다이오드와 직렬로 전기적으로 접속된 저장 커패시터로서, 상기 트랜스퍼 게이트는 상기 포토다이오드와 상기 저장 커패시터 사이에 배치되고, 상기 저장 커패시터는 커플링된 상기 포토다이오드로부터 복수의 전하 덤프들을 나타내는 누산된 전하의 저장을 위한 커패시턴스를 가지며, 상기 복수의 전하 덤프들의 각각은 커플링된 상기 포토다이오드에 통합된 광을 나타내는 전하를 포함하는, 상기 저장 커패시터, 및 상기 저장 커패시터와 직렬로 전기적으로 커플링되고 커플링된

상기 저장 커패시터로부터 플로팅 확산 노드로의 전하의 흐름을 제어하도록 구성된 타이밍 회로를 포함하는, 상기 픽셀 어레이;

커플링된 픽셀들에서 통합된 광을 관리하기 위한 복수의 픽셀 독출 회로들로서, 상기 복수의 픽셀 독출 회로들의 각각은 상기 복수의 픽셀들의 적어도 서브세트 간에 공유되는 하나 이상의 트랜지스터들을 포함하고, 상기 하나 이상의 트랜지스터들은 제 1 층과 상이한 제 2 층 상에 배치되는, 상기 복수의 픽셀 독출 회로들; 및

상기 복수의 픽셀들의 각각을 상기 복수의 픽셀 독출 회로들에 커플링하도록 구성된 복수의 플로팅 확산 노드들로서, 상기 픽셀 어레이는 상기 복수의 전하 덤프들의 각각을 상기 포토다이오드로부터 상기 저장 커패시터로 덤팅하기 위해 각각의 픽셀의 트랜스퍼 게이트를 독립적으로 제어하고 각각의 픽셀의 타이밍 회로를 독립적으로 제어하여 각각의 저장 다이오드로부터 상기 플로팅 확산 노드로의 전하 덤프들이 한번에 하나의 픽셀을 발생시키도록 구성되는, 상기 복수의 플로팅 확산 노드들을 포함하는, 이미징 시스템.

#### 청구항 17

제 16 항에 있어서,

상기 플로팅 확산 노드는 적어도 2 개의 픽셀들의 각각의 픽셀 독출 회로와 커플링된 각각의 픽셀의 저장 커패시터 간에 접속되는, 이미징 시스템.

#### 청구항 18

제 17 항에 있어서,

상기 각각의 픽셀 독출 회로는 적어도 하나의 픽셀의 상기 저장 커패시터 및 상기 플로팅 확산 노드 및 상기 포토다이오드 중 적어도 하나를 미리 결정된 전하 레벨로 리셋하도록 구성된 리셋 트랜지스터를 포함하는, 이미징 시스템.

#### 청구항 19

제 17 항에 있어서,

상기 플로팅 확산 노드는 제 2 실리콘 층 상에 배치된 하나 이상의 트랜지스터들에 파인-피치 하이브리드 본드를 통해 전기적으로 커플링되는, 이미징 시스템.

#### 청구항 20

제 17 항에 있어서,

상기 플로팅 확산 노드는 제 2 실리콘 층 상에 배치된 하나 이상의 트랜지스터들에 퓨전 본드를 통해 전기적으로 커플링되는, 이미징 시스템.

#### 청구항 21

제 16 항에 있어서,

상기 하나 이상의 트랜지스터들은 증폭기를 포함하고,

상기 이미징 시스템은 상기 증폭기와 통신하여 증폭된 신호를 수신하고 상기 증폭된 신호를 디지털 신호로 컨버팅하기 위한 아날로그-디지털 컨버터를 더 포함하며,

상기 아날로그-디지털 컨버터는 상기 제 1 층 및 상기 제 2 층과 상이한 제 3 층 상에 배치되는, 이미징 시스템.

#### 청구항 22

3D 적층된 이미지 센서를 제조하는 방법으로서,

제 1 실리콘 층 상에 픽셀 어레이를 형성하는 단계로서, 상기 픽셀 어레이는 하나 이상의 공유 픽셀 아키텍처들로 배열된 복수의 픽셀들을 포함하고, 상기 복수의 픽셀들의 각각은,

포토다이오드, 상기 포토다이오드에 커플링된 트랜스퍼 게이트, 상기 포토다이오드와 직렬로 전기적으로

로 커플링된 저장 커패시터로서, 상기 트랜스퍼 게이트는 상기 포토다이오드와 상기 저장 커패시터 사이에 배치되고, 상기 저장 커패시터는 커플링된 상기 포토다이오드로부터 복수의 전하 덤프들을 나타내는 누산된 전하의 저장을 위한 커패시턴스를 가지며, 상기 복수의 전하 덤프들의 각각은 커플링된 상기 포토다이오드에 통합된 광을 나타내는 전하를 포함하는, 상기 저장 커패시터, 및 상기 저장 커패시터와 직렬로 전기적으로 커플링된 타이밍 회로로서, 상기 타이밍 회로는 커플링된 상기 저장 커패시터로부터 플로팅 확산 노드로의 전하의 흐름을 제어하도록 구성되고, 상기 픽셀 어레이에는 상기 복수의 전하 덤프들의 각각을 상기 포토다이오드로부터 상기 저장 커패시터로 덤팅하기 위해 각각의 픽셀의 트랜스퍼 게이트를 독립적으로 제어하고 각각의 픽셀의 타이밍 회로를 독립적으로 제어하여 각각의 저장 다이오드로부터 상기 플로팅 확산 노드로의 전하 덤프들이 한번에 하나의 픽셀을 발생시키도록 구성되는, 상기 타이밍 회로

를 포함하는, 상기 제 1 실리콘 층 상에 픽셀 어레이를 형성하는 단계;

적어도 하나의 증폭기 트랜지스터, 선택 트랜지스터, 및 리셋 트랜지스터를 포함하는 독출 회로를 상기 제 1 실리콘 층과 상이한 제 2 실리콘 층 상에 형성하는 단계; 및

상기 제 1 실리콘 층의 2 이상의 픽셀들을 상기 제 2 실리콘 층의 하나의 독출 회로에 전기적으로 커플링하는 상기 플로팅 확산 노드를 형성하는 단계를 포함하는, 3D 적층된 이미지 센서를 제조하는 방법.

### 청구항 23

제 22 항에 있어서,

상기 제 2 실리콘 층 상에 배치된 적어도 하나의 트랜지스터로부터 수신된 신호를 조종하도록 구성된 하나 이상의 프로세싱 컴포넌트들을, 상기 제 1 실리콘 층 및 상기 제 2 실리콘 층과 상이한 제 3 실리콘 층 상에 배치하는 단계를 더 포함하는, 3D 적층된 이미지 센서를 제조하는 방법.

### 청구항 24

제 22 항에 있어서,

상기 제 1 실리콘 층의 2 이상의 픽셀들을 상기 제 2 실리콘 층의 하나의 독출 회로에 전기적으로 커플링하는 것은 파인-피치 하이브리드 본드를 통해 커플링하는 것을 포함하는, 3D 적층된 이미지 센서를 제조하는 방법.

### 청구항 25

제 22 항에 있어서,

상기 제 1 실리콘 층의 2 이상의 픽셀들을 상기 제 2 실리콘 층의 하나의 독출 회로에 전기적으로 커플링하는 것은 퓨전 본드를 통해 커플링하는 것을 포함하는, 3D 적층된 이미지 센서를 제조하는 방법.

### 청구항 26

제 22 항에 있어서,

상기 픽셀 어레이를 형성하는 상기 공유 픽셀 아키텍처들은 인터레이싱된 방식으로 배열되고, 상기 복수의 픽셀들 중의 픽셀들의 서브세트에 의해 공유되는 하나 이상의 증폭기 트랜지스터들, 하나 이상의 선택 트랜지스터들 및 하나 이상의 리셋 트랜지스터들을 포함하는, 3D 적층된 이미지 센서를 제조하는 방법.

### 청구항 27

제 1 항에 있어서,

상기 복수의 전하 덤프들의 각각을 상기 포토다이오드로부터 상기 저장 커패시터로 덤팅하기 위해 각각의 픽셀의 트랜스퍼 게이트를 독립적으로 제어하도록 구성된 상기 픽셀 어레이에는, 개별의 상기 포토다이오드에서 누산된 상기 전하를 상기 복수의 픽셀들의 각각의 다른 트랜스퍼 게이트와 독립적으로 개별의 상기 저장 커패시터로 전송하기 위해 상기 복수의 픽셀들의 각각의 트랜스퍼 게이트를 제어하도록 구성되는, 이미징 시스템.

### 청구항 28

삭제

## 청구항 29

삭제

## 청구항 30

삭제

## 발명의 설명

## 기술 분야

[0001] 본원에 개시된 시스템들 및 방법들은 광 센서들에 관한 것이고, 더 구체적으로, 서브-미크론 픽셀들 및 수직 통합된 픽셀 센서들에 관한 것이다.

## 배경기술

[0002] 디지털 카메라들 및 디지털 이미징에서의 트렌드는 메가픽셀 카운트를 증가시키거나 더 작은 센서 영역들이 가능하도록 하기 위해 더 작은 픽셀들을 향하고 있다. 동시에, 속도, 감도, 및 픽셀 수에 있어서의 개선들이 요구된다. 그러나, 사이즈 감소 및 픽셀 수 증가는 속도 및 감도의 요구되는 증가를 지원하지 않을 수도 있다. 더 작은 사이즈의 픽셀들이 더 많은 도전과제들을 경험할 수 있다. 예를 들어, 더 작은 픽셀들은 더 낮은 감지 속도 또는 저하된 해상도 및 색 충실도를 가질 수도 있고, 더 큰 픽셀들과 비교할 때 제한된 동적 범위를 가질 수도 있다. 특히 모바일 센서들에서, 픽셀 사이즈 및 센서 영역을 축소시키려는 트렌드는 개선된 프로세싱을 통해 성능을 유지하는 것을 시도한다. 서브-미크론 픽셀 검출기 어레이의 감소된 폴 웨이 용량, 감소된 양자 효율 및 감소된 광감도는 이미지 센서의 상당히 저하된 신호대 잡음비 (SNR) 및 동적 범위를 갖는다. 추가로, 이미지 품질에 있어서 감소된 픽셀 사이즈 결과들의 더 높은 크로스-토크는 예컨대, 열악한 변조 트랜스퍼 함수 (MTF) 및 색 충실도를 발생한다.

[0003] 디지털 이미징에서 상보형 금속 산화물 반도체 (CMOS) 센서의 동적 범위는 가끔, 야외 장면들을 정확히 표현하기에 불충분할 수도 있다. 이는 모바일 디바이스들, 예컨대 모바일 전화기 상의 카메라에서 사용될 수도 있는 더 소형의 센서들에서 특히 사실일 수도 있다. 예를 들어, 모바일 디바이스 카메라에서 사용되는 통상의 센서는 대략 60 dB 내지 70 dB 의 동적 범위를 가질 수도 있다. 그러나, 통상의 야외 장면은 밝은 영역들과 그림자들 사이에 100 dB 의 콘트라스트 범위 (contrast range) 를 용이하게 커버할 수 있다. 이러한 동적 범위가 모바일 디바이스에서 사용되는 통상의 센서의 동적 범위보다 더 크기 때문에, 모바일 디바이스들에서 캡처되는 이미지들에서 디테일이 손실될 수도 있다.

## 발명의 내용

## 해결하려는 과제

## 과제의 해결 수단

[0004] 본 발명의 시스템들, 방법들 및 디바이스들 각각은 수개의 양태들을 가지며, 이를 양태들 중 어떠한 단일 양태도 그 바람직한 속성을 유일하게 책임지지 않는다. 뒤이어지는 청구항들에 의해 표현된 바와 같이 본 발명의 범위를 한정하지 않고도, 일부 특징들이 지금부터 간략하게 논의될 것이다. 이 논의를 고려한 이후, 특히, "상세한 설명" 이라는 제목의 섹션을 읽은 후, 무선 네트워크에서 액세스 포인트들과 스테이션들 간의 개선된 통신을 포함한 이점들을 본 발명의 다양한 실시형태들의 특징부들이 어떻게 제공하는지를 이해할 것이다.

[0005] 본원에 개시된 실시형태들은 각각 몇몇 혁신적인 양태들을 가지며, 이들 중 어느 것도 본 발명의 바람직한 속성들에 대해 독자적으로 책임지는 것은 아니다. 이하 청구항들에 의해 표현되는 것과 같은 범위를 제한하지 않고, 더 중요한 특징들이 본원에 간략하게 개시될 것이다. 이러한 논의를 고려한 후에, 다양한 실시형태들의 특징들이 어떻게 현재의 동적 무선 충전 시스템들보다 수개의 장점들을 제공하는지를 이해할 것이다.

[0006] 본 개시물의 일 양태는 이미징 시스템을 제공한다. 이미징 시스템은 광을 전하로 컨버팅하도록 구성된 복수의 픽셀들을 포함한다. 이미징 시스템은 추가로, 복수의 픽셀들로부터의 전하를 컨버팅하도록 구성된 하나

이상의 증폭기 트랜지스터들, 독출될 복수의 픽셀들의 로우 또는 컬럼을 선택하도록 구성된 하나 이상의 선택 트랜지스터들, 및 복수의 픽셀들 중 적어도 하나를 리셋하도록 구성된 하나 이상의 리셋 트랜지스터들을 포함한다. 이미징 시스템은 또한, 픽셀 어레이를 포함한다. 픽셀 어레이는 하나 이상의 공유 픽셀 아키텍처들로 배열된 복수의 픽셀들을 포함한다. 픽셀 어레이는 복수의 로우들 및 컬럼들로 배열되고, 복수의 트랜스퍼 게이트 트랜지스터들을 추가로 포함한다. 복수의 트랜스퍼 게이트 트랜지스터들의 각각은 복수의 픽셀들 중 하나에 대응한다. 이미징 시스템은 추가로, 복수의 픽셀들이 배치되는 제 1 실리콘 층 및 하나 이상의 증폭기 트랜지스터들, 선택 트랜지스터들, 및 리셋 트랜지스터들 중 적어도 하나가 배치되는 제 2 실리콘 층을 포함한다.

[0007] 개시된 또 다른 양태는 또 다른 이미징 시스템이다. 다른 이미징 시스템은 복수의 픽셀들을 포함하고, 여기서 픽셀들은 광에 노출될 때 전하를 생성하도록 구성된다. 다른 이미징 시스템은 또한, 복수의 픽셀 회로들을 포함하고, 각각의 픽셀 회로는 리셋 트랜지스터, 로우 선택 트랜지스터, 또는 증폭 저항기 중 적어도 하나를 포함한다. 다른 이미징 시스템은 추가로, 복수의 공유 픽셀 아키텍처들을 포함하며, 공유 픽셀 아키텍처들은 복수의 픽셀들 중 하나 이상의 픽셀들 및 복수의 픽셀 회로들 중의 픽셀 회로들을 포함한다. 다른 이미징 시스템은 또한, 복수의 공유 픽셀 아키텍처들을 포함하는 픽셀 어레이를 포함한다. 픽셀 어레이는 복수의 로우들 및 컬럼들로 배열된다. 결국, 다른 이미징 시스템은 제 1 실리콘 층 및 제 1 실리콘 층 위에 위치된 제 2 실리콘 층을 포함한다.

[0008] 개시된 또 다른 양태는 또 다른 이미징 시스템이다. 이미징 시스템은 복수의 픽셀들을 포함하는 픽셀 어레이를 포함하며, 픽셀들은 광에 노출될 때 전하를 생성하도록 구성되고, 제 1 층 상에 배치된다. 이미징 시스템은 추가로, 그 시스템에 커플링된 픽셀들에 통합된 광을 판독하기 위한 복수의 픽셀 회로들을 포함하고, 복수의 픽셀 회로들의 각각은 복수의 픽셀들의 서브세트 간에 공유되는 하나 이상의 트랜지스터들을 포함하고, 하나 이상의 트랜지스터들은 제 1 층과 상이한 제 2 층 상에 배치된다. 이미징 시스템은 복수의 픽셀들의 각각을 복수의 픽셀 회로들에 커플링하도록 구성된 복수의 플로팅 확산 노드들을 더 포함한다.

[0009] 개시된 다른 양태는 3 차원 (3D) 적층된 이미지 센서를 제조하는 방법이다. 그 방법은 하나 이상의 공유 픽셀 아키텍처들에 배열된 복수의 픽셀들을 포함하는 픽셀 어레이를 형성하는 단계를 포함한다. 형성된 픽셀 어레이에는 복수의 로우들 및 컬럼들로 배열되고, 복수의 트랜스퍼 게이트 트랜지스터들을 더 포함하며, 여기서 복수의 트랜스퍼 게이트 트랜지스터들의 각각은 복수의 픽셀들 중 하나에 대응한다. 그 방법은 또한, 제 1 실리콘 층 상에 복수의 픽셀들을 배치하는 단계 및 적어도 하나의 증폭기 트랜지스터, 선택 트랜지스터 및 리셋 트랜지스터를 제 1 실리콘 층과 상이한 제 2 실리콘 층 상에 배치하는 단계를 포함한다. 그 방법은 제 1 실리콘 층을 제 2 실리콘 층에 전기적으로 커플링하는 단계를 더 포함한다.

### 도면의 간단한 설명

[0010] 개시된 양태들은 이하, 개시된 양태들을 한정하지 않고 예시하도록 제공되는 첨부 도면들 및 부록들과 함께 설명될 것이며, 여기에서, 동일한 지정들은 동일한 엘리먼트들을 나타낸다.

도 1a 는 예시적인 실시형태에 따라, 픽셀 독출 시스템의 픽셀로서 사용하기 위한 공유 픽셀 아키텍처의 일 실시형태를 예시한다.

도 1b 는 예시적인 실시형태에 따라, 인터레이싱된 4 트랜지스터 4-공유-픽셀들 아키텍처의 일 실시형태를 예시한다.

도 1c 는 예시적인 실시형태에 따라, 인터레이싱된 픽셀 아키텍처 어레이에서 도 1b 의 2 개의 4 트랜지스터 4-공유-픽셀들 아키텍처의 일 실시형태를 예시한다.

도 2 는 예시적인 실시형태에 따라, 인터레이싱된 픽셀 아키텍처 어레이에서 도 1b 및 도 1c 의 4 트랜지스터 4-공유-픽셀들 아키텍처들을 도시한다.

도 3a 는 예시적인 실시형태에 따라, 1x4 인터레이싱된 4-공유-픽셀들 아키텍처의 채널-당-4 컬러 독출 시퀀스를 예시한다.

도 3b 는 예시적인 실시형태에 따라, 2x2 인터레이싱된 4-공유-픽셀들 아키텍처의 채널-당-4 컬러 독출 시퀀스를 예시한다.

도 4a 는 예시적인 실시형태에 따라, 픽셀 독출 시스템을 갖는 인터레이싱된 4 트랜지스터 8-공유 이미지 센서

픽셀들 아키텍처 (400) 의 일 실시형태를 예시한다.

도 4b 는 도 4c 상의 엘리먼트들의 연속을 표시하는 연결 포인트들 A-B 을 갖는, 예시적인 실시형태에 따라, 픽셀 독출 시스템을 갖는 4 트랜지스터 16-공유 이미지 센서 픽셀 아키텍처 (450) 의 일 실시형태의 제 1 섹션을 예시한다.

도 4c 는 도 4b 상의 엘리먼트들의 연속을 표시하는 연결 포인트들 A-B 을 갖는, 예시적인 실시형태에 따라, 픽셀 독출 시스템을 갖는 4 트랜지스터 16-공유 이미지 센서 픽셀 아키텍처 (450) 의 일 실시형태의 제 2 섹션을 예시한다.

도 5a 는 픽셀 레벨 파인-피치 하이브리드 본딩을 갖는 도 4a 및 도 4b 의 인터레이싱된 공유-픽셀들 아키텍처를 포함하는 3D 적층된 CMOS 이미지 센서의 일 실시형태를 예시한다.

도 5b 는 컬럼/로우 레벨 퓨전 본딩을 갖는 도 4a 및 도 4b 의 인터레이싱된 공유-픽셀들 아키텍처를 포함하는 3D 적층된 CMOS 이미지 센서의 다른 실시형태를 예시한다.

도 6a 는 도 6b 상의 엘리먼트들의 연속을 표시하는 연결 포인트들 A-X 을 갖는, 일 예시적인 실시형태에 따라, 도 1b 의 인터레이싱된 4 트랜지스터 4-공유 이미지 센서 픽셀 아키텍처의 타이밍 다이어그램의 제 1 섹션을 예시한다.

도 6b 는 도 6a 상의 엘리먼트들의 연속을 표시하는 연결 포인트들 A-X 을 갖는, 일 예시적인 실시형태에 따라, 도 1b 의 인터레이싱된 4 트랜지스터 4-공유 이미지 센서 픽셀 아키텍처의 타이밍 다이어그램의 제 2 섹션을 예시한다.

도 7 은 도 6a 및 도 6b 의 타이밍 다이어그램에 따라, 도 1b 의 인터레이싱된 4 트랜지스터 4-공유 이미지 센서 픽셀 아키텍처의 독출 블록 타이밍 다이어그램의 일 예를 예시한다.

도 8 은 풀 웰 용량 확장 능력을 갖는 이미지 캡처 디바이스의 일 실시형태의 상위-레벨 개략도를 도시한다.

## 발명을 실시하기 위한 구체적인 내용

### [0011] 도입

본 개시물의 실시형태들은 3 차원 (3D) 적층된, 수직 통합된 픽셀 아키텍처들을 사용하여 저잡음 및 고이득 독출, 고해상도 및 고 색-충실도 출력들, 및 증가된 동적 범위가 가능한 서브-미크론 픽셀들을 생성하고 구현하기 위한 시스템들 및 기술들에 관한 것이다. 픽셀들의 사이즈가 계속해서 감소할수록, 이미지 캡처의 요구되는 품질들 및 특징들 (예컨대, 저잡음, 고이득, 고 해상도 및 색 충실도, 등등) 을 유지하기 위해 픽셀 내에서 요구되는 컴포넌트들은 픽셀의 광 감지 구조, 예컨대 광-검출기, 광다이오드 또는 유사한 구조 또는 디바이스에 사용가능한 광의 양을 감소시킨다. 예를 들어, 픽셀 사이즈가 감소할수록, 컴포넌트는 제거될 수 없고 컴포넌트들의 사이즈는 오직 제조 및 일반적인 기술 제약들에 기초하여 특정 정도로 감소될 수도 있기 때문에, 픽셀에서 더 적은 물리적인 영역들이 존재한다. 따라서, 추가의 아키텍처들이 개발될 수도 있으며, 광-검출기, 포토다이오드, 또는 유사 구조 또는 디바이스가 광을 흡수하고 흡수된 광에 응답하여 전하를 생성할 수 있는 영역을 증가시키면서 각 픽셀에서 컴포넌트들의 수 및 사이즈를 유지한다. 추가의 저장 커패시터를 포함하는 독출 아키텍처는 신호대 잡음비 (SNR) 및 동적 범위를 부스트하여 풀 웰 용량의 확장을 허용하기 위해 신호 독출 방식을 구현할 수 있다. 연관된 독출 아키텍처가 다양한 실시형태들에서, 4 트랜지스터 4-공유 CIS 픽셀, 8-공유, 16-공유 또는 다른 적합한 픽셀 구성들로 구현될 수도 있다. 리셋 트랜지스터들, 증폭 트랜지스터들, 및 타이밍 방식 및 저장 커패시터를 포함하는 픽셀 독출 컴포넌트들은 다중 픽셀 독출들을 수행하기 위해 광-검출기들 또는 포토다이오드들로부터 누산된 전하들을 저장하기 위해 협력할 수 있다. 용어들 "픽셀" 및 "포토다이오드", "광검출기", "포토케이트", 등은 본원에서 상호교환가능하게 사용될 수도 있다.

[0013] 일 예에서, 트랜스퍼 게이트, 타이밍 회로, 및 리셋 트랜지스터가 모두 작동될 경우, 포토다이오드 및 플로팅 확산 노드가 리셋될 수 있다. 추가로, 저장 커패시터에서 전하 통합은, 트랜스퍼 게이트, 타이밍 회로, 및 리셋 트랜지스터가 모두 오프일 때 발생할 수 있고, 광자 전하가 포토다이오드에서 수집되게 한다. 그 후에 전하는 포토다이오드들에 누산된다.

[0014] 일부 실시형태들에서, 저장 커패시터는 전하 통합을 위해 사용될 수도 있다. 저장 커패시터는 포토다이오드로부터의 더 작은 덤프들이 저장 커패시터에 저장되게 할 수도 있다. 따라서, 저장 커패시터에서의 전하는 포토다이오드들로부터 더 많은 덤프들이 결합될수록 더 커진다. 타이밍 회로가 트랜스퍼 게이트와 함께 여

러 번 턴 온될 때, 포토다이오드에서의 전하는 저장 커패시터로 덤프될 수 있다. 따라서, 저장 커패시터는 픽셀 또는 픽셀들의 그룹의 다수의 판독들로부터 전하들을 유지할 수 있다.

[0015] 일부 예들에서, CMOS 픽셀 내의 잡음의 주요 소스는, 리셋 트랜지스터의 저항성 채널 (수십 개의 전자들)을 통한 저장 커패시터 및/또는 용량성 플로팅 확산 노드의 리세팅으로부터의 kTC (또는 리셋) 잡음이다. 본원에 설명된 아키텍처의 실시형태들을 사용하여 구현될 수 있는 독출 모드의 일 실시형태는, 리셋 이후에 또는 다른 전압이 저장 커패시터 및/또는 용량성 플로팅 확산 노드에 인가되기 전에, 즉시 수행된 제 1 판독을 포함할 수 있다. 이러한 제 1 독출은 베이스라인으로서 메모리에 kTC 잡음을 저장할 수 있다. 그러한 kTC 잡음은 커패시터들의 리셋 잡음으로부터 발생할 수 있고, 이미지 품질을 향상시키기 위해, kTC 잡음을 감소시키거나, 제거하거나, 그렇지 않으면 보상하는 것이 바람직할 수 있다. 따라서, 제 2 독출은 선택기 회로를 다시 턴 온함으로써 (예컨대, 픽셀 또는 픽셀들로부터 다수의 전하 덤프들을 포함하고, 여기서 광자 생성 전하들이 통합되는) 저장 커패시터에서의 전하 통합 이후에 수행될 수 있다. 타이밍 방식에 의해 제어되는 다수의 포토다이오드 전하 덤프들과 저장 커패시터의 추가의 전하 저장 용량으로 인해, 2 개의 독출들은 전하 덤프들의 수에 비례하는 픽셀 풀 웰 용량의 증가를 제공할 수 있다. kTC 잡음이 제 1 프레임에서 베이스라인으로서 메모리에 저장되었기 때문에, 이러한 독출 방법은 제 2 독출에서 kTC 잡음을 보상할 수 있다. 2 개의 독출들을 수행함으로써, 예컨대 저장 커패시터 및/또는 플로팅 확산 노드가 리셋된 후이지만 트랜스퍼 게이트가 턴 온되기 전에 그리고 트랜스퍼 게이트가 턴 온된 후에 저장 커패시터 또는 플로팅 확산 노드를 샘플링함으로써, 짧은 샘플링 시간을 갖는 상관된 이중 샘플링이 수행될 수 있고, 따라서 kTC 잡음을 제거한다.

[0016] 본원에 설명된 풀 웰 용량 확장 아키텍처의 실시형태들을 사용하여 구현될 수 있는 독출 모드의 다른 실시형태는 다수의 독출들을 수행하고 포토다이오드로부터 2 개의 전하 덤프들 간의 전하 차이를 획득할 수 있다. 결과적인 차이 프레임은 kTC 잡음에 자유로울 수 있다. 일부 실시형태들에서, 다수의 독출들은 높은 정확도가 예컨대, 뷰파인더 프리뷰 이미지를 위해 또는 자동-노출 조정들을 위해 필요하지 않을 경우에, 전력을 보존하기 위해 저 비트 심도 모드에서 수행될 수 있다. 일부 실시형태들에서, 다수의 독출들은 더 정확한 이미지 정보를 위해 정상 비트 심도 모드에서 수행될 수 있다. 일부 실시형태들에서, 예컨대 고 동적 범위 (HDR) 이미징에서, 2 개의 상이한 적분 시간들이 차이 프레임을 생성하기 위해 사용된 2 개의 독출들에서 전하 덤프들을 위해 사용될 수 있다.

[0017] 픽셀 독출 시스템은 임의의 CMOS, CCD, 또는 다른 이미지 센서를 위해 사용될 수 있다. 일부 실시형태들에서, 센서는 예컨대, 대략 1000-e 의 풀 웰 용량을 갖는 대략 0.5  $\mu\text{m}$  픽셀들을 가지는 32 MP/30 fps 이미지 센서일 수 있다. 이미지 센서는 10b/240-fps 독출 속도를 가지도록 설계될 수 있다. 이미지 센서의 일부 실시형태들은 예컨대, 전체 프레임을 저장해야 할 필요 없이 인터리빙된 롤링 셔터를 구현하는, 8-프레임 누산 셔터 속도를 갖는 디지털 통합된 설계일 수 있다. 일 예에서, 데이터는 외부 메모리, 예컨대 DRAM 으로부터, 대략 12b/30-fps 의 속도들로 출력될 수 있다. 그러한 이미지 센서는 8 의 인자가 곱해진 등가의 픽셀 풀 웰 용량을 생성할 수 있고, 예컨대, 픽셀당 대략 8000-e 의 풀 웰 용량에 도달할 수 있다. 이들 이미지 센서 사양들은 픽셀 독출 시스템을 사용하는 이미지 센서의 단 하나의 실시형태를 나타내고, 가변의 사양들을 갖는 다른 이미지 센서들은 다른 실시형태들에서 사용될 수 있다.

[0018] 픽셀 어레이는 미리 결정된 수의 로우들 및 컬럼들 (예컨대, M 로우들 및 N 컬럼들)로 배열된 복수의 픽셀들을 포함할 수도 있다. 각각의 픽셀은 픽셀 어레이의 단일 전하 검출 엘리먼트를 나타낼 수도 있다. 복수의 픽셀들의 각각은 광감성 엘리먼트, 예컨대 포토게이트, 광전도체, 포토다이오드, 또는 다른 광검출기를 각각 포함하며, 기판의 밑 부분에 광-생성된 전하를 누산하기 위해 기판 위에 놓인다. 픽셀 어레이는 일부 실시형태들에서, 인입하는 광을 필터링하기 위해 위치된 하나 이상의 필터들, 예컨대 컷오프 필터 또는 컬러 필터를 포함한다. 예를 들어, CMOS 픽셀의 감광성 엘리먼트는 감소된 p-n 접합 포토다이오드 또는 포토게이트 아래의 필드-유도형 감소 영역 중 하나 일 수 있다.

[0019] 타이밍 발생기는 픽셀 어레이의 픽셀들의 각각에서 누산된 광을 나타내는 값들을 독출하기 위한 타이밍 신호들을 제공할 수 있다. 예를 들어, 타이밍 발생기는 컬럼 및 로우 드라이버일 수 있다. 타이밍 발생기는 픽셀 어레이에 대한 리셋 동작들, 노출 시간, 라인 시간, 및 픽셀 시간을 제어하기 위한 제어 로직을 포함할 수 있고, 또한 아날로그/디지털 컨버터 (ADC)에 타이밍 신호를 제공할 수 있다. 독출 회로는 픽셀 어레이에서 픽셀들의 각각을 독출하기 위한 회로를 제공할 수 있다. 예를 들어, 독출 회로는 전체 어레이에 대하여 제공된 복수의 로우 및 컬럼 라인들을 포함할 수 있다. 독출 회로의 컬럼 및 로우 라인들은 타이밍 발생기에 의해 제공된 타이밍에 따라 동작하는 로우 제어 회로, 픽셀 회로, 및 컬럼 샘플 및 홀드 (S/H) 회로에 전기적으로 접속될 수 있다. 동작 시에, 픽셀 어레이에서의 각각의 로우의 픽셀들은 로우 선택 라인에 의해 동시에

턴 온될 수 있고, 각각의 컬럼의 픽셀들은 컬럼 선택 라인에 의해 선택적으로 출력될 수 있다.

[0020] 각각의 픽셀은 복수의 픽셀들의 각각에서 수집된 전하를 판독하기 위한 회로를 포함할 수도 있다. 예를 들어, 픽셀 회로의 일 실시형태는 각각의 픽셀에 접속되고, 기판에 형성된 출력 전계 효과 트랜지스터와, 출력 트랜지스터의 게이트에 접속된, 감지 노드, 통상적으로 플로팅 확산 노드를 갖는 픽셀에 인접한 기판 상에 형성된 전하 트랜스퍼 셙션을 포함한다. 픽셀 회로의 전하 트랜스퍼 셙션은 기판의 밑부분으로부터 플로팅 확산 노드로 전하를 트랜스퍼하기 위한 적어도 하나의 전자 캠포넌트, 예컨대 트랜지스터 및 전하 트랜스퍼 이전에 노드를 미리 결정된 전하 레벨로 리셋하기 위한 다른 전자 캠포넌트, 예컨대 리셋 트랜지스터를 포함할 수 있다.

광 전하는 초기 전하 누산 영역으로부터 플로팅 확산 노드로 이동할 때 증폭될 수도 있고, 플로팅 확산 노드에서의 전하는 소스 팔로워 출력 트랜지스터에 의해 픽셀 출력 전압으로 컨버팅될 수 있다. 이하 더 상세히 논의되는 것과 같이, 픽셀 회로는 아날로그 도메인에서의 픽셀 또는 픽셀들로부터 다중 전하 덤프들을 저장하기 위해 저장 커패시터 또는 다른 전자 전하 저장 디바이스를 추가로 포함할 수도 있다. 저장 커패시터는 일부 실시형태들에서 (픽셀의 위치에 대하여) 픽셀 회로에서 플로팅 확산 노드를 지나 위치될 수도 있고, 플로팅 확산 노드의 커패시턴스보다 더 큰 커패시턴스를 가질 수 있다. 저장 커패시터는 다양한 실시형태들에서 픽셀 대 픽셀 접속을 갖는 스택-다이의 하부 칩에서 또는 동일한 센서 칩 상에 있을 수도 있다.

[0021] 픽셀 회로를 통과한 후에, 픽셀 신호들은 그 픽셀 신호의 강도 (예컨대, 전압 또는 전류)를 증가시키기 위해 증폭기를 통과할 수도 있다. 타이밍 발생기, 픽셀 어레이, 픽셀 회로, 및 증폭기는 함께: (1) 광자 대 전하 컨버전; (2) 이미지 전하의 누산; (3) 전하 증폭과 동반되는 플로팅 확산 노드로의 전하의 트랜스퍼; (4) 전하의 트랜스퍼 이전에 플로팅 확산 노드의 공지된 상태로의 리세팅; (5) 독출을 위한 픽셀의 선택; 및 (6) 픽셀 전하를 나타내는 신호의 출력 및 증폭의 기능들을 수행할 수도 있다. 본원에 설명된 3 차원 (3-D) 스택 또는 공유 픽셀 아키텍처는, 픽셀 어레이의 속도들, 감도, 해상도, 동적 범위, 및 색 충실도를 증가시키면서 동일한 영역에서 픽셀들의 수를 증가시키고 픽셀 사이즈를 감소시키는 동안 이들 기능들을 수행할 수 있다.

[0022] 도 1a는 예시적인 실시형태에 따라, 픽셀 독출 시스템의 픽셀로서 사용하기 위한 공유 픽셀 아키텍처 (100)의 일 실시형태를 예시한다. 이미지 센서의 일부 실시형태들은 4 개의 4-트랜지스터 (4T) 픽셀들 공유 픽셀 회로 및 소형 레이아웃을 갖는 솔리드-스테이트 이미지 센서, 예컨대 CMOS 이미지 센서일 수 있다. 4T 4-공유 픽셀들 아키텍처 (100)는 일부 실시형태들에서, 픽셀 어레이에서의 픽셀들에 대한 픽셀 아키텍처로서 사용될 수 있다. 4T 4-공유 픽셀들 아키텍처 (100)는 4 개의 픽셀들을 포함하지만 다수의 그러한 유사한 공유 픽셀들 아키텍처들이 존재하고 유사한 방식으로 어레이에서 배열될 수도 있으며, 간단함을 위해 오직 하나의 4T 4-공유 픽셀들 아키텍처 (100) 만이 더 상세히 도시된다.

[0023] 4T 4-공유 픽셀들 아키텍처 (100)는 4 개의 포토다이오드 회로들을 병렬로 포함한다. 포토다이오드 회로는 포토다이오드들 (PD1-PD4) 및 그들의 대응하는 트랜스퍼 게이트들 (TG1-TG4)을 포함한다. 포토다이오드 회로들의 각각은 또한, 포토다이오드들 (PD1-PD4)과 플로팅 확산 노드 사이에 개별 포토다이오드들 (PD1-PD4)과 직렬의 타이밍 회로 (TS1-TS4) 및 저장 커패시터 (CS1-CS4)를 포함한다. 포토다이오드들 (PD1-PD4)의 각각에 대한 개별 저장 커패시터들 (CS1-CS4)은 전하가 플로팅 확산 노드로 트랜스퍼되기 전에, 포토다이오드들 (PD1-PD4)의 각각에 의해 흡수된 전하를 일시적으로 저장하는데 사용될 수도 있다. 픽셀 독출 시스템은 플로팅 확산 노드 (FD), 리셋 트랜지스터 (RST), 전압 공급부 (VDD), 소스 팔로워 증폭기 (SF\_AMP), 선택기 트랜지스터 (SEL), 출력 전압 노드 (Vcol), 및 전류 소스 (Ibias)를 포함할 수도 있다. 이들 엘리먼트들은 앞서 설명된 것과 유사한 기능들을 수행할 수 있다. 인접하는 포토다이오드들 (PD1-PD4)과 트랜스퍼 게이트들 (TG1-TG4) 간에 플로팅 확산 노드 (FD), 소스 팔로워 증폭기 (SF\_AMP), 로우 선택 트랜지스터 (SEL), 및 리셋 트랜지스터 (RST)의 공유는 픽셀 아키텍처의 충진 인자를 증가시키는 것을 보조하고, 충진 인자는 광에 민감한 픽셀 영역의 퍼센티지를 나타낸다. 충전율은 다수의 픽셀 아키텍처들 간에 캠포넌트들의 공유가 공유-픽셀들 아키텍처 (100)에서 다수의 공유-픽셀들에 커플링된 트랜지스터들, 커패시터들, 및 다른 캠포넌트들의 전체 수를 감소시키기 때문에, 증가된다. 따라서, 복수의 픽셀들 중에서 캠포넌트들의 공유는 트랜지스터들 및 다른 캠포넌트들로 충진된 픽셀의 영역을 감소시키고, 따라서 광에 민감한 픽셀의 영역을 증가시킨다. 도시된 아키텍처 (100)는 픽셀 당 대략 2.0 트랜지스터들을 발생한다. 캠포넌트들은 4 개의 개별 포토다이오드들 및 연관된 트랜스퍼 게이트들에 의해 공유될 수 있다. 일부 실시형태들에서, 공유 캠포넌트들은 8 개의 개별 포토다이오드들 또는 16 개의 개별 포토다이오드들 또는 그 이상의 개별 포토다이오드들에 의해 공유될 수도 있다.

[0024] 일부 실시형태들에서, 포토다이오드들 (PD1-PD4)은 인입하는 광의 적색 성분을 검출하는데 사용되는 하나의 포토다이오드, 인입하는 광의 녹색 성분을 검출하는데 사용되는 2 개의 포토다이오드들, 및 인입하는 광의 청색

성분을 검출하는데 사용되는 하나의 포토다이오드를 포함할 수 있다. 상기의 도면에는 도시되지 않았지만, 설명되는 색 표현은 베이어 컬러 패턴 (Bayer color pattern) 을 따를 수도 있으며, 여기서 공유되는 아키텍처는 4-픽셀 아키텍처에서 대각선으로 2 개의 녹색 픽셀들 및 하나의 청색 픽셀과 대각선으로 하나의 적색 픽셀을 포함한다. 일부 실시형태들에서, 도 1a 의 플로팅 확산 노드 (FD) 는 하나 이상의 플로팅 확산 노드들을 나타낼 수도 있다. 예를 들어, 각각의 포토다이오드 회로는 (상기 도면에 도시되지 않은) 개별 플로팅 확산 노드를 가질 수도 있다. 일부 실시형태들에서, 2 이상의 포토다이오드 회로들은 (상기 도면에 도시되지 않은) 하나 이상의 플로팅 확산 노드들을 공유할 수도 있다. 그러나, 본원에 도시된 것과 같이, 하나 이상의 플로팅 확산 노드들은 개략도들의 간단함을 위해 도면들에서 단일 플로팅 확산 노드 (FD) 로 결합될 수도 있다.

[0025] 전하는 대응하는 트랜스퍼 게이트들 (TG1-TG4) 이 오프이기만 한다면, 포토다이오드들 (PD1-PD4) 의 각각에 의해 수집될 수 있다. 전하들이 포토다이오드들 (PD1-PD4) 에 누산되면, 포토다이오드들 (PD1-PD4) 의 각각에서 누산된 전하들은 개별 저장 커패시터들 (CS1-CS4) 로 일시적으로 트랜스퍼될 수도 있다. 예를 들어, 트랜스퍼 게이트 (TG1) 가 폐쇄되고 포토다이오드가 특정 컬러의 광에 노출될 경우, 포토다이오드 (PD1) 에서 누산한 전하는 트랜스퍼 게이트 (TG1) 가 개방될 때 저장 커패시터 (CS1) 로 트랜스퍼될 수도 있다. 전하들이 저장 커패시터들 (CS1-CS4) 에 위치되면, 트랜스퍼 게이트들 (TG1-TG4) 은 폐쇄될 수도 있다. 일부 실시형태들에서, 저장 커패시터들 (CS1-CS4) 은 포토다이오드들 (PD1-PD4) 보다 더 큰 전하 용량들을 가질 수도 있고, 저장 커패시터들 (CS1-CS4) 은 저장 커패시터들 (CS1-CS4) 에서의 전하들이 플로팅 확산 노드 (FD) 로 트랜스퍼되기 전에, 그들의 개별 포토다이오드들 (PD1-PD4) 로부터 다수의 전하 덤프들을 수신할 수도 있다. 전하들은 개별 타이밍 회로들 (TS1-TS4) 이 작동되고 트랜스퍼 게이트들 (TG1-TG4) 이 폐쇄될 경우, 플로팅 확산 노드 (FD) 로 추가로 트랜스퍼될 수도 있다. 일부 실시형태들에서, 트랜스퍼 게이트들 (TG1-TG4) 및 타이밍 회로들 (TS1-TS4) 양자는 동시에 개방될 수도 있고, 따라서 포토다이오드들 (PD1-PD4) 에서의 누산된 전하들과 저장 커패시터들 (CS1-CS4) 에서의 전하들 양자가 플로팅 확산 노드 (FD) 에서 누산되게 한다. 개별 저장 커패시터들 (CS1-CS4) 및 타이밍 회로들 (TS1-TS4) 은 대응하는 포토다이오드들 (PD1-PD4) 로부터의 전하들이 각각 플로팅 확산 노드 (FD) 로 트랜스퍼되게 한다.

[0026] 포토다이오드들 (PD1-PD4) 과 플로팅 확산 노드 (FD) 간에 저장 커패시터들 (CS1-CS4) 에서 전하의 중간 저장은 개별 포토다이오드들 (PD1-PD4) 로부터의 전하 기여도들을 구분하는데 유용할 수도 있다. 개별 저장 커패시터들 (CS1-CS4) 없이, 일부 실시형태들에서, 단일의, 공유 저장 커패시터 또는 플로팅 확산 노드 (FD) 는 신호를 순실하고 아티팩트들을 생성하는 일없이 다수의 포토다이오드들 (PD1-PD4) 로부터 다수의 전하 트랜스퍼들을 지원하는 어려움을 가질 수도 있다. 전하가 충전/적분 시간 후에 포토다이오드들 (PD1-PD4) 로부터 플로팅 확산 노드 (FD) 로 직접 트랜스퍼될 경우, 포토다이오드들 (PD1-PD4) 의 실리콘 웨이퍼 내에 기생 커패시터를 포함할 수도 있는 플로팅 확산 노드 (FD) 는 작은 픽셀들을 갖는 센서의 동적 범위를 확장하기 위해 충분한 전하를 보유하지 않을 수도 있다. 따라서, 포토다이오드들 (PD1-PD4) 로부터의 전하는 저장 커패시터들 (CS1-CS4) 의 각각으로부터의 전하가 플로팅 확산 노드 (FD) 를 통해 앞서 설명된 독출 회로로 개별적으로 독출되기 전에, 개별 저장 커패시터들 (CS1-CS4) 로 다수회 덤프될 수 있다. 앞서 설명된 것과 같은 저장 커패시터들 (CS1-CS4) 은 그들의 개별 포토다이오드들 (PD1-PD4) 로부터의 다수의 전하 덤프들, 예컨대 8 이상의 전하 덤프들을 저장하기에 충분히 큰 유효 커패시턴스로 구성될 수 있다. 일부 실시형태들에서, 픽셀의 풀 웨이터에 있는 저장 커패시터들 (CS1-CS4) 에 저장된 전하 덤프들의 수가 아날로그 도메인에서 효율적으로 곱해질 수 있다.

일부 실시형태들에서, 저장 커패시터들 (CS1-CS4) 및 타이밍 회로들 (TS1-TS4) 은 공유-픽셀들 아키텍처 (100) 에서 포토다이오드들 (PD1-PD4) 과 동일한 층 상에 형성된다. 일부 실시형태들에서, 저장 커패시터들 (CS1-CS4) 및 타이밍 회로들 (TS1-TS4) 은 독출 회로의 나머지 컴포넌트들과 함께, 제 2 층 상에 형성될 수도 있다.

[0027] 트랜스퍼 게이트들 (TG1-TG4), 타이밍 회로들 (TS1-TS4), 및 리셋 트랜지스터 (RST) 중 하나 이상이 모두 온인 일 실시예에서, 대응하는 하나 이상의 포토다이오드들 (PD1-PD4), 하나 이상의 저장 커패시터들 (CS1-CS4) 및 플로팅 확산 노드 (FD) 는 어떤 TG1-TG4 및 TS1-TS4 가 작동되는지에 의존하여 리셋될 수 있다. 일부 실시형태들에서, 포토다이오드들 (PD1-PD4) 및 저장 커패시터들 (CS1-CS4) 은 각각 광원에 노출되기 전에 리셋될 수도 있다. 포토다이오드들 (PD1-PD4) 에서의 전하 통합은 개별 트랜스퍼 게이트들 (TG1-TG4) 이 오프일 때 발생할 수 있고, 광자 전하가 대응하는 포토다이오드 (PD1-PD4) 에서 수집되게 한다. 저장 커패시터들 (CS1-CS4) 에서의 전하 통합은 개별 타이밍 회로들 (TS1-TS4) 이 오프이고 개별 트랜스퍼 게이트들 (TG1-TG4) 이 개방될 때 포토다이오드들 (PD1-PD4) 로부터의 전하가 저장 커패시터들 (CS1-CS4) 에서 누산되게 하기 위해

발생할 수 있다.

[0028]

일부 실시형태들에서, 포토다이오드들 (PD1-PD4)에서의 전하 통합은 개별 트랜스퍼 게이트들 (TG1-TG4), 타이밍 회로들 (TS1-TS4), 및 리셋 트랜지스터 (RST)가 모두 오프될 때 발생할 수도 있고, 광자 전하가 대응하는 포토다이오드 (PD1-PD4)에서 수집되게 한다. 트랜스퍼 게이트 (TG1-TG4)를 선택적으로 턴 온함으로써, 대응하는 포토다이오드 (PD1-PD4) (예컨대, 연관된 트랜스퍼 게이트가 턴 온되는 하나 이상의 포토다이오드들 (PD1-PD4))에서의 전하가 저장 커패시터들 (CS1-CS4) 및 타이밍 회로들 (TS1-TS4)을 통해 플로팅 확산 노드 (FD)로 트랜스퍼된다. 일부 실시형태들에서, 하나 이상의 트랜스퍼 게이트들 (TG1-TG4) 및 타이밍 회로들 (TS1-TS4)은 동시에 턴 온되어, 전하를 저장 커패시터들 (CS1-CS4)에 저장하지 않고, 전하를 직접 연관된 포토다이오드들 (PD1-PD4)로부터 직접 플로팅 확산 노드 (FD)로 트랜스퍼할 수 있다. 포토다이오드들 (PD1-PD4)의 경우 또는 컬럼이 SEL 트랜지스터의 활성화에 의해 독출되도록 선택될 경우에, 플로팅 확산 노드 (FD)에 저장된 전하는 증폭기 (SF\_AMP)를 통해 전압으로 컨버팅된다. 상기 독출 전압은 V<sub>col</sub> 출력 상에 트랜스퍼될 수도 있다. 일부 실시형태들에서, 저장 커패시터들 (CS1-CS4) 중 하나에 저장된 전하는, 개별 타이밍 회로들 (TS1-TS4)이 턴 온될 때 증폭기 (SF\_AMP)를 통해 전압으로 컨버팅될 수 있고, 상기 독출 전압은 V<sub>col</sub> 출력 상에 트랜스퍼될 수도 있다. 일부 실시형태들에서, 요구된다면, 포토다이오드들 (PD1-PD4) 중 하나에 저장된 전하는 개별 트랜스퍼 게이트들 (TG1-TG4) 및 타이밍 회로들 (TS1-TS4)이 턴 온될 때 증폭기 (SF\_AMP)를 통해 전압으로 컨버팅될 수 있다.

[0029]

일부 실시형태들에서, 타이밍 회로들 (TS1-TS4)은 포토다이오드들 (PD1-PD4)로부터 저장 커패시터들 (CS1-CS4)로 전송된 전하 덤프들의 수를 조정하고 개별 저장 커패시터들 (CS1-CS4)에서의 전하가 플로팅 확산 노드를 통해 독출되게 하기 위해 개방할 시기를 결정하기 위해 고속 로직을 포함할 수 있다. 일부 실시형태들에서, 저장 커패시터들 (CS1-CS4) 중 오직 하나의 저장 커패시터만이 독출 회로에 의해 한 번에 독출될 수도 있다. 따라서, 타이밍 회로들 (TS1-TS4)은 어떤 2 개의 회로도 함께 개방되지 않도록 코디네이트될 수도 있다. 아날로그 도메인에서 포토다이오드들 (PD1-PD4)로부터 다수의 전하 덤프들을 누산함으로써, 디바이스 전력은 디지털 도메인에서 포토다이오드들 (PD1-PD4)로부터 다수의 전하 덤프들을 누산하는 것과 비교하여, 절약될 수 있다. 타이밍 회로들 (TS1-TS4) 및 독출 회로를 사용하는 포토다이오드들 (PD1-PD4)의 순차적인 독출은 별별 스캐닝과 비교하여 해상도를 증가시키기 위해 포토다이오드들 (PD1-PD4)의 독출을 제어할 수 있다. 타이밍 회로들 (TS1-TS4)의 고속 로직 때문에, 높은 비디오 프레임 레이트들 (예컨대, 8 MP 폴 해상도에서 30 fps)은 픽셀 어레이에서 각각의 포토다이오드 (PD1-PD4)을 아날로그 도메인에서 다수 회, 예컨대 프레임당 8 회의 독출들을 샘플링하는 동안 여전히 달성될 수 있다. 일부 실시형태들에서, 타이밍 방식은 대략 20 nm의 라인 폭을 갖는 트랜지스터일 수 있다.

[0030]

도 1b는 예시적인 실시형태에 따라, 일반적으로 제 1 아키텍처 (105)로 지정된, 인터레이싱된 4 트랜지스터 4-공유-픽셀들 아키텍처의 일 실시형태를 예시한다. 도 1b에 도시된 것과 같이, 제 1 컬러, 예컨대 적색에 대한 한 쌍의 포토다이오드들 (PDR1 및 PDR2) 및 제 2 컬러, 예컨대 녹색에 대한 제 2 쌍의 포토다이오드들 (PDG1 및 PDG3)을 갖는 4 개의 포토다이오드들 (PDR1, PDR2, PDG1, 및 PDG3) (또는 유사 구조들 또는 디바이스들)이 존재한다. 이를 포토다이오드들 (PDR1, PDR2, PDG1, 및 PDG3)은 도 1a에서 참조되는 것과 같은 포토다이오드들 (PD1-PD4)에 대응할 수도 있다. 앞서 설명된 것과 같이, 포토다이오드들 (PDR1, PDR2, PDG1, 및 PDG3)의 각각은 개별 포토다이오드들 (PDR1, PDR2, PDG1, 및 PDG3)의 각각에서 전하들의 통합 시간을 제어하기 위해 전용 트랜스퍼 게이트 (TG1-TG4)를 갖는다. 따라서, 트랜스퍼 게이트 (TG1)는 포토다이오드 (PDR1)에서 전하의 통합 및 트랜스퍼를 제어하는 반면, 트랜스퍼 게이트 (TG2)는 포토다이오드 (PDR2)에서 전하의 통합 및 트랜스퍼를 제어한다. 유사하게, 도 1b의 트랜스퍼 게이트들 (TG3 및 TG4)은 각각 포토다이오드들 (PDG1 및 PDG3)에서 전하의 통합 및 트랜스퍼를 제어한다. 앞서 논의된 것과 같이, 포토다이오드들의 쌍들 (PDR1-PDR2 및 PDG1-PDG3) 사이에 도시된 3 개의 트랜지스터들은 4 개의 포토다이오드들 (PDR1, PDR2, PDG1, 및 PDG3) 간에 공유된다. 트랜지스터들의 상기 컬럼의 최상부에서의 트랜지스터는 증폭 트랜지스터 (SF\_AMP)이고, 중간 트랜지스터는 선택 트랜지스터 (SEL)이고, 하부 트랜지스터는 리셋 트랜지스터 (RST)이다. 2 개의 플로팅 확산 노드들 (FD1 및 FD2)이 도시되고, FD1은 포토다이오드들 (PDR1 및 PDG1)과 증폭 트랜지스터 (SF\_AMP) 사이에 위치되고, FD2는 포토다이오드들 (PDR2 및 PDG3)과 증폭 트랜지스터 (SF\_AMP) 사이에 위치된다. 일부 실시형태들에서, 2 개의 플로팅 확산 노드들 (FD1 및 FD2)은 단일 플로팅 확산 노드로 결합될 수도 있거나 추가의 플로팅 확산 노드들로 분할될 수도 있다. 공유 픽셀 회로에서 타이밍 회로 (TS)와 저장 커패시터 (CS)가 도시되지 않았지만, 일부 실시형태들에서, 이를 2 개의 커먼드들을 공유 픽셀 회로에 포함될 수도 있다.

[0031]

포토다이오드들 (PDR1 및 PDR2) 은 도 1b 의 개략도의 최좌측 컬럼에서의 2 개의 포토다이오드들이다. 포토다이오드들 (PDR1 및 PDR2) 은 적색 광을 감지하도록 구성된다. 따라서, 적색 광이 감지될 경우, 포토다이오드들 (PDR1 및 PDR2) 은 각각, 시간 주기에 걸쳐 감지된 적색 광의 양에 응답하여 전하를 생성한다. 유사하게, 포토다이오드들 (PDG1 및 PDG3) 은 최우측 컬럼에서의 2 개의 포토다이오드들이고, 각각 녹색 광을 감지하도록 구성되며, 녹색 광이 감지될 때 각각 전하를 생성한다. 중앙 컬럼은 공유 트랜지스터들 (SF\_AMP, SEL, 및 RST) 및 공유 플로팅 확산 포인트들 (FD1 및 FD2) 을 포함한다. 앞서 설명된 것과 같이, SF\_AMP 는 포토다이오드들 (PDR1, PDR2, PDG1, 및 PDG3) 중 하나로부터의 전하 입력을, 독출 시퀀스 동안 출력될 대응하는 전압 신호들로 컨버팅하도록 구성될 수도 있다. 선택 트랜지스터 (SEL) 는 앞서 설명된 것과 같이, 독출될 (또는 출력될) 픽셀 어레이의 단일 로우를 선택하도록 구성될 수도 있고, 증폭 트랜지스터 (SF\_AMP) 가 소정의 로우 또는 컬럼이 선택될 때 전하를 전압으로 컨버팅하는 것을 허용할 수도 있다. 결국, 리셋 트랜지스터 (RST) 는 각각의 포토다이오드들 (PDR1, PDR2, PDG1, 및 PDG3) 및 플로팅 확산 노드들 (FD1 및 FD2) 의 전하를 클리어 (또는 참조 포인트로 세팅) 하도록 구성될 수도 있다. 포토다이오드들 (PDR1, PDR2, PDG1, 및 PDG3) 을 리셋하기 위해, 리셋 트랜지스터 (RST) 는 각각 트랜스퍼 게이트들 (TG1, TG2, TG3, 및 TG3) 과 함께 턴 온되어야만 할 수도 있다.

[0032]

도 1c 는 예시적인 실시형태에 따라, 인터레이싱된 픽셀 아키텍처 어레이에서 도 1b 의 2 개의 4 트랜지스터 4-공유-픽셀들 아키텍처의 일 실시형태를 예시한다. 제 1 의 4 트랜지스터 4-공유-픽셀들 아키텍처는 도 1b 로부터의 제 1 아키텍처 (105) 에 대응할 수도 있다. 제 2 의 4 트랜지스터 4-공유-픽셀들 아키텍처는 제 2 아키텍처 (110) 로 도시될 수도 있다. 도 1b 와 관련하여 앞서 설명된 것과 같이, 좌측 상의 제 1 의 4 트랜지스터 4-공유-픽셀들 아키텍처 (104) 는 포토다이오드들 (PDR1, PDR2, PDG1, 및 PDG3) 과 함께, 트랜지스터들 (SF\_AMP, SEL, 및 RST) 및 플로팅 확산 노드들 (FD1 및 FD2) 을 포함한다. 유사하게, 우측 상의 제 2 의 4 트랜지스터 4-공유-픽셀들 아키텍처 (110) 는 포토다이오드들 (PDB1, PDB2, PDG2, 및 PDG4) 과 함께, 트랜지스터들 (SF\_AMP1, SEL1, 및 RST1) 및 플로팅 확산 노드들 (FD3 및 FD4) 을 포함한다. 제 2 의 4 트랜지스터 4-공유-픽셀들 아키텍처 (110) 의 컴포넌트들은 도 1a 및 도 1b 에 대하여 앞서 설명된 것과 같은 컴포넌트들과 동일하게 기능하며, 포토다이오드들 (PDB1 및 PDB2) 은 감지된 청색 광에 응답하여 전류를 생성하도록 구성된다. 제 2 의 4 트랜지스터 4-공유-픽셀들 아키텍처의 PDG2 및 PDG4 는 PDG1 및 PDG3 에 의해 생성된 것들에 추가로, 녹색 광에 대한 노출에 응답하여 전류 신호들을 생성한다. 플로팅 확산 노드 (FD3) 는 포토다이오드들 (PDB1 및 PDG1) 과 증폭 트랜지스터 (SF\_AMP) 사이에 위치될 수도 있고, FD4 는 포토다이오드들 (PDB2 및 PDG4) 과 증폭 트랜지스터 (SF\_AMP1) 사이에 위치될 수도 있다.

[0033]

2 개의 4 트랜지스터 4-공유-픽셀들 아키텍처들 (105 및 110) 의 조합은 베이어 컬러 패턴을 따르는 색 표현을 제공할 수도 있으며, 여기서 모든 전체 유닛은 대각선의 청색 픽셀 및 적색 픽셀과 쌍을 이루는 대각선의 2 개의 녹색 픽셀들 (예컨대, 하나의 녹색-홀수 픽셀 및 하나의 녹색-짝수 픽셀) 을 포함한다. 따라서, 일부 실시형태들에서, PDG1 및 PDG3 은 녹색-홀수 포토다이오드들로 지칭될 수도 있는 반면, PDG2 및 PDG4 은 녹색-짝수 포토다이오드들로 지칭될 수도 있다. 일부 실시형태들에서, 다른 컬러 패턴들은 인터레이싱된 어레이에서 사용될 수도 있고; 다양한 컬러 패턴들 간의 선택은 적어도 픽셀 어레이의 적용에 의존할 수도 있다.

[0034]

제 2 아키텍처 (110) 의 중앙 컬럼에서 공유되는 컴포넌트들은 트랜지스터들 (SF\_AMP1, SEL1, 및 RST1) 및 플로팅 확산 포인트들 (FD3 및 FD4) 을 포함한다. 앞서 설명된 것과 같이, SF\_AMP1 는 포토다이오드들 (PDB1, PDB2, PDG2, 및 PDG4) 중 하나로부터의 전하 입력을, 독출될 대응하는 전압 신호들로 컨버팅하도록 구성될 수도 있다. 선택 트랜지스터 (SEL2) 는 앞서 설명된 것과 같이, 독출될 (또는 출력될) 제 2 아키텍처 (110) 픽셀 어레이의 단일 로우를 선택하도록 구성될 수도 있다. 결국, 리셋 트랜지스터 (RST1) 는 각각의 포토다이오드들 (PDB1, PDB2, PDG2, 및 PDG4) 및 플로팅 확산 노드들 (FD3 및 FD4) 의 전하를 클리어하도록 구성될 수도 있다. 포토다이오드들 (PDB1, PDB2, PDG2, 및 PDG4) 의 각각의 전하를 클리어하기 위해, 개별 트랜스퍼 게이트들 (TG1\_1, TG2\_1, TG3\_1, 및 TG4\_1) 은 리셋 트랜지스터 (RST1) 와 함께 작동될 수도 있다.

[0035]

도 2 는 예시적인 실시형태에 따라, 인터레이싱된 어레이 (200) 로 지정된 인터레이싱된 픽셀 아키텍처 어레이에서 도 1b 및 도 1c 의 4 트랜지스터 4-공유-픽셀들 아키텍처들 (105 및 110) 을 도시한다. 도 2 는 도 1b 및 도 1c 의 인터레이싱된 아키텍처들 (105 및 110) 이 물리적으로 정렬하는 방식을 도시할 수도 있다. 예를 들어, 도 1c 의 4 트랜지스터 4-공유-픽셀들 아키텍처들 (105 및 110) 은 6 개의 4 트랜지스터 4-공유-픽셀들 아키텍처들 (3 개가 각각 105 와 110 의 양자임) 을 형성하는 것으로 도시된다. 예를 들어, 4-공유-픽셀들 아키텍처들의 제 1 로우는 픽셀 아키텍처들 (105) 일 수도 있는 반면, 4-공유-픽셀들 아키텍처들의 제 2 로우는 픽셀 아키텍처들 (110) 일 수도 있다. 상기 도면에서 개별적으로 도시되지는 않았지만, 6 개의 4 트랜

지스터, 4-공유-픽셀들 아키텍처들의 각각은 도 1b 및 도 1c에 대하여 앞서 설명된 컴포넌트들 (예컨대, 각각 (상기 도면에서 개별적으로 라벨링되지 않은) 4 개의 포토다이오드들, (상기 도면에서 개별적으로 라벨링되지 않은) 4 개의 트랜스퍼 게이트 트랜지스터들), 및 (상기 도면에서 개별적으로 라벨링되지 않은) 공유 리셋, 선택, 및 증폭 트랜지스터들을 포함함) 을 포함한다. 각각의 4 트랜지스터 4-공유-픽셀들 아키텍처의 트랜스퍼 게이트 트랜지스터들 및 리셋 및 선택 트랜지스터들은 추가로, 도 2의 좌측 상에 표시된 버스들에 커플링된다. 도 2에 도시된 실시형태는 6 개의 신호들과 연관된 12 개의 버스들을 도시하며, 6 개의 신호들의 각각은 2 개의 개별 버스들 상에서 통신된다.

[0036] 각각의 신호에 대한 2 개의 개별 버스들은 어레이에서 인터레이싱된 레이아웃으로 인해 개별 공유-픽셀들 아키텍처들과 통신하기 위해 사용될 수도 있고, 여기서 인터레이싱된 어레이 (200)를 형성하는 인접 픽셀 아키텍처들의 포토다이오드들 및 트랜지스터들은 단일 수형 방향으로 모두 정렬되지 않는다. 예를 들어, 각각의 4-공유-픽셀들 구조 (105)에 대한 트랜지스터들은 어레이에 걸쳐 수평으로 단일 로우에 있지 않을 수도 있고, 대신, 각각 적색 및 녹색-짝수 포토다이오드들 (PDR<sub>m</sub> 및 PDG<sub>n</sub>) (여기서 각각, <sub>m</sub>은 도시되고 있는 포토다이오드 (PDX)의 수를 나타내고, <sub>n</sub>은 도시되고 있는 포토다이오드 (PDX)의 수를 나타냄)과 청색 및 녹색-홀수 포토다이오드들 (PDB<sub>m</sub> 및 PDG<sub>n</sub>)의 교변하는 로우들로 분리된다. 따라서, 인터레이싱된 어레이 (200)로 인해, 2 개의 인접하는 4-공유-픽셀들 아키텍처들 (105 및 110)의 TG<sub>1\_m</sub> 트랜지스터들은 단일 로우가 아닌, 오히려 서로 오프셋된 2 개의 로우들에 있을 수도 있다. 따라서, 2 개의 버스들은 TG<sub>1</sub> 신호를, 인터레이싱된 인접 4-공유-픽셀들 아키텍처들 (105 및 110)의 소정 로우의 TG<sub>1\_m</sub> 트랜지스터들 모두에 통신하는데 사용된다. 유사하게, 2 개의 버스들은 TG<sub>2</sub>, TG<sub>3</sub>, TG<sub>4</sub>, SEL, 및 RES 신호들을, 인접하는 4-공유-픽셀들 아키텍처들의 소정 "로우"의 개별 트랜지스터들 모두에 통신하는데 사용되며, 여기서 앞서 설명된 것과 같이, 인터레이싱된 어레이 (200)의 인접하는 공유-픽셀들 아키텍처들 (105 및 110)은 서로 오프셋된다. 수평 버스들의 이러한 아키텍처는 인터레이싱된 어레이 (200)의 각각의 공유-픽셀들 아키텍처 (105 및 110)가 개별 트랜지스터들에 대한 버스들의 각각에 접속할 수도 있도록, 수직으로 어레이에 걸쳐 교변할 수도 있다. 따라서, 앞의 도 1b 및 도 1c의 트랜스퍼 게이트들은 각각, 도 2의 TG<sub>1</sub> 및 TG<sub>2</sub> 버스 라인들에 커플링된다. 유사하게, 앞의 도 1b 및 도 1c의 트랜스퍼 게이트들은 각각, 도 2의 TG<sub>3</sub> 및 TG<sub>4</sub> 버스 라인들에 커플링된다. 도 2의 4 트랜지스터 4-공유-픽셀들 아키텍처들 (105 및 110)의 리셋 트랜지스터들은 각각 리셋 버스 라인 (RST)에 커플링된다. 유사하게, 도 2의 4 트랜지스터 4-공유-픽셀들 아키텍처들 (105 및 110)의 선택 트랜지스터들은 각각 선택 버스 라인 (SEL)에 커플링된다.

[0037] 부가적으로, 증폭 트랜지스터들 및 선택 트랜지스터들은 각각, 도 2의 상부와 하부에 표시된 수직 채널들 중 하나에 추가로 커플링된다. 도 2는 포토다이오드들에 저장된 전하에 대응하는 전압을 독출하는 독출 채널들을 도시한다. 독출 채널들은 상향/하향 수직 방향들로 교변하고, 소정의 4 트랜지스터 4-공유-픽셀들 아키텍처 (105 및 110)의 각각은 단일 채널에 접속된다. 예를 들어, 공유 아키텍처 (105)는 독출 채널 (205)에 접속되는 반면, 공유 아키텍처 (110)는 독출 채널 (210)에 커플링된다. 판독 채널 (205)은 pbus\_y1 및 pvh\_y1을 포함하며, 여기서 pbus\_y1로부터의 전압은 특정 포토다이오드에 대하여 로우 선택 트랜지스터가 활성이고 트랜스퍼 게이트 트랜지스터가 활성일 경우에 독출되는 포토다이오드 내의 전하에 기초하여 선택 트랜지스터 및 증폭 트랜지스터를 통해 pvh\_y1로 트랜스퍼된다. 이들 독출 채널들은 각각, 공유-픽셀들 아키텍처들의 증폭 및 선택 공유 트랜지스터들에 커플링되어 인터레이싱된 어레이 (200)에 걸친 공유-픽셀들 아키텍처들 (105 및 110)의 포토다이오드들의 전하들이 독출 채널들 (205 및 210)을 통해 출력되게 할 수도 있다. 따라서, 독출 채널들의 각 쌍은 인터레이싱된 어레이 (200)의 공유-픽셀들 아키텍처들 (105 및 110)의 2 개의 컬러들로부터 신호들을 출력하도록 구성될 수도 있다.

[0038] 앞서 설명된 독출 채널들의 쌍의 독출 신호 채널들의 각각은 특정 컬러 쌍에 전용될 수도 있다. 예를 들어, 도 2에서, pvh\_y1/pbus\_y1 독출 채널은 적색 포토다이오드들과 녹색-짝수 포토다이오드들로부터의 독출 신호들에 전용될 수도 있고, 독출 채널 pvh\_y2/pbus\_y2은 청색 포토다이오드들 및 녹색-홀수 포토다이오드들로부터의 독출 신호들에 전용될 수도 있다. 일부 실시형태들에서, 독출 채널들은 독출 채널/포토다이오드 컬러 상관이 유지되도록, 인터레이싱된 어레이 (200)를 따라 배치될 수도 있다. 부가적으로, 앞서 설명된 것과 같이, 채널들이 2 개의 컬러들의 포토다이오드들을 갖는 공유-픽셀들 아키텍처에 전용되는 채널-당-1-컬러 독출을 획득하기 위해, 커플링된 공유-픽셀들 아키텍처로부터의 개별 컬러들이 특정 시간에 독출된다. 따라서, 독출 채널들의 쌍의 각각의 독출 채널은, 단일 컬러가 특정 순간에 채널 상에서 독출되도록, 커플링된 공유-픽셀들 아키텍처 (105 및 110)의 2 개의 포토다이오드 컬러들 간에 교변하여 타이밍 방식에 따라 독출하도록 구성될 수도 있다. 그러한 타이밍 방식은 도 3a, 도 3b, 도 6a 및 도 6b를 참조하여 이하 추가로 상세히 설

명된다.

[0039]

기능하는 인터레이싱된 어레이 (200)에서, 각각의 공유-픽셀들 아키텍처 (105 및 110)의 각각의 포토다이오드는 그들의 개별 컬러들의 광에 노출될 때 전하를 생성할 수도 있다. 그러나, 전하를 생성하는 포토다이오드와 연관된 개별 트랜스퍼 게이트가 폐쇄되는 동안, 전하는 포토다이오드들로부터 멀리 트랜스퍼되지 않는다.

예를 들어, 도 1a의 포토다이오드 (PD1)가 적색 광에 노출될 경우, 포토다이오드 (PD1)는 전하를 생성할 수도 있다. 트랜스퍼 게이트 (TG1)가 폐쇄되는 동안, 전하는 포토다이오드 (PD1)로부터 멀리 트랜스퍼되지 않고, 대신 포토다이오드 (PD1)에서 통합된다 (예컨대, 누산된다). 트랜스퍼 게이트 (TG1)가 TG\_1 버스 상에서 신호를 수신할 경우에, 트랜스퍼 게이트 (TG1)가 개방할 수도 있고, 이는 포토다이오드 (PD1)로부터의 전하가 플로팅 확산 노드 (PD1)로 트랜스퍼하게 한다. 플로팅 확산 노드 (FD1)는 시간에 걸쳐 PD1로부터 수신된 전하를 저장할 수도 있다. 플로팅 확산 노드 (FD1)는 리셋 트랜지스터 (RST)가 RST 버스로부터 리셋 신호를 수신한다면 리셋될 수도 있거나, 또는 대안적으로 선택 트랜지스터 (SEL)가 SEL 버스로부터 선택 신호를 수신하는 것에 응답하여 증폭 트랜지스터 (SF\_AMP)를 통해 통합된 전하를 출력할 수도 있다. 일부 실시형태들에서, 도시되지 않았지만, 플로팅 확산 노드 (FD1)는 내부에 저장된 전하를 저장 커페시터 (CS1)에 트랜스퍼할 수도 있다. 선택 트랜지스터 (SEL)가 선택 신호를 수신할 때, 증폭 트랜지스터 (SF\_AMP)는 독출 채널 (pvh\_y1/pbus\_y1) 상에 출력될 통합된 전하를 컨버팅할 수도 있다. 이러한 프로세스는 독출 채널이 임의의 주어진 순간에 단일 컬러에 전용될 수도 있도록, 공유-픽셀들 아키텍처 (105 및 110)의 각각의 포토다이오드 (PD)에 유사하게 적용될 수도 있다.

[0040]

도 1b-2에 도시된 공유-픽셀들 아키텍처 (105 및 110)은 도시된 레이아웃 및 아키텍처에 대하여 다양한 장점을 제공할 수도 있다. 예를 들어, 수직 독출 채널들은 독출들이 타이밍 방식에 따라 수행될 때, 채널-당-1-컬러 독출을 제공할 수도 있다. 채널-당-1-컬러 독출에서, 각각의 컬러는 주어진 시점에 전용 채널을 갖는다. 도 2에 도시된 것과 같이, 제 1의 4-공유-픽셀들 아키텍처는 적색 포토다이오드들 (PDR1 및 PDR2)과 함께 녹색 홀수 포토다이오드들 (PDG1 및 PDG3)을 포함할 수도 있다. 따라서, 수직 독출 채널 (205)은 독출중인 적색 포토다이오드들 (PDR1 및 PDR2)과 녹색 홀수 포토다이오드들 (PDG1 및 PDG3) 사이에서 교변하는 타이밍 방식으로 페어링될 때, 단일 컬러에 전용될 수도 있다. 따라서, 녹색 홀수 및 적색 컬러들은 독출되고 있을 때, 전용 채널을 갖는다. 녹색 짹수 및 청색 포토다이오드들 (PDG2, PDG4, PDB1, 및 PDB2)에 대해서도 동일하게 적용된다.

[0041]

인터레이싱된 4-공유-픽셀들 아키텍처 (105 및 110)에 의해 사용가능한 하나의 채널-당-컬러 독출은 그 자체의 장점을 가지며, 하나 이상의 컬러에 의해 공유되는 채널들에 의해 전달되는 신호들보다 더 낮은 잡음 및 더 높은 이득을 갖는 신호들을 전달하는 능력을 포함한다. 이는 다른 채널들과 완전히 분리되는 각각의 채널로부터 발생할 수도 있고, 하나의 신호에 대한 변화들이 다른 신호들과 독립적으로 유지되게 한다. 추가로, 하나의 채널-당-컬러는, 포토다이오드들이 단일 채널에서 결합되지 않기 때문에, 다수의 컬러들이 채널을 공유하는 실시형태들보다 더 낮은 고정-패턴 잡음을 제공할 수도 있고, 오프셋 및 이득 애러 정정들이 컬러에 독립적으로 적용될 수도 있다. 추가로, 하나의 채널-당-컬러 독출은 공유-픽셀들 아키텍처 (105 및 110) 및 따라서 인터레이싱된 어레이 (200)에 대하여 공유되는 로우 제어 및 더 작은 영역들을 발생할 수도 있다. 컬러 당 개별 채널들은 또한, 고 해상도 디바이스들 (예컨대, HD 카메라들 및 디지털 SLR 카메라들)이 높은 데이터 레이트로 고 해상도들을 프로세싱할 수 있도록, 병렬 프로세싱 능력들을 제공할 수도 있다. 추가로, 시간 잡음은 시간 잡음에 기여하는 더 작은 커페시터들 (예컨대, 저장 커페시터들)이 사용될 수도 있기 때문에, 개별 채널들에 의해 감소될 수도 있다.

[0042]

이하 표 1은 본원에 개시된 인터레이싱된 공유-픽셀들 아키텍처를 인터레이싱되지 않은 공유-픽셀들 아키텍처들과 비교한다.

표 1

	평균 수평 라인 /픽셀	평균 수직 라인 /픽셀	수직 비닝	출력/컬럼	독출 회로 /컬럼	컬러 당 1 채널
<b>2x2</b> 공유	<b>3</b>	<b>1</b>	아니오	0.5	<b>1</b>	아니오
<b>2x2 tg</b> 공유	<b>2</b>	<b>1</b>	아니오	0.5	<b>1</b>	아니오
<b>4x1</b> 공유	<b>1.5</b>	<b>2</b>	예	<b>1</b>	<b>1</b>	아니오
<b>14</b> 공유	<b>3</b>	<b>2</b>	예	<b>1</b>	<b>2</b>	예
<b>14tg</b> 공유	<b>2</b>	<b>2</b>	예	<b>1</b>	<b>2</b>	예

[0043]

표 1에 의해 도시된 것과 같이, 이전의 공유 아키텍처들은 본원에 개시된 통합된 공유 아키텍처들보다 더 제한되었다. 표 1에 도시된 것과 같이, 2x2 공유-픽셀들 아키텍처는 픽셀당 평균 3 개의 수평 라인들, 픽셀당 하나의 평균 수직 라인, 수직 비닝 없음, 컬럼당 0.5 출력 컬러들, 컬럼당 하나의 독출 회로, 및 컬러 능력당 단일 채널 없음을 제공할 수도 있다. 2x2 트랜스퍼 게이트 공유-픽셀들 아키텍처는 픽셀당 평균 2 개의 수평 라인들, 픽셀당 하나의 평균 수직 라인, 수직 비닝 없음, 컬럼당 0.5 출력 컬러들, 컬럼당 하나의 독출 회로, 및 컬러 능력당 단일 채널 없음을 제공할 수도 있다. 4x1 공유-픽셀들 아키텍처는 픽셀당 평균 1.5 개의 수평 라인들, 픽셀당 2 개의 평균 수직 라인들, 수직 비닝, 컬럼당 1 출력 컬러, 컬럼당 하나의 독출 회로, 및 컬러 능력당 단일 채널 없음을 제공할 수도 있다. 통합된 공유-픽셀들 아키텍처는 픽셀당 평균 3 개의 수평 라인들, 픽셀당 2 개의 평균 수직 라인들, 수직 비닝, 컬럼당 1 출력 컬러, 컬럼당 2 개의 독출 회로들, 및 컬러 능력당 단일 채널을 제공할 수도 있다. 통합된 트랜스퍼 게이트 공유-픽셀들 아키텍처는 픽셀당 평균 2 개의 수평 라인들, 픽셀당 2 개의 평균 수직 라인들, 수직 비닝, 컬럼당 1 출력 컬러, 컬럼당 2 개의 독출 회로들, 및 컬러 능력당 단일 채널을 제공할 수도 있다.

[0045]

도 3a는 예시적인 실시형태에 따라, 1x4 인터레이싱된 4-공유-픽셀들 아키텍처의 채널-당-4 컬러 독출 시퀀스를 예시한다. 도 3a는 베이어 구성에서 적색, 청색, 및 녹색 픽셀들의 어레이의 일 예를 도시한다. 어레이에서 픽셀들의 각각은 그들의 개별 로우 및 컬럼 번호, [r, c]에 따라 참조될 수도 있고, 여기서 'r'는 로우 번호를 나타내고, 'c'는 컬럼 번호를 나타낸다. 예를 들어, 픽셀 [0,0]은 어레이의 최상부-좌측 코너에서 Gr 픽셀에 대응할 수도 있고, 여기서 최상부 로우는 로우 0이고 최좌측 컬럼은 컬럼 0이다. 어레이의 픽셀들의 각각의 컬럼 및 로우는 교번하는 방식으로 픽셀들의 2 개 컬러들을 포함한다. 예를 들어, 로우 [0]는 녹색 픽셀들 Gr 및 적색 픽셀들 R을 포함하는 반면, 로우 [1]는 청색 픽셀들 B 및 녹색 픽셀들 Gb을 포함한다. 유사하게, 컬럼 [0]은 녹색 픽셀들 Gr 및 청색 픽셀들 B을 포함하는 반면, 컬럼 [1]은 적색 픽셀들 R 및 녹색 픽셀들 Gb을 포함한다. 추가로, 각각의 픽셀은 복수의 수직 독출 채널들 (305; 상향 및 310; 하향)의 수직 독출 채널에 커플링된다. 수직 독출 채널들 (305a-305c)은 도 2에서 참조되는 것과 같이, 수직 독출 채널들 (205)에 대응할 수도 있는 반면, 수직 독출 채널들 (310a-310c)은 수직 독출 채널들 (210)에 대응할 수도 있다. 도시된 것과 같은 1x4 인터레이싱된 4-공유-픽셀들 아키텍처에서, 녹색 Gr 및 녹색 Gb 픽셀들은 동일한 하향 독출 채널들 (310a-310c)에 커플링되는 반면, 적색 R 및 청색 B 픽셀들은 동일한 상향 독출 채널들 (305a-305c)에 커플링된다. 픽셀 어레이의 좌측 상에 대표 신호들 (TG\_1, TG\_2, TG\_3, 및 TG\_4)이 도시되며, 각각 로우들 0, 1, 2, 및 3 중 하나에 각각 대응한다. 신호들 (TG\_1, TG\_2, TG\_3, 및 TG\_4)은 도 2에서 참조되는 것과 동일한 지정의 버스들 상에 수신된 신호들에 대응할 수도 있다. 따라서, TG\_1 버스가 TG1 트랜스퍼 게이트들로의 신호를 표시할 경우, TG1 트랜스퍼 게이트들이 접속되는 로우 (여기서, 로우 0)의 픽셀들은 수직으로 독출된다.

[0046]

도면은 컬러 픽셀들로부터의 전하들이 어떻게 공유-픽셀 아키텍처의 독출이고, 샘플-및-홀드 커패시터들 내로 병렬로 "덤프" 되고, 이후에 (상기 도면에 도시되지 않은) 선택 신호 (SEL) 와 트랜스퍼 게이트 신호들 (TG\_1-TG\_4)에 기초하여 순차적으로 쉬프트되는지를 도시한다. 도 3a에서의 실시형태에 의해 도시된 것과 같이, 각각의 컬러는 타이밍 방식에 따라 독출될 경우에 개별 컬러 채널로서 독출되며, 따라서 각각의 컬러 채널이 원하는 색 충실도 및/또는 화이트 밸런스에 도달하도록 적용된 차이 이득을 가지게 한다 (예컨대, 앞서 논의된 것과 같이, 채널당 상이한 컬러 프로세싱이 사용가능하다). TG\_1 신호가 개별 트랜스퍼 게이트 TG1에 의해 수신될 경우, 로우 0에서의 픽셀들은 그들의 대응하는 독출 채널들 (305 및 310) 상에서 독출될 수도 있다. 따라서, 로우 0에서의 픽셀들의 독출은, 하향 독출 채널 (310a)에 의해 독출되는 Gr 픽셀 [0,0], 상향 독출 채널 (305b)에 의해 독출되는 R 픽셀 [0,1], 하향 독출 채널 (310b)에 의해 독출되는 Gr 픽셀 [0,2], 상향

독출 채널 (305c)에 의해 독출되는 R 픽셀 [0,3], 및 하향 독출 채널 (310c)에 의해 독출되는 Gr 픽셀 [0,4]을 발생할 수도 있다. 유사하게, 나머지 로우들 1 내지 3은 샘플-및-홀드 커패시터들 내로 독출될 수도 있다. 일부 실시형태들에서, 각각의 독출 채널들 (305a-305c 및 310a-310c)은 개별 샘플-및-홀드 커패시터 내로 공급될 수도 있다. 일부 다른 실시형태들에서, 샘플-및-홀드 커패시터들은 2 이상의 독출 채널들 (305a-305c 및 310a-310c) 간에 공유될 수도 있다.

[0047] 다이어그램은 추가로 뱅크들 (306 및 311)로 지칭되는, 대응하는 로우 번호들에 의해 분리되는 채널 독출들의 시퀀스를 도시한다. 예를 들어, 뱅크 (306)에서, 제 1 상향 독출 채널 (305a)은 독출 전하들은 제 1 컬럼 폐기, B[1,0], 폐기, B[3,0]으로 도시된 것과 같은, 컬럼 0의 청색 픽셀들로부터 전하들을 수집한다. "폐기" 전하들은 어떤 픽셀들도 독출되지 않기 때문에 무시되는 전하들이다. 예를 들어, 상향 독출 채널 (305a)에 대한 로우 0 독출은, 상향 독출 채널 (305a)의 좌측에 어떤 픽셀들의 컬럼도 없기 때문에 폐기될 수도 있고, 따라서 상향 독출 채널 (305a)은 기존 픽셀의 전하에 대응하지 않는 값을 독출한다. 따라서, 기존 픽셀들로부터의 전하들에 대응하지 않는 독출되는 값들은 간단히 폐기되거나 무시될 수도 있다. 전하들 B[1,0] 및 B[3,0]은 각각, 로우들 1 및 3에서의 컬럼 0에서 2 개의 청색 픽셀들로부터의 전하들을 나타낸다.

[0048] 유사하게, 상향 독출 채널 (305b)은 양자의 컬럼들 1 및 2로부터 적색 및 청색 전하들을 수집하여 전하들 {R[0,1], B[1,2], R[2,1], B[3,2]}을 독출하고, 상향 독출 채널 (305c)은 양자의 컬럼들 3 및 4로부터 적색 및 청색 전하들을 수집하여 {R[0,3], B[1,4], R[2,3], B[3,4]}을 발생한다. 따라서, 대응하는 로우 번호들로 분리되는 채널 독출들의 시퀀스는 어떤 픽셀이 특정 채널에 의해 독출되었는지를 표시한다. 예를 들어, 도 3a에 도시된 것과 같이, 로우[0]에 대하여, 독출 채널 (305a)은 폐기된 전하 값을 가졌고, 독출 채널 (305b)은 [0,1]에서 적색 픽셀로부터 전하를 가졌고, 독출 채널 (305c)은 [0,3]에서 적색 픽셀로부터 전하를 가졌고, (상기 도면에 도시되지 않은) 독출 채널 (305d)은 [0,5]에서 적색 픽셀로부터 전하를 가졌다.

상향 독출 채널들 (305a-305d)에 대한 나머지 로우들 1-3 및 하향 독출 채널들 (310a-310c)에 대한 로우들 0-3에 대한 채널 독출들의 시퀀스는 유사한 방식으로 전하 소스들을 도시한다. 하향 독출 채널들 (310a-310c)에 대한 채널 독출들의 시퀀스는 뱅크 (311)에 도시될 수도 있다.

[0049] 도 3a에 도시된 것과 같이, 픽셀들에서의 전하들은, 오직 소정의 로우에 대한 각각의 컬럼이 개별 샘플-및-홀드 커패시터들에 저장될 단일 컬러 픽셀로부터 전하를 수신하기 때문에, 각각의 컬럼에 걸쳐 별별로 독출될 수도 있다. 후속하여, 샘플-및-홀드 커패시터들에서 전하들이 순차적으로 쉬프트된다. 독출 전하들에서 베이어 패턴 그룹을 유지하기 위해, 데이터는 정확히 정렬되거나 소정의 패턴 또는 시간 시퀀스에 따라 독출되어야 한다. 예를 들어, 뱅크 (306)의 홀수-번호 로우들은 하나의 "수평" 클록 (예컨대, 하나의 픽셀 시간) 만큼 지연될 수도 있지만, 뱅크 (311)의 짝수 및 홀수 로우들은 또한 하나의 "수평" 클록 만큼 지연될 수도 있다. 전하가 샘플-및-홀드 커패시터들로부터 순차적으로 쉬프트된다면, 나머지 독출 프로세스는 선형 1x4 구조의 프로세스와 유사하다.

[0050] 도 3a에 도시된 것과 같은 수직 공유는 종래의 수직 공유 인터레이싱된 픽셀들 아키텍처와 유사하다. 추가로, 공유 아키텍처는 수평 방향과 수직 방향 양자에서 전하 비닝이 가능하다. 전하 비닝 (Charge binning)은 1 초과의 픽셀/포토다이오드에서의 전하가 아날로그 도메인에서 수평 및 수직 방향들 중 하나 또는 양자로 결합되게 한다. 따라서, 이러한 전하 비닝은 포토다이오드들로부터 저장될 수도 있는 전하 용량 (예컨대, 전체 사용 가능한 전하)을 부스트할 수도 있다. 인터레이싱된 공유-픽셀들 아키텍처에 의해 사용 가능한 픽셀 레벨 비닝은 더 양호한 저-광 수행 (low-light performance)을 위해 제공할 수도 있고, 여기서 이미지의 풀해상도의 캡처 및 디스플레이는 어려울 수도 있다. 전하 비닝은 수평 및 수직 픽셀들의 출력들을 결합함으로써 출력 레벨을 부스트할 수도 있다. 예를 들면, 도 1b-2에 도시된 인터레이싱된 공유-픽셀들 아키텍처 (105 및 110)에 대하여, 각각의 4 트랜지스터 4-공유-픽셀들 아키텍처 (105 및 110)에 도시된 인접하는 적색, 청색, 녹색-홀수 및 녹색-짝수 포토다이오드들은 적절한 타이밍 방식들 (예컨대, 수평 비닝)과 결합될 때 단일 픽셀 출력으로 결합되고, 그 후 다른 4 트랜지스터 4-공유-픽셀들 아키텍처들 (예컨대, 수직 비닝)로부터의 출력들과 수직으로 결합될 수도 있다. 그러한 비닝은 다양한 이미징 디바이스들에서 제공되는 것과 같은 "프리뷰 모드들"에서 유용할 수도 있고, 여기서 이전 모드들은 감소된 해상도로 이미지를 디스플레이하는 경향이 있기 때문에, 인터레이싱된 공유-픽셀들 구조들의 어레이에 의해 생성된 프리뷰 모드는 비-인터레이싱된 공유-픽셀들 아키텍처들에 의해 생성된 것들보다 더 높은 해상도로 이루어질 수도 있다.

[0051] 도 3b는 예시적인 실시형태에 따라, 2x2 인터레이싱된 4-공유-픽셀들 아키텍처의 채널-당-4 컬러 독출 시퀀스를 예시한다. 도 3b는 베이어 구성에서 적색, 청색, 및 녹색 픽셀들의 어레이의 일 예를 도시한다. 어레이에서 픽셀들의 각각은 그들의 개별 로우 및 컬럼 번호, [r,c]에 따라 참조될 수도 있고, 여기서 'r'는 로

우 번호를 나타내고, 'c'는 컬럼 번호를 나타낸다. 예를 들어, 픽셀 [0,0]은 어레이의 최상부-좌측 코너에서 Gr 픽셀에 대응할 수도 있고, 여기서 최상부 로우는 로우 0이고 최좌측 컬럼은 컬럼 0이다. 각각의 픽셀은 복수의 수직 독출 채널들 (355; 상향 및 360; 하향)의 수직 독출 채널에 커플링될 수도 있다. 수직 독출 채널들은 도 2에서 참조되는 것과 같이, 수직 독출 채널들 (205 및 210)에 대응할 수도 있다. 도시된 것과 같은 2x2 인터레이싱된 4-공유-픽셀들 아키텍처에서, 녹색 Gr 및 적색 R 픽셀들은 동일한 상향 독출 채널들 (355a-355d)에 커플링되는 반면, 녹색 Gb 및 청색 B 픽셀들은 동일한 하향 독출 채널들 (360a-360c)에 커플링된다. 픽셀 어레이의 좌측 상에 대표 신호들 (TG\_1, TG\_2, TG\_3, 및 TG\_4)이 도시되며, 각각 로우들 0, 1, 2, 및 3 중 하나에 각각 대응한다. 신호들 (TG\_1, TG\_2, TG\_3, 및 TG\_4)은 도 2에서 참조되는 것과 동일한 지정의 버스들 상에 수신된 신호들에 대응할 수도 있다. 따라서, TG\_1 버스가 TG1 트랜스퍼 게이트들로의 신호를 표시할 경우, TG1 트랜스퍼 게이트들이 접속되는 로우 (여기서, 로우 0)의 픽셀들은 수직으로 독출된다.

[0052] 도면은 컬러 픽셀들로부터의 전하들이 어떻게 공유-픽셀 아키텍처의 독출이고, 샘플-및-홀드 커패시터들 내로 병렬로 "덤프"되고, 이후에 (상기 도면에 도시되지 않은) 타이밍 방식에 따라 (상기 도면에 도시되지 않은) 선택 신호 (SEL)와 트랜스퍼 게이트 신호들 (TG\_1-TG\_4)에 기초하여 순차적으로 쉬프트되는지를 도시한다. TG\_1 신호가 개별 트랜스퍼 게이트 TG1에 의해 수신될 경우, 로우 0에서의 픽셀들은 그들의 대응하는 독출 채널들 (355 및 360) 상에서 독출될 수도 있다. 따라서, 로우 0에서의 픽셀들의 독출은, 상향 독출 채널 (355a)에 의해 독출되는 Gr 픽셀 [0,0], 상향 독출 채널 (355b)에 의해 독출되는 R 픽셀 [0,1], 상향 독출 채널 (355b)에 의해 독출되는 Gr 픽셀 [0,2], 상향 독출 채널 (355c)에 의해 독출되는 R 픽셀 [0,3], 및 상향 독출 채널 (355c)에 의해 독출되는 Gr 픽셀 [0,4]을 발생할 수도 있다. 유사하게, 나머지 로우들 1 내지 3은 상향 및 하향 샘플-및-홀드 커패시터들 내로 독출될 수도 있다. 일부 실시형태들에서, 각각의 독출 채널 (355a-355d 및 360a-360c)은 개별 샘플-및-홀드 커패시터 내로 공급될 수도 있다. 일부 다른 실시형태들에서, 샘플-및-홀드 커패시터들은 2 이상의 독출 채널들 (355a-355d 및 360a-360c)간에 공유될 수도 있다.

따라서, 2x2 인터레이싱된 4-공유-픽셀들 구조에서, 픽셀들의 각각의 로우는 교번하는 독출 채널들 상에서 독출된다. 컬러당 단일 채널은, 오직 적색의 픽셀들이 소정 시간에 수직으로 독출될 수도 있는 반면 녹색 Gr 픽셀들이 상이한 시간에 동일한 채널 상에서 수직으로 독출되도록, 특정 컬러 픽셀들 및 특정 시간들을 독출함으로써 유지될 수도 있다.

[0053] 다이어그램은 추가로 뱅크들 (356 및 361)로 지칭되는, 대응하는 로우 번호들에 의해 분리되는 채널 독출들의 시퀀스를 도시한다. 예를 들어, 뱅크 (356)에서, 제 1 상향 독출 채널 (355a)은 독출 전하들은 제 1 컬럼 폐기, Gr[0,0], 폐기, Gr[2,0]으로 도시된 것과 같은, 컬럼 0의 녹색 Gr 픽셀들로부터 전하들을 수집한다.

"폐기" 전하들은 어떤 픽셀들도 독출되지 않기 때문에 무시되는 전하들이다. 예를 들어, 상향 독출 채널 (305a)에 대한 로우 0 독출은, 상향 독출 채널 (305a)의 좌측에 어떤 픽셀들의 컬럼도 없기 때문에 폐기될 수도 있고, 따라서 상향 독출 채널 (305a)은 기존 픽셀의 전하에 대응하지 않는 값을 독출한다. 따라서, 기존 픽셀들로부터의 전하들에 대응하지 않는 독출되는 값들은 간단히 폐기되거나 무시될 수도 있다. 전하들 Gr[0,0] 및 Gr[2,0]은 각각, 로우들 0 및 2에서의 컬럼 0에서 2개의 녹색 Gr 픽셀들로부터의 전하들을 나타낸다.

[0054] 유사하게, 상향 독출 채널 (305b)은 양자의 컬럼들 1 및 2로부터 적색 및 녹색 Gr 전하들을 수집하여 전하들 {R[0,1], Gr[0,2], R[2,1], Gr[2,2]}을 독출하고, 상향 독출 채널 (305c)은 양자의 컬럼들 3 및 4로부터 적색 및 녹색 Gr 전하들을 수집하여 {R[0,3], Gr[0,4], R[2,3], Gr[2,4]}을 발생한다. 따라서, 대응하는 로우 번호들로 분리되는 채널 독출들의 시퀀스는 어떤 픽셀(들)이 특정 채널에 의해 독출되었는지를 표시한다.

예를 들어, 도 3b에 도시된 것과 같이, 로우[0]에 대하여, 독출 채널 (305a)은 폐기된 전하 값을 가졌고, 독출 채널 (305b)은 [0,1]에서 적색 픽셀로부터 전하를 가졌고, 독출 채널 (305c)은 [0,3]에서 적색 픽셀로부터 전하를 가졌고, (상기 도면에 도시되지 않은) 독출 채널 (305d)은 [0,5]에서 적색 픽셀로부터 전하를 가졌다. 상향 독출 채널들 (305a-305d)에 대한 나머지 로우들 1-3 및 하향 독출 채널들 (310a-310c)에 대한 로우들 0-3에 대한 채널 독출들의 시퀀스는 유사한 방식으로 전하 소스들을 도시한다. 하향 독출 채널들 (310a-310c)에 대한 채널 독출들의 시퀀스는 뱅크 (361)에 도시될 수도 있다.

[0055] 도 3b에 도시된 것과 같이, 픽셀들에서의 전하들은, 소정의 로우에 대한 각각의 컬럼이 개별 샘플-및-홀드 커패시터들에 저장될 2개의 컬러 픽셀들로부터 전하를 수신하기 때문에, 각각의 컬럼에 걸쳐 병렬로 독출될 수도 있다. 후속하여, 샘플-및-홀드 커패시터들에서 전하들이 순차적으로 쉬프트된다. 독출 전하들에서 베이어 패턴 그룹을 유지하기 위해, 데이터는 정확히 정렬되거나 소정의 패턴 또는 시간 시퀀스에 따라 독출되어야

한다. 예를 들어, 뱅크 (356) 의 홀수-번호 로우들은 하나의 "수평" 클록 만큼 지연될 수도 있지만, 뱅크 (361) 의 짹수 및 홀수 로우들은 또한 하나의 "수평" 클록 만큼 지연될 수도 있다. 전하가 샘플-및-홀드 커페시터들로부터 순차적으로 쉬프트된다면, 나머지 독출 프로세스는 사각형 (비-인터레이싱된) 2x2 구조의 프로세스와 유사하다.

[0056] 도 3a 및 도 3b 에 디스플레이된 2 개의 아키텍처들에 대한 리셋 및 독출 방식들 및 시퀀스들은 유사하지만, 픽셀 제어 버스들 및 컴포넌트들 (예컨대, 트랜스퍼 게이트들, 리셋, 선택, 및 증폭 트랜지스터들) 의 위치 및 라우팅의 상이한 물리적 설계들에 적용된다.

[0057] 도 4a 는 예시적인 실시형태에 따라, 픽셀 독출 시스템을 갖는 인터레이싱된 4 트랜지스터 8-공유 이미지 센서 픽셀들 아키텍처 (400) 의 일 실시형태를 예시한다. 이미지 센서의 실시형태들은 8 개의 4 트랜지스터 (4T) 픽셀들 공유 픽셀 회로 및 소형 레이아웃을 갖는 솔리드-스테이트 이미지 센서, 예컨대 CMOS 이미지 센서일 수 있다. 4T 8-공유 픽셀들 아키텍처 (400) 는 일부 실시형태들에서, 픽셀 어레이에서의 픽셀들에 대한 픽셀 아키텍처로서 사용될 수 있다. 4T 8-공유 픽셀들 아키텍처 (400) 는 8 개의 픽셀들을 포함하지만 다수의 그러한 픽셀들이 어레이에 배열될 수도 있으며, 간단함을 위해 오직 하나의 4T 8-공유 픽셀들 아키텍처 (400) 만이 더 상세히 도시된다.

[0058] 4T 8-공유 픽셀들 아키텍처 (400) 는 8 개의 포토다이오드 회로들, 플로팅 확산 노드 (FD), 리셋 트랜지스터 (RST), 전압 공급부 (VDD), 소스 팔로워 증폭기 (SF\_AMP), 선택기 트랜지스터 (SEL), 출력 전압 노드 (Vcol), 및 전류 소스 (Ibias) 를 포함한다. 일부 실시형태들에서, 포토다이오드 회로들은 각각, 포토다이오드 (PD1-PD8), 트랜스퍼 게이트 (TG1-TG8), 저장 커페시터 (CS1-CS8), 및 타이밍 회로 (TS1-TS8) 를 포함할 수도 있다. 앞서 언급된 것과 같이, 일부 실시형태들에서, 플로팅 확산 노드 (FD) 는 하나의 포토다이오드 회로에 전용되거나 다수의 포토다이오드 회로들 간에 공유되는 하나 이상의 플로팅 확산 노드들을 나타낼 수도 있다. 도 4a 에 도시된 독출 회로 컴포넌트들은 도 1a 내지 도 2 에 대하여 앞서 설명된 것과 유사한 기능들을 수행할 수 있다. 이를 컴포넌트들은 그들의 연관된 포토다이오드들 (PD1-PD8), 트랜스퍼 게이트들 (TG1-TG8), 저장 커페시터들 (CS1-CS8), 및 타이밍 회로들 (TS1-TS8) 을 갖는 8 개의 개별 포토다이오드 회로들에 의해 공유될 수 있다. (예컨대, 직렬로) 인접하는 포토다이오드들 간에 플로팅 확산 노드 (FD), 소스 팔로워 증폭기 (SF\_AMP), 로우 선택 트랜지스터 (SEL), 및 리셋 트랜지스터 (RST) 의 공유는 픽셀 아키텍처의 충진 인자를 증가시키는 것을 보조하고, 충진 인자는 광에 민감한 픽셀 영역의 퍼센티지를 나타낸다. 도시된 아키텍처 (400) 는 픽셀 당 대략 1.5 트랜지스터들을 발생한다. 포토다이오드들 (PD1-PD8) 의 일부 실시형태들에서, 2 개의 포토다이오드들은 베이어 컬러 패턴에 따라, 인입하는 광의 적색 성분을 검출하는데 사용될 수도 있고, 4 개의 포토다이오드들은 인입하는 광의 녹색 성분을 검출하는데 사용될 수도 있고, 2 개의 포토다이오드들은 인입하는 광의 청색 성분을 검출하는데 사용될 수도 있다.

[0059] 앞서 설명된 것과 같이, 일부 실시형태들에서, 포토다이오드 회로들의 타이밍 회로들 (TS1-TS8) 은 포토다이오드들 (PD1-PD8) 로부터 저장 커페시터들 (CS1-CS8) 로 전송된 전하 덤프들의 수를 조정하고 개별 저장 커페시터들 (CS1-CS8) 에서의 전하가 플로팅 확산 노드를 통해 독출되게 하기 위해 개방할 시기를 결정하기 위해 고속로직을 포함할 수 있다. 일부 실시형태들에서, 저장 커페시터들 (CS1-CS8) 중 오직 하나의 저장 커페시터만이 독출 회로에 의해 한 번에 독출될 수도 있다. 따라서, 타이밍 회로들 (TS1-TS8) 은 어떤 2 개의 회로도 함께 개방되지 않도록 코디네이트될 수도 있다. 아날로그 도메인에서 포토다이오드들 (PD1-PD8) 로부터 다수의 전하 덤프들을 누산함으로써, 디바이스 전력은 디지털 도메인에서 포토다이오드들 (PD1-PD8) 로부터 다수의 전하 덤프들을 누산하는 것과 비교하여, 절약될 수 있다. 누산된 전하는 저장 커페시터들 (CS1-CS8) 로부터 플로팅 확산 노드 (FD) 를 통해, 소스 팔로워 (SF\_AMP) 를 통해, 그리고 선택 트랜지스터 (SEL) 를 통해 출력 전압 노드 (Vcol) 로 독출될 수도 있다.

[0060] 도 4a 는 또한, 픽셀 어레이 및 픽셀 회로의 분리된, 적층 구조들 (예컨대, 실리콘 웨이퍼들) 로의 파티셔닝의 일 실시형태를 도시한다. 적층 구조는 공유-픽셀들 아키텍처의 컴포넌트들의 수 및 일반적인 레이아웃이 광흡수에 사용가능한 영역을 제한하는 경우에 요구될 수도 있다. 예를 들어, 도 1b 및 도 2 를 참조하여, 도시된 컴포넌트들 모두는 동일한 층 (예컨대, 실리콘의 동일 부분) 상에 위치될 수도 있다. 도시될 수 있는 것과 같이, 제한된 영역은 공유되는 컴포넌트들 및 개별 포토다이오드들 (PD), 트랜스퍼 게이트들 (TG), 저장 커페시터들 (CS), 및 타이밍 회로들 (TS) 에 의해 용이하게 충진될 수도 있다. 앞서 논의된 것과 같이, 다수의 컴포넌트들은, 광의 일부가 포토다이오드 (PD) 의 영역에서 컴포넌트들을 커플링하는 구조들 및 이를 컴포넌트들에 의해 차단될 수도 있거나 반사될 수도 있기 때문에, 포토다이오드들 (PD) 에 의해 흡수되는 것이 가능한 광의 양을 감소시킨다. 추가로, 더 많은 컴포넌트들 (예컨대, 트랜지스터, 컨택들, 또는 버스들) 이 포

토다이오드들 (PD) 과 동일 평면의 공유-픽셀들 인터레이싱된 어레이 아키텍처 내로 도입되기 때문에, 더 적은 공간이 사용가능할 수도 있고, 더 많은 광이 적층이 활용되지 않은 포토다이오드들 (PD) 에 도달하는 것이 차단될 수도 있다.

[0061] 대안적으로, 공유 픽셀들 아키텍처의 컴포넌트들은 적층된 픽셀 구조에서 상이한 층들 상으로 분리될 수도 있다. 예를 들어, 포토다이오드들 (PD1-PD8), 대응하는 트랜스퍼 게이트들 (TG1-TG8), 대응하는 저장 커패시터들 (CS1-CS8), 대응하는 타이밍 회로들 (TS1-TS8), 및 플로팅 확산 노드 (FD) 를 포함하는 제 1 부분은 인입하는 광으로부터 전하를 통합하도록 구성된 포토다이오드 웨이퍼 (410) 에 위치될 수 있다. 리셋 트랜지스터 (RST), 전압 공급부 (VDD), 소스 팔로워 증폭기 (SF\_AMP), 선택기 트랜지스터 (SEL), 출력 전압 노드 (Vcol), 및 전류 소스 (Ibias) 를 포함하는 제 2 부분이 픽셀 회로 웨이퍼 (420) 에 위치될 수 있다. 일부 실시형태들에서 픽셀 회로 웨이퍼 (420) 는 인입하는 광에 노출된 측면에 대향하여 포토다이오드 웨이퍼 (410) 의 상부에 구성될 수도 있다. 따라서, 인입하는 광을 검출하기 위한 표면 공간은 공유-픽셀들 아키텍처의 공간-절약 설계뿐만 아니라 포토다이오드들과 픽셀 회로의 상이한 웨이퍼들로의 분리 양자를 통해 증가될 수 있다. 픽셀 회로 컴포넌트들 및 구조들이 개별 층 (예컨대, 픽셀 회로 웨이퍼 (420)) 상에 위치될 경우, 더 많은 부동산이 포토다이오드 웨이퍼 (410) 상에서 인입하는 광을 흡수하기 위해 사용가능하다.

[0062] 사용된 공유-픽셀들 아키텍처에 의존하여, 컴포넌트들의 분할은 변화할 수도 있고, 및/또는 다양한 층들 간의 접속 포인트(들)이 변화할 수도 있다. 예를 들어, 인터레이싱된 공유-픽셀들 아키텍처에서, 하부 층과 상부 층간의 접속 포인트들은 플로팅 확산 노드들일 수도 있다. 예를 들어, 일부 실시형태들에서, 픽셀 회로 웨이퍼 (420) 의 타이밍 회로 (TS) 및 소스 팔로워 증폭기 (SF\_AMP) 는 포토다이오드 웨이퍼의 플로팅 확산 노드 (FD) 에 접속될 수 있다. 일부 다른 실시형태들에서 예를 들어, 2x2 공유-픽셀들 아키텍처에서, 접속 포인트들은 로우/컬럼 상호접속들일 수도 있다.

[0063] 공유 아키텍처의 3 차원 스택 구성으로의 분리 또는 파티셔닝은 경미한 문제는 아니다. 다양한 층들 간에 컴포넌트들의 재배치는 현재 기술 (예컨대, 이하 논의되는 것과 같은 퓨전 본드들 또는 파인-피치 하이브리드 본드들 간의 결정) 에 의해 제한될 수도 있고, 다양한 컴포넌트들의 파티셔닝 및 배치는 공유-픽셀들 아키텍처의 성능에 영향을 줄 수도 있다. 예를 들어, 신호대 잡음비, 전하 용량, 또는 배경 잡음이 얼마나 잘 억제될 수도 있는지는 각각, 다양한 3-D 층들 간에 컴포넌트들의 파티셔닝에 의해 영향 받을 수도 있다.

[0064] 일부 실시형태에서, 포토다이오드 웨이퍼 (410) 는 BSI (back side illuminated) 이미지 센서로서 구성될 수도 있고, 여기서 앞서 설명된 포토다이오드들 (PD1-PD8), 트랜스퍼 게이트들 (TG1-TG8), 저장 커패시터들 (CS1-CS8), 및 타이밍 회로들 (TS1-TS8) 이 BSI 이미지 센서 내로 통합된다. BSI 이미지 센서는 제조 및 설계 제약들로 인해 더 낮은 구조적 무결성을 가질 수도 있는, BSI 이미지 센서에 대한 지원을 제공하기 위해 부착된 구조를 가질 수도 있다 (예컨대, 광이 실리콘 기판을 관통하도록 하기 위해 매우 얇아야만 하는 BSI 이미지 센서로 인해, BSI 이미지 센서 웨이퍼는 취약하고 손상에 약할 수도 있다). 일부 실시형태들에서, BSI 이미지 센서 웨이퍼를 지원하는 구조는 "더미" 또는 "블랭크" 실리콘 웨이퍼일 수도 있고; 따라서 픽셀 회로 웨이퍼 (420) 에 위치된 컴포넌트들은 BSI 이미지 센서에 대한 구조적 지원을 제공하기 위해 사용된 지원 웨이퍼 내로 통합될 수도 있다. 따라서, BSI 이미지 센서는 광에 더 민감하도록 설계될 수도 있고, 여기서 감지된 광에 응답하여 신호들을 생성하고 독출하는데 사용된 전기 컴포넌트들은 더 효율적으로 구조적으로 위치될 수도 있다. 일부 실시형태들에서, 포토다이오드 웨이퍼 (410) 또는 픽셀 회로 웨이퍼 (420) 상에 있는 것으로 표시된 것과 같은 컴포넌트들은, 상이한 컴포넌트들이 도 4a 에 도시된 것과 상이한 웨이퍼들 상에 있도록 조종 또는 변경될 수도 있다. 예를 들어, 일부 실시형태들에서, 공유-픽셀들 아키텍처의 컴포넌트들은 설계되고 있는 이미징 센서 또는 이미징 센서 내로 통합된 컴포넌트들의 설계, 제조, 또는 동작에 영향을 줄 수도 있는, 유사한 전기적 특징들, 제조 기술들, 동작 제한들, 또는 임의의 다른 기술들에 기초하여 포토다이오드 웨이퍼 (410) 와 픽셀 회로 웨이퍼 (420) 사이에서 분리될 수도 있다.

[0065] 일부 실시형태들에서, 다양한 다른 3D 적층 설계들 또는 기술들이 구현될 수도 있고, 다양한 적층 기술들 및 특징들 (예컨대, 패드 피치 또는 밀도) 에 의해 회로 컴포넌트들, 엘리먼트들, 및 블록들을 파티셔닝할 수도 있다. 그러한 설계들 및 구현들은 2D 센서 구성들이 이행하지 않는 우세한 검출기 성능을 전달할 수도 있다.

[0066] 일부 실시형태들에서, 상위 층 내로 통합된 컴포넌트들 (예컨대, 픽셀 회로 웨이퍼 (420)) 은 하나 이상의 접속 포인트들에서의 접속을 통해 더 낮은 층 내로 통합된 컴포넌트들 (예컨대, 포토다이오드 웨이퍼 (410)) 와 접속될 수도 있다. 일부 실시형태들에서, 플로팅 확산 노드 (FD) 는 파인-피치 하이브리드 본드를 통해 상위 층

(예컨대, 픽셀 회로 층 (420)) 과 하위 층 (포토다이오드 웨이퍼 (410)) 간의 접속 포인트로서 기능하도록 구성될 수도 있다. 일부 실시형태들에서, 플로팅 확산 노드들은 퓨전 본드를 통해 상위 층과 하위 층 간의 접속 포인트로서 기능하도록 구성될 수도 있다. 픽셀 회로 웨이퍼 (420)의 리셋 트랜지스터 (RST) 및 소스 팔로워 증폭기 (SF\_AMP)는 포토다이오드 웨이퍼 (410)의 플로팅 확산 노드 (FD)에 접속될 수 있다. 파인-피치 하이브리드 본드들에 관한 더 많은 세부사항들이 도 5a 와 관련하여 하기에 제공될 것이고, 퓨전 본드들에 관한 추가의 세부사항들이 도 5b 와 관련하여 제공될 것이다. 본드들의 다양한 다른 타입들이 웨이퍼들의 상위 층과 하위 층을 커플링하는데 활용될 수도 있다.

[0067] 도 4b 및 도 4c 는 예시적인 실시형태에 따라, 픽셀 독출 시스템을 갖는 4 트랜지스터 16-공유 이미지 센서 픽셀 아키텍처 (450)의 일 실시형태의 2 개 색션들을 예시하며, 여기서 연결 포인트들 A-B 은 도 4b 와 도 4c 간의 엘리먼트들의 연속을 표시한다. 이미지 센서의 일부 실시형태들은 16 개의 4T 픽셀들 공유 픽셀 회로 및 소형 레이아웃을 갖는 솔리드-스테이트 이미지 센서, 예컨대 CMOS 이미지 센서일 수 있다. 4T 16-공유 픽셀들 아키텍처 (450)는 픽셀 어레이에서의 픽셀들에 대한 픽셀 아키텍처로서 사용될 수 있다. 4T 16-공유 픽셀들 아키텍처 (450)는 16 개의 픽셀들을 포함하지만 다수의 그러한 픽셀들이 어레이에 배열되며, 간단함을 위해 오직 하나의 4T 16-공유 픽셀들 아키텍처 (450) 만이 더 상세히 도시된다.

[0068] 4T 16-공유 픽셀들 아키텍처 (450)는 16 개의 포토다이오드 회로들, 플로팅 확산 노드 (FD), 리셋 트랜지스터 (RST), 전압 공급부 (VDD), 소스 팔로워 증폭기 (SF\_AMP), 선택기 트랜지스터 (SEL), 출력 전압 노드 (Vcol), 및 전류 소스 (Ibias)를 포함한다. 앞서 언급된 것과 같이, 일부 실시형태들에서, 플로팅 확산 노드 (FD)는 하나의 포토다이오드 회로에 전용되거나 다수의 포토다이오드 회로들 간에 공유되는 하나 이상의 플로팅 확산 노드들을 나타낼 수도 있다. 도 4b 및 도 4c 의 컴포넌트들은 도 1a 및 도 4a 에 대하여 앞서 설명된 것과 유사한 기능들을 수행할 수 있다. 독출 회로의 컴포넌트들은 16 개의 분리된 포토다이오드 회로들에 의해 공유될 수 있다. 도 1a 및 도 4a 와 관련하여 앞서 설명된 것과 같은, 포토다이오드 회로들은 포토다이오드들 (PD1-PD16), 트랜스퍼 게이트들 (TG1-TG16), 저장 커패시터들 (CS1-CS16), 및 타이밍 회로들 (TS1-TS16)을 포함할 수 있다. 인접하는 포토다이오드들 간에 플로팅 확산 노드 (FD), 소스 팔로워 증폭기 (SF\_AMP), 로우 선택 트랜지스터 (SEL), 및 리셋 트랜지스터 (RST)의 공유는 픽셀 아키텍처의 충진 인자를 증가시키는 것을 보조하고, 충진 인자는 광에 민감한 픽셀 영역의 퍼센티지를 나타낸다. 도시된 아키텍처 (450)는 픽셀 당 대략 1.25 트랜지스터들을 발생한다. 일부 실시형태들에서, 포토다이오드들 (PD1-PD16) 중, 4 개의 포토다이오드들은 인입하는 광의 적색 성분을 검출하는데 사용될 수도 있고, 8 개의 포토다이오드들은 인입하는 광의 녹색 성분을 검출하는데 사용될 수도 있고, 4 개의 포토다이오드들은 인입하는 광의 청색 성분을 검출하는데 사용될 수도 있다. 4-공유, 8-공유, 및 16-공유-픽셀들 아키텍처들을 비교하는 것으로부터 보여질 수 있는 것과 같이, 공유되는 픽셀들의 수가 클수록, 더 작은 픽셀당 유효 트랜지스터들이 발생한다.

[0069] 앞서 설명된 것과 같이, 일부 실시형태들에서, 포토다이오드 회로들의 타이밍 회로들 (TS1-TS16)은 포토다이오드들 (PD1-PD16)로부터 저장 커패시터들 (CS1-CS16)로 전송된 전하 덤프들의 수를 조정하고 개별 저장 커패시터들 (CS1-CS16)에서의 전하가 플로팅 확산 노드를 통해 독출되게 하기 위해 개방할 시기를 결정하기 위해 고속 로직을 포함할 수 있다. 일부 실시형태들에서, 저장 커패시터들 (CS1-CS16) 중 오직 하나의 저장 커패시터만이 독출 회로에 의해 한 번에 독출될 수도 있다. 따라서, 타이밍 회로들 (TS1-TS16)은 어떤 2 개의 회로도 함께 개방되지 않도록 코디네이트될 수도 있다. 아날로그 도메인에서 포토다이오드들 (PD1-PD16)로부터 다수의 전하 덤프들을 누산함으로써, 디바이스 전력을 디지털 도메인에서 포토다이오드들 (PD1-PD16)로부터 다수의 전하 덤프들을 누산하는 것과 비교하여, 절약될 수 있다. 누산된 전하는 저장 커패시터들 (CS1-CS16)로부터 플로팅 확산 노드 (FD)를 통해, 소스 팔로워 (SF\_AMP)를 통해, 그리고 선택 트랜지스터 (SEL)를 통해 출력 전압 노드 (Vcol)로 독출될 수 있다.

[0070] 도 4b 및 도 4c 는 또한, 도 4a 와 관련하여 앞서 설명된 것과 유사하게, 픽셀 어레이 및 픽셀 회로의 분리된, 적층 구조들 (예컨대, 실리콘 웨이퍼들)로의 파티셔닝의 일 실시형태를 도시한다. 예를 들어, 포토다이오드들 (PD1-PD16), 대응하는 트랜스퍼 게이트들 (TG1-TG116), 대응하는 저장 커패시터들 (CS1-CS16), 대응하는 타이밍 회로들 (TS1-TS16), 및 플로팅 확산 노드 (FD)를 포함하는 제 1 부분은 인입하는 광으로부터 전하를 통합하도록 구성된 포토다이오드 웨이퍼 (460)에 위치될 수 있다. 리셋 트랜지스터 (RST), 전압 공급부 (VDD), 소스 팔로워 증폭기 (SF\_AMP), 선택기 트랜지스터 (SEL), 출력 전압 노드 (Vcol), 및 전류 소스 (Ibias)를 포함하는 제 2 부분이 픽셀 회로 웨이퍼 (470)에 위치될 수 있다. 일부 실시형태들에서, 이들 컴포넌트들 중 하나 이상이 상기 도면에 도시되지 않은 제 3 픽셀 회로 웨이퍼에 위치될 수도 있다. 따라서, 광을 검출하기 위한 표면 공간은 공유-픽셀들 아키텍처의 공간-절약 설계뿐만 아니라 포토다이오드 회

로들과 픽셀 회로의 상이한 웨이퍼들로의 분리 양자를 통해 증가될 수 있다. 광을 검출하기 위한 표면 공간은 증가될 수도 있고, 이는 픽셀 회로 구조들 및 동일한 것을 형성하는 컴포넌트들이 포토다이오드 회로들, 예컨대 포토다이오드 웨이퍼 (460) 와 동일한 층 상에 위치될 때, 광을 흡수하기 위한 사용가능한 부동산이 감소되기 때문이다 (예컨대, 광이 컴포넌트들 또는 그들 간의 접속들에 의해 반사되거나 차단되고, 따라서 포토다이오드들 (PD1-PD16) 에 의해 흡수되지 않기 때문이다).

[0071] 픽셀 회로 컴포넌트들 및 구조들이 개별 층 (예컨대, 픽셀 회로 웨이퍼 (470)) 상에 위치될 경우, 더 많은 부동산이 포토다이오드들 (PD1-PD16) 에 의해 포토다이오드 웨이퍼 (460) 상에서 광을 흡수하기 위해 사용가능하다.

예를 들어, 포토다이오드 웨이퍼 (460) 는 BSI (back side illuminated) 이미지 센서로서 구성될 수도 있고, 여기서 포토다이오드 웨이퍼 (460) 에 위치되는 것으로 앞서 설명된 컴포넌트들은 BSI 이미지 센서 내로 통합된다. BSI 이미지 센서는 제조 및 설계 제약들로 인해 더 낮은 구조적 무결성을 가질 수도 있는, BSI 이미지 센서에 대한 지원을 제공하기 위해 부착된 구조를 가질 수도 있다 (예컨대, 광이 실리콘 기판을 관통하도록 하기 위해 매우 얇아야만 하는 BSI 이미지 센서로 인해, BSI 이미지 센서 웨이퍼는 취약하고 손상에 약할 수도 있다). 일부 실시형태들에서, BSI 이미지 센서 웨이퍼를 지원하는 구조는 "더미" 또는 "블랭크" 실리콘 웨이퍼일 수도 있고; 따라서 픽셀 회로 웨이퍼 (470) 에 위치된 컴포넌트들은 BSI 이미지 센서에 대한 구조적 지원을 제공하기 위해 사용된 지원 웨이퍼 내로 통합될 수도 있다. 따라서, BSI 이미지 센서는 광에 더 민감하도록 설계될 수도 있고, 여기서 감지된 광에 응답하여 신호들을 생성하고 독출하는데 사용된 전기 컴포넌트들은 포토다이오드 (PD) 가 광을 흡수할 수도 있는 영역을 증가시키는 방식으로, 더 효율적으로 구조적으로 위치될 수도 있다. 일부 실시형태들에서, 포토다이오드 웨이퍼 (460) 또는 픽셀 회로 웨이퍼 (470) 상에 있는 것으로 표시된 것과 같은 컴포넌트들은, 상이한 컴포넌트들이 도 4b 및 도 4c 에 도시된 것과 상이한 웨이퍼들 상에 있도록 조종 또는 변경될 수도 있다. 예를 들어, 일부 실시형태들에서, 공유-픽셀들 아키텍처의 컴포넌트들은 설계되고 있는 이미징 센서 또는 이미징 센서 내로 통합된 컴포넌트들의 설계, 제조, 또는 동작에 영향을 줄 수도 있는, 유사한 전기적 특징들, 제조 기술들, 동작 제한들, 또는 임의의 다른 기술들에 기초하여 포토다이오드 웨이퍼 (460) 와 픽셀 회로 웨이퍼 (470) 사이에서 분리될 수도 있다.

[0072] 일부 실시형태들에서, 상위 층 내로 통합된 컴포넌트들 (예컨대, 픽셀 회로 웨이퍼 (470)) 은 하나 이상의 접속 포인트들에서의 접속을 통해 더 낮은 층 내로 통합된 컴포넌트들 (예컨대, 포토다이오드 웨이퍼 (460)) 와 접속될 수도 있다. 일부 실시형태들에서, 플로팅 확산 노드 (FD) 는 파인-피치 하이브리드 본드를 통해 상위 층 (예컨대, 픽셀 회로 층 (470)) 과 하위 층 (포토다이오드 웨이퍼 (460)) 간의 접속 포인트로서 기능하도록 구성될 수도 있다. 일부 실시형태들에서, 상위 층 및 하위 층은 플로팅 확산 노드 (FD) 와 동일하거나 상이한 접속 포인트에서 퓨전 본드를 통해 접속될 수도 있다. 퓨전 본드는 로우 또는 컬럼 상호접속들을 위해 사용될 수도 있고, 여기서 전체 로우 또는 컬럼의 독출은 상위 층으로 트랜스퍼된다. 일부 실시형태들에서, 상위 층과 하위 층 간의 본드들의 타입은 부분적으로, 상위 층과 하위 층 간의 컴포넌트들의 분배를 결정할 수도 있다. 예를 들어, 퓨전 본드들이 상위 층과 하위 층을 커플링하는데 사용될 경우에, 더 많은 컴포넌트들이 하위 층 내로 통합될 수도 있다. 픽셀 회로 웨이퍼 (470) 의 선택 트랜지스터 (SEL) 및 소스 팔로워 증폭기 (SF\_AMP) 는 포토다이오드 웨이퍼 (460) 의 플로팅 확산 노드 (FD) 에 접속될 수 있다. 파인-피치 하이브리드 본드들에 관한 더 많은 세부사항들이 도 5a 와 관련하여 하기에 제공될 것이고, 퓨전 본드들에 관한 추가의 세부사항들이 도 5b 와 관련하여 제공될 것이다. 일부 실시형태들에서, 포토다이오드 웨이퍼 (460) 는 검출기 어레이 웨이퍼를 포함할 수도 있고, 픽셀 회로 웨이퍼는 도 4b 및 도 4c 에 도시된 것과 같이, 픽셀 FET/AFE/ADC 혼합 모드 ASIC 웨이퍼를 포함할 수도 있다.

[0073] 도 5a 는 픽셀 레벨 파인-피치 하이브리드 본딩을 갖는 도 4a, 도 4b 및 도 4c 의 인터레이싱된 공유-픽셀들 아키텍처를 포함하는 3D 적층된 CMOS 이미지 센서의 일 실시형태를 예시한다. 3D 적층된 CMOS 이미지 센서는 3D 적층된 CMOS 이미지 센서의 3 개의 별개의 층들을 도시한다. 제 1 (하부) 층 (505) 은 포토다이오드 웨이퍼 (410, 460) 인 것으로 앞서 설명된 하위 층을 포함할 수도 있다. 도 5a 에 도시된 것과 같이, 제 1 층 (515) 은 BSI 센서 층을 포함할 수도 있다. 도시된 것과 같은 BSI 센서 층 (505) 은 도 1a 내지 도 1c 의 공유-픽셀들 아키텍처들로부터 3 개의 포토다이오드들 (PD1-PD3) 의 샘플을 예시한다. 포토다이오드들 (PD1-PD3) 은 각각, 포토다이오드들 (PD1-PD3) 을 개별 플로팅 확산 노드들 (FD1-FD3) 로 접속하는 트랜스퍼 게이트들 (TG1-TG3) 을 가지는 것으로 도시된다. 플로팅 확산 노드들 (FD1-FD3) 은 개별 파인-피치 하이브리드 본드들을 통해 중간 층 (506) 에 각각 접속하는 것으로 도시된다.

[0074] 제 2 (중간) 층 (506) 은 픽셀 회로 웨이퍼 (470) 인 것으로 앞서 설명된 상위 층을 포함할 수도 있다. 제 2 층 (506) 은 아날로그 프론트 엔드 (AFE), A/D 컨버전 회로, 및 앞서 설명된 픽셀 회로를 포함할 수도 있다.

예를 들어, 제 2 층 (506) 은 리셋 트랜지스터 (RST), 선택 트랜지스터 (SEL), 증폭 트랜지스터 (SF\_AMP) 및 저장 커패시터 (CS) 를 갖는 타이밍 회로 (TS) 를 포함할 수도 있다. 제 1 층 (505) 에 도시된 것과 같은 BSI 센서들에 대하여, 제 2 층 (506) 은 BSI 센서 층들에 대한 구조적 지원을 제공하였지만 어떤 기능적 능력들도 제공하지 않은 지원 웨이퍼를 이전에 포함하였을 수도 있다. 도 5a 에 도시된 것과 같이 그리고 도 4a 및 도 4b 와 관련하여 앞서 논의된 것과 같이, 제 2 층 (506) 은 제 2 층 (506) 내로 통합된 픽셀 회로 컴포넌트들을 통해 구조적 지원 및 기능적 지원을 제공하도록 구성될 수도 있다.

[0075] 제 3 (상부) 층 (507) 은 이미지 신호 프로세서 또는 디지털 신호 프로세싱 층 또는 독출 회로 층으로 구성될 수도 있다. 예를 들어, 제 3 층 (507) 은 BSI 센서에 의해 생성되고 독출 회로에 의해 디지털 형태로 컨버팅되는 신호들의 최종 프로세싱 및/또는 독출을 수행하도록 구성된 로직 칩들 또는 다른 회로를 포함할 수도 있다. 일부 실시형태들에서, 제 3 층 (507) 은 CMOS 3D 적층 구조에서 제외될 수도 있고, 픽셀 회로로부터 신호들을 추가로 프로세싱하도록 구성된 컴포넌트들은 제 2 층 (506) 내로 통합될 수도 있다.

[0076] 도 5a 에 도시된 것과 같이, 포토다이오드들 (PD1-PD3) 이 노출되는 인입하는 광 (510) 은 도면의 하부로부터 상향으로 방사할 수 있고, 따라서 픽셀 회로 웨이퍼 (470) 를 통과할 필요 없이 생성된 광의 대부분이 포토다이오드들 (PD1-PD3) 상에 입사하게 한다. 앞서 논의된 것과 같이, 픽셀 회로에 대한 컴포넌트들의 제 2 층 (506) 으로의 재배치는 포토다이오드들 (PD1-PD3) 의 광에 대한 더 많은 노출을 제공하지 않을 수도 있는 제 1 층 (505) 상의 영역을 클리어한다. 따라서, 포토다이오드들 (PD1-PD3) 은 그들이 노출되는 광에 기초하여 더 효율적이고 더 빠를 수도 있고, 포토다이오드들 (PD1-PD3) 은 개별 트랜스퍼 게이트 (TG1-TG3) 가 (상기 도면에 도시되지 않은) 트랜스퍼 게이트 버스들로부터의 신호를 통해 활성화될 때 플로팅 확산 노드들로 트랜스퍼될 수도 있는 전류 신호들을 생성할 수도 있다. 그 후에, 플로팅 확산 노드들 (FD1-FD3) 에서의 전류 신호들은 파인-피치 하이브리드 본드들을 통해 제 2 층 (506) 의 픽셀 회로로 트랜스퍼될 수도 있다. 그 후에, 픽셀 회로는 도 2 및 도 3 과 관련하여 앞서 설명된 것과 같이, 채널 당 1-컬러로 독출될 파인-피치 하이브리드 본드들을 통해 수신된 전류 신호들을 구성할 수도 있다.

[0077] 도 5b 는 컬럼/로우 레벨 퓨전 본딩을 갖는 도 4a 및 도 4b 의 인터레이싱된 공유-픽셀들 아키텍처를 포함하는 3D 적층된 CMOS 이미지 센서의 다른 실시형태를 예시한다. 도 5b 에 도시된 실시형태에서, 4 개의 구조적 레벨들이 존재한다. 제 1 (하부) 레벨 (555) 은 BSI 센서 층인 것으로 식별되는 반면, 제 2 레벨 (556) 은 아날로그 프론트 엔드 (AFE) 및 아날로그 디지털 컨버전 (ADC) 층으로서 식별되고, 제 3 레벨 (557) 은 ISP/DSP 인 것으로 식별되고, 제 4 (상부) 층은 PC 보드 기판 (PCB), 예컨대 F/R4 이다. 다양한 층들의 구조 및 통합된 컴포넌트들은 도 5a 의 층들 (505-507) 과 유사할 수도 있다. 일부 실시형태들에서, 다양한 층들의 구조 및 통합된 컴포넌트들은 도 5a 의 층들 (505-507) 과 상이할 수도 있다. 도 5a 의 제 1 층 (505) 과 제 2 층 (506) 간에 컴포넌트들의 분배가 도 4a 및 도 4b 에 도시된 것과 같은 컴포넌트들의 분배에 대응하였지만, 도 5b 의 제 1 층 (555) 과 제 2 층 (556) 간에 컴포넌트들의 분배는 포토다이오드 회로와 픽셀 회로의 컴포넌트들의 대부분이 동일한 층 상에 있는 분배에 대응할 수도 있다. 예를 들어, 도 4a 및 도 4b 는 포토다이오드들 (PD1-PD3) 및 트랜스퍼 게이트들 (TG1-TG3) 을 검출기 어레이 웨이퍼 (410, 460) 상에 있는 것으로 도시하고 공유 픽셀 회로가 픽셀 회로 웨이퍼 (420, 470) 상에서 분리되었지만, 도 5b 에 도시된 3D 단면은 도 4a 및 도 4b 의 컴포넌트들 모두가 전류 소스 (Ibias) 를 제외하고 실리콘의 동일 층 상에 통합되는 레이아웃을 나타내며, 여기서 하부 층은 하나 이상의 퓨전 본드들을 통해 중간 층에 커플링된다.

[0078] 예를 들어, 제 1 층 (555) 에서, 포토다이오드들 (PD1-PD3) 은 페이지의 하부로부터 상향으로 흐르는 광 (560) 을 통해 수신된 광 에너지를 전류 신호들을 컨버팅하도록 구성될 수도 있다. 컨버팅된 전류 신호들은 포토다이오드들 (PD1-PD3) 로부터, 도 4a 및 도 4b 에서 참조되는 것과 같은 개별 버스들 (TG\_1-TG\_3) 상에서 신호를 수신하는 것에 응답하여 트랜스퍼 게이트 트랜지스터들 (TG1-TG3) 을 통해 포토다이오드들 (PD1-PD3) 의 각각과 연관된 플로팅 확산 노드들 (FD1-FD3) 로 트랜스퍼될 수도 있다.

[0079] 제 2 층 (556) 은 아날로그 층을 포함할 수도 있다. 제 2 층 (556) 은 앞서 설명된 아날로그 프론트 엔드 (AFE) 및 A/D 컨버전 회로를 포함할 수도 있다. 예를 들어, 제 2 층 (556) 은 BSI 센서 층 (제 1 층 (555)) 으로부터 수신된 신호들의 아날로그 조종을 수행하도록 구성된 컴포넌트들을 포함할 수도 있다. 제 1 층 (555) 에 도시된 것과 같은 BSI 센서들에 대하여, 제 2 층 (556) 은 BSI 센서 층들에 대한 구조적 지원을 제공하였지만 어떤 기능적 능력들도 제공하지 않은 지원 웨이퍼를 이전에 포함하였을 수도 있다. 도 5b 에 도시된 것과 같이, 제 2 층 (556) 은 제 2 층 (556) 내로 통합된 아날로그 컴포넌트들을 통해 구조적 지원 및 기능적 지원을 제공하도록 구성될 수도 있다. 일부 실시형태들에서, 독출 회로 컴포넌트들은 제 2 층 (556) 내로 통합될 수도 있다. 상기 회로는 앞서 논의된 샘플/홀드 커패시터들 및 픽셀들로부터 전하 값들을 독출

하는데 사용된 다른 컴포넌트들을 포함할 수도 있다.

[0080] 제 3 층 (557) 은 이미지 신호 프로세서 또는 디지털 신호 프로세싱 층 또는 독출 회로 층으로 구성될 수도 있다. 예를 들어, 제 3 층 (557) 은 BSI 센서에 의해 생성되고 독출 회로에 의해 디지털 형태로 컨버팅되는 신호들의 최종 프로세싱 및/또는 독출을 수행하도록 구성된 로직 칩들 또는 다른 회로를 포함할 수도 있다.

일부 실시형태들에서, 제 3 층 (557) 은 CMOS 3D 적층 구조에서 제외될 수도 있고, 독출 회로로부터 신호를 추가로 프로세싱하도록 구성된 컴포넌트들은 제 3 층 (557) 내로 통합될 수도 있다.

[0081] 도 6a 및 도 6b 는 도 6a 및 도 6b 간의 엘리먼트들의 연속을 표시하는 연결 포인트들 A-X 을 갖는, 일 예시적인 실시형태에 따라, 도 1b 의 인터레이싱된 4 트랜지스터 4-공유 이미지 센서 픽셀 아키텍처의 타이밍 다이어그램의 2 개의 색션들을 예시한다. 도 6a 및 도 6b 는 x 축을 따라 증가하는 시간 및 y 축을 따라 다양한 신호들의 온-오프 작동들을 갖는 타이밍 다이어그램을 도시한다. y 축을 따른 다양한 신호들은 앞서 설명된 픽셀 회로 또는 앞서 설명된 독출 회로의 트랜지스터들 또는 다른 컴포넌트들에 대응할 수도 있다. 타이밍 다이어그램의 상부 절반은 (도 1a 내지 도 2 에서 RES 로 지칭되고; 도 6a 와 도 6b 에서 "리셋" 으로 라벨링된) 리셋 트랜지스터, (도 1a 내지 도 2 에서 TG1-TG4 로 지칭되고; 도 6a 및 도 6b 에서 TG\_P1, TG\_P2, TG\_P3, TG\_P4 로 라벨링된) 트랜스퍼 게이트들에 대한 작동 타이밍들, 및 (도 1a 내지 도 2 에서 SEL 로 지칭되고; 도 6a 와 도 6b 에서 Row\_Sel 로 라벨링된) 로우 선택 트랜지스터의 작동을 위한 타이밍을 도시한다. 타이밍 다이어그램의 하부 절반은 (도 6a 와 도 6b 에서 SM11, SM21, SM12, 및 SM22 으로 라벨링된) 다양한 샘플/홀드 커패시터들 및 (도 6a 와 도 6b 에서 Phi21 및 Phi22 로 라벨링된) 컬럼 증폭 스위치들을 공급하는 컴포넌트들에 대한 작동 타이밍들을 도시한다.

[0082] 따라서, 트랜지스터들 및 다른 컴포넌트들에 대한 작동 타이밍들은 샘플 및 홀드 컴포넌트들 (SM11, SM21, SM12, 및 SM22) 및 컬럼 증폭 컴포넌트들 (Phi21 및 Phi22) 의 작동 타이밍들과 함께 도시된다. 타이밍 다이어그램은 리셋 트랜지스터가 주기적으로 작동되는 것을 도시한다. 임의의 트랜스퍼 게이트들 (TG\_P1-TG\_P4) 이 리셋 트랜지스터와 동시에 작동될 때, (도 1a 내지 도 2 에서 PD1-PD4 로 지칭되고; 도 6a 및 도 6b 에서 P1-P4 로 라벨링되는) 포토다이오드들은 리셋 트랜지스터가 커플링되는 디폴트 전압으로의 리셋이다. 예를 들어, 시간 t0 에서, 리셋 트랜지스터 및 트랜스퍼 게이트 (TG\_P1) 는 양자가 동시에 작동되는 것으로 도시된다. 따라서 시간 t0 에서, TG\_P1 트랜스퍼 게이트에 커플링된 포토다이오드 (예컨대, 포토다이오드 (PD1)) 는 커플링된 전압으로 리셋된다. 트랜스퍼 게이트들 (TG\_P1-TG\_P4) 의 각각은 상이한 시간에 리셋 트랜지스터와 동시에 작동되며, 따라서 오직 단일의 트랜스퍼 게이트 (TG\_P1-TG\_P4) 만이 리셋 트랜지스터와 동시에 작동된다. 추가로, 리셋 트랜지스터 (Reset) 가 활성이지만 트랜스퍼 게이트들 (TG\_P1-TG\_P4) 중 어느 것도 활성이 아닐 때, 저장 커패시터 또는 플로팅 화산 노드는 커플링된 전압으로 리셋된다.

[0083] 포토다이오드 (PD) 와 연관된 트랜스퍼 게이트 (TG\_P1-TG\_P4) 에 대한 작동들 간의 시간 주기는 특정 TG\_P1-TG\_P4 에 커플링된 포토다이오드의 통합 주기를 나타낼 수도 있다. 예를 들어, 시간 t0 과 시간 t6 간에, 트랜스퍼 게이트 (TG\_P1) 에 커플링된 포토다이오드 (예컨대, PD1) 는 광을 통합하고, 통합된 광에 대응하는 전하를 생성할 수도 있다. 시간 t0 에서, 포토다이오드 (PD1) 는 트랜스퍼 게이트 트랜지스터 (TG\_P1) 와 리셋 트랜지스터 (Reset) 의 양자가 동시에 작동될 경우에 리셋될 수도 있다. 시간 t6 에서, PD1 에서 누산된 전하는 저장 커패시터/플로팅 화산 노드로 트랜스퍼될 수도 있다. 도시된 것과 같이, 트랜스퍼 게이트들 (TG\_P1-TG\_P4) 의 각각은 개별 트랜스퍼 게이트들 (TG\_P1-TG\_P4) 의 후속 작동들 간에 그들과 연관된 통합 시간을 갖는다. 로우 선택 트랜지스터 (Row\_Sel) 는 로우 선택 트랜지스터가 특정 트랜스퍼 게이트 (TG\_P1-TG\_P4) 및 포토다이오드 조합의 독출을 위해 작동되는 시기를 표시한다. 포토다이오드들은, 포토다이오드와 연관된 트랜스퍼 게이트 (TG\_P1-TG\_P4) 가 통합된 전하를 저장 커패시터로 트랜스퍼하도록 작동될 때까지 광을 통합할 수도 있다.

[0084] 도 6a 및 도 6b 에 표시된 것과 같이, "하나의 로우 시간" 은 픽셀들의 단일 로우가 독출되는 동안의 시간의 양을 표시할 수도 있다. 도 6a 와 도 6b 에 도시된 것과 같이, 로우의 독출은 1 초과의 픽셀을 독출하는 것을 포함할 수도 있다. 예를 들어, 도 2 에서, 도시된 4 개의 로우들의 각각은 2 개의 상이한 픽셀들을 포함할 수도 있다. 유사하게, 제 1 의 P1 독출의 시작부와 제 2 의 후속하는 P1 독출 간의 시간의 양은 "하나의 프레임 타임" 으로 정의될 수도 있으며, 여기서 소정 프레임의 픽셀들이 각각 독출된다. 타이밍 다이어그램 상에 도시된 t\_pix 시간은 독출 주기 동안 하나의 단일 픽셀의 리셋 및 신호 레벨들의 샘플링을 완료한, 픽셀 시간을 표시할 수도 있다. 로우에서 픽셀들 모두를 독출할 때, 시간 주기는 하나의 로우 시간으로 지정된다.

[0085]

도 6a 및 도 6b 에 표시된 것과 같이, 로우 선택 트랜지스터 (Row\_Sel) 는 각각의 포토다이오드 (PD1-PD4) 에 대하여 2 개의 독출들을 수행한다. 각각의 포토다이오드 (PD1-PD4) 의 2 개의 개별 독출들은 잡음의 보상 및/또는 감소를 위해 제공할 수도 있다. 예를 들어, 시간 t5 에서, 로우 선택 트랜지스터 (Row\_Sel) 는 저장 커패시터 및/또는 플로팅 확산 노드의 제 1 독출을 위해 작동된다. 이러한 초기 독출은 저장 커패시터 및/또는 플로팅 확산 노드가 시간 t4 에 작동하는 리셋 트랜지스터 (Reset) 에 의해 리셋된 직후에 발생하며; 이러한 초기 독출은 그 독출과 연관된 잡음에 대한 베이스라인을 제공할 수도 있다. 그 후에, 트랜스퍼 게이트 (TG\_P1) 는 시간 t6 에서, 트랜스퍼 게이트 트랜지스터 (TG\_P1) 에 커플링된 포토다이오드 (PD1) 로부터 저장 커패시터 및/또는 플로팅 확산 노드로 전하를 트랜스퍼하도록 작동될 수도 있다. 그 후에, TG\_P1 이 시간 t6 에서 작동된 후에, 로우 선택 트랜지스터 (Row\_Sel) 는 시간 t7 에서 저장 커패시터 및/또는 플로팅 확산 노드의 제 2 독출을 위해 작동된다. 상기 제 2 독출은 베이스라인 독출 값에 기초하여 정정될 수도 있는 독출 값을 제공할 수도 있다. 표시된 2 개의 독출들은 앞서 설명된 잡음 감소 측정치들에 대응할 수도 있다. 2 개의 독출들을 수행함으로써, 예컨대 트랜스퍼 게이트 (TG\_P1-TG\_P4) 가 턴 온되기 전에 및 후에 저장 커패시터를 샘플링함으로써, 짧은 샘플링 시간과의 상관된 이중 샘플링이 수행될 수 있고, 따라서 적어도 KTC 잡음을 제거한다. 추가로, 다른 타입들의 잡음이 유사한 다중-독출 기술들을 구현함으로써 제거되거나 보상될 수도 있다.

[0086]

일부 실시형태들에서, 독출 컬럼 회로는 컬럼당 샘플/홀드 커패시터를 포함할 수도 있다. 일부 실시형태들에서, 이미징 시스템에 대한 독출 컬럼 회로는 컬럼당 한 쌍의 샘플/홀드 커패시터들을 포함할 수도 있다. 그 경우, 샘플/홀드 커패시터(들)은 앞서 설명된 것과 같은 이미징 시스템의 잡음 독출을 감소시키는데 사용될 수도 있다. 신호들 (SM11, SM21, SM12, 및 SM22) 은 베이스라인 (기준) 과 독출 (샘플) 을 획득하는데 사용된 신호들을 나타낼 수도 있다. 예를 들어, SM11 샘플/홀드: 리셋 신호는 시간 t5 에 도시된 것과 같이, 포토다이오드들 (PD1-PD4) 중 하나로부터 저장 커패시터 또는 플로팅 확산 노드로의 전하의 "덤팅" 이전에 저장 커패시터 또는 플로팅 확산 노드의 베이스라인을 획득하는데 사용될 수도 있다. 그 후에, 포토다이오드 (P1) 로부터의 전하가 시간 t6 에 저장 커패시터 또는 플로팅 확산 노드로 트랜스퍼된 후에, SM21 샘플/홀드 신호는 포토다이오드 (P1) 로부터 트랜스퍼된 전하를 획득하는데 사용될 수도 있다. 그 후에, 시간 t5 에서 판독된 전하는 베이스라인과 샘플링된 값 간에 공통인 잡음 없이 독출 값을 획득하기 위해 시간 t7 에 판독된 전하로부터 감산될 수도 있다. column-ampSW-1/SW-2 는 도 7 에 도시된 것과 같이, 상부 및 하부 컬럼 독출 채널들로부터 독출 값을 증폭하고 있는 증폭 컴포넌트들을 나타낼 수도 있다.

[0087]

도 7 은 도 6a 및 도 6b 의 타이밍 다이어그램에 따라, 도 1b 의 인터레이싱된 4 트랜지스터 4-공유 이미지 센서 픽셀 아키텍처의 독출 블록 다이어그램의 일 예를 예시한다. 도시된 것과 같이, 2 개의 독출 회로들이 존재하며, 하나의 독출 회로는 상향 독출 채널에 의해 독출된 전하들을 위한 것이고, 하나의 독출 회로는 하향 독출 채널에 의해 독출된 전하들을 위한 것이다. 픽셀 어레이 위 및 아래의 다양한 컴포넌트들은 샘플링 스위치들, 샘플링 커패시터들, 컬럼 어드레싱 멀티플렉서들 및 신호 및 리셋 버스들, 및 가변 이득 증폭기를 포함한다. 이들 컴포넌트들은 결합하여, 픽셀 어레이로부터 신호들을 수신하고, 신호들을 증폭하고, 신호들을 하나 이상의 비디오 신호들로 멀티플렉싱할 수도 있다.

[0088]

예시적인 이미징 디바이스의 개관

[0089]

도 8 은 이미징 캡처 디바이스 (700) 의 일 실시형태의 하이 레벨 개략 다이어그램을 예시하며, 그 디바이스 (700) 는 카메라 (701) (이미지 센서) 에 링크된 이미지 프로세서 (720) 를 포함하는 컴포넌트들의 세트를 갖는다. 이미지 프로세서 (720) 는 또한 작업 메모리 (765), 메모리 (730), 및 디바이스 프로세서 (755) 와 통신하며, 디바이스 프로세서 (755) 는 차례로 스토리지 (770) 및 옵션의 전자 디스플레이 (760) 와 통신한다.

[0090]

디바이스 (700) 는 모바일 폰, 디지털 카메라, 태블릿 컴퓨터, 개인 디지털 보조장치, 등등과 같은 휴대용 퍼스널 컴퓨팅 디바이스일 수도 있다. 디바이스 (700) 는 또한 정지된 컴퓨팅 디바이스 또는 임의의 디바이스일 수도 있다. 복수의 애플리케이션들은 디바이스 (700) 상의 사용자에게 사용가능할 수도 있다. 이러한 애플리케이션들은 종래의 사진 및 비디오 애플리케이션들, 예컨대 전하 덤프들의 수, 차이 프레임들의 수의 사용자 관리에 관한 애플리케이션들, HDR 이미징 애플리케이션, 등을 포함할 수도 있다.

[0091]

이미지 캡처 디바이스 (700) 는 외부 이미지들을 캡처하기 위한 카메라들 (701) 을 포함한다. 카메라 (701) 는 앞서 설명된 것과 같은 추가의 저장 커패시터를 갖는 독출 회로부 (715) 및 픽셀 어레이 (710) 를 포함할 수 있다. 앞서 설명된 아키텍처들에 따라, 저장 커패시터들은 연관된 픽셀로부터 다수의 전하 덤프들을 저장하기 위해 커패시턴스를 가질 수 있다. 카메라 (701) 는 이전 프레임들의 연속적인 또는 간헐적인 캡처뿐

만 아니라, 풀 해상도 최종 이미지들의 캡처를 위해 구성될 수 있다.

[0092] 이미지 프로세서 (720) 는 수신된 프리뷰 프레임들 상에 다양한 프로세싱 동작들을 수행하도록 구성될 수도 있다. 프로세서 (720) 는 범용 프로세싱 유닛 또는 이미징 애플리케이션들을 위해 특수하게 설계된 프로세서 일 수도 있다. 이미지 프로세싱 동작들의 예들은 AWB 및 AEC 데이터 생성, LED 전류 계산, 크롭핑, (예를 들어, 상이한 해상도로의) 스케일링, 이미지 스티칭, 이미지 포맷 변환, 색 보간, 색 프로세싱, 이미지 필터링 (예를 들어, 공간 이미지 필터링), 렌즈 아티팩트 또는 결합 정정 등을 포함한다. 프로세서 (720) 는, 일부 실시예들에서, 복수의 프로세서들을 포함할 수도 있다. 프로세서 (720) 는 하나 이상의 전용 이미지 신호 프로세서 (ISP) 들 또는 프로세서의 소프트웨어 구현일 수도 있다.

[0093] 도시된 바와 같이, 이미지 프로세서 (720) 는 메모리 (730) 및 작업 메모리 (765) 에 접속된다. 예시된 실시예에서, 메모리 (730) 는 캡처 제어 모듈 (735), 풀 웰 용량 확장 모듈 (740), 잡음 보상 모듈 (780), 및 오퍼레이팅 시스템 (750) 을 저장한다. 메모리 (730) 의 모듈들은 다양한 이미지 프로세싱 및 디바이스 관리 태스크들을 수행하도록 디바이스 프로세서 (755) 의 이미지 프로세서 (720) 를 구성하는 명령들을 포함한다.

작업 메모리 (765) 는 메모리 (730) 의 모듈들에 포함된 프로세서 명령들의 작업 세트를 저장하도록 이미지 프로세서 (720) 에 의해 이용될 수도 있다. 대안적으로, 작업 메모리 (765) 는 또한 디바이스 (700) 의 동작 중에 생성된 동적 데이터를 저장하도록 이미지 프로세서 (720) 에 의해 이용될 수도 있다.

[0094] 풀 웰 용량 확장 모듈 (740) 은 서브-모듈들 타이밍 방식 모듈 (742) 및 전하 덤프 수 처리기 모듈 (744) 을 저장할 수 있다. 함께, 이들 모듈들은 독출 아키텍처에서 핵심로부터 저장 커뮤니케이션으로의 각각의 핵심의 통합 시간 및 다중 전하 덤프들을 결정하는 것과 관련된 태스크들을 수행하도록 협동할 수 있다.

[0095] 잡음 보상 모듈 (780) 은 서브-모듈들 프레임 캡처 모듈 (782) 및 디지털 집성 모듈 (784) 을 저장할 수 있다. 일부 실시형태들에서, 프레임 캡처 모듈 (782) 은 명령들을 이미지 센서의 독출 회로에 제공함으로써 앞서 설명된 프로세스 (500) 를 수행하도록 프로세서 (720) 를 구성하는 명령들이 제공될 수 있다. 일부 실시형태들에서, 디지털 집성 모듈 (784) 은 디지털 도메인에서 다수의 전하들을 집성하기 위해 앞서 설명된 프로세스 (600) 를 수행하도록 프로세서 (720) 를 구성하는 명령들이 제공될 수 있다.

[0096] 위에서 언급된 바와 같이, 이미지 프로세서 (720) 는 메모리들에 저장된 여러 개의 모듈들에 의해 구성된다. 캡처 제어 모듈 (735) 은 카메라 (701) 의 초점 포지션을 조절하도록 이미지 프로세서 (720) 를 구성하는 명령들을 포함할 수도 있다. 캡처 제어 모듈 (735) 은 디바이스 (700) 의 전체 이미지 캡처 기능들을 제어하는 명령들을 더 포함할 수도 있다. 예를 들어, 캡처 제어 모듈 (735) 은 카메라 (701) 를 이용하여 타겟 이미지 장면의 하나 이상의 프레임들을 포함하는 프리뷰 이미지 데이터 또는 풀 해상도 이미지 데이터를 캡처하도록 이미지 프로세서 (720) 를 구성하기 위해 서브루틴들을 호출하는 명령들을 포함할 수도 있다.

[0097] 오퍼레이팅 시스템 모듈 (750) 은 디바이스 (700) 의 작업 메모리 (765) 및 프로세싱 리소스들을 관리하도록 이미지 프로세서 (720) 를 구성한다. 예를 들어, 오퍼레이팅 시스템 모듈 (750) 은 카메라 (701) 와 같은 하드웨어 리소스들을 관리하기 위한 디바이스 드라이버들을 포함할 수도 있다. 따라서, 일부 실시형태들에 있어서, 상기 논의된 이미지 프로세싱 모듈들에 포함된 명령들은, 이들 하드웨어 리소스들과 직접 상호작용하지 않고 대신 오퍼레이팅 시스템 컴포넌트 (750) 에 위치된 표준 서브루틴들 또는 API들을 통해 상호작용할 수도 있다. 그 후, 오퍼레이팅 시스템 (750) 내의 명령들은 이들 하드웨어 컴포넌트들과 직접 상호작용할 수도 있다. 오퍼레이팅 시스템 모듈 (750) 은 디바이스 프로세서 (755) 와 정보를 공유하도록 이미지 프로세서 (720) 를 더 구성할 수도 있다.

[0098] 디바이스 프로세서 (755) 는 캡처된 이미지, 또는 캡처된 이미지의 프리뷰를 사용자에게 디스플레이하기 위해 디스플레이 (760) 를 제어하도록 구성될 수도 있다. 디스플레이 (760) 는 이미징 디바이스 (200) 의 외부에 있을 수도 있거나, 이미징 디바이스 (200) 의 일부분일 수도 있다. 디스플레이 (760) 는 또한 이미지를 캡처하기에 앞서 이용하기 위해 프리뷰 이미지를 디스플레이하는 뷰 파인더를 제공하도록, 예컨대 이미지 장면의 동적 범위의 시각적 표현 또는 아날로그 전하 덤프들의 수 및/또는 디지털로 누산된 차이 프레임들을 수동으로 조정하기 위한 사용자 인터페이스를 사용자에게 제시하도록 구성될 수도 있다. 디스플레이 (760) 는 LCD 또는 LED 스크린을 포함할 수도 있으며, 터치 감응 기술들을 구현할 수도 있다.

[0099] 디바이스 프로세서 (755) 는 저장 모듈 (770) 에 데이터, 예를 들어, 디지털로 누산된 차이 프레임들을 나타내는 데이터를 기록할 수도 있다. 저장 모듈 (770) 이 종래의 디스크 디바이스로서 그래픽적으로 표현되지만, 당업자는 저장 모듈 (770) 이 임의의 저장 매체 디바이스로서 구성될 수도 있음을 이해할 것이다. 예를 들

어, 저장 모듈 (770) 은 플로피 디스크 드라이브, 하드 디스크 드라이브, 광학 디스크 디바이스 또는 자기-광학 디스크 디바이스와 같은 디스크 드라이브, 또는 플래시 메모리, RAM, ROM, 및/또는 EEPROM 과 같은 솔리드 스테이트 메모리를 포함할 수도 있다. 저장 모듈 (770) 은 또한 다중 메모리 유닛들을 포함할 수 있으며, 그 메모리 유닛들 중 임의의 하나는 이미지 캡처 디바이스 (700) 내에 있도록 구성될 수도 있거나 또는 이미지 캡처 디바이스 (700) 외부에 있을 수도 있다. 예를 들어, 저장 모듈 (770) 은 이미지 캡처하다 디바이스 (700) 내에 저장된 시스템 프로그램 명령들을 포함하는 ROM 메모리를 포함할 수도 있다. 저장 모듈 (770) 은 또한, 카메라로부터 착탈가능할 수도 있는, 캡처된 이미지들을 저장하도록 구성된 메모리 카드들 또는 고속 메모리들을 포함할 수도 있다. 저장 모듈 (770) 은 또한 디바이스 (700) 외부에 있을 수 있고, 일 예에서 디바이스 (700) 는 예컨대 네트워크 접속을 통해 저장 모듈 (770) 에 데이터를 무선으로 송신할 수도 있다.

[0100] 도 8 이 프로세서, 이미징 센서, 및 메모리를 포함하는 개별적인 컴포넌트들을 갖는 디바이스를 도시하고 있지만, 이러한 개별적인 컴포넌트들이 특정 설계 목적들을 달성하기 위해 다양한 방식들로 결합될 수도 있음을 당업자는 인식할 것이다. 예를 들어, 대안적인 실시형태에서, 메모리 컴포넌트들은 예컨대, 비용을 절약하고 성능을 개선하기 위해 프로세서 컴포넌트들과 결합될 수도 있다.

[0101] 추가로, 도 8 은 몇몇 모듈들을 포함하는 메모리 컴포넌트 (720) 와 작업 메모리를 포함하는 개별 메모리 (765) 를 포함하는 2 개의 메모리 컴포넌트들을 도시하지만, 몇몇 실시형태들은 상이한 메모리 구조들을 활용하는 것을 당업자는 인식할 것이다. 예를 들어, 설계는 메모리 (730) 에 포함된 모듈들을 구현하는 프로세서 명령들의 저장을 위해 ROM 또는 정적 RAM 메모리를 활용할 수도 있다. 프로세서 명령들은 RAM 내로 로딩되어 이미지 프로세서 (720) 에 의한 실행을 가능하게 할 수도 있다. 예를 들어, 작업 메모리 (765) 는 RAM 메모리를 포함할 수도 있으며, 명령들은 프로세서 (720) 에 의한 실행 전에 작업 메모리 (765) 내에 로딩된다.

#### 구현하는 시스템들 및 전문용어

[0103] 본원에 개시된 구현들은 포토다이오드 핵심들에 의한 광 흡수를 증가시키고, 3 차원 (3D) 적층된, 수직 통합된 핵심 아키텍처들을 사용하여 저잡음 및 고이득 독출들, 고해상도 및 고 색 충실도 출력들, 및 증가된 동적 범위를 인에이블하기 위한 시스템들, 방법들 및 장치들을 제공한다. 이러한 실시형태들은 하드웨어, 소프트웨어, 펌웨어, 또는 이들의 임의의 조합으로 구현될 수도 있음을 당업자는 인식할 것이다.

[0104] 일부 실시형태들에 있어서, 상기 논의된 회로들, 프로세스들, 및 시스템들은 무선 통신 디바이스에서 활용될 수도 있다. 무선 통신 디바이스는 다른 전자 디바이스들과 무선으로 통신하는데 이용되는 일 종류의 전자 디바이스일 수도 있다. 무선 통신 디바이스들의 예들은 셀룰러 전화기들, 스마트 폰들, 개인용 휴대정보 단말기 (PDA) 들, 전자책 단말기들, 게이밍 시스템들, 음악 재생기들, 넷북들, 무선 모뎀들, 랩톱 컴퓨터들, 태블릿 디바이스들 등을 포함한다.

[0105] 무선 통신 디바이스는 하나 이상의 이미지 센서들, 2 이상의 이미지 신호 프로세서들, 상기 논의된 CNR 을 실행하기 위한 명령들 또는 모듈들을 포함하는 메모리를 포함할 수도 있다. 디바이스는 또한 데이터, 메모리로부터의 프로세서 로딩 명령들 및/또는 데이터, 하나 이상의 통신 인터페이스들, 하나 이상의 입력 디바이스들, 디스플레이 디바이스와 같은 하나 이상의 출력 디바이스들, 및 전원/인터페이스를 가질 수도 있다. 무선 통신 디바이스는 추가적으로 송신기 및 수신기를 포함할 수도 있다. 송신기 및 수신기는 결합하여 트랜시버라고 지칭될 수도 있다. 트랜시버는 무선 신호들을 송신 및/또는 수신하기 위해 하나 이상의 안테나들에 커플링될 수도 있다.

[0106] 무선 통신 디바이스는 다른 전자 디바이스 (예를 들어, 기지국) 에 무선으로 접속할 수도 있다. 무선 통신 디바이스는 대안적으로 모바일 디바이스, 이동국, 가입자국, 사용자 기기 (UE), 원격국, 액세스 단말기, 모바일 단말기, 단말기, 사용자 단말기, 가입자 유닛 등으로 지칭될 수도 있다. 무선 통신 디바이스들의 예들은 랩탑 또는 데스크탑 컴퓨터들, 셀룰러 전화기들, 스마트 폰들, 무선 모뎀들, e-리더들, 태블릿 디바이스들, 게이밍 시스템들 등을 포함한다. 무선 통신 디바이스들은 3 세대 파트너쉽 프로젝트 (3GPP) 와 같은 하나 이상의 산업 표준들에 따라 동작할 수도 있다. 따라서, 일반적인 용어 "무선 통신 디바이스" 는 산업 표준들에 따라 가변 용어들로 설명된 무선 통신 디바이스들을 포함할 수도 있다 (예를 들어, 액세스 단말기, 사용자 장비 (UE), 원격 단말기 등).

[0107] 본 명세서에서 설명된 기능들은 프로세서 판독가능 또는 컴퓨터 판독가능 매체 상에 하나 이상의 명령들로서 저장될 수도 있다. 용어 "컴퓨터 판독가능 매체" 는, 컴퓨터 또는 프로세서에 의해 액세스될 수 있는 임의의 가용 매체를 지칭한다. 제한하지 않는 예로서, 그러한 매체는, RAM, ROM, EEPROM, 플래시 메모리, CD-ROM

이나 다른 광학적 디스크 저장소, 자기적 디스크 저장소나 다른 자기적 저장 디바이스들, 또는 명령들이나 데이터 구조들의 형태로 원하는 프로그램 코드를 저장하는데 이용될 수도 있고 컴퓨터에 의해 액세스될 수도 있는 임의의 다른 매체를 포함할 수도 있다. 본 명세서에서 사용된 바와 같은 디스크 (disk) 및 디스크 (disc)는 컴팩트 디스크 (CD), 레이저 디스크, 광학 디스크, 디지털 다기능 디스크 (DVD), 플로피 디스크 및 블루레이 디스크를 포함하며, 여기서, 디스크 (disk)는 통상적으로 데이터를 자기적으로 재생하지만 디스크 (disc)는 레이저를 이용하여 데이터를 광학적으로 재생한다. 컴퓨터-판독가능 매체는 유형이고 일시적이지 않을 수도 있음에 유의해야 한다. 용어 "컴퓨터 프로그램 제품"은, 컴퓨팅 디바이스 또는 프로세서에 의해 실행, 프로세싱, 또는 산출될 수도 있는 코드 또는 명령들 (예를 들어, "프로그램")과 결합한 컴퓨팅 디바이스 또는 프로세서를 지칭한다. 본 명세서에서 사용된 바와 같이, 용어 "코드"는 컴퓨팅 디바이스 또는 프로세서에 의해 실행가능한 소프트웨어, 명령들, 코드 또는 데이터를 지칭할 수도 있다.

[0108] 소프트웨어 또는 명령들은 또한 송신 매체를 통해 송신될 수도 있다. 예를 들어, 소프트웨어가 동축 케이블, 광 섬유 케이블, 연선, 디지털 가입자 회선 (digital subscriber line; DSL), 또는 적외선, 무선, 및/ 또는 마이크로파와 같은 무선 기술들을 이용하여 웹사이트, 서버, 또는 다른 원격 소스로부터 송신되는 경우, 동축 케이블, 광 섬유 케이블, 연선, DSL, 또는 적외선, 무선, 및 마이크로파와 같은 무선 기술들은 송신 매체의 정의 내에 포함된다.

[0109] 본원에서 개시된 방법들은 상술된 방법을 달성하기 위한 하나 이상의 단계들 또는 액션들을 포함한다. 방법 단계들 및/또는 작동들은 청구항들의 범위를 벗어나지 않으면서 서로 상호 교환될 수도 있다. 다시 말해, 설명된 방법들의 적절한 동작을 위해 단계들 또는 작동들의 특정한 순서가 요구되지 않는 한, 특정한 단계들 및/또는 작동들의 순서 및/또는 이용은 청구항들의 범위를 벗어나지 않으면서 수정될 수도 있다.

[0110] 본 명세서에서 사용된 바와 같은 용어들 "커플", "커플링", "커플링된" 또는 단어 '커플'의 다른 변형들은 간접 접속 또는 직접 접속 중 어느 하나를 나타낼 수도 있음이 주목되어야 한다. 예를 들어, 제 1 컴포넌트가 제 2 컴포넌트에 "커플링"되면, 제 1 컴포넌트는 제 2 컴포넌트에 간접적으로 접속되거나 또는 제 2 컴포넌트에 직접적으로 접속될 수도 있다. 본 명세서에서 사용된 바와 같이, 용어 "복수의"는 2 이상을 표기한다. 예를 들어, 복수의 컴포넌트들은 2 개 이상의 컴포넌트들을 표시한다.

[0111] 용어 "결정하는 것"은 매우 다양한 액션들을 포함하며, 따라서, "결정하는 것"은 계산하는 것, 산출하는 것, 프로세싱하는 것, 도출하는 것, 조사하는 것, 검색하는 것 (예를 들어, 표, 데이터베이스, 또는 다른 데이터 구조에서 검색하는 것), 확인하는 것 등을 포함할 수 있다. 또한, "결정하는 것"은 수신하는 것 (예를 들어, 정보를 수신하는 것), 액세스하는 것 (예를 들어, 메모리 내 데이터에 액세스하는 것) 등을 포함할 수 있다. 또한, "결정하는 것"은 해결하는 것, 선택하는 것, 선출하는 것, 확립하는 것 등을 포함할 수 있다.

[0112] 어구 "~에 기초하는"은, 달리 명백히 명시되지 않으면, "~에만 기초하는"을 의미하지 않는다. 즉, 어구 "~에 기초하는"은 "~에만 기초하는" 및 "~에 적어도 기초하는" 양자를 기술한다.

[0113] 전술한 설명에 있어서, 특정 상세들은 예들의 철저한 이해를 제공하기 위해 주어진다. 그러나, 예들은 이러한 특정 세부사항들이 없이 실시될 수도 있음이 당업자에 의해 이해될 것이다. 예를 들어, 불필요한 세부사항으로 예들을 모호하게 하지 않기 위해, 전기 컴포넌트들/디바이스들은 블록 다이어그램들로 보여질 수도 있다. 다른 사례들에서, 이러한 컴포넌트들, 다른 구조들, 및 기법들이 예들을 추가적으로 설명하기 위해 상세히 도시될 수도 있다.

[0114] 제목들은 참조를 위해 본원에 포함되고 다양한 섹션들을 위치를 찾는 것을 돕고자 한다. 이러한 제목들은 그와 관련하여 설명된 개념들의 범위를 제한하고자 하지 않는다. 이러한 개념들은 전체 명세서에 걸쳐 적용 가능할 수도 있다.

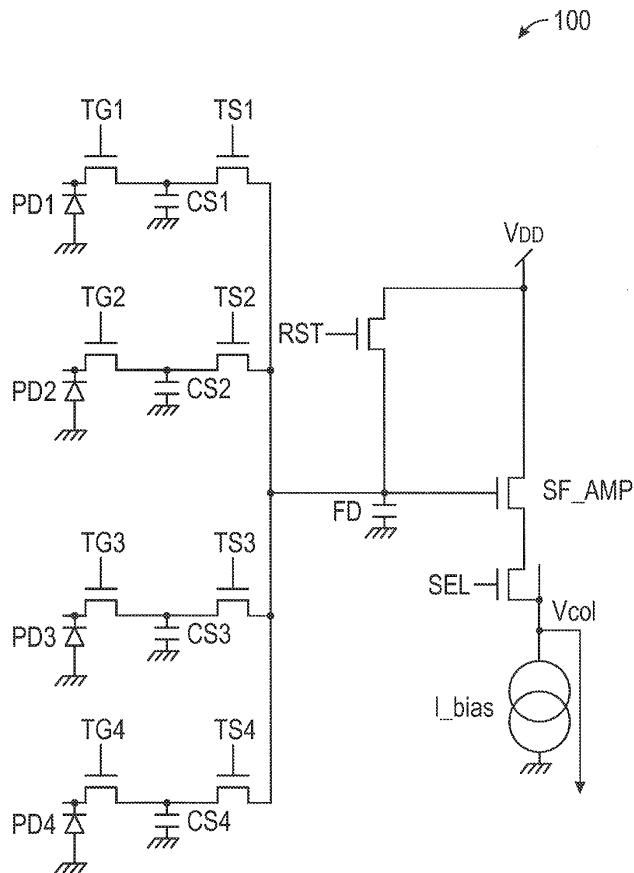
[0115] 예들은 프로세스로서 설명될 수도 있으며, 프로세스는 플로우차트, 플로우 다이어그램, 유한 상태 다이어그램, 구조 다이어그램, 또는 블록 다이어그램으로 도시됨에 또한 유의한다. 플로우차트가 동작들을 순차적인 프로세스로 설명할 수도 있지만, 동작들 중 다수는 병렬로, 또는 동시에 수행될 수 있고, 프로세스는 반복될 수 있다. 부가적으로, 동작들의 순서가 재배열될 수도 있다. 프로세스는 그 동작들이 완료될 경우에 종료된다. 프로세스는 방법, 함수, 절차, 서브루틴, 서브프로그램 등에 대응할 수도 있다. 프로세스가 소프트웨어 기능에 대응하는 경우, 프로세스의 종료는 호 기능 또는 메인 기능으로의 기능의 복귀에 대응한다.

[0116] 개시된 구현들의 상기 설명들은 임의의 당업자가 본 발명을 실시하거나 이용하는 것을 가능하게 하도록 하기 위해 제공된다. 이러한 구현들에 대한 다양한 변형예들이 당업자에게는 자명할 것이고, 본원에서 정의된 일반

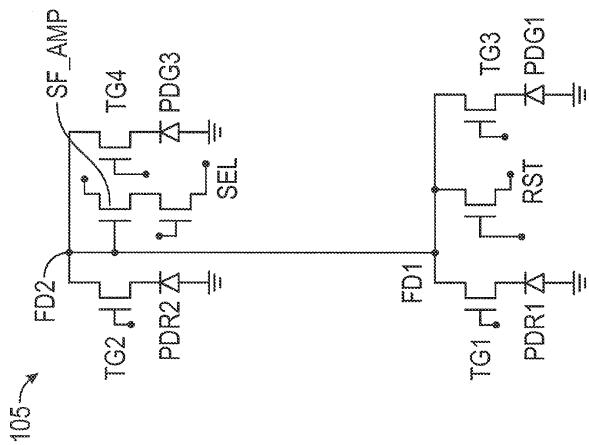
적인 원칙들은 본 발명의 취지와 범위를 벗어나지 않으면서 다른 구현들에 적용될 수도 있다. 따라서, 본 발명은 본원에서 보여진 예시적인 구현들로 제한되도록 의도된 것은 아니며 본원의 개시된 원칙들과 신규의 특징들과 일치하는 최광의 범위를 제공하기 위한 것이다.

## 도면

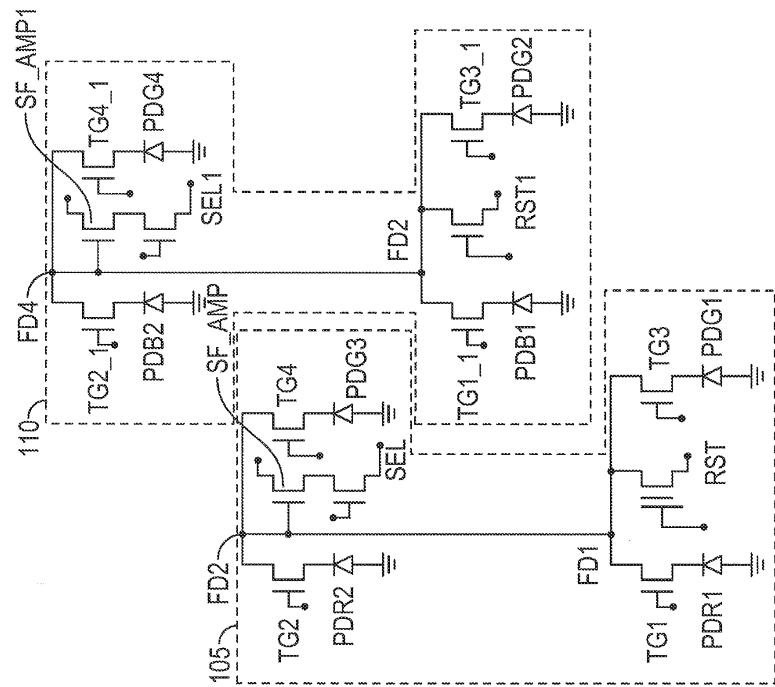
도면 *la*



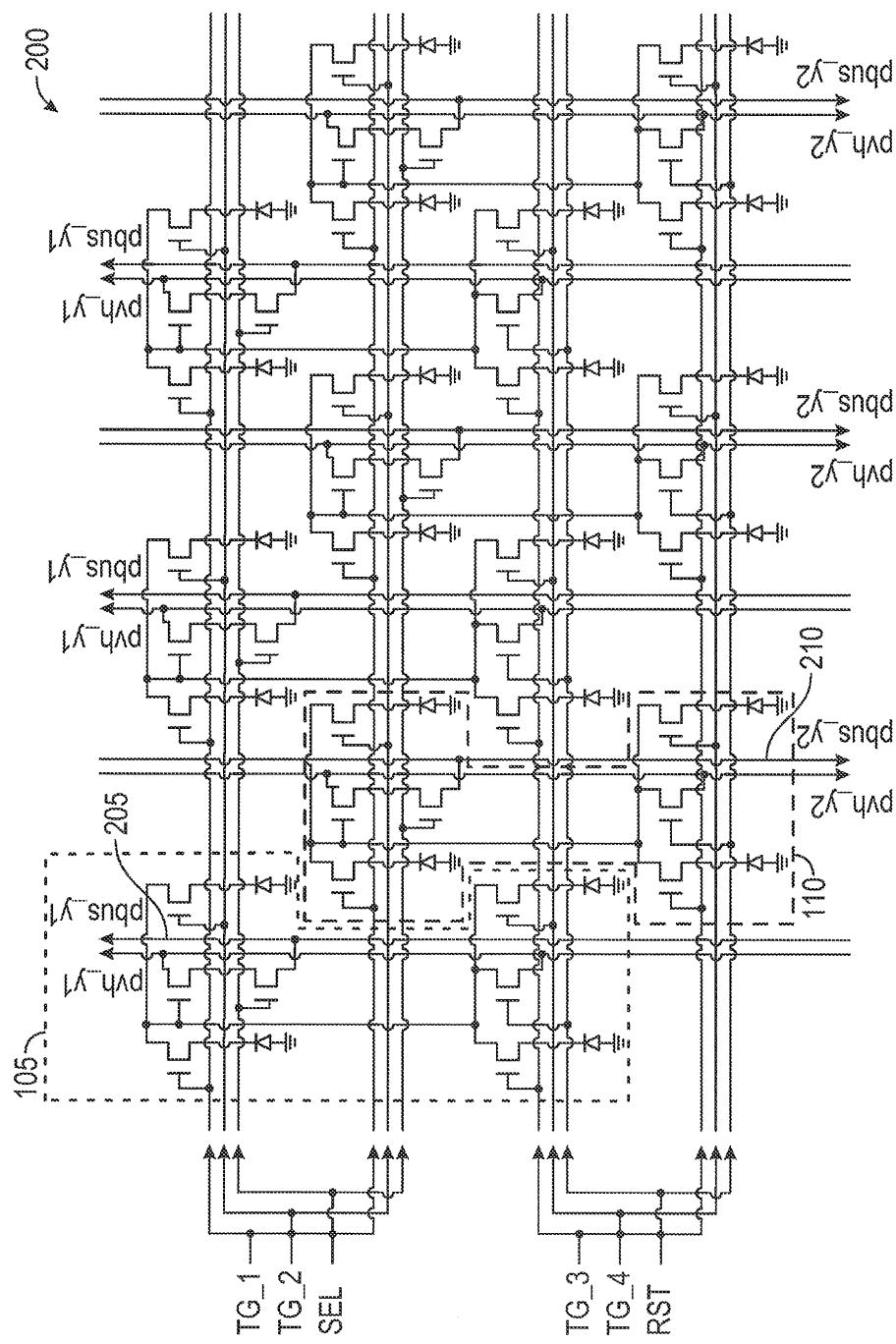
### 도면1b



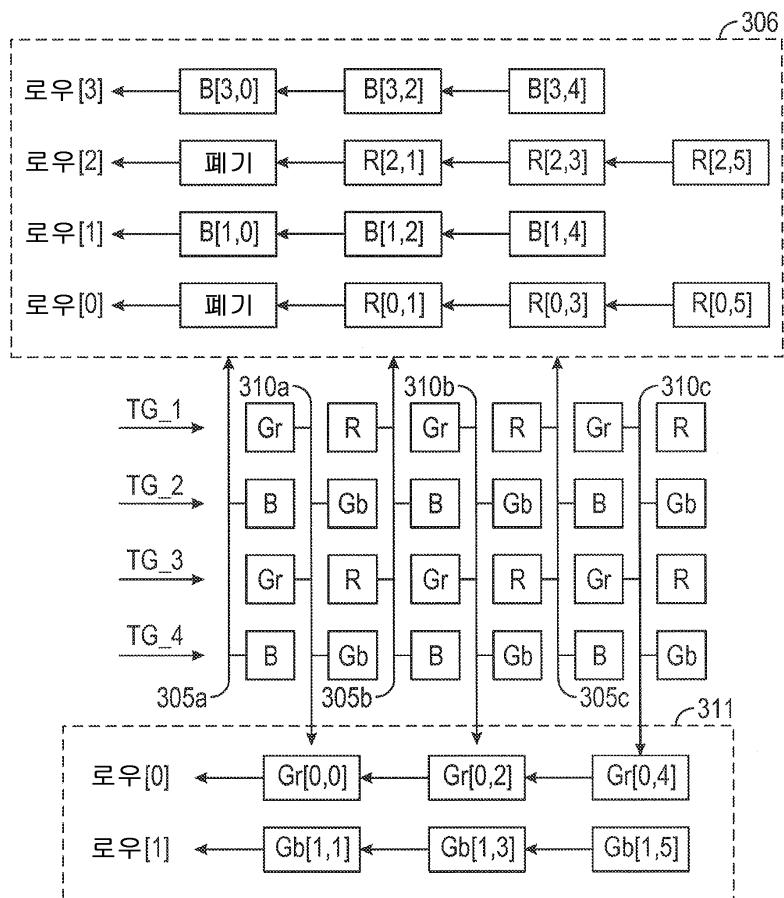
## 도면 1c



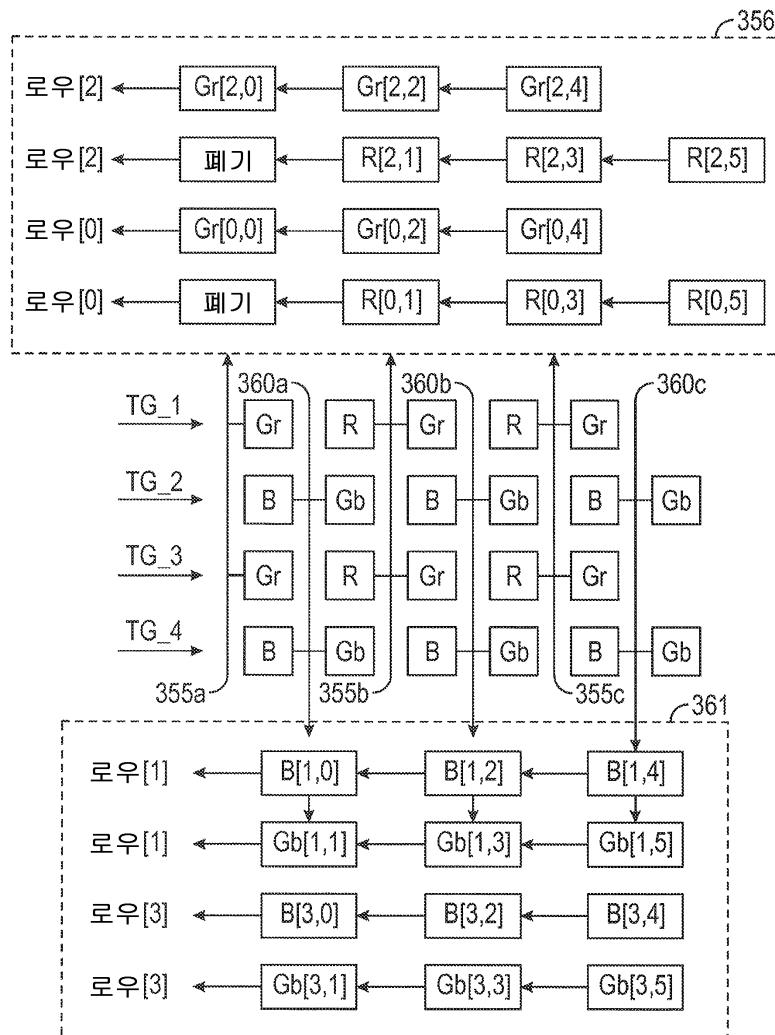
## 도면2



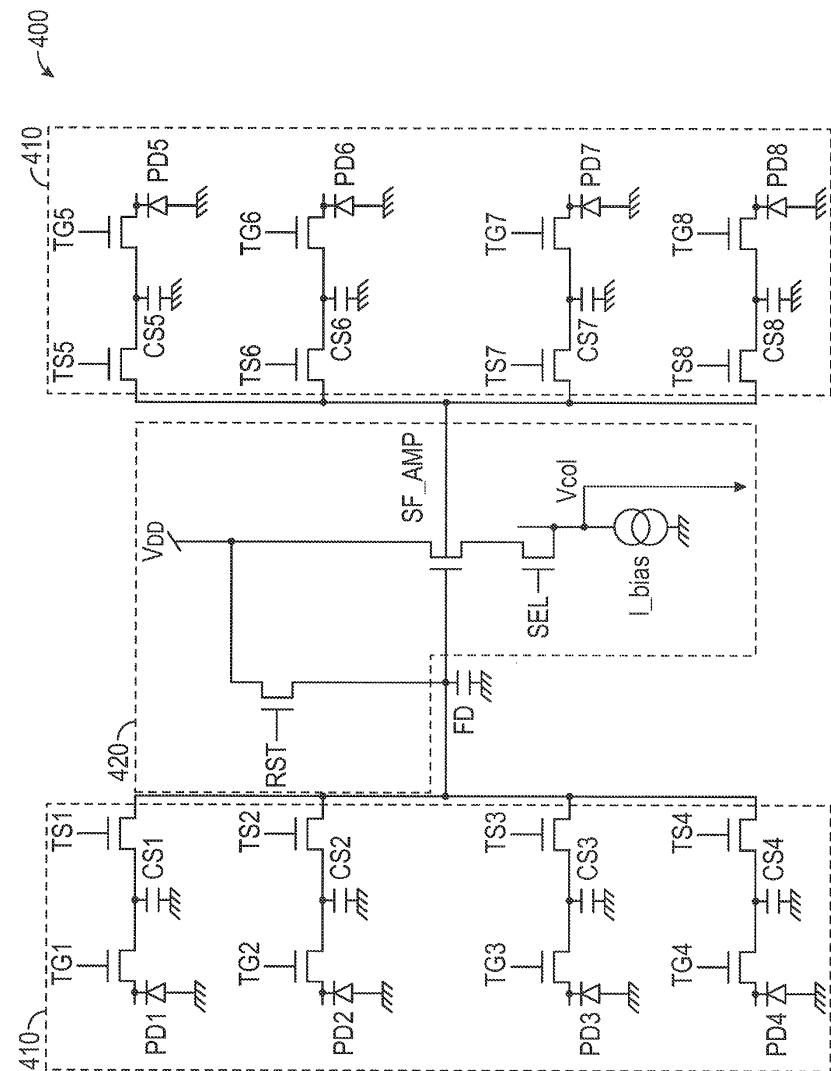
### 도면3a



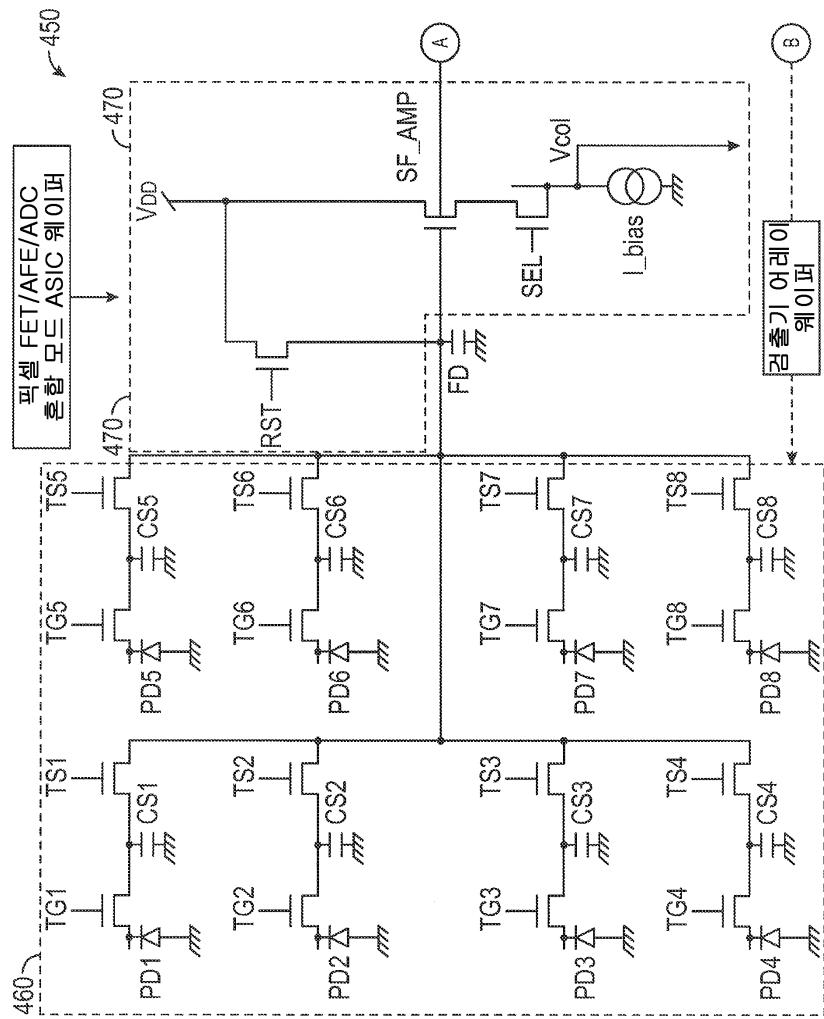
## 도면3b



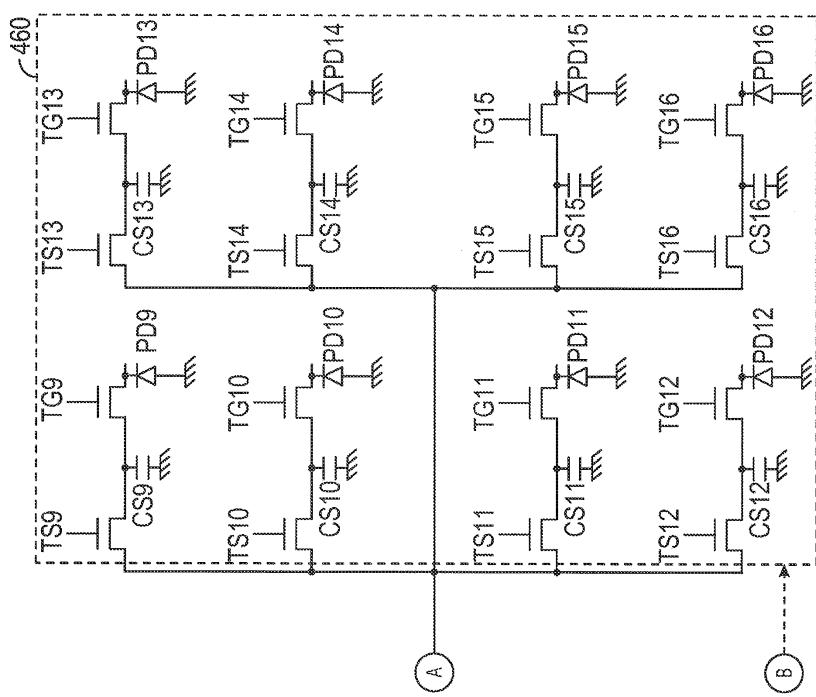
도면4a



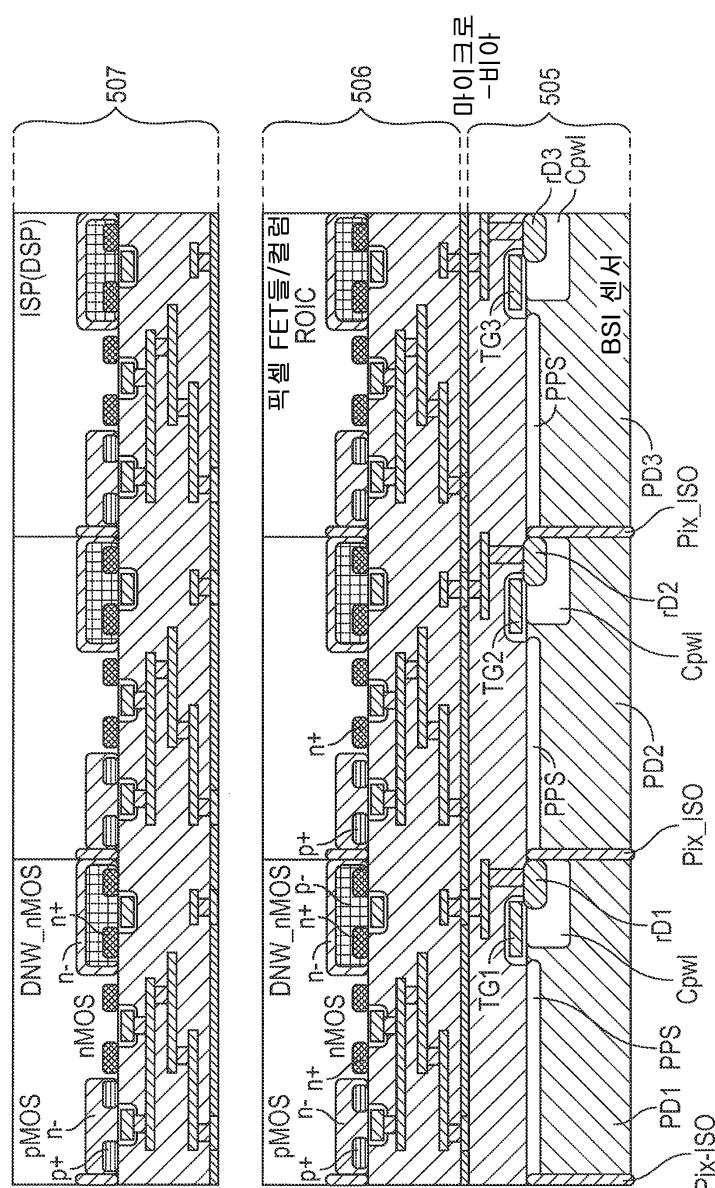
### 도면4ba



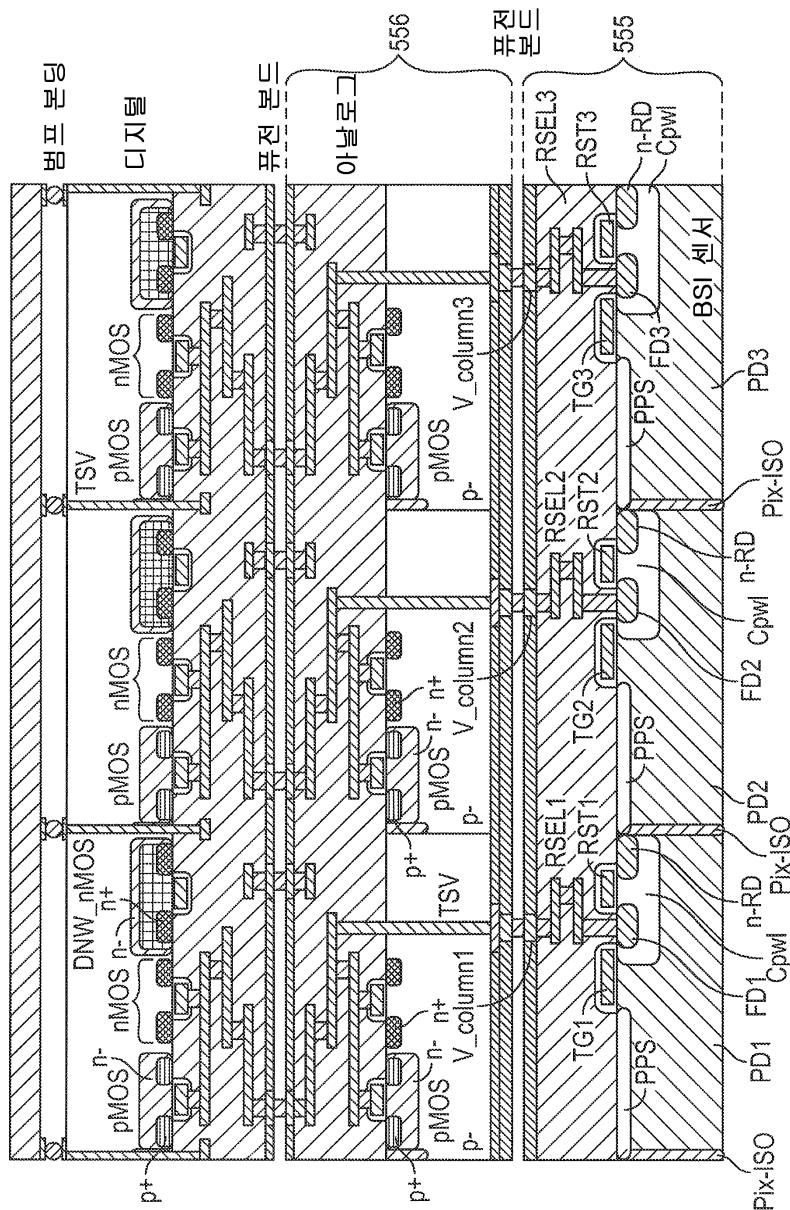
도면4bb



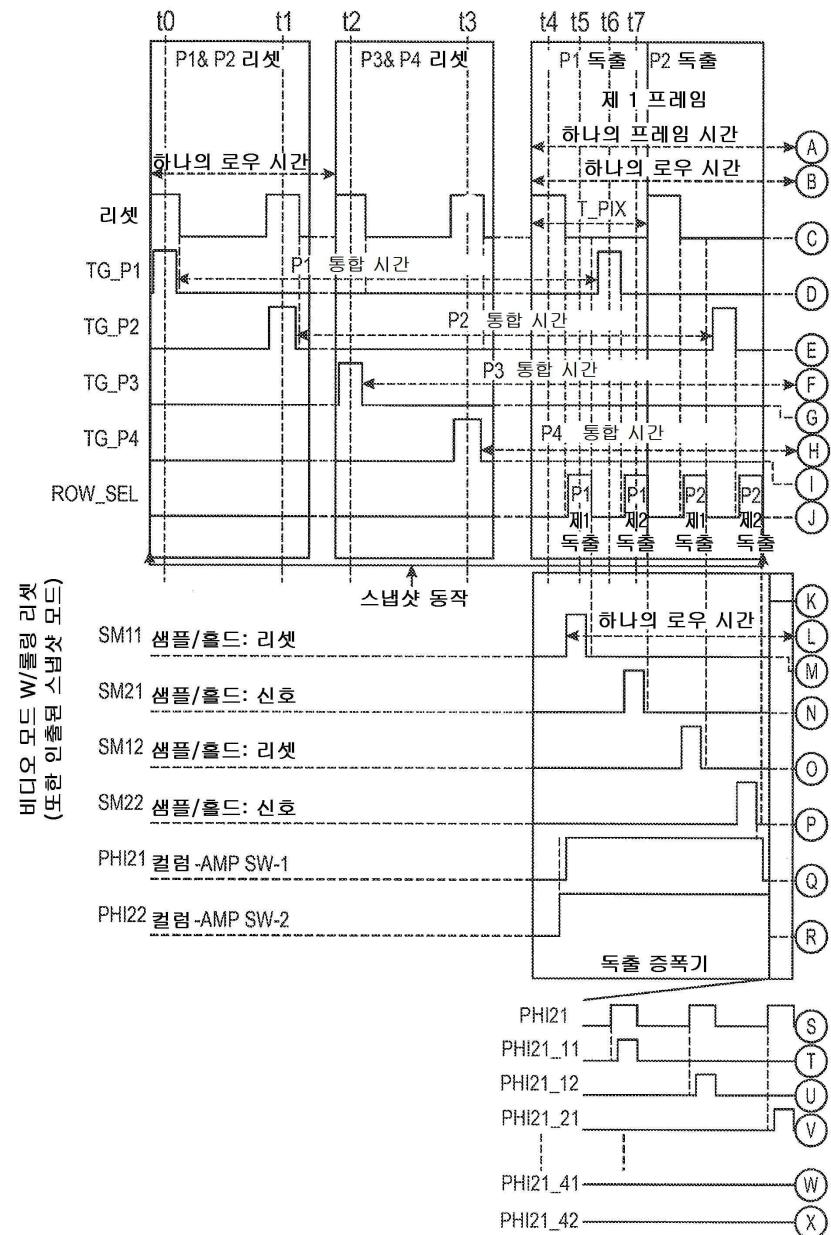
도면5a



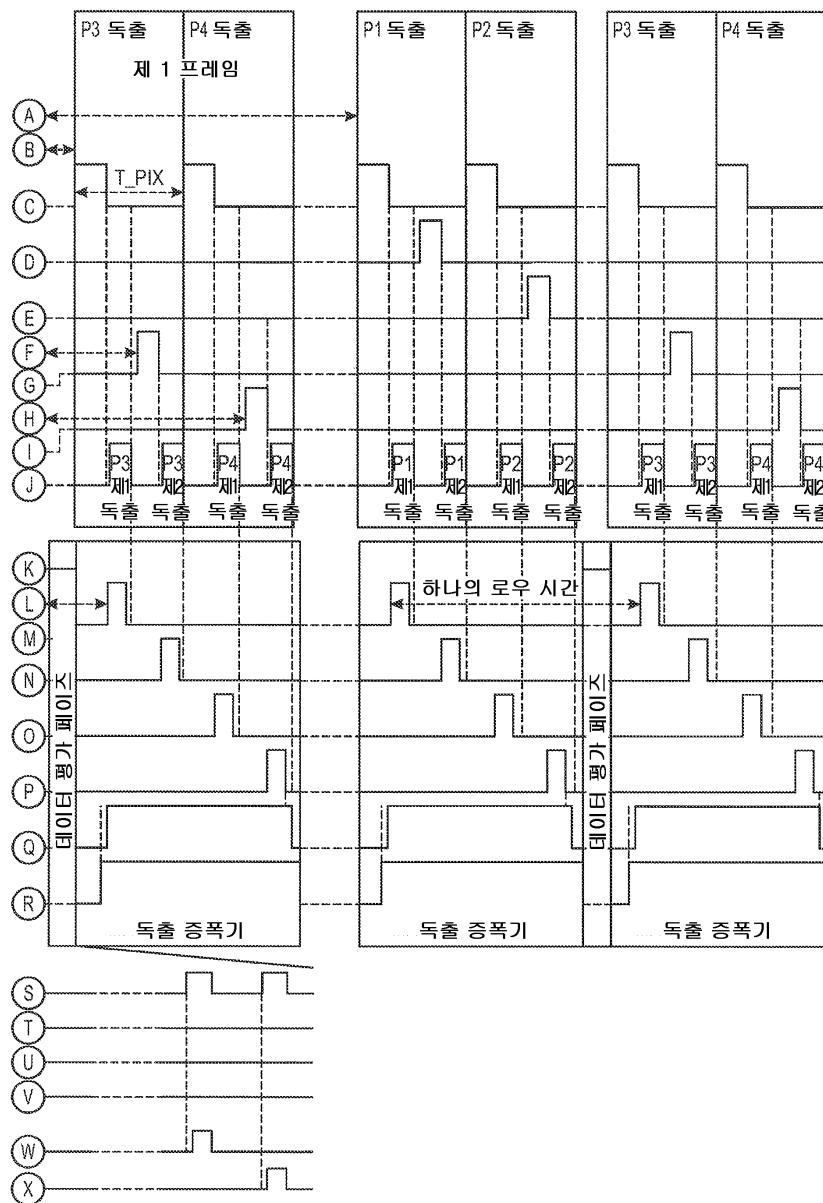
## 도면5b



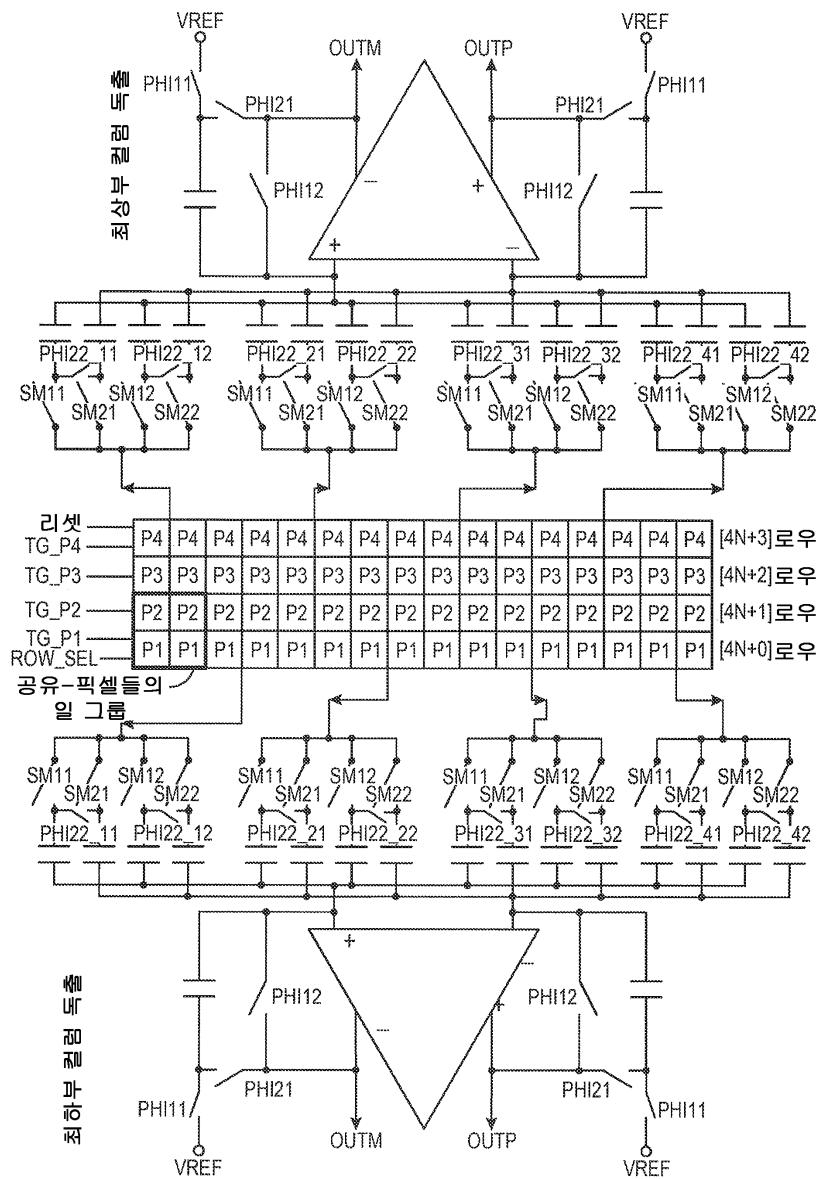
## 도면6aa



## 도면6ab



## 도면6b



## 도면7

