

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-206355
(P2009-206355A)

(43) 公開日 平成21年9月10日(2009.9.10)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8247 (2006.01)	HO 1 L 27/10 4 3 4	5 F 0 8 3
HO 1 L 27/115 (2006.01)	HO 1 L 27/10 4 8 1	5 F 1 0 1
HO 1 L 27/10 (2006.01)	HO 1 L 29/78 3 7 1	
HO 1 L 29/788 (2006.01)		
HO 1 L 29/792 (2006.01)		

審査請求 未請求 請求項の数 5 O L (全 21 頁)

(21) 出願番号 特願2008-48410 (P2008-48410)
(22) 出願日 平成20年2月28日 (2008.2.28)

(71) 出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(74) 代理人 100058479
弁理士 鈴江 武彦
(74) 代理人 100108855
弁理士 蔵田 昌俊
(74) 代理人 100091351
弁理士 河野 哲
(74) 代理人 100088683
弁理士 中村 誠
(74) 代理人 100109830
弁理士 福原 淑弘
(74) 代理人 100075672
弁理士 峰 隆司

最終頁に続く

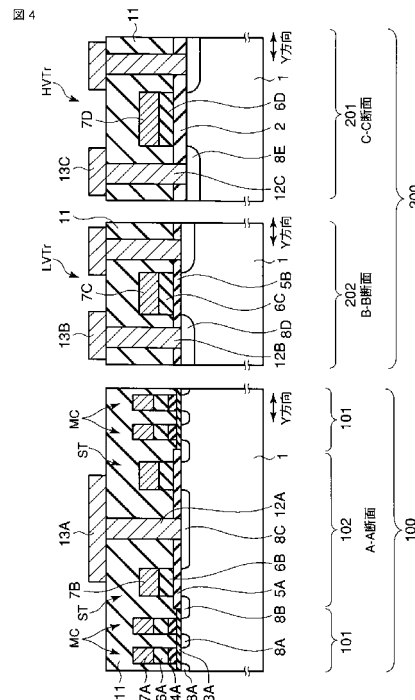
(54) 【発明の名称】 不揮発性半導体メモリ及び不揮発性半導体メモリの製造方法

(57) 【要約】

【課題】 不揮発性半導体メモリの動作の安定化を図ることができる。

【解決手段】 本発明の例に関わる不揮発性半導体メモリは、メモリセル形成領域101内に設けられる2つの拡散層8Aと、拡散層8A間の半導体基板1表面に設けられるゲート絶縁膜3Aと、ゲート絶縁膜3A上に設けられる電荷蓄積層4Aと、電荷蓄積層4A上に設けられブロック絶縁膜6Aと、ブロック絶縁膜6A上に設けられるゲート電極7Aとを有するメモリセルMCと、セレクトゲート形成領域102内に設けられる2つの拡散層8B、8Cと、拡散層8B、8C間の半導体基板1表面に設けられるゲート絶縁膜5Aと、ゲート絶縁膜5A上に直接接触して設けられるブロック絶縁膜6Aと同一構成の中間絶縁膜6Bと、中間絶縁膜6B上に設けられるゲート電極7Bとを有するセレクトゲートトランジスタSTと、を備える。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

半導体基板内に設けられるメモリセルアレイ領域と、
前記メモリセルアレイ領域内に設けられるメモリセル形成領域及びセレクトゲート形成領域と、

前記メモリセル形成領域内の半導体基板内に設けられる 2 つの第 1 の拡散層と、前記第 1 の拡散層間の前記半導体基板表面に設けられる第 1 のゲート絶縁膜と、前記第 1 のゲート絶縁膜上に設けられる電荷蓄積層と、前記電荷蓄積層上に設けられブロック絶縁膜となる第 1 の中間絶縁膜、前記第 1 の中間絶縁膜上に設けられる第 1 のゲート電極とをそれぞれ有する複数のメモリセルと、

前記セレクトゲート形成領域内の前記半導体基板内に設けられる 2 つの第 2 の拡散層と、前記第 2 の拡散層間の前記半導体基板表面に設けられる第 2 のゲート絶縁膜と、前記第 2 のゲート絶縁膜上に直接接触して設けられる前記第 1 の中間絶縁膜と同一構成の第 2 の中間絶縁膜と、前記第 2 の中間絶縁膜上に設けられる第 2 のゲート電極とをそれぞれ有する複数のセレクトゲートトランジスタと、

を具備することを特徴とする不揮発性半導体メモリ。

【請求項 2】

前記複数のメモリセルは、それぞれの前記第 1 の拡散層を共有するように直列接続され、

前記複数のセレクトゲートトランジスタの前記第 2 の拡散層は、前記直列接続された複数のメモリセルの一端及び他端の前記第 1 の拡散層に接続され、

前記直列接続された複数のメモリセルの前記第 1 のゲート電極上端と前記セレクトゲートトランジスタの前記第 2 のゲート電極上端とは、段差があることを特徴とする請求項 1 に記載の不揮発性半導体メモリ。

【請求項 3】

前記メモリセルアレイ領域に隣接する周辺回路領域と、

前記周辺回路領域内の前記半導体基板内に設けられる 2 つの第 3 の拡散層と、前記第 3 の拡散層間の前記半導体基板表面に設けられる第 3 のゲート絶縁膜と、前記第 3 のゲート絶縁膜上に直接接触して設けられる前記第 1 の中間絶縁膜と同一構成の第 3 の中間絶縁膜と、前記第 2 の中間絶縁膜上に設けられる第 3 のゲート電極とそれぞれ有する複数の周辺トランジスタとをさらに具備し、

前記第 3 のゲート絶縁膜の膜厚は、前記第 2 のゲート絶縁膜の膜厚よりも厚いことを特徴とする請求項 1 又は 2 に記載の不揮発性半導体メモリ。

【請求項 4】

半導体基板内のメモリセルアレイ領域内において、メモリセル形成領域内及びセレクトゲート形成領域内に第 1 のゲート絶縁膜材を形成する工程と、

前記第 1 のゲート絶縁膜材上に、電荷蓄積層となる電荷蓄積層材を形成する工程と、

前記セレクトゲート形成領域内の前記電荷蓄積層材を除去し、前記セレクトゲート形成領域内の前記第 1 のゲート絶縁膜材表面を露出させる工程と、

前記セレクトゲート形成領域内の前記第 1 のゲート絶縁膜材を除去し、前記セレクトゲート形成領域内に第 2 のゲート絶縁膜材を形成する工程と、

前記メモリセル形成領域内に残存された前記電荷蓄積層上及び前記セレクトゲート形成領域内の前記第 2 のゲート絶縁膜上に、絶縁材を形成する工程と、

前記絶縁材上に、ゲート電極材を形成する工程と、

前記メモリセル形成領域内の前記ゲート電極材、前記絶縁材及び前記電荷蓄積層材、前記セレクトゲート形成領域内の前記ゲート電極材及び前記絶縁材を順次エッチングすることによって、前記メモリセル形成領域内においては、第 1 のゲート電極、メモリセルのブロック絶縁膜となる第 1 の中間絶縁膜及び電荷蓄積層からなる第 1 の積層体を形成し、前記セレクトゲート形成領域内においては、第 2 のゲート電極及び前記第 1 の中間絶縁膜と同一構成の第 2 の中間絶縁膜からなる第 2 の積層体を形成する工程と、

10

20

30

40

50

前記メモリセル形成領域内及び前記セレクトゲート形成領域内の前記半導体基板内に、前記第1及び第2の積層体に対して自己整合的に、メモリセル及びセレクトゲートトランジスタのソース/ドレイン領域となる第1及び第2の拡散層をそれぞれ形成する工程と、を具備することを特徴とする不揮発性半導体メモリの製造方法。

【請求項5】

前記ゲート電極材上に犠牲膜を形成する工程と、
前記犠牲膜の上面に対して、平坦化処理を行う工程と、
前記犠牲膜にパターンニングを施して、前記第1及び第2の積層体とを形成する工程と、
をさらに具備することを特徴とする請求項4に記載の不揮発性半導体メモリの製造方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、不揮発性半導体メモリに係り、特に、フラッシュメモリに関する。また、本発明は、不揮発性半導体メモリの製造方法に関する。

【背景技術】

【0002】

不揮発性半導体メモリ、例えば、フラッシュメモリは、記憶装置として様々な電子機器に搭載されている。

【0003】

フラッシュメモリは、データの記憶を担うメモリセルアレイ領域とその制御回路が配置される周辺回路領域とを主な構成領域としている。そして、メモリセルアレイ領域にはメモリセル及びセレクトゲートトランジスタが設けられ、周辺回路領域には、高耐圧MIS (Metal-insulator-semiconductor) トランジスタ及び低耐圧MIS トランジスタなどの周辺トランジスタが設けられている。

20

【0004】

これまで、メモリセルは、フローティングゲート電極を電荷蓄積層とする構造が主流であった。近年では、記憶容量の大容量化及びそれに伴うメモリセルの微細化のため、例えば、絶縁層を電荷蓄積層とするMONOS (Metal-Oxide-Nitride-Oxide-semiconductor) 構造のメモリセルの開発が進められている (例えば、特許文献1及び2参照)。

30

【0005】

フラッシュメモリの一般的な製造方法としては、製造工程の削減のため、メモリセル、セレクトゲートトランジスタ及び周辺トランジスタが、ほぼ同時に形成されている。この製造方法を用いて、MONOS型メモリセルを有するフラッシュメモリを作製すると、セレクトゲートトランジスタ及び周辺トランジスタは、そのゲート絶縁膜上に電荷蓄積層と同様の絶縁層を有するゲート構造となる。この構造において、ゲート電極に電圧が印加されると、絶縁層 (電荷蓄積層) に電荷が蓄積されてしまい、セレクトゲートトランジスタ及び周辺トランジスタのしきい値電圧が変動し、各トランジスタ及びそれによって構成される回路の動作に支障をきたす。

【0006】

それゆえ、セレクトゲートトランジスタ及び周辺トランジスタが電荷蓄積層を有しないMIS構造にするために、メモリセルとMISトランジスタとをそれぞれ異なる製造工程によって作製すると、製造工程数が増加してしまう。また、各形成領域のプロセスマージンの確保のため、各領域間の境界付近に新たな領域を設けなければならない。さらには、メモリセルは電荷蓄積層及びブロック絶縁膜を有するが、セレクトゲートトランジスタ及び周辺トランジスタはそのどちらも有さないため、メモリセルのゲート電極上端とセレクトゲートトランジスタ/周辺トランジスタのゲート電極上端との間に、段差が生じる。その段差のため、製造工程中の加工難度が著しく向上してしまう。

40

【特許文献1】特開2002-324860号公報

【特許文献2】特開2004-296683号公報

50

【発明の開示】

【発明が解決しようとする課題】

【0007】

本発明は、不揮発性半導体メモリの動作を安定化できる技術を提案する。

【課題を解決するための手段】

【0008】

本発明の例に関わる不揮発性半導体メモリは、半導体基板内に設けられるメモリセルアレイ領域と、前記メモリセルアレイ領域内に設けられるメモリセル形成領域及びセレクトゲート形成領域と、前記メモリセル形成領域内の半導体基板内に設けられる2つの第1の拡散層と、前記第1の拡散層間の前記半導体基板表面に設けられる第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられる電荷蓄積層と、前記電荷蓄積層上に設けられブロック絶縁膜となる第1の中間絶縁膜、前記第1の中間絶縁膜上に設けられる第1のゲート電極とをそれぞれ有する複数のメモリセルと、前記セレクトゲート形成領域内の前記半導体基板内に設けられる2つの第2の拡散層と、前記第2の拡散層間の前記半導体基板表面に設けられる第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に直接接触して設けられる前記第1の中間絶縁膜と同一構成の第2の中間絶縁膜と、前記第2の中間絶縁膜上に設けられる第2のゲート電極とをそれぞれ有する複数のセレクトゲートトランジスタと、を備える。

10

【0009】

本発明の例に関わる不揮発性半導体メモリの製造方法は、半導体基板内のメモリセルアレイ領域内において、メモリセル形成領域内及びセレクトゲート形成領域内に第1のゲート絶縁膜材を形成する工程と、前記第1のゲート絶縁膜材上に、電荷蓄積層となる電荷蓄積層材を形成する工程と、前記セレクトゲート形成領域内の前記電荷蓄積層材を除去し、前記セレクトゲート形成領域内の前記第1のゲート絶縁膜材表面を露出させる工程と、前記セレクトゲート形成領域内の前記第1のゲート絶縁膜材を除去し、前記セレクトゲート形成領域内に第2のゲート絶縁膜材を形成する工程と、前記メモリセル形成領域内に残存された前記電荷蓄積層上及び前記セレクトゲート形成領域内の前記第2のゲート絶縁膜上に、絶縁材を形成する工程と、前記絶縁材上に、ゲート電極材を形成する工程と、前記メモリセル形成領域内の前記ゲート電極材、前記絶縁材及び前記電荷蓄積層材、前記セレクトゲート形成領域内の前記ゲート電極材及び前記絶縁材を順次エッチングすることによって、前記メモリセル形成領域内においては、第1のゲート電極、メモリセルのブロック絶縁膜となる第1の中間絶縁膜及び電荷蓄積層からなる第1の積層体を形成し、前記セレクトゲート形成領域内においては、第2のゲート電極及び前記第1の中間絶縁膜と同一構成の第2の中間絶縁膜からなる第2の積層体を形成する工程と、前記メモリセル形成領域内及び前記セレクトゲート形成領域内の前記半導体基板内に、前記第1及び第2の積層体に対して自己整合的に、メモリセル及びセレクトゲートトランジスタのソース/ドレイン領域となる第1及び第2の拡散層をそれぞれ形成する工程と、を備える。

20

30

【発明の効果】

【0010】

本発明によれば、不揮発性半導体メモリの動作を安定化できる。

40

【発明を実施するための最良の形態】

【0011】

以下、図面を参照しながら、本発明の例を実施するためのいくつかの形態について詳細に説明する。

【0012】

1. 概要

本発明の実施形態に係る不揮発性半導体メモリは、例えば、MONOS型メモリセルが用いられるフラッシュメモリに関する。

【0013】

本実施形態に係るフラッシュメモリにおいては、メモリセルのゲート構造は、ゲート絶

50

縁膜（トンネル絶縁膜）上に、電荷蓄積層とブロック絶縁膜とゲート電極とが積層された構造とを有している。その一方で、セレクトゲートトランジスタのゲート構造は、ゲート絶縁膜上に、メモリセルのブロック絶縁膜と同一構成の中間絶縁膜と、ゲート電極とが積層された構造を有している。このセレクトゲートトランジスタのゲート構造においては、中間絶縁膜がゲート絶縁膜とゲート電極とに挟み込まれた構成となり、中間絶縁膜がゲート絶縁膜に直接接触している。

【0014】

このように、本実施形態に係るセレクトゲートトランジスタは電荷蓄積層を含まないため、このセレクトゲートトランジスタにおいて、電荷蓄積層への電荷注入に起因するしきい値電圧の変動は生じない。

10

【0015】

したがって、本発明の実施形態によれば、フラッシュメモリの動作を安定化できる。

【0016】

また、上記のセレクトゲートトランジスタのゲート構造において、ゲート絶縁膜とゲート電極との間に、中間絶縁膜が介在している。そのため、メモリセル及びセレクトゲートトランジスタのゲートをそれぞれ構成する積層体において、それらの積層体の構成の違いは電荷蓄積層の有無であり、それぞれのゲートを構成する積層体の高さの違いは電荷蓄積層の膜厚程度となる。それゆえ、2つの積層体の上端で発生する段差を緩和でき、その段差に起因するプロセスマージンの低下を抑制できる。

20

【0017】

したがって、本発明の実施形態によれば、フラッシュメモリの製造工程において、加工難度を低減できる。

【0018】

また、本発明の実施形態では、上記の構造を有する不揮発性半導体メモリ（フラッシュメモリ）の製造方法についても説明する。

【0019】

2. 実施形態

以下、図1乃至図10を参照して、本発明の実施形態について説明する。

【0020】

(1) フラッシュメモリの構成

30

図1乃至図2を用いて、本発明の実施形態に係る不揮発性半導体メモリの構成について、説明する。本実施形態においては、不揮発性半導体メモリとして、フラッシュメモリを例に説明する。

【0021】

図1は、フラッシュメモリの構成を示す概略図である。図1に示すように、フラッシュメモリは、主に、メモリセルアレイ領域100とその周囲の周辺回路領域200とから構成され、それらは同一のチップ（半導体基板）上に設けられている。

【0022】

メモリセルアレイ領域100内には、複数のメモリセル及び複数のセレクトゲートトランジスタが設けられている。

40

【0023】

図2は、メモリセルアレイ領域100の内部構成を示す等価回路図である。図2では、一例として、NAND型の等価回路図を図示している。

図2に示すように、メモリセルアレイ領域100は、複数のブロックを有している。

【0024】

1つのブロックBLOCK_iは、X方向に並んだ複数のセルユニットCUから構成される。セルユニットCUは、Y方向に直列接続される複数のメモリセルMCからなるNANDストリングと、NANDストリングのY方向の一端及び他端にそれぞれ接続される2つのセレクトゲートトランジスタSTとから構成される。

【0025】

50

複数のビット線 BL は Y 方向に延在し、1つのビット線 BL が $NAND$ スtringのドレイン側に設けられるセレクトゲートトランジスタ ST のドレインに接続される。複数のソース線 SL は、例えば、 X 方向に延在し、 $NAND$ スtringのソース側に設けられるセレクトゲートトランジスタ ST のソースに接続される。 Y 方向に配列されるブロック $BLOCK_i$ 、 $BLOCK_{i-1}$ 、 $BLOCK_{i+1}$ は、1つのビット線 BL を共有している。また、 Y 方向に隣接する2つのブロック $BLOCK$ は1つのソース線 SL を共有している。

【0026】

複数のワード線 WL は、 Y 方向と交差する X 方向に延在している。そして、1つのワード線 WL が X 方向に隣接している複数のメモリセルに共通接続される。複数のセレクトゲート線 SSL は X 方向に延び、 X 方向に隣接している複数のセレクトゲートトランジスタ ST に共通に接続される。そのため、ブロック $BLOCK_i$ 内のそれぞれでは、複数のワード線 WL が、2つのセレクトゲート線 SL によって挟み込まれた構成となっている。

10

【0027】

周辺回路領域 200 内には、ワード線・セレクトゲート線ドライバ 210 、センスアンプ回路 220 及び制御回路 230 が設けられる。これらの回路 210 、 220 、 230 は、周辺トランジスタとしての複数の高耐圧系 MIS トランジスタ及び複数の低耐圧系 MIS トランジスタを構成素子として、有している。

【0028】

(2) 構造

図3乃至図6を用いて、メモリセルアレイ領域 100 内に設けられるメモリセル及びセレクトゲートトランジスタ、周辺回路領域 200 内に設けられる高耐圧系/低耐圧系 MIS トランジスタの構造について、説明する。尚、本実施形態において、メモリセルアレイ領域 100 内については説明の簡単化のため、図2の領域 III (点線で囲まれた領域) に対応する領域のみを図示して説明する。また、周辺回路領域 200 内においては、高耐圧系 MIS トランジスタ $HVTr$ 、低耐圧系 MIS トランジスタ $LVTr$ をそれぞれ1つ図示して、説明する。

20

【0029】

図3は、メモリセルアレイ領域 100 及び周辺回路領域 200 の平面構造を図示している。図4は、図3に示される $A-A$ 線、 $B-B$ 線及び $C-C$ 線に沿う断面構造を図示している。また、図5及び図6は、図3の $D-D$ 線に沿うメモリセルアレイ領域 100 の断面構造の一例をそれぞれ図示している。

30

【0030】

図3に示すように、メモリセルアレイ領域 100 の表面領域は、複数のアクティブ領域 AA と複数の素子分離領域 STI から構成されている。アクティブ領域 AA 及び素子分離領域 STI は Y 方向に延在し、1つのアクティブ領域 AA は2つの素子分離領域 STI に挟み込まれている。

【0031】

複数のワード線 WL は X 方向に延在し、アクティブ領域 AA と交差している。複数のメモリセル MC は、ワード線 WL とアクティブ領域 AA との交差箇所にそれぞれ設けられている。セレクトゲート線 SSL もワード線 WL と同様に X 方向に延び、セレクトゲートトランジスタ ST はセレクトゲート線 SSL とアクティブ領域 AA との交差箇所にそれぞれ設けられている。また、2つのセレクトゲート線間のアクティブ領域 AA 内には、コンタクト $C1$ が設けられ、これは2つのセレクトゲートトランジスタ ST で共有される。

40

【0032】

以下、本実施形態においては、メモリセルアレイ領域 100 のうち、メモリセルが配置(形成)される領域をメモリセル形成領域 101 と呼び、セレクトゲートトランジスタが配置(形成)される領域をセレクトゲート形成領域と呼ぶ。

【0033】

また、周辺回路領域 200 内には、高耐圧系 MIS トランジスタ $HVTr$ と低耐圧系 M

50

I SトランジスタL V T rとが設けられている。以下、本実施形態において、周辺回路領域2 0 0のうち、高耐圧系M I Sトランジスタが配置（形成）される領域を高耐圧系トランジスタ形成領域2 0 1と呼び、低耐圧系M I Sトランジスタが配置（形成）される領域を低耐圧系トランジスタ形成領域2 0 2と呼ぶ。高耐圧系及び低耐圧系トランジスタ形成領域2 0 1, 2 0 2はそれぞれ素子分離領域に取り囲まれ、互いに電氣的に分離された素子領域A A L, A A Hが設けられる。各M I SトランジスタH V T r, L V T rのゲート電極7 C, 7 Dは素子領域A A L, A A Hを縦断するようにX方向に延び、素子分離領域S T I上まで引き出されている。その引き出された箇所において、コンタクト1 2 B, 1 2 Cがゲート電極7 C, 7 D上にそれぞれ設けられている。

【0034】

図4に示すように、メモリセル形成領域1 0 1内に設けられるメモリセルM Cは、M O N O S構造のメモリセルである。即ち、メモリセルM Cのゲート構造は、半導体基板1表面上のゲート絶縁膜3 A上に電荷蓄積層4 Aが設けられ、この電荷蓄積層3 Aとゲート電極7 Aとの間にブロック絶縁膜6 Aが設けられた構造となっている。そして、メモリセルM Cは、ソース/ドレイン領域となる2つの拡散層8 Aを有し、それをY方向（チャネル長方向）に隣接するメモリセルM Cで共有することによって、Y方向に直列接続されている。

【0035】

ゲート絶縁膜（第1のゲート絶縁膜）3 Aは、例えば、膜厚が4 n m程度のシリコン酸化膜であり、電荷蓄積層3 Aへの電荷注入の際にトンネル絶縁膜として機能する。また、ゲート絶縁膜3 Aに、シリコン酸化膜/シリコン窒化膜/シリコン酸化膜の積層構造を有するO N O膜や、ゲート絶縁膜3 A中にゲルマニウム（G e）等の注入アシスト準位を含む層をトンネル膜の両界面に位置させた膜を用いることにより、ゲート絶縁膜の信頼性を向上でき、さらには、書き込み/消去特性を向上できる。

【0036】

電荷蓄積層4 Aは電荷捕獲準位を多く含む膜であり、例えば、シリコン窒化膜などの絶縁膜である。電荷蓄積層4 Aがシリコン窒化膜である場合、その膜厚は3 n m ~ 6 n m程度である。電荷蓄積層4 Aは、例えば、図5或いは図6に示すように、X方向（チャネル幅方向）において、素子分離領域S T I内に埋め込まれた素子分離絶縁膜1 0によって、電氣的に分離されている。尚、電荷蓄積層4 AのX方向の断面構造は、図5及び図6に示す例に限定されるものではない。例えば、電荷蓄積層4 Aが絶縁膜であれば、X方向に隣接するメモリセルM C間で分離する必要はなく、電荷蓄積層4 Aがアクティブ領域A A上及び素子分離領域S T I上をX方向に延在する構造であってもよい。

【0037】

ブロック絶縁膜（第1の中間絶縁膜）6 Aは、ゲート電極に電圧が印加された際に、電荷蓄積層3 Aに捕獲された電荷がゲート電極7 Aに放出されるのを阻止する。ブロック絶縁膜6 Aは、例えば、 $A l_2 O_3$ 、 $H f O_2$ 、 $T a_2 O_5$ 、 $L a_2 O_3$ 、 $L a L i O_3$ 、 $Z r O_2$ 、 $Y_2 O_3$ 、 $Z r S i O_4$ などの高誘電体膜である。さらには、これらの複合膜や、これらの膜とS i N膜又はS i O₂膜との積層膜でも良い。ブロック絶縁膜6 Aがアルミナ膜である場合、その膜厚は、例えば、2 0 n m ~ 3 0 n m程度である。ブロック絶縁膜6 Aは、図5に示すように素子分離絶縁膜1 0によって、X方向に隣接するメモリセルM C毎に分離されてもよいし、図6に示すように、電荷蓄積層3 A上及び素子分離絶縁膜1 0上をX方向に延在していてもよい。以下では、アルミナ膜をブロック絶縁膜6 Aとして用いた例について説明する。但し、本実施形態は、それに限定されるものではない。

【0038】

ゲート電極（第1のゲート電極）7 AはX方向に延在し、X方向に隣接する複数のメモリセルM Cで共有され、ワード線W Lとして機能する。ゲート電極7 Aは、例えば、ポリシリコン、シリサイド、アルミ（A l）や銅（C u）などの金属材料から構成される。また、ゲート電極7 Aは上記の材料の単層膜でもよいし、例えば、ポリシリコン上にシリサイドが積層された、いわゆる、ポリサイド膜のように、異なる材料が積層された積層膜で

10

20

30

40

50

もよい。

【0039】

セレクトゲート形成領域102内に設けられるセレクトゲートトランジスタSTは、次のような構成を有している。セレクトゲートトランジスタSTのゲート構造は、半導体基板1表面上のゲート絶縁膜5Aと、ゲート電極7Bと、ゲート絶縁膜5Aとゲート電極7Bとの間に挟み込まれた中間絶縁膜6Bから構成される。また、セレクトゲートトランジスタSTは、半導体基板1内に設けられた拡散層8B, 8Cをソース/ドレイン領域としている。拡散層8Bは、Y方向に隣接するメモリセルMCと共有され、それによってメモリセルMCと直列接続される。拡散層8Cはコンタクト12Aを介して配線層13Aに接続される。

10

【0040】

セレクトゲートトランジスタSTのゲート絶縁膜5Aの膜厚は、メモリセルのゲート絶縁膜(トンネル絶縁膜)3Aの膜厚より厚く、例えば、7nm程度である。ゲート絶縁膜5Aの膜厚をゲート絶縁膜3Aの膜厚より厚くすることによって、セレクトゲートトランジスタSTのゲート耐圧が確保されている。また、セレクトゲートトランジスタSTのゲート長は、ドレイン-ソース間耐圧の確保のため、メモリセルMCのゲート長よりも大きくされている。

【0041】

中間絶縁膜(第2の中間絶縁膜)6Bはゲート絶縁膜5A上に設けられている。中間絶縁膜6Bは、メモリセルMCのブロック絶縁膜6Aと同時に形成されるため、ブロック絶縁膜6Bと同一構成であり、例えば、20nm~30nm程度のアルミナ膜である。

20

【0042】

ゲート電極(第2のゲート電極)7BはX方向に延在し、X方向に隣接する複数のセレクトゲートトランジスタSTで共有され、セレクトゲート線SGLとして機能する。ゲート電極7Bは、ゲート電極7Aと同時に形成されるため、ゲート電極7Aと同一の構成となる。

【0043】

高耐圧系トランジスタ形成領域201内に設けられる高耐圧系MISトランジスタHVTrは、次のような構成を有している。高耐圧系MISトランジスタHVTrのゲート構造は、半導体基板1表面上のゲート絶縁膜2と、ゲート電極7Dと、ゲート絶縁膜2とゲート電極7Dとの間に挟み込まれた中間絶縁膜6Dからなる。また、高耐圧系MISトランジスタHVTrは、半導体基板1内に設けられた2つの拡散層8Eをソース/ドレイン領域とし、拡散層8Eはコンタクトを介して、配線層13Cに接続されている。

30

【0044】

高耐圧系MISトランジスタHVTrは、例えば、書き込み電圧などの高電圧の転送を担う。そのため、そのゲート絶縁膜2の膜厚は、セレクトゲートトランジスタSTのゲート絶縁膜5Bの膜厚よりもさらに厚くされ、それによって、高耐圧系MISトランジスタHVTrのゲート耐圧が確保されている。例えば、ゲート絶縁膜2の膜厚は、30nm以上、50nm以下程度である。

【0045】

高耐圧系MISトランジスタHVTrにおいても、セレクトゲートトランジスタSTと同様に、ゲート絶縁膜(第3のゲート絶縁膜)2と中間絶縁膜(第3の中間絶縁膜)6Dとが直接接触した構造となっている。中間絶縁膜6Dもブロック絶縁膜6Aと同一構成であり、例えば、アルミナ膜である。

40

【0046】

また、ゲート電極(第3のゲート電極)7Dはゲート電極7Aと同時に形成されるため、ゲート電極7Aと同一の構成となる。高耐圧系MISトランジスタHVTrのゲート長は、ドレイン-ソース間耐圧の確保のため、セレクトゲートトランジスタSTやメモリセルMCのゲート長よりも大きくされている。

【0047】

50

低耐圧系トランジスタ形成領域 202 内に設けられる低耐圧系 M I S トランジスタ L V T r は、高耐圧系 M I S トランジスタと、ほぼ同一の構成を有している。即ち、低耐圧系 M I S トランジスタ L V T r のゲート構造は、半導体基板 1 表面上のゲート絶縁膜 5 B と、ゲート電極 7 C と、ゲート絶縁膜 5 B とゲート電極 7 D との間に挟み込まれた中間絶縁膜 6 D からなる。そして、低耐圧系 M I S トランジスタ L V T r は、ソース/ドレイン領域として機能する 2 つの拡散層 8 D を半導体基板 1 内に有しており、拡散層 8 D はコンタクト 12 B を介して配線層 13 B に接続されている。

【0048】

低耐圧系 M I S トランジスタ L V T r のゲート絶縁膜 5 B の膜厚は、例えば、6 nm ~ 9 nm 程度である。中間絶縁膜 6 C はブロック絶縁膜 6 A と同一構成であり、例えば、アルミナ膜である。また、ゲート電極 7 D はゲート電極 7 A と同時に形成されるため、ゲート電極 7 A と同一の構成となる。

10

低耐圧系 M I S トランジスタ L V T r は、例えば、ロジック回路のスイッチ素子として機能する。低耐圧系 M I S トランジスタ L V T r のゲート長は、セレクトゲートトランジスタ S T や高耐圧系 M I S トランジスタ H V T r と同様に、ドレイン - ソース耐圧の確保のため、メモリセル M C のゲート長よりも大きくされている。

【0049】

本発明の実施形態に係るフラッシュメモリにおいて、メモリセルアレイ領域 100 内に設けられるセレクトゲートトランジスタ S T は、中間絶縁膜 6 B とゲート絶縁膜 5 A とが直接接触したゲート構造を有している。

20

【0050】

つまり、本実施形態では、メモリセル M C においては、ゲート絶縁膜 3 A とゲート電極 7 A との間に、電荷蓄積層 4 A とブロック絶縁膜 6 A とが介在しているのに対し、セレクトゲートトランジスタ S T では、電荷蓄積層が設けられず、ブロック絶縁膜 6 A と同一構成の中間絶縁膜 6 B がゲート絶縁膜 5 A とゲート電極 7 B との間に介在するのみである。それゆえ、セレクトゲートトランジスタ S T では、そのゲート電極 7 B に電圧を印加しても、電荷蓄積層に電荷が注入されることはない。

【0051】

したがって、セレクトゲートトランジスタ S T において、電荷蓄積層の電荷捕獲に起因するしきい値電圧の変動は生じない。

30

【0052】

上述のようなセレクトゲートトランジスタ S T のゲート構造においては、ゲート電極 7 B と半導体基板 1 表面との間に設けられているゲート絶縁膜 5 A と中間絶縁膜 6 B とが、積層構造のゲート絶縁膜として実質的に機能する。図 7 は、そのようなゲート構造のセレクトゲートトランジスタ (M I S トランジスタ) の動作特性 ($V_g - I_d$ 特性) のシミュレーション結果を示している。図 7 においては、横軸 ($V_g [V]$) はリニアスケールで示され、縦軸 ($I_d [A]$) は \log スケールで示されている。図 7 に示す例では、ゲート絶縁膜 / ゲート電極のゲート構造となっている M I S トランジスタの特性曲線 50 と、本実施形態のようにゲート絶縁膜 / 中間絶縁膜 / ゲート電極のゲート構造となっている M I S トランジスタの特性曲線 51 とを示している。尚、特性曲線 51 における中間絶縁膜 (例えば、アルミナ膜) の膜厚は、例えば、20 nm である。

40

【0053】

図 7 の特性曲線 51 に示すように、ゲート絶縁膜とゲート電極との間に中間絶縁膜が介在していても、通常の M I S トランジスタ (特性曲線 50) とほぼ同様に、スイッチング動作をする。

【0054】

上述のように、高耐圧系 / 低耐圧系 M I S トランジスタ H V T r , L V T r も、セレクトゲートトランジスタ S T と同様に電荷蓄積層を含まず、ブロック絶縁膜 6 A と同一構成の中間絶縁膜 6 D , 6 C がゲート絶縁膜 2 , 5 B に直接接触したゲート構造を有している。そのため、高耐圧系 / 低耐圧系 M I S トランジスタ H V T r , L V T r についても、セ

50

レクトゲートトランジスタSTと同様に効果が得られる。

【0055】

また、各トランジスタの駆動力やゲート耐圧の確保のため、セレクトゲートトランジスタSTや高耐圧/低耐圧系MISTランジスタHVTr, LVTrのゲート長は、メモリセルのゲート長よりも大きくされている。ドレイン-ソース間耐圧(例えば、パンチスルー耐圧)やゲート耐圧はゲート絶縁膜に加わる電界強度及びゲート絶縁膜の膜厚に依存する。そのため、ゲート絶縁膜の膜厚が薄い場合には、ゲート長をより大きくすることで、ゲート絶縁膜に印加される電界強度を緩和させ、十分なドレイン-ソース間耐圧が確保される。

【0056】

本実施形態では、ゲート絶縁膜5Aとゲート電極7Bとの間に中間絶縁膜6Bが介在する結果として、中間絶縁膜6Bも、セレクトゲートトランジスタSTのゲート絶縁膜の一部として機能する。よって、実質的なゲート絶縁膜の膜厚が厚くなるため、ゲート長が小さくてもゲート絶縁膜のゲート耐圧を十分確保できる。そのため、各トランジスタST, HVTr, LVTrのゲート長を小さくでき、その結果として、セレクトゲート形成領域102や高耐圧系/低耐圧系トランジスタ形成領域201, 202(周辺回路領域200)のサイズを縮小できる。それゆえ、メモリセル形成領域のサイズを拡大でき、フラッシュメモリの記憶容量の増大に貢献できる。

【0057】

さらに、本実施形態においては、セレクトゲートトランジスタSTにおいて、ゲート絶縁膜5Aとゲート電極7Bの間には、ブロック絶縁膜と同時に形成される中間絶縁膜6Bが設けられている。そのため、メモリセルMCのゲートを構成する積層体の高さ(膜厚)は、セレクトゲートトランジスタのゲートを構成する積層体の高さ(膜厚)よりも、メモリセルMCの積層体内に設けられる電荷蓄積層4Aの膜厚分だけ高くなる。電荷蓄積層4A(例えば、シリコン窒化膜)の膜厚は5nm程度であるため、メモリセルMCの積層体(ゲート)の上端とセレクトゲートトランジスタSTの積層体(ゲート)の上端と間に生じる段差も、5nm程度となる。

【0058】

セレクトゲート形成領域102内の電荷蓄積層を除去する工程がブロック絶縁膜(中間絶縁膜)形成工程の後に実行された場合、電荷蓄積層とともにブロック絶縁膜も同時に除去される。この場合、セレクトゲートトランジスタSTは、ゲート絶縁膜とゲート電極とが直接接触した構造となり、メモリセルMCのゲート(積層体)の上端とセレクトゲートトランジスタSTのゲート(積層体)の上端と間に生じる段差は、電荷蓄積層とブロック絶縁膜との膜厚分、例えば、25nm~30nm程度となる。

【0059】

本実施形態のように、ブロック絶縁膜(中間絶縁膜)を除去せず、セレクトゲートトランジスタSTのゲートに残存させることで、メモリセル形成領域101とセレクトゲート形成領域102との間に生じる段差を小さくできる。したがって、リソグラフィやエッチングにおいて、段差に起因するプロセスマージンの低下を抑制することができる。

【0060】

また、本実施形態のように、メモリセル形成領域101とセレクトゲート形成領域102との間の段差が小さくなれば、CMP(Chemical Mechanical Polishing)法による、段差解消のための平坦化処理を実行せずともよい。それゆえ、製造工程数を減少させることもできる。さらに、本実施形態では、メモリセルMCとセレクトゲートトランジスタSTのゲートとなる積層体の構成の違いは、膜厚の薄い電荷蓄積層の有無だけである。そのため、メモリセルMCとセレクトゲートトランジスタSTのゲート加工を、一度の工程で実行できる。それゆえ、電荷蓄積層とブロック絶縁膜とが両方とも無い積層体と比較して、ゲートの加工が容易となる。

【0061】

尚、高耐圧系/低耐圧系MISTランジスタHVTr, LVTrも、セレクトゲートト

10

20

30

40

50

ランジスタSTと同様に、中間絶縁膜6D, 6Cがゲートを構成する積層体に設けられている。そのため、高耐圧系/低耐圧系トランジスタ形成領域201, 202においても、それらの領域とメモリセル領域101との間の段差や形成された膜の構成の違いが小さくなり、製造工程の削減及び加工難度の低下を図ることができる。

【0062】

以上のように、本発明の実施形態に係るフラッシュメモリによれば、その動作の安定化を図ることができる。

【0063】

また、本発明の実施形態に係るフラッシュメモリによれば、その製造工程において、加工難度を低減させることができる。

【0064】

(3) 製造方法

以下、図4乃至図10を用いて、本発明の実施形態に係る不揮発性半導体メモリ(フラッシュメモリ)の製造方法について説明する。

【0065】

はじめに、図8に示すように、高耐圧系トランジスタ形成領域201内において、例えば、RIE(Reactive Ion Etching)法によって、半導体基板1がエッチングされ、凹部が半導体基板1内に形成される。即ち、高耐圧系トランジスタ形成領域201の半導体基板1表面が、メモリセルアレイ領域100及び低耐圧トランジスタ形成領域202の半導体基板1表面よりも低くなる。

【0066】

そして、半導体基板1表面に犠牲酸化膜(図示せず)が形成された後、メモリセルアレイ領域100内及び周辺回路領域の高耐圧系/低耐圧系トランジスタ形成領域201, 202に対し、例えば、それぞれ異なるドーズ量のイオン注入が実行され、各素子形成領域に対応した不純物濃度のウェル領域(図示せず)がそれぞれ形成される。

【0067】

犠牲酸化膜が剥離された後、半導体基板1に対して、例えば、熱酸化処理が施され、半導体基板1表面に30~50nm程度の絶縁膜(例えば、シリコン酸化膜)が形成される。このシリコン酸化膜は、例えば、フォトリソグラフィ技術及びRIE法によって、メモリセルアレイ領域100内及び低耐圧系トランジスタ形成領域202内では除去され、高耐圧系トランジスタ形成領域201内の凹部内(半導体基板1表面)にのみ残存される。この高耐圧系トランジスタ形成領域201内に残存したシリコン酸化膜2は、高耐圧系MISトランジスタのゲート絶縁膜となる。尚、各領域間の段差を緩和するため、酸化膜2の上端がメモリセルアレイ領域100の半導体基板1表面上端とほぼ一致するように、凹部が形成されることが好ましい。

【0068】

続いて、半導体基板1表面に対し、例えば、熱酸化処理が再び実行され、メモリセルアレイ領域100内及び低耐圧系トランジスタ形成領域202内の半導体基板1表面にシリコン酸化膜3が形成される。シリコン酸化膜3はメモリセルのトンネル絶縁膜となり、その膜厚は、3nm~5nm程度である。

【0069】

そして、メモリセルの電荷蓄積層となる絶縁材(以下、電荷蓄積層材と呼ぶ)4が、例えば、CVD(Chemical Vapor Deposition)法により、4nm~6nm程度の膜厚で、シリコン酸化膜2, 3上に形成される。電荷蓄積層材4は、例えば、シリコン窒化膜など、電荷捕獲準位を多く含む材料から構成される。

【0070】

次に、図9に示すように、メモリセルアレイ領域100内のセレクトゲート形成領域102、高耐圧系/低耐圧系トランジスタ形成領域201, 202内の電荷蓄積層材4が、例えば、フォトリソグラフィ技術及びRIE法を用いて、除去される。それに加え、例えば、セレクトゲート形成領域102内及び低耐圧系トランジスタ形成領域202内にお

10

20

30

40

50

いては、半導体基板 1 表面のシリコン酸化膜も除去される。そして、新たな絶縁膜（例えば、シリコン酸化膜）5 A , 5 B が、例えば、熱酸化処理によって膜厚が 6 nm 程度となるように、セレクトゲート形成領域 1 0 2 内及び低耐圧系トランジスタ形成領域 2 0 2 内の半導体基板 1 表面上に形成される。シリコン酸化膜 5 A , 5 B は、セレクトゲートトランジスタ及び低耐圧系 M I S トランジスタのゲート絶縁膜となる。

【 0 0 7 1 】

ここで、図 3 に示すメモリセルの D - D 線に沿う断面構造が図 6 に示す構造の場合には、電荷蓄積層材 4 の形成後に、フォトリソグラフィ技術及び R I E 法により、半導体基板 1 内に溝が形成される。その溝内に素子分離絶縁膜が埋め込まれ、アクティブ領域と素子分離領域とが形成される。

10

【 0 0 7 2 】

この工程によって、メモリセル形成領域 1 0 1 内には、電荷蓄積層材 4 がメモリセルのゲート絶縁膜 3 A 上に残存し、セレクトゲート形成領域 1 0 2 内においては、電荷蓄積層材 4 は存在せず、選択トランジスタのゲート絶縁膜となるシリコン酸化膜 5 A の表面が露出した構造となる。また、周辺回路領域 2 0 0 内においても、電荷蓄積層材 4 が存在せず、高耐圧系 / 低耐圧系 M I S トランジスタのゲート絶縁膜となるシリコン酸化膜 2 , 5 B 表面が露出した構造となる。

【 0 0 7 3 】

続いて、図 1 0 に示すように、メモリセルアレイ領域 1 0 0 内及び周辺トランジスタ領域 2 0 0 内において、メモリセルのブロック絶縁膜となる絶縁材 6 が、例えば、C V D 法によって、2 0 nm ~ 3 0 nm 程度の膜厚となるように、電荷蓄積層材 4 及び絶縁膜 5 A , 5 B 上に形成される。絶縁材 6 は、例えば、アルミナ (A l ₂ O ₃) である。尚、それに限定されず、酸化ハフニウムなど他の高誘電体絶縁材料や、シリコン窒化膜、シリコン酸化膜などの絶縁膜でもよい。

20

【 0 0 7 4 】

また、絶縁膜 6 上には、ゲート電極材 7 が形成され、さらに、ゲート電極材 7 上に、ゲート形成工程の際のマスクとなるマスク材 9 が形成される。ゲート電極材 7 は、例えば、ポリシリコン膜、シリサイド膜、或いは、タングステン (W) やアルミ (A l) 、銅 (C u) 等の金属材料などのうち、いずれか 1 つが用いられる。また、その構造は、それらのゲート電極材の単層膜でもよいし、例えば、ポリサイド構造のように、ポリシリコン膜とシリサイド膜とが積層された積層膜でもよい。

30

【 0 0 7 5 】

メモリセル及び各トランジスタのゲート電極をポリサイド構造とする場合には、以下の順序で形成される。絶縁膜 6 上に、ポリシリコン膜が例えば C V D 法により形成され、そのポリシリコン層上に、例えば、ニッケル (N i) 膜がスパッタ法により形成される。そして、半導体基板 1 に加熱処理を施して、ポリシリコン膜の上部を N i 膜とシリサイド反応させる。これによって、ポリシリコン膜上にニッケルシリサイド (N i S i ₂) 膜が形成され、ポリサイド構造のゲート電極材が形成される。ゲート電極をシリサイド膜の単層構造、いわゆる F U S I 構造とする場合には、上記のシリサイド処理工程において、ポリシリコン膜の全体をシリサイド化させる。また、ゲート電極をポリシリコン膜又は金属材料の単層構造とする場合には、C V D 法又はスパッタ法により、ゲート電極材 7 が絶縁膜 6 上に形成される。

40

【 0 0 7 6 】

この工程により、メモリセル形成領域 1 0 1 内においては、ゲート絶縁膜となる絶縁膜 3 A とブロック絶縁膜となる絶縁膜 6 との間に、電荷蓄積層となる電荷蓄積層材 4 が介在した構造となる。一方、セレクトゲート形成領域 1 0 2 内、高耐圧 / 低耐圧系トランジスタ形成領域 2 0 1 , 2 0 2 内においては、ゲート絶縁膜となる絶縁膜 2 , 5 A , 5 B と絶縁膜 6 との間には、電荷蓄積層材は存在せず、絶縁膜 5 A , 5 B , 2 と絶縁膜 6 とが直接接触した構造となる。

【 0 0 7 7 】

50

この場合、メモリセル形成領域100とセレクトゲート形成領域102とにおいて、段差Zが生じている。この段差Zは、セレクトゲート形成領域102内に電荷蓄積層材4が含まれていないことに起因し、その領域102内で積層された膜（以下、積層体と呼ぶ）上端が、メモリセル形成領域101内の積層体上端よりも、電荷蓄積層材4の膜厚（例えば、5nm程度）分、半導体基板1側に後退している。尚、周辺回路領域200内においても、その領域の積層体上端は、メモリセル形成領域101の積層体上端より、電荷蓄積層材4の膜厚程度、半導体基板1側に後退している

続いて、図4に示すように、メモリセルMC、セレクトゲートトランジスタST、高耐圧系/低耐圧系MISトランジスタHVTr, LVTrがそれぞれ所定のパターンのゲートサイズとなるように、フォトリソグラフィ技術によって、パターンニングされる。そのパターンに基づいて、ゲート電極材7、絶縁材6及び電荷蓄積層材4が、例えば、RIE法により順次エッチングされる。メモリセルMC、セレクトゲートトランジスタST及び高耐圧/低耐圧系MISトランジスタHVTr, LVTrのゲートとなる積層体が形成される。

10

【0078】

そして、それらの積層体をマスクとして、ソース/ドレイン領域となる拡散層8A, 8B, 8C, 8D, 8Eが、積層体に対して自己整合的に半導体基板1内に形成される。これによって、メモリセルMC、セレクトゲートトランジスタST、高耐圧系/低耐圧系MISトランジスタHVTr, LVTrが、メモリセルアレイ領域100及び周辺回路領域200にそれぞれ形成される。

20

【0079】

その後、絶縁層11が、メモリセルMC、各トランジスタST, HVTr, LVTrのゲートを覆うように、例えばCVD法によって形成される。そして、絶縁層11に対して平坦化処理が実行された後、メモリセルアレイ領域100及び周辺回路200のコンタクト形成領域内において、コンタクト12A, 12B, 12Cが、拡散層8C, 8D, 8Eに直接接触するように絶縁層11内に埋め込まれる。さらに、配線層13A, 13B, 13Cが、コンタクト12A, 12B, 12Cと接続されるように、絶縁層11上に形成される。

【0080】

以上の製造工程によって、本発明の実施形態に係るフラッシュメモリが完成する。

30

【0081】

本発明の実施形態の製造方法において、メモリセルアレイ領域100内のセレクトゲート形成領域102内に形成された電荷蓄積層材が除去される。そして、その領域102内においては、ゲート絶縁膜5A上に直接接触するように、ブロック絶縁膜となる絶縁材6が形成される。

【0082】

それゆえ、上述の製造工程によって形成されるセレクトゲートトランジスタSTは、そのゲート内に電荷蓄積層を含まず、ブロック絶縁膜6Aと同時に形成される中間絶縁膜6Bがゲート絶縁膜5Aと直接接触した構成となる。それゆえ、本実施形態の製造方法によれば、電荷蓄積層に起因するしきい値変動が生じないセレクトゲートトランジスタを提供できる。

40

【0083】

また、従来のフラッシュメモリの製造方法において、セレクトゲートトランジスタSTのしきい値電圧の変動を抑制するために、セレクトゲート形成領域102内の電荷蓄積層材3だけでなく、ブロック絶縁膜となる絶縁材6も除去された場合、図9に示されるメモリセル形成領域101上端とセレクトゲート形成領域102上端との段差Zは、電荷蓄積層3Aと絶縁材6Bとの膜厚程度、例えば、25nm~30nm程度になる。この場合、段差に起因して、メモリセル形成領域101とセレクトゲート形成領域102とでリソグラフィの解像度に差異が生じ、プロセスマージンが低下してしまう。

【0084】

50

一方、本発明の実施形態に係るフラッシュメモリの製造方法では、セレクトゲート形成領域102内に絶縁材6が残存されているため、段差Zは電荷蓄積層材3の膜厚（例えば、5nm）程度である。したがって、本実施形態によれば、段差Zを小さくでき、プロセスマージンの低下を抑制できる。

【0085】

また、上記のような25nm～30nm程度の段差を解消するために、平坦化処理のためCMP法を実行する場合、マスク材9上に、ストッパ膜及び犠牲層を形成する工程が増える。また、段差Zによって落ち込んだ部分に、ストッパ膜・犠牲膜が残存し、それを除去する工程も必要になる。

しかし、本実施形態の製造方法では、段差Zが小さいため、ゲート電極材7の形成後に段差を解消するための平坦化処理を実行せずとも良くなる。それゆえ、フラッシュメモリの製造工程を減少できる。

【0086】

さらに、従来のように、セレクトゲート形成領域102内の電荷蓄積層材3及び絶縁材6を除去した場合は、ゲート形成工程において、メモリセル形成領域101内とセレクトゲート形成領域102内とで、ゲートとなる積層体の構成が異なる。そのため、その2つの領域101、102に対して共通のエッチング選択比を確保することが困難となり、メモリセル及びセレクトゲートトランジスタのゲートを、同時にエッチングして形成することは困難であった。

しかし、本実施形態の製造方法では、メモリセル形成領域101とセレクトゲート形成領域102との構成の差異は、膜厚の薄い電荷蓄積層材3の有無のみであるため、ゲート加工の難度を低下させることができる。

【0087】

高耐圧系/低耐圧系トランジスタ形成領域201、202内においても、セレクトゲート形成領域101内と同様に、電荷蓄積層材は除去され、ゲート絶縁膜2、5Bと絶縁材6とが、直接接触するように形成される。それゆえ、本実施形態の製造方法によれば、高耐圧系/低耐圧系トランジスタ形成領域201、202内に対しても、セレクトゲートトランジスタ102に対する効果と同様の効果が得られる。

【0088】

以上のように、本発明の実施形態に係るフラッシュメモリの製造方法によれば、動作の安定化が図られたフラッシュメモリを提供できる。

【0089】

また、本発明の実施形態に係るフラッシュメモリの製造方法によれば、加工難度を低下させることができる。

【0090】

(4) 変形例

以下、図11及び図12を用いて、上述のフラッシュメモリの構造の変形例、及び、フラッシュメモリの製造方法の変形例について、説明する。

【0091】

(4-1) 変形例1

図11は、本発明の実施形態に係るフラッシュメモリの変形例について、説明する。

【0092】

図11に示すように、メモリセルMCのゲート電極7Aの上端とセレクトゲートトランジスタSTのゲート電極7Bの上端が一致している。この構造によれば、メモリセル形成領域101上端とセレクトゲート形成領域102上端との段差が、ほぼ0となる。

【0093】

このような構造は、ゲート絶縁膜5A表面とゲート絶縁膜3A表面との段差をd1、電荷蓄積層4Aの膜厚をd2とした場合に、 $d1 = d2$ の関係となるように、各膜3A、4A、5Aを形成すればよい。

【0094】

10

20

30

40

50

具体的な例としては、ゲート絶縁膜 3 A の下面とゲート絶縁膜 5 A の下面が一致している場合において、例えば、ゲート絶縁膜 3 A の膜厚が 4 nm、ゲート絶縁膜 5 A の膜厚が 8 nm、電荷蓄積層 4 A の膜厚が 4 nm となるように、それぞれ形成する。これによれば、 $d_1 = 4 \text{ nm}$ 、 $d_2 = 4 \text{ nm}$ となり、 $d_1 = d_2$ の関係が成立する。

【0095】

この結果、メモリセル形成領域 101 上端とセレクトゲート形成領域 102 上端との間に段差が生じず、ストッパ膜や犠牲酸化膜が段差に残存することが無くなる。

【0096】

(4-2) 変形例 2

図 12 を用いて、本発明の実施形態に係るフラッシュメモリの製造方法の変形例について、説明する。

【0097】

はじめに、図 8 と同様の工程で、各素子形成領域 100, 201, 202 内に、ゲート絶縁膜 2, 3 が形成され、そのゲート絶縁膜 2, 3 上に、電荷蓄積層材 4 が形成される。

【0098】

そして、図 12 に示すように、例えば、フォトリソグラフィ技術及び RIE 法によって、セレクトゲート形成領域 102 内及び高耐圧系 / 低耐圧系トランジスタ形成領域 201, 202 内の電荷蓄積層 4 が除去される。

この工程によって、メモリセルアレイ形成領域 101 内には、電荷蓄積層材 4 がゲート絶縁膜 3 上に残存し、セレクトゲート形成領域 102 内においては、電荷蓄積層材 4 が存在せず、絶縁膜 3 表面が露出した構造となる。同様に、周辺回路領域 200 内においても、電荷蓄積層材 4 は存在せず、低耐圧系 / 高耐圧系 MIS トランジスタのゲート絶縁膜となる絶縁膜 2, 3 表面が、それぞれ露出した構造となる。

【0099】

その後、本変形例においては、セレクトゲート形成領域 102 内の絶縁膜 3 は除去されず、図 10 に示す工程と同様の工程によって、その絶縁膜 3 上に、ブロック絶縁膜となる絶縁材 6 が形成される。それと同様に、低耐圧系トランジスタ形成領域 202 内においても、絶縁膜 3 は除去されず、その絶縁膜 3 上に絶縁材 6 が形成される。

【0100】

以下、図 10 に示す工程と同様に、絶縁材 6 上に、ゲート電極材 7 が形成され、メモリセル MC、セレクトゲートトランジスタ ST、低耐圧系 / 高耐圧系 MIS トランジスタ LVTr, HVTr がそれぞれ形成される。

【0101】

本変形例に示されるフラッシュメモリの製造方法によれば、メモリセル MC のゲート絶縁膜 (トンネル酸化膜) と同じ構成の絶縁膜 3 が、セレクトゲートトランジスタ ST 及び低耐圧系 MIS トランジスタ LVTr のゲート絶縁膜となる。上述のように、本発明の実施形態によれば、ブロック絶縁膜と同一構成の中間絶縁膜 6B, 6C も実質的にゲート絶縁膜の一部となるため、絶縁膜 3 が薄くとも、セレクトゲートトランジスタ ST 及び低耐圧系 MIS トランジスタ LVTr の機能に問題は生じない。

【0102】

したがって、本変形例で述べたフラッシュメモリの製造方法によれば、セレクトゲート形成領域 102 及び周辺トランジスタ形成領域 202 において、メモリセル MC のゲート絶縁膜を除去する工程と、その後新たなゲート絶縁膜を形成する工程とを削減することができる。

【0103】

(4-3) 変形例 3

以下、変形例 3 として、図 3 に示すメモリセルの D-D 線に沿う断面構造が図 5 に示す構造である場合のフラッシュメモリの製造方法について、説明する。尚、本変形例に示す製造工程は、D-D 線に沿う断面に対する加工以外は、上述の実施形態で述べた図 8 から図 9 までに示される製造工程と同様であるため、ここでの説明は省略する。

10

20

30

40

50

【0104】

メモリセルアレイ領域100内及び周辺トランジスタ領域200内において、メモリセルのブロック絶縁膜となる絶縁材6が、例えば、CVD法によって、20nm~30nm程度の膜厚となるように、電荷蓄積材4及び絶縁膜5A, 5B上に形成される。絶縁材6は、例えば、アルミナ(Al_2O_3)である。尚、それに限定されず、酸化ハフニウムなど他の高誘電体絶縁材料や、シリコン窒化膜、シリコン酸化膜などの絶縁膜でもよい。

【0105】

ブロック絶縁膜となる絶縁膜6が形成された後、フォトリソグラフィ技術及びRIE法により、半導体基板1内に溝が形成される。その溝内に素子分離絶縁膜10が埋め込まれ、アクティブ領域と素子分離領域とが形成される。その後、ゲート電極材7が絶縁膜6上及び素子分離絶縁膜10上に形成される。

10

【0106】

この工程により、メモリセル形成領域101内においては、ゲート絶縁膜となる絶縁膜3Aとブロック絶縁膜となる絶縁膜6との間に、電荷蓄積層となる電荷蓄積層材4が介在した構造となる。一方、セレクトゲート形成領域102内、高耐圧系/低耐圧系トランジスタ形成領域201, 202内においては、ゲート絶縁膜2, 5A, 5Bと絶縁膜6の間には、電荷蓄積層材が存在せず、絶縁膜2, 5A, 5Bと絶縁膜6とが直接接触した構造となる。この後、図4に示される製造工程と同様の工程で、各トランジスタのゲート電極及びソース/ドレインとなる拡散層が形成され、本変形例に係るフラッシュメモリが完成する。

20

【0107】

本発明の実施形態の変形例3に係るフラッシュメモリの製造方法においても、本発明の実施形態と同様の効果が得られる。

【0108】

3. その他

本発明の例によれば、不揮発性半導体メモリの動作の安定化を図ることができる。

【0109】

本発明の実施形態においては、NAND型の回路構成のメモリセルアレイを例に説明したが、それに限定されるものではなく、NOR型、AND型など他の回路構成でもよい。

【0110】

本発明の例は、上述の実施形態に限定されるものではなく、その要旨を逸脱しない範囲で、各構成要素を変形して具体化できる。また、上述の実施形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を構成できる。例えば、上述の実施形態に開示される全構成要素から幾つかの構成要素を削除してもよいし、異なる実施形態の構成要素を適宜組み合わせてもよい。

30

【図面の簡単な説明】

【0111】

【図1】フラッシュメモリの全体構成を示す概略図。

【図2】メモリセルアレイの等価回路図。

【図3】本発明の実施形態に係るフラッシュメモリの構造を示す平面図。

40

【図4】本発明の実施形態に係るフラッシュメモリの構造を示す断面図。

【図5】本発明の実施形態に係るフラッシュメモリの構造を示す断面図。

【図6】本発明の実施形態に係るフラッシュメモリの構造を示す断面図。

【図7】本発明の実施形態に係るMISトランジスタの動作特性を示す図。

【図8】本発明の実施形態に係るフラッシュメモリの製造工程の一工程を示す断面図。

【図9】本発明の実施形態に係るフラッシュメモリの製造工程の一工程を示す断面図。

【図10】本発明の実施形態に係るフラッシュメモリの製造工程の一工程を示す断面図。

【図11】本発明の実施形態に係るフラッシュメモリの変形例を示す断面図。

【図12】本発明の実施形態に係るフラッシュメモリの製造工程の変形例を示す断面図。

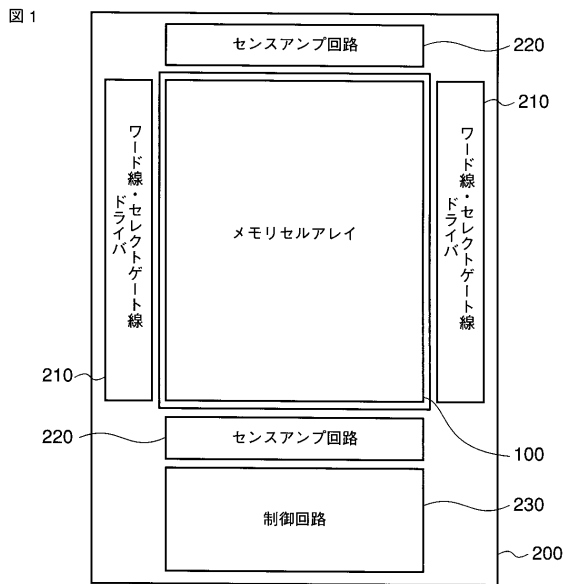
【符号の説明】

50

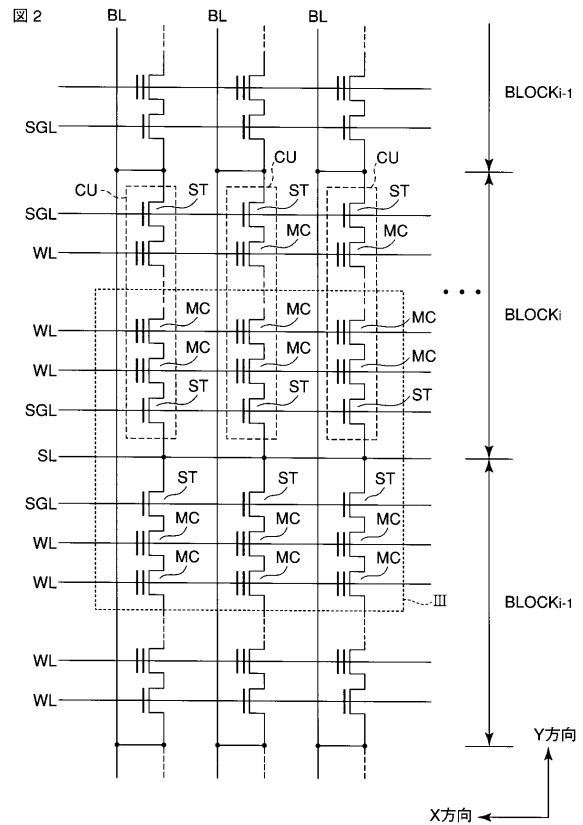
【 0 1 1 2 】

1：半導体基板、2：ゲート絶縁膜、3A：ゲート絶縁膜（トンネル絶縁膜）、4A：電荷蓄積層、5A，5B：ゲート絶縁膜、6A：ブロック絶縁膜、6B，6C，6D：中間絶縁膜、7A，7B，7C，7D：ゲート電極、8A，8B，8C，8D，8E：ソース/ドレイン拡散層、10：素子分離絶縁膜、11：層間絶縁膜、12A，12B，12C：コンタクト、13A，13B，13C：配線層、4：電荷蓄積層材、6：絶縁材（ブロック絶縁膜、中間絶縁膜）、7：ゲート電極材、9：マスク材、100：メモリセルアレイ領域、101：メモリセル形成領域、102：セレクトゲート形成領域、200：周辺回路領域、201：高耐圧系トランジスタ領域、202：低耐圧系トランジスタ領域、210：ワード線・セレクトゲート線ドライバ、220：センスアンプ回路、230：制御回路。

【 図 1 】

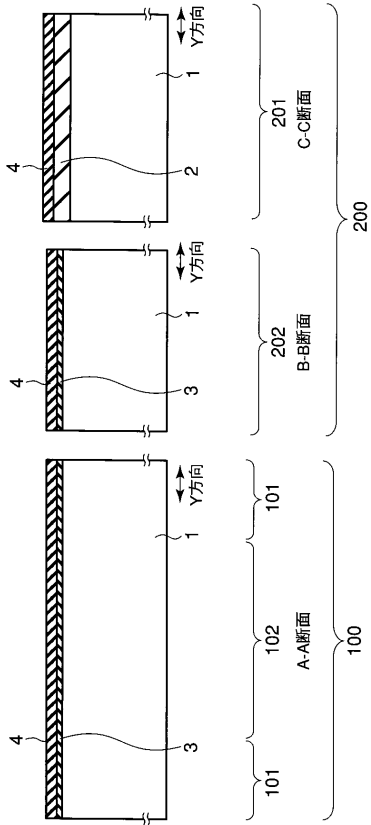


【 図 2 】



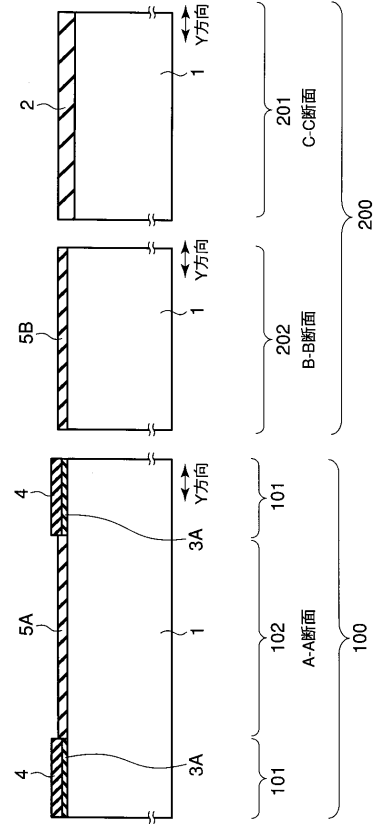
【 图 8 】

图 8



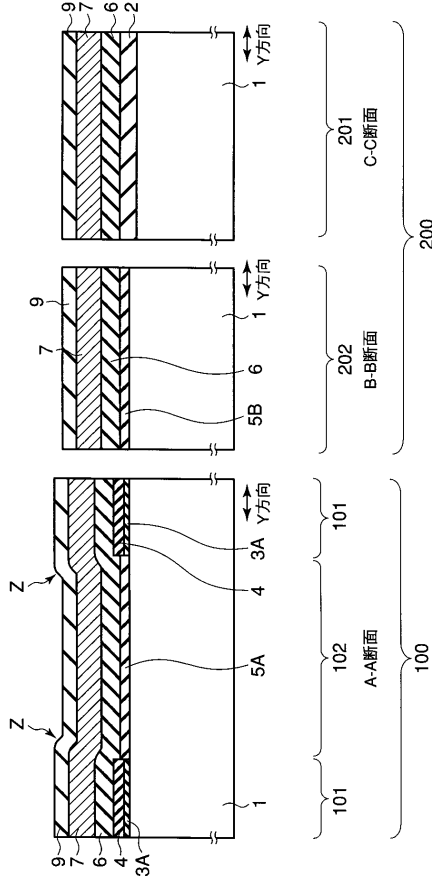
【 图 9 】

图 9



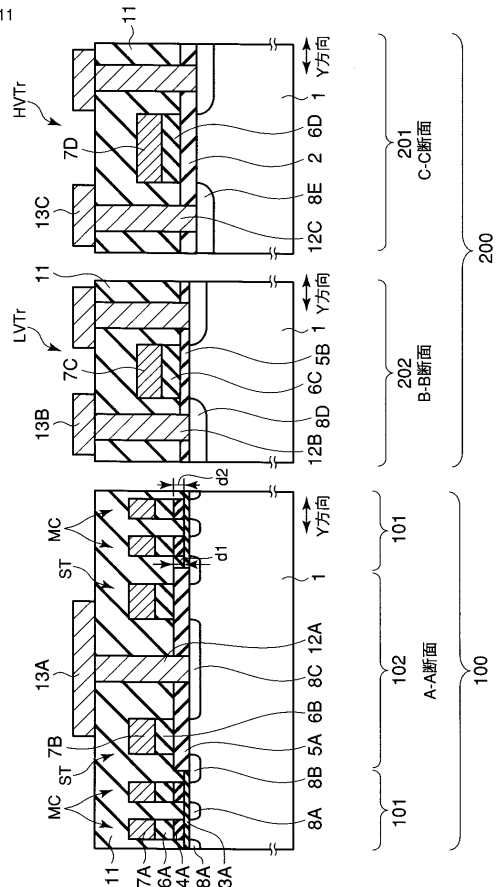
【 图 10 】

图 10



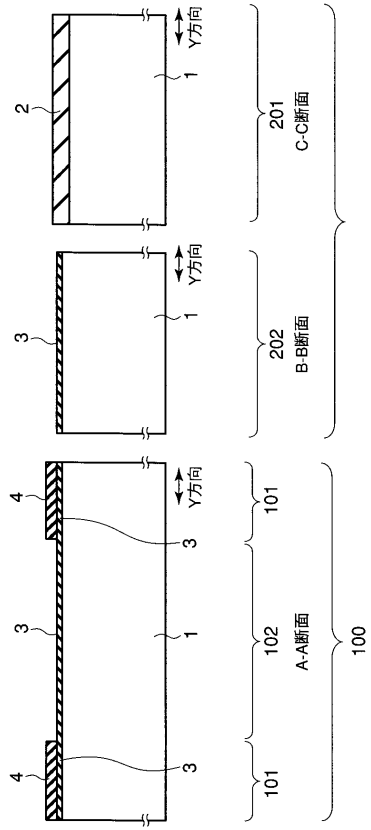
【 图 11 】

图 11



【 図 1 2 】

図 12



フロントページの続き

- (74)代理人 100095441
弁理士 白根 俊郎
- (74)代理人 100084618
弁理士 村松 貞男
- (74)代理人 100103034
弁理士 野河 信久
- (74)代理人 100119976
弁理士 幸長 保次郎
- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100101812
弁理士 勝村 紘
- (74)代理人 100092196
弁理士 橋本 良郎
- (74)代理人 100100952
弁理士 風間 鉄也
- (74)代理人 100070437
弁理士 河井 将次
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (74)代理人 100134290
弁理士 竹内 将訓
- (74)代理人 100127144
弁理士 市原 卓三
- (74)代理人 100141933
弁理士 山下 元
- (72)発明者 鳥羽 孝幸
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 岡村 隆之
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 矢吹 宗
東京都港区芝浦一丁目1番1号 株式会社東芝内
- F ターム(参考) 5F083 EP17 EP18 EP22 EP33 EP34 EP48 EP49 EP76 EP77 EP79
ER22 GA09 GA11 GA27 GA28 JA03 JA04 JA06 JA12 JA19
JA35 JA36 JA37 JA39 JA53 LA21 MA06 MA19 NA01 NA06
PR43 PR44 PR45 PR53 PR54 PR55 ZA07 ZA08
5F101 BA45 BA47 BB02 BB08 BD02 BD22 BD33 BD34 BD35 BE07
BH21