(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2005 年2 月3 日 (03.02.2005)

PCT

(10) 国際公開番号
WO 2005/010985 A1

(51) 国際特許分類[7]: H01L 23/04

(21) 国際出願番号: PCT/JP2003/009463

(22) 国際出願日: 2003 年7 月25 日 (25.07.2003)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): 株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒100-6334 東京都 千代田区 丸の内二丁目４番１号 Tokyo (JP).

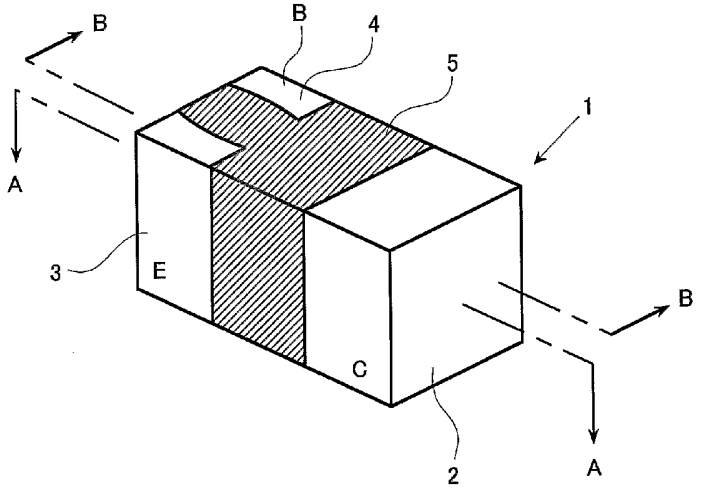
(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 武藤 邦治 (MUTO,Kuniharu) [JP/JP]; 〒100-6334 東京都 千代田区 丸の内二丁目４番１号 株式会社ルネサステクノロジ内 Tokyo (JP). 長峰 徹 (NAGAMINE,Toru) [JP/JP]; 〒100-6334 東京都 千代田区 丸の内二丁目４番１号 株式会社ルネサステクノロジ内 Tokyo (JP). 三上 昭夫 (MIKAMI,Akio) [JP/JP]; 〒100-6334 東京都 千代田区 丸の内二丁目４番１号 株式会社ルネサステクノロジ内 Tokyo (JP). 斉藤 雅浩 (SAITO,Masahiro) [JP/JP]; 〒100-6334 東京都 千代田区 丸の内二丁目４番１号 株式会社ルネサステクノロジ内 Tokyo (JP). 団野 忠敏 (DANNO,Tadatoshi) [JP/JP]; 〒100-6334 東京都 千代田区 丸の内二丁目４番１号 株式会社ルネサステクノロジ内 Tokyo (JP). 高橋 靖司 (TAKAHASHI,Yasushi) [JP/JP]; 〒100-6334 東京都 千代田区 丸の内二丁目４番１号 株式会社ルネサステクノロジ内 Tokyo (JP).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE, METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE, SEMICONDUCTOR MODULE AND PERSONAL COMPUTER CARD

(54) 発明の名称: 半導体装置、半導体装置の製造方法、半導体モジュール及びパソコンカード



(57) Abstract: A semiconductor device used in an electronic device comprises a semiconductor chip wherein a transistor having two electrodes on a major surface and an electrode on the back surface is formed; two electrically independent electrode plates connected to the respective electrodes on the major surface; an electrode plate electrically connected to the electrode on the back surface of the semiconductor chip; and an encapsulant made of an insulating resin, covering the lateral surfaces of the semiconductor chip, and placed in the space between the electrode plates. The package and the electrode plates shape the semiconductor device into a hexahedron. An active portion of the transistor is located on the major surface of the semiconductor chip and the two electrodes are arranged, with the active portion interposed therebetween. The electrode plates arranged on the major surface of the semiconductor chip have lateral surfaces facing to each other and provided with a recess for preventing the electrode plates from coming off the encapsulant.

(57) 要約: 電子装置に組み込まれる半導体装置である。半導体装置は、主面に２個の電極を有するとともに裏面に１個の電極を有するトランジスタが形成された半導

[続葉有]

WO 2005/010985 A1

(74) 代理人: 秋田 収喜 (AKITA,Shuki); 〒114-0013 東京都 北区 東田端１丁目１３番９号 ツインビル田端Ｂ２階 Tokyo (JP).

(81) 指定国 (国内): CN, JP, KR, SG, US.

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

添付公開書類:
— 国際調査報告書

２文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

体チップと、主面の各電極に電気的に接続されかつ電気的に独立した２つの電極板と、半導体チップ裏面の電極に電気的に接続される電極板と、半導体チップの側面を被うとともに電極板間に充填される絶縁性樹脂からなる封止体とを有し、封止体及び電極板によって六面体構造になっている。半導体チップの主面にはトランジスタの能動部が位置し、この能動部を挟んで２個の電極が配置されている。半導体チップの主面側に配置される複数の電極板において、隣接する電極板間の電極板側面には封止体から電極板が抜け難くなる形状の窪みが設けられている。

明　細　書

半導体装置、半導体装置の製造方法、半導体モジュール及びパソコンカード

技術分野

本発明は半導体装置及びその製造方法、半導体モジュール及びパソコンカードに係わり、特に薄型化技術に適用して有効な技術に関する。

背景技術

オフィスや家庭でのパーソナルコンピュータ（パソコン）の普及に伴い、インターネットに代表されるパソコン間通信が盛んに行われている。そのパソコン間通信を有線でなく無線で行う無線ＬＡＮ（構内情報通信網：local area network）が注目を集めている。無線ＬＡＮで使用するパーソナルコンピュータ用のカード（パソコンカード）には、アンテナ，送受信切り替え用スイッチ，受信用低雑音増幅器，受信系ミクサー，送信系ミクサー，電圧制御発振器（ＶＣＯ）及び送信用高出力電力増幅器等が組み込まれている。

一方、携帯電話機や携帯情報端末（ＰＤ）の小型・薄型化が進む中、それらに搭載される製品（半導体装置等）にも小型・薄型化が要求されている。

従来の半導体装置として、表面実装型のトランジスタが知られている。例えば、樹脂パッケージの一端側下部から１本のリードを突出させ、他端側下部から２本のリードを突出させ、前記１本のリードの内端部上に半導体チップを固定し、この半導体チップの電極と他端側のリードをワイヤで接続した構造が知られている。前記各リードは樹脂内で内端部分

が階段状に一段に高くなり、パッケージの外方に突出するリードの下面と樹脂下面は同一平面上に位置する構造になっている（例えば、特開平７－１４７３５９号公報）。

また、ダイオードを組み込んだ半導体装置としては、対面する一対の導体板間に２個のダイオードペレットを配置し、導体板間に絶縁性樹脂を充填させて２個の半導体素子を一体化した半導体装置が知られている（例えば、特開平９－２７５９１号公報）。

この半導体装置は、以下の方法によって製造される。最初に、半導体ウエハにダイオードを整列配置形成する。ウエハの上下面にはそれぞれ極性が異なる電極が設けられる。つぎに、このウエハの一面に伸縮可能なテープを貼り付ける。つぎに、ウエハを各ダイオード毎に分断させるとともにテープを伸長させて隣接するダイオードペレットを所定間隔離す。つぎに、第１の導体板を重ねて各ダイオードペレットの露出する電極に電気的に接続する。つぎに、テープを剥離し、現れたダイオードペレットの電極面に第２の導体板を重ねて電気的に接続する。つぎに、第１及び第２の導体板間に絶縁性樹脂を充填する。つぎに、第１及び第２の導体板の少なくとも一方を切断して隣接するダイオードペレットの電極相互を電気的に分離する。つぎに、隣接する２個のダイオードペレットを含むように、導体板及び絶縁性樹脂を切断分離して複数の半導体装置を製造する。

小型化したトランジスタとして、本出願人は図３５及び図３６に示す半導体装置９０を開発している。この半導体装置９０は、前記特許文献１のトランジスタの最適設計を図ったもので、パッケージ内のリードの立ち上がりを斜めにするとともに、パッケージ小さくしたものである。

半導体装置９０は、外観的には細長の絶縁性樹脂からなる封止体（パッケージ）９１の一端から２本のリード９２，９３を突出させ、他端か

ら前記リード９２，９３よりも幅が広い１本のリード９４を突出させた構造になっている。幅広のリード９４の封止体９１に被われる内端上には、半導体素子（半導体チップ）９５が導電性の接合材を介して固定されている。

この半導体チップ９５はトランジスタチップからなり、例えば、上面には図示はしないがエミッタ電極とベース電極が設けられ、下面はコレクタ電極になっている。従って、リード９４はコレクタリードになる。半導体チップ９５の上面の各電極と、リード９２，９３の封止体９１に被われる内端部分は、導電性のワイヤ９６，９７によって電気的に接続されている。従って、リード９２，９３において、一方のリードがエミッタリードになり、他方のリードがベースリードになる。ワイヤ９６，９７も外部から透けて見えないように封止体９１に被われている。

リード９２～９４の外端の下面と封止体９１の下面は同一平面上に位置し、表面実装型の半導体装置を構成している。封止体９１内に延在するリード９２～９４は途中から斜めに立ち上がり、再び外端部分に平行になるように延在している。そして、この平行部分に半導体チップ９５が固定され、かつワイヤ９６，９７が接続される構造になっている。封止体９１はできるだけ小さく設計され、リード９２～９４の封止体９１からの突出長さもできるだけ短く設計されて小型化が図られている。

ここで、寸法の一例を挙げると、封止体９１は、幅０．６ｍｍ、長さ０．８ｍｍ、高さ０．４ｍｍである。リード９２～９４の封止体９１からの突出長さは０．１ｍｍであり、半導体装置９０の最大長さは１．０ｍｍである。また、リード９２～９４の下面の長さは０．１５ｍｍであり、この長さ領域が実装面となる。半導体チップ９５は１辺の長さが０．２５ｍｍとなる正方形であり、厚さは０．１ｍｍである。ワイヤのループ高さは０．１ｍｍ以下としてある。リードの厚さは０．１１ｍｍであ

る。また、リード９４の下面側の樹脂の厚さは０．０７ｍｍとなっている。

このような半導体装置９０は、その製造において、封止体９１を形成する際の樹脂成形の安定化、リード９２～９４の機械的強度の維持等によって、外形寸法も上述の数値よりも小さくし難く、さらなる小型・薄型化はし難い。

携帯電話機の小型・薄型化、パソコンカードの薄型化等によって、組み込まれる半導体装置はさらなる薄型化が要請されている。例えば、パソコンカードに組み込むＶＣＯ（ＶＣＯモジュール）は、０．３ｍｍ程度の薄型化が要請されている。

本発明の目的は、小型・薄型の半導体装置、半導体モジュール及び電子装置を提供することにある。

本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

発明の開示

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

（１）半導体装置は、主面に２個の電極を有するとともに裏面に１個の電極を有するトランジスタが形成された半導体チップと、前記主面の各電極に電気的に接続されかつ電気的に独立した２つの電極板と、前記裏面の電極に電気的に接続される電極板と、前記半導体チップの側面を被うとともに前記電極板間に充填される絶縁性樹脂からなる封止体とを有し、前記封止体及び前記電極板によって六面体構造になっていることを特徴とする。前記半導体チップの主面には前記トランジスタの能動部が位置し、この能動部を挟んで２個の電極が配置されている。前記半導

体チップの主面側に配置される複数の電極板において、隣接する前記電極板間の電極板側面には前記封止体から前記電極板が抜け難くなる形状の窪みが設けられている。

このような半導体装置は以下の方法によって製造される。即ち、半導体装置は、エッチングによって形成されたスリット及びこの第１のスリットの両側のリード部分を含むリードパターンを複数並列に有する金属板からなる第１のリードフレームと、前記第１のリードフレームと同じ大きさの金属板からなる第２のリードフレームと、主面に前記第１のスリットの幅よりも広い間隔で電極を配し、かつ前記主面の反対の裏面に電極を有する半導体チップとを準備する工程と、

前記第１のリードフレームの各リードパターンにおいて、前記半導体チップの主面の前記各電極を前記第１のスリットの両側の前記リード部分にそれぞれ電気的に接続する工程と、

前記第１のリードフレームに前記第２のリードフレームを重ねるようにして前記各半導体チップの裏面の前記電極に第２のリードフレームを電気的に接続する工程と、

前記第１のリードフレームの前記半導体チップが固定されない面に接着テープを貼りつけて前記第１のスリットを塞ぐ工程と、

前記第１のリードフレームと前記第２のリードフレームの間の空間に絶縁性樹脂を充填するとともに、この樹脂を硬化させて樹脂層を形成する工程と、

前記接着テープを剥離した後、前記第１のリードフレーム及び前記樹脂層並びに前記第２のリードフレームを縦横に切断分離させて前記リードパターン部分を１単位として、一端に一つの電極板を有し、他端に二つの電極板を有する六面体の半導体装置を製造する工程とによって製造される。

図面の簡単な説明

図１は本発明の一実施形態（実施形態１）である半導体装置（トランジスタ）の外観を示す斜視図である。

図２は図１のＡ－Ａ線に沿う模式的断面図である。

図３は図１のＢ－Ｂ線に沿う模式的断面図である。

図４は本実施形態１の半導体装置に組み込まれる半導体チップの模式的平面図である。

図５は図４のＣ－Ｃ線に沿う模式的断面図である。

図６は前記半導体チップを製造する図であり、半導体ウエハと、前記半導体ウエハから製造された半導体チップを示す模式図である。

図７は本実施形態１の半導体装置を製造する際使用する第１のリードフレームの模式的平面図である。

図８は第１のリードフレームにおけるスリット部分を含む一部の模式的拡大断面図である。

図９は前記第２のリードフレームの模式的平面図である。

図１０は第１のリードフレームに前記半導体チップの主面側を重ねるようにして接続した模式的平面図である。

図１１は半導体チップが接続された第１のリードフレームの一部を示す模式的拡大平面図である。

図１２は半導体チップが接続された第１のリードフレームの一部を示す模式的拡大断面図である。

図１３は第１のリードフレームに接続された半導体チップの裏面側に第２のリードフレームを接続した状態を示す一部の模式的拡大断面図である。

図１４は第１のリードフレームと第２のリードフレームの間に絶縁性樹脂を充填して樹脂層を形成した状態を示す模式的拡大断面図である。

図１５は第１及び第２のリードフレームを樹脂層共々切断して複数の半導体装置を形成する２つの製造例を示す模式的拡大断面図である。

図１６はプレスによって段付状スリットを形成した第１のリードフレームを使用して製造した半導体装置を示す模式的拡大断面図である。

図１７は段付状スリットの形成方法を示す工程断面図である。

図１８は本実施形態１の半導体装置の製造方法によって製造した半導体装置（ダイオード）を示す模式的拡大断面図である。

図１９は本実施形態１で製造したトランジスタやダイオードを組み込んだＶＣＯモジュールの外観を示す斜視図である。

図２０はキャップを取り外したＶＣＯモジュールの模式的平面図である。

図２１はキャップを取り外したＶＣＯモジュールの模式的断面図である。

図２２はＶＣＯモジュールのモジュール基板に実装されたトランジスタを示す一部の模式的斜視図である。

図２３はＶＣＯモジュールのモジュール基板に実装されたトランジスタを示す一部の模式的断面図である。

図２４はＶＣＯモジュールのモジュール基板に実装されたダイオードを示す一部の模式的斜視図である。

図２５はＶＣＯモジュールのモジュール基板に実装されたダイオードを示す一部の模式的断面図である。

図２６はＶＣＯモジュールの等価回路図である。

図２７はＶＣＯモジュールを組み込んだパソコンカードの模式的平面図である。

図２８はパソコンカードの等価回路図である。

図２９は本発明の他の実施形態（実施形態２）である半導体装置（ト

ランジスタ）の製造において、第１及び第２のリードフレームの間に半導体チップを取り付けた状態を示す一部の模式的拡大断面図である。

図３０は本実施形態２で使用する第２のリードフレームの模式的平面図である。

図３１は本実施形態２の半導体装置の製造において、第１のリードフレームと第２のリードフレームの間に絶縁性樹脂を充填して樹脂層を形成した状態を示す模式的拡大断面図である。

図３２は本発明の他の実施形態（実施形態３）である半導体装置を示す模式的拡大断面図である。

図３３は本発明の他の実施形態（実施形態４）である半導体装置を示す模式的拡大断面図である。

図３４は本発明の他の実施形態（実施形態５）である半導体装置を示す模式的拡大断面図である。

図３５は本出願人の開発による半導体装置（トランジスタ）の外観を示す内部を透しした状態の模式的斜視図である。

図３６は図３５に示す半導体装置の模式的拡大断面図である。

発明を実施するための最良の形態

以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

（実施形態１）

図１乃至図１５は本発明の一実施形態（実施形態１）である半導体装置の製造方法に係わる図である。図１乃至図３は半導体装置の外観及びその内部構造を示す断面図である。

本実施形態１の半導体装置１はトランジスタを構成し、外観的には図

１に示すように、六面体構造、即ち、直方体になっている。直方体の一端部分は一枚の電極板２で形成され、他端部分は２枚の電極板３，４とこの２枚の電極板３，４間に充填された絶縁性樹脂からなる封止体５で形成されている。また、一端部分の電極板２と他端部分の電極板３，４間には前記封止体５が埋め込まれている。電極板２はコレクタ（Ｃ）電極端子となり、電極板３はエミッタ（Ｅ）電極端子となり、電極板４はベース（Ｂ）電極端子となっている。

直方体の両端面を除く残りの四面は切断によって形成され、それぞれ平坦な面になっている。即ち、図１で示す上面と下面は電極板２，３，４とこれら電極板２，３，４間に延在する封止体５で形成され、図１に示す左側の前面は電極板２，３とこれら電極板２，３間に延在する封止体５で形成され、その背面は電極板２，４とこれら電極板２，４間に延在する封止体５で形成されている。直方体の右端面は正方形の電極板２で形成され、左端面は電極板３，４とこの電極板３，４間に挟まれる封止体５とによって形成されている。

図２及び図３は図１のＡ－Ａ線及びＢ－Ｂ線に沿う断面図である。電極板２の内面には半導体チップ６が接続されている。半導体チップ６は、図４及び図５にも示すように、半導体基板７の主面側に二つの突出したバンプ状の電極８，９を有するとともに、半導体基板７の裏面全体に電極１０を有している。半導体チップ６はトランジスタを構成するトランジスタチップ６であり、電極８はエミッタ電極８、電極９はベース電極９、電極１０はコレクタ電極１０である。半導体チップ６を構成する半導体基板７は、例えば、ｎ型半導体となっている。また、半導体基板７の主面側の表層部分には局部的にｐ型半導体領域が形成されるとともに、このｐ型半導体領域の中央表層部分には局部的にｎ型半導体領域が形成されている。ｐ型半導体領域はベース領域１１となり、ｎ型半導体領域

はエミッタ領域１２になっている。従って、ｎ型半導体となる半導体基板７はコレクタ領域を形成する。また、半導体基板７の主面側には選択的に２層に亘って絶縁膜１３，１４が設けられるとともに、この絶縁膜１３，１４の間を縫うように配線層１５，１６が設けられている。配線層１５はエミッタ領域１２と電極(エミッタ電極)８を電気的に接続し、配線層１６はベース領域１１と電極（ベース電極）９を電気的に接続している。

本実施形態１の半導体チップ６は、主面の二つの電極、即ちエミッタ電極８とベース電極９が前述の二つの電極板３，４にそれぞれ接続されるため、所定の距離離れるように製造しておく必要がある。そこで、ベース領域１１及びエミッタ領域１２等が設けられる能動部（アクティブ領域）１７を挟んで両側にエミッタ電極８及びベース電極９は配置される（図４は配線層１５，１６及び能動部１７を模式的に示してある)。例えば、半導体チップ６は、厚さ０．１５ｍｍで一辺が０．２５ｍｍの正方形になっている。そして、Ａｕバンプからなるエミッタ電極８とベース電極９とのピッチは０．１６ｍｍになっている。

コレクタ電極となる半導体チップ６の裏面の電極１０は、ＡｕＳｉ層やＡｇペースト等の接着材２０によって電極板２の内面に固定されている。電極板２は外部電極端子としてコレクタ電極端子になる。電極板２や電極板３，４はＣｕ合金や４２アロイで形成され、電極の接合面には電極との接合性を良好とするためにＡｕメッキ膜等が形成されている。電極板２～４は、０．１ｍｍ～０．１５ｍｍの厚さの金属板（リードフレーム）を切断して形成されることから、電極板２及び電極板３，４の厚さは０．１ｍｍ～０．１５ｍｍになる。

図２及び図３に示すように、半導体チップ６の主面のエミッタ電極８は電極板３に接続され、電極板３は外部電極端子としてエミッタ電極端

子を形成することになる。また、ベース電極９は電極板４に接続され、電極板４は外部電極端子としてベース電極端子になる。

また、これも本発明の特徴の一つであるが、電極板３と電極板４の対面する面は、リードフレームの状態でエッチングして設けたスリットによる面である。スリット形成による対面する面を、以下隣接面２１と呼称する。本実施形態１では、スリットは液体エッチャントを使用したエッチングによって形成されるため、エッチングの仕方によって対面する一対の隣接面２１の間隔が表面よりも内方に向かうにつれて徐々に広くなる形状にすることができる。即ち、隣接面２１は中央が窪む面となることから、一対の隣接面２１に充填された封止体５との結合度が良好となる。この接合度（接着度）の向上は、隣接面２１は曲面となり、封止体５との接触面積が平坦面に比較して広くなることと、電極板３，４の隣接面２１が封止体５に噛み合うようになることによる。

半導体装置１は、例えば、電極板２～４の厚さを０．１５ｍｍとし、厚さ０．１５ｍｍで一辺が０．２５ｍｍの半導体チップ６を使用した場合、図１の状態、即ち、表面実装姿勢で、長さ０．５５ｍｍ、幅０．３ｍｍ、高さ０．３ｍｍとすることができる。半導体チップ６の厚さを現状の限界である０．１ｍｍとし、電極板をさらに薄くすれば、半導体装置１はその長さをさらに短くできる。

つぎに、本実施形態１の半導体装置１の製造方法について説明する。半導体装置１の製造に際して、半導体チップ６及び２枚のリードフレームが準備される。半導体チップ６は、図６（ａ）に示すように、シリコンからなる半導体ウエハ２５の状態で半導体チップとなる素子部２６を縦横に配置形成する。各素子部２６は、図４及び図５で説明した構造に形成する。半導体ウエハ２５の状態でバンプ電極を形成しておくとともに、必要に応じて裏面の電極（メッキ膜等）も形成しておく。つぎに、

半導体ウエハ２５をダイシング等によって個片化し、厚さ０．１５ｍｍで一辺の長さが０．２５ｍｍの正方形となる半導体チップ６を複数形成する〔図６（ｂ）参照〕。

２枚のリードフレームは、図７に示すように、幅員方向に沿って平行に第１のスリット３０を複数設けた第１のリードフレーム２９と、図９に示すように、外形寸法が第１のリードフレーム２９と同じ第２のリードフレーム３５である。これらのリードフレームは、厚さは０．１ｍｍ～０．１５ｍｍのＣｕ合金や４２アロイからなり、いずれもその両側に一定ピッチに配列されたガイド孔３１，３６を有している。これらのガイド孔３１，３６は、第１のリードフレーム２９に第２のリードフレーム３５を一致させて重ねた場合一致するように形成されている。ガイド孔３１，３６はリードフレームの搬送や位置決めに使用される。また、これらのリードフレームは、その一面に半導体チップ６の電極板２～４が接続されるため、その接続部分には、図示はしないがＡｕメッキ等が施されている。

図９に示すように、第２のリードフレーム３５はガイド孔３６以外のものは設けられず、平坦な金属板となっている。第１のリードフレーム２９は、図７に示すように、第１のスリット３０は隣接するガイド孔３１のピッチの中間に位置するように配列されている。第１のスリット３０のスリットピッチ（溝間隔）は、例えば、０．４５ｍｍになっている。第１のリードフレーム２９の第１のスリット３０は、液体エッチャントを使用したエッチングによって形成される。この結果、図８に示すように、第１のスリット３０を構成する一対の対面する面（隣接面２１）は、第１のリードフレーム２９の厚さ方向において、中央が窪んだ曲面になる。即ち、エッチングの仕方によって対面する一対の隣接面２１の間隔が表面よりも内方に向かうにつれて徐々に広くなる形状にすることがで

き、このような曲面を形成することができる。

また、第１のリードフレーム２９において、半導体装置１が形成される製品形成部３７は、図７に一部示すように一辺が第１のスリット３０に沿う正方形領域である。第１のリードフレーム２９を含む部分は、ダイシングブレードやワイヤカッターによって切断されて製品形成部３７が分離されることから、製品形成部３７は図７に示すように、縦横に整列配置されている。製品形成部３７の一辺の長さ、即ち、第１のスリット３０に直交する方向の長さは、第１のスリット３０を中心とし、その両側のリード部分３９の中間部分までの長さになり、切断によって除去される長さを差し引くと０．３ｍｍの長さである。

つぎに、このような第１のリードフレーム２９に半導体チップ６を接続する。図１０に示すように、半導体チップ６の主面のエミッタ電極８及びベース電極９を第１のスリット３０の両側のリード部分３９にそれぞれ接続して半導体チップ６を第１のリードフレーム２９に固定する。半導体チップ６のエミッタ電極８及びベース電極９は第１のスリット３０を介して分離される状態になる。半導体チップ６は各製品形成部３７に固定される。図１１は半導体チップ６が電極８，９を介して第１のリードフレーム２９のリード部分３９に接続された状態を示す一部の拡大平面図であり、図１２はさらに拡大した断面図である。電極８，９はリード部分３９の縁近傍に接続されている。細長い１本のリード部分３９の両側にそれぞれ異なる半導体チップ６の電極が接続されることになる。

図１１に示すように、半導体チップ６の第１のスリット３０に沿う方向及び直交する方向のピッチａ，ｂは、例えば、０．４５ｍｍである。また、第１のスリット３０の幅ｃは０．１ｍｍである。

つぎに、図１３にその一部を示すように、第１のリードフレーム２９に裏返し状態で接続された各半導体チップ６の裏面に第２のリードフレ

ーム３５を位置決めして接着材２０を介して電気的に接続する。製造方法では半導体チップ６の裏面の電極１０は省略してある。接着材２０としては、例えば、Ａｇペーストを用いて接続する。

つぎに、図１４に示すように、第１のリードフレーム２９の露出する面に接着テープ４２を貼り付けて第１のスリット３０を塞ぐ。その後、第１のリードフレーム２９と第２のリードフレーム３５の間の空間に絶縁性樹脂を充填して隙間なく埋め、ついで樹脂をベーキングして樹脂層４３を形成する。樹脂層４３は隣接するリード部分３９の間、隣接する半導体チップ６の間、第１のリードフレーム２９と第２のリードフレーム３５の間を隙間なく埋めるように形成することが、半導体装置１の信頼性向上のためにも重要である。

つぎに、接着テープ４２を除去した後、図１５に示すような切断例によって切断する。図１５（ａ）は、幅の広いダイシングブレードや太いワイヤカッターによる切断代が広い切断の方法であり、図１５（ｂ）は、薄いダイシングブレードや細いワイヤカッターによる２段切断である。チップボンディング等において、チップ固定のピッチが狭くできない場合は、このような切断によって半導体装置１を製造する。チップ固定等において支障がなく、チップ固定ピッチを狭くできるときは、一段の切断で十分である。このようにして、第１のスリット３０に沿う方向の切断と、第１のスリット３０に直交する方向の切断が行われて、一端に電極板２を有し、他端に電極板３，４を有し、隙間が封止体５で埋まる多数の半導体装置１が製造される。

図１５（ａ）にリングで囲むように、対面する一対の隣接面２１間には封止体５となる樹脂層４３が噛み合い、隣接面２１部分の切断によって形成される電極板３，４の抜けも起き難くなり、外部電極端子としての信頼性が高くなる。

図１６及び図１７は本実施形態１の変形例である。実施形態１では、電極板３，４が抜けないように、一対の隣接面２１に曲面からなる窪みを形成したが、本変形例では、図１６に示すように、第１のスリット３０を断面が段付状になる段付状スリットとしたものを使用して半導体装置１を製造したものである。図１７（ａ）～（ｄ）はプレスによって段付状スリットを形成する方法を示す模式図である。図１７（ａ）に示すように、第１のリードフレーム２９の上面側をスリットがあるプレス金型押さえ５０で押さえた状態で、第１のリードフレーム２９の下方からプレス金型パンチ５１を付き上げて、図１７（ｂ）に示すように、一定幅のスリット３０ａを形成する。

つぎに、図１７（ｃ）に示すように、第１のリードフレーム２９の上面側を平坦なプレス金型押さえ５２で押さえた状態で、第１のリードフレーム２９の下方から前記プレス金型パンチ５１よりも幅が広いプレス金型パンチ５３を付き上げて、図１７（ｄ）に示すように、スリット３０ａよりも幅が広い窪み５４を形成して段付状スリットを形成する。

半導体装置１の製造においては、窪み５４が存在する面側とは反対の面側に半導体チップ６の電極板３，４を接続した後は、実施形態１の半導体装置の製造方法に従って製造し、図１６に示す半導体装置１を製造することができる。窪み５４が半導体装置１の他端側に位置するため、この窪み部分に封止体５が入り込み、電極板３，４が脱落し難くなる。

図１８は本実施形態１の半導体装置の製造方法によってダイオード（半導体装置）を製造した例であり、ダイオードの模式的拡大断面図である。本変形例では、スリットを設けない２枚の平坦な金属板を使用してダイオードを製造する。即ち、図９に示すような両側にガイド孔しか有しない同一寸法の２枚の金属板を準備する。一方の金属板に、上下面にそれぞれ一つの電極５７，５８を有する半導体チップ５９の一方の電

極を接続する。半導体チップ５９は実施形態１と同様に一方の金属板上に整列配置固定する。その後、各半導体チップ５９の他方の電極に他方の金属板を接続し、その後実施形態１と同様に一対の金属板間に絶縁性樹脂を充填しかつ硬化させて樹脂層を形成し、ついで２枚の金属板及び樹脂層を縦横に切断分離して、図１８に示すように、両端にそれぞれ電極板６１，６２を有する半導体装置（ダイオード）６０を製造する。図では、電極と金属板との接続部分の接着材は省略してある。この半導体装置（ダイオード）６０も実施形態１と同様な寸法に製造できる。

本実施形態１によって製造したトランジスタ１やダイオード６０は、半導体モジュールや電子装置に組み込まれる。半導体モジュールの場合は、モジュール基板上にトランジスタ１やダイオード６０が搭載される。電子装置の場合は、電子装置を構成するマザーボード等の配線基板上にトランジスタ１，ダイオード６０及び前記半導体モジュールのうちの少なくとも１つが搭載される。

つぎに、半導体モジュールとしてＶＣＯモジュールに本発明を適用した例と、このＶＣＯモジュールを組み込んだパソコンカードについて説明する。

無線ＬＡＮで使用するパソコンカード６５は、図２７に示すような薄い偏平なカード構造からなり、一端側にはコネクタ６６が設けられている。パソコンのカードスロットにパソコンカード６５を挿入すると、コネクタ６６がパソコンと電気的に接続されるようになる。アンテナはパソコンカード６５の筐体６７に内蔵されている。

このようなパソコンカード６５は、図２８のブロック図に示すように受信系と送信系を有する。受信系は、アンテナ６８と、このアンテナ６８が接続される送受信切り替え用スイッチ（ＳＷ）６９と、送受信切り替え用スイッチ６９に接続される受信用低雑音増幅器(ＬＮＡ)７０と、

受信用低雑音増幅器７０に接続される受信系ミクサー（Ｒｘ－Ｍｉｘ）７１と、受信系ミクサー７１に接続されるベースバンドＬＳＩ７２とで構成される。送信系は、ベースバンドＬＳ７２と、このベースバンドＬＳ７２に接続される送信系ミクサー（Ｔｘ－Ｍｉｘ）７３と、送信系ミクサー７３に接続される送信用の高出力電力増幅装置７４と、高出力電力増幅装置(ＰＡ)７４に接続される送受信切り替え用スイッチ６９と、アンテナ６８とで構成されている。また、電圧制御発振器（ＶＣＯ：ＶＣＯモジュール）７５がベースバンドＬＳＩ７２，受信系ミクサー７１及び送信系ミクサー７３に接続されている。なお、詳細には説明しないが、感度向上を図るためダイバーシチー構成になっていることから、アンテナ６８は２本になっている。

図１９乃至図２６はＶＣＯモジュール（半導体モジュール）７５に係わる図である。ＶＣＯモジュール７５は、図１９に示すように外観的にはモジュール基板７９と、このモジュール基板７９の上面側に取り付けられるキャップ８０とからなっている。モジュール基板７９は配線基板からなり、上面及び内部に掛けて一部しか示さないが配線８１が設けられている（図２０参照)。この配線の一部は、図２１に示すように、モジュール基板７９の側面から下面に迄延在し、側部から下部の部分で外部電極端子８２を形成している。

モジュール基板７９の上面には、図２０に示すように、トランジスタＴ１，Ｔ２、可変容量ダイオードＤ１、Ｃ１～Ｃ５で示すチップコンデンサ、Ｒ１～Ｒ４で示すチップ抵抗が搭載されている。トランジスタＴ１，Ｔ２は、本実施形態１の半導体装置の製造方法によって製造されたものであり、半導体装置（トランジスタ）１の構成になっている。また、可変容量ダイオードＤ１も本実施形態１の半導体装置の製造方法によって製造されたものであり、半導体装置（ダイオード）６０の構成になっ

ている。チップ抵抗及びチップコンデンサは、一般に１００６と呼称される高さ０．５５ｍｍのチップ部品であり、両端にそれぞれ外部電極端子を有する構造になっている。

モジュール基板７９の上面には、前述の各電子部品（トランジスタＴ１，Ｔ２、可変容量ダイオードＤ１、チップ抵抗及びチップコンデンサ）の各外部電極端子が接続されるランドが設けられている。そして、これらランドに各電子部品の外部電極端子が半田等の接着材を介して電気的に接続されている。図２０及び図２１では、トランジスタＴ１，Ｔ２及び可変容量ダイオードＤ１は本実施形態１の製法で製造された製品であることを強調するため、二点鎖線による円で囲んである。

半導体装置(トランジスタ)１の搭載構造を図２２及び図２３に示し、半導体装置（ダイオード）６０の搭載構造を図２４及び図２５に示す。トランジスタ１の外部電極端子がモジュール基板７９のランド８３ａ，８３ｂに接着材８４ａによって接続され、ダイオード６０の外部電極端子がモジュール基板７９のランド８３ｅ，８３ｆに接着材８４ｃによって接続されている。

図２６はパソコンカード６５の等価回路図である。外部電極端子として、制御信号入力端子Ｐｃin、出力端子Ｐout、電源電圧端子（Ｖcc)、基準電圧端子（ＧＮＤ）を有する。この回路は、２つのトランジスタＴ１，Ｔ２、可変容量ダイオードＤ１、Ｃ１～Ｃ５で示すチップコンデンサ、Ｒ１～Ｒ４で示すチップ抵抗によって形成されている。また、回路図における長方形部分はマイクロストリップラインである。

本実施形態１によれば、以下の効果を有する。

（１）半導体装置１は、封止体５内にトランジスタチップ６を有し、一端にエミッタ電極８及びベース電極９にそれぞれ電気的に接続される電極板３，４を露出させ、他端にコレクタ電極１０に電気的に接続され

る電極板２を露出させる直方体構造になっていることから、また、各電極板２～４の周面四面は封止体５の外形部分の形成時に同時に切断によって形成されるため、半導体装置１は薄くかつ小型になる。

即ち、主面に２つの電極８，９を有し裏面に１つの電極１０を有するトランジスタを構成する半導体チップ６の電極８，９を、第１のリードフレーム２９の第１のスリット３０によって分離されたリード部分３９にそれぞれ接続して第１のリードフレーム２９に複数の半導体チップ６を整列配置接続し、つぎに各半導体チップ６の裏面の電極１０に第２のリードフレーム３５を接続し、つぎに第１のリードフレーム２９に接着テープ４２を貼って第１のスリット３０を塞ぎ、つぎに第１のリードフレーム２９と第２のリードフレーム３５との間の空間に絶縁性樹脂を充填しかつ硬化させて樹脂層４３を形成し、つぎに第１のリードフレーム２９と第２のリードフレーム３５を樹脂層４３と共に縦横に切断して半導体装置１を製造することから、薄型でかつ小型の半導体装置を製造することができる。従って、本実施形態１によれば、トランジスタ１やダイオード６０の寸法を、長さ０．５５ｍｍ，幅０．３ｍｍ、高さ０．３ｍｍにでき、従来の製品寸法の長さ０．８ｍｍ，幅０．４ｍｍ、高さ０．４ｍｍに比較して小型・薄型化が達成できる。また、端子厚さ、チップ厚さをさらに薄くすることにより、さらに半導体装置の薄型化が可能になる。

（２）半導体装置１の製造において、第１のリードフレーム２９に設ける第１のスリット３０の形成にあっては、エッチングによる第１のスリット３０の対抗する隣接面２１に窪みを有する構造としたり、あるいは２段プレス成形による段付状スリットとして隣接面２１に窪みを有するようにし、さらにその組み立てでは、切断して形成される電極板３，４が封止体５から脱落し難いようにすることから、半導体装置１の信頼

性が高くなる。

（３）本実施形態１による小型・薄型の半導体装置（トランジスタ）１や半導体装置（ダイオード）６０を組み込む半導体モジュールや電子装置も小型・薄型化が達成できることになる。例えば、ＶＣＯモジュール７５の厚さを現状の１．２ｍｍから１．０ｍｍと低くすることができる。従って、ＶＣＯモジュールを組み込むパソコンカード６５の小型・薄型化が可能になる。

（実施形態２）

図２９乃至図３１は本発明の他の実施形態（実施形態２）である半導体装置に係わる図である。図２９は半導体装置（トランジスタ）の製造において、第１及び第２のリードフレームの間に半導体チップを取り付けた状態を示す一部の模式的拡大断面図、図３０は本実施形態で使用する第２のリードフレームの模式的平面図、図３１は第１のリードフレームと第２のリードフレームの間に絶縁性樹脂を充填して樹脂層を形成した状態を示す模式的拡大断面図である。

本実施形態２は実施形態１の半導体装置の製造方法において、図９に示すスリットが設けられていない第２のリードフレーム３５の代わりに、図３０に示す第２のスリット３３を有する第２のリードフレーム３５ｂを使用する。第１のリードフレーム２９の第１のスリット３０は、第１のリードフレーム２９の両側に設けられたガイド孔３１のガイド孔３１間、即ち隣接するガイド孔３１間の中心位置に対応して設けられているが、第２のスリット３３は第２のリードフレーム３５ｂの両側に設けられたガイド孔３６と一致した位置に設けられている。

この結果、図２９に示すように、半導体チップ６の主面側に第１のリードフレーム２９を位置決めして接続し、半導体チップ６の裏面側に第２のリードフレーム３５ｂを位置決めして接続した状態では、第２のス

リット３３は製品形成部３７の縁に沿って位置するようになる。

このように、第１のリードフレーム２９及び第２のリードフレーム３５ｂに第１のスリット３０及び第２のスリット３３を設けておくことによって、熱が加わった際、半導体チップ６を形成するシリコンとリードフレームを形成する金属の熱膨張係数αに違いがあっても、スリットが変形防止の緩衝空間となり、第１及び第２のリードフレーム２９，３５ｂが全体として反り返ったりしなくなり、半導体装置の製造に支障を来さなくなり、歩留りも向上するようになる。

なお、本実施形態２の場合には、絶縁性樹脂による樹脂層の形成に際しては、図３１に示すように、第１のリードフレーム２９に接着テープ４２を貼るばかりでなく、第２のリードフレーム３５ｂにも接着テープ４２を貼って第２のスリット３３を塞ぐ。これにより、図３１に示すように、第１及び第２のリードフレーム２９，３５ｂ間への絶縁性樹脂の充填と硬化処理によって樹脂層４３を製造することができる。樹脂層４３の形成後は、両方の樹脂層４３を剥がし、第１及び第２のリードフレーム２９，３５ｂを樹脂層４３と共に縦横に切断することによって半導体装置１を製造する。

本実施形態２によれば、半導体装置の製造において、第１のリードフレーム２９の長手方向の反りが発生し難くなることから、より長い第１のリードフレーム２９の使用も可能になり、生産性向上を図ることができ、半導体装置１の製造コストの低減も可能になる。

（実施形態３）

図３２は本発明の他の実施形態（実施形態３）である半導体装置を示す模式的拡大断面図である。本実施形態３では、複数の半導体チップを並列配置した構造になっている。例えば、トランジスタチップ６を２個並列に配置し、トランジスタチップ６の主面の電極８，９にそれぞれ電

極板３，４を電気的に接続し、トランジスタチップ６の裏面の電極１０に電極板２を電気的に接続した構造になっている。半導体装置１Ｃの場合も、隣接する電極板間（電極板３と電極板４の間、及び電極板２と電極板２の間）の電極板側面には封止体５から電極板２～４が抜け難くなる形状の窪みが設けられている。図３２はエッチングによって窪みが設けられているが、実施形態１と同様に段付状スリットによって窪みを形成してもよい。

本実施形態３では、トランジスタチップ６は２個になっているがさらに多くてもよい。また、実施形態３では、２個のトランジスタチップ６を組み込んだ半導体装置１Ｃとしたが、トランジスタチップとダイオードチップを組み込む構造としてもよい。本実施形態３では、半導体装置の製造において、第１及び第２のリードフレームのパターンを選択使用することによって前記のような種々の構造の半導体装置を製造することができる。

即ち、半導体装置の製造の１例を挙げるならば、第１のリードフレームを準備する工程において、リードパターン内に並んで複数の半導体チップが接続できるように平行に複数本の第１のスリットを形成した第１のリードフレームを準備し、第１のリードフレームに複数の半導体チップを整列配置接続する工程では、各リードパターン内に複数の半導体チップを接続し、切断分離工程ではリードパターン部分を１単位として切断分離して、両端に複数の電極板それぞれ有する六面体の半導体装置を製造する。このような半導体装置の製造方法によって、トランジスタアレイ、ダイオードアレイ等も製造することができる。

（実施形態４）

図３３は本発明の他の実施形態（実施形態４）である半導体装置を示す模式的拡大断面図である。本実施形態４の半導体装置１Ｄは、一端に

一つの外部電極端子８５を有するとともに、他端に複数（実施形態では４個）の外部電極端子８６を有し、半導体チップ６ｄが封止体５で被われた構造になっている。半導体チップ６ｄはＩＣ（集積回路装置）であり、半導体チップ６ｄの主面には一列に並んで複数のバンプ状の電極８７が設けられている。これら電極８７は外部電極端子８６に電気的に接続されている。また、半導体チップ６ｄの裏面には一つの電極８８が設けられ、この電極８８は接着材２０を介して外部電極端子８５に電気的に接続されている。ている。

本実施形態４の半導体装置１Ｄの製造にあっては、実施形態１の半導体装置の製造方法において、第１のリードフレームを準備する工程で、リードパターン内に並んで複数の半導体チップが接続できるように平行に複数本の第１のスリットを形成した第１のリードフレームを準備し、その後、主面に一定間隔に配置された電極８７を有する半導体チップ６ｄを、各電極８７が第１のスリットで分離された各リード部分に接続されるようにして接続する。その後は、実施形態１と同様に電極８８側に第２のリードフレームを接着材２０を介して電気的に接続し、ついで、樹脂層形成、切断分離を行って、図３３に示すような六面体の半導体装置を製造する。本実施形態４は薄型・小型のＩＣ（集積回路装置）を製造することができる。

（実施形態５）

図３４は本発明の他の実施形態（実施形態５）である半導体装置を示す模式的拡大断面図である。本実施形態５の半導体装置１Ｅは、半導体チップの主面の電極に電気的に接続される電極板を封止体５から露出させ、半導体チップを封止体５内に完全に埋没させる構造の半導体装置である。

本実施形態５の半導体装置１Ｅは、実施形態４の半導体装置の製造方

法において、第１のリードフレームに半導体チップの主面の複数の電極を接続した後、第１のリードフレームの表面に接着テープを貼り付けて第１のスリットを塞ぎ、その後第１のリードフレーム及び半導体チップを被うように絶縁性樹脂による樹脂層を形成し、ついで第１のリードフレームを樹脂層と共に縦横に切断することによって製造することができる。

即ち、具体的には、平行に延在する複数の第１のスリット及び前記第１のスリットの両側のリード部分を含むリードパターンを複数並列に有する金属板からなる第１のリードフレームと、主面に前記リードパターンの各リード部分に接続できる電極を有する半導体チップとを準備する。

つぎに、第１のリードフレームの各リードパターンにおいて、半導体チップの主面の各電極を各リード部分にそれぞれ電気的に接続する。つぎに、第１のリードフレームの半導体チップが固定されない面に接着テープを貼りつけて第１のスリットを塞ぎ、ついで各半導体チップ全体を被い、かつ各リード部分間を埋めるように絶縁性樹脂を充填するとともに、この樹脂を硬化させて樹脂層を形成する。その後、接着テープを剥離した後、第１のリードフレーム及び樹脂層を縦横に切断分離してリードパターン部分を１単位として、一端に複数の電極板を有する六面体の半導体装置を製造する。

なお、本実施形態５では、半導体チップ６ｄの裏面の電極は外部電極端子に直接接続されることがないことから、半導体チップ６ｄの裏面に電極がないものでもよい。

本実施形態５においても薄型のＩＣ（集積回路装置）を製造することができる。

以上本発明者によってなされた発明を実施形態に基づき具体的に説明したが、本発明は上記実施形態に限定されるものではなく、その要旨を

逸脱しない範囲で種々変更可能であることはいうまでもない。実施形態では、パソコンカードに組み込むＶＣＯモジュールの製造例、トランジスタ，ダイオード及びＩＣの製造例について本発明を適用した例について説明したが、他のものの製造にも適用できる。例えば、携帯電話機に組み込む電子部品や半導体モジュールに本発明を適用すれば、携帯電話機の小型・薄型化も達成できる。

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

（１）薄型の半導体装置を提供することができる。

（２）小型の半導体装置を提供することができる。

（３）小型・薄型の半導体装置を組み込むことによって、小型・薄型の半導体モジュールや電子装置を製造することができる。

（４）小型・薄型のＶＣＯモジュールの提供が可能になる。

（５）小型・薄型のＶＣＯモジュールを組み込むことによってパソコンカードのより小型・薄型化が達成できる。

産業上の利用可能性

以上のように、本発明にかかる半導体装置は、半導体モジュールや電子装置に組み込まれて使用されるが、小型・薄型であることから、半導体モジュールや電子装置の小型・薄型化に寄与する。

請　求　の　範　囲

1．主面及びこの主面の反対の裏面に電極を有する半導体チップと、
前記主面の電極に電気的に接続される電極板と、
前記裏面の電極に電気的に接続される電極板と、
前記半導体チップの側面を被うとともに前記電極板間に充填される絶縁性樹脂からなる封止体とを有し、
前記封止体及び前記電極板によって六面体構造になっていることを特徴とする半導体装置。

2．前記半導体チップの前記主面及び前記裏面にはそれぞれ一つの電極が設けられていることを特徴とする請求の範囲第1項記載の半導体装置。

3．前記半導体チップの前記主面には複数の電極が設けられ、前記複数の電極のそれぞれには電気的に独立した電極板が接続されていることを特徴とする請求の範囲第1項記載の半導体装置。

4．前記半導体チップにはトランジスタが形成され、前記半導体チップの主面には前記トランジスタの能動部が位置し、この能動部を挟んで2個の電極が配置されていることを特徴とする請求の範囲第3項記載の半導体装置。

5．前記半導体チップの主面側に配置される複数の電極板において、隣接する前記電極板間の電極板側面には前記封止体から前記電極板が抜け難くなる形状の窪みが設けられていることを特徴とする請求の範囲第3項記載の半導体装置。

6．前記半導体チップは並列に複数配置され、前記各半導体チップの各電極のそれぞれには電気的に独立した電極板が接続されていることを特徴とする請求の範囲第1項記載の半導体装置。

７．隣接する前記電極板間の電極板側面には前記封止体から前記電極板が抜け難くなる形状の窪みが設けられていることを特徴とする請求の範囲第６項記載の半導体装置。

８．主面に複数の電極を有する半導体チップと、

前記主面の各電極にそれぞれ電気的に接続される複数の電気的に独立した電極板と、

前記半導体チップ全体を被うとともに前記電極板間に充填される絶縁性樹脂からなる封止体とを有し、

前記封止体及び前記電極板によって六面体構造になり、

前記各電極板の一面は前記六面体の１面側に並んで露出していることを特徴とする半導体装置。

９．モジュール基板と、

前記モジュール基板の主面に搭載される複数の電子部品と、

前記モジュール基板の主面側に取り付けられ、前記複数の電子部品を被うキャップとを有する半導体モジュールであって、

前記電子部品の少なくとも一つは請求の範囲第１項記載の半導体装置であることを特徴とする半導体モジュール。

１０．前記半導体モジュールは電圧制御発振器モジュールであることを特徴とする請求の範囲第９項記載の半導体モジュール。

１１．複数の電子部品や半導体モジュールを組み込んでなる電子装置であって、前記電子部品や前記半導体モジュールのうちの少なくとも一つは請求の範囲第１項記載の半導体装置を有することを特徴とする電子装置。

１２．アンテナ，送受信切り替え用スイッチ，受信用低雑音増幅器，受信系ミクサー，送信系ミクサー，電圧制御発振器及び送信用高出力電力増幅器を含むパソコンカードを構成する電子装置であり、前記電圧制

御発振器は請求の範囲第１０項記載の半導体モジュールであることを特徴とする電子装置。

１３．第１のスリット及びこの第１のスリットの両側のリード部分を含むリードパターンを複数並列に有する金属板からなる第１のリードフレームと、前記第１のリードフレームと同じ大きさの金属板からなる第２のリードフレームと、主面に前記第１のスリットの幅よりも広い間隔で電極を配し、かつ前記主面の反対の裏面に電極を有する半導体チップとを準備する工程と、

前記第１のリードフレームの各リードパターンにおいて、前記半導体チップの主面の前記各電極を前記第１のスリットの両側の前記リード部分にそれぞれ電気的に接続する工程と、

前記第１のリードフレームに前記第２のリードフレームを重ねるようにして前記各半導体チップの裏面の前記電極に第２のリードフレームを電気的に接続する工程と、

前記第１のリードフレームの前記半導体チップが固定されない面に接着テープを貼りつけて前記第１のスリットを塞ぐ工程と、

前記第１のリードフレームと前記第２のリードフレームの間の空間に絶縁性樹脂を充填するとともに、この樹脂を硬化させて樹脂層を形成する工程と、

前記接着テープを剥離した後、前記第１のリードフレーム及び前記樹脂層並びに前記第２のリードフレームを縦横に切断分離させて前記リードパターン部分を１単位として、一端に一つの電極板を有し、他端に二つの電極板を有する六面体の半導体装置を製造する工程とを有することを特徴とする半導体装置の製造方法。

１４．前記第１のスリットはエッチングによって形成し、前記第１のスリットを形成する前記リード部分の表面は、前記リード部分の厚さ方

向においてその中央側が窪んでいることを特徴とする請求の範囲第１３項記載の半導体装置の製造方法。

１５．前記第１のスリットはプレスによる２回の打ち抜きによって段付状スリットに形成し、前記段付状スリットのスリット幅が広い面の反対側の面に前記半導体チップの主面の前記電極を接続することを特徴とする請求の範囲第１３項記載の半導体装置の製造方法。

１６．前記第１のリードフレームを準備する工程において、前記リードパターン内に複数の電極が接続できるように平行に複数本の第１のスリットを設けた第１のリードフレームを準備し、

前記半導体チップを準備する工程において、前記リードパターン内の各リード部分に接続できる複数の電極を主面に有し、裏面に電極を有する半導体チップを準備し、

前記半導体チップを前記第１のリードフレームに接続する工程では、前記半導体チップの各電極を前記リードパターンの各前記リード部分に接続することを特徴とする請求の範囲第１３項記載の半導体装置の製造方法。

１７．前記第２のリードフレームを準備する工程では、前記半導体チップの固定領域から外れた位置に前記第１のスリットと同じ方向に延在する第２のスリットを形成し、

前記スリットを塞ぐ工程では、前記第１のリードフレーム及び第２のリードフレームの前記半導体チップが固定されない面に接着テープを貼りつけ、

前記樹脂層を形成した後の前記接着テープの剥離時、前記第１のリードフレーム及び第２のリードフレームに接着されている接着テープを剥離し、その後前記切断分離を行うことを特徴とする請求の範囲第１３項記載の半導体装置の製造方法。

１８．前記第１のリードフレームを準備する工程において、前記リードパターン内に並んで複数の前記半導体チップが接続できるように平行に複数本の第１のスリットを形成した第１のリードフレームを準備し、前記第１のリードフレームに複数の半導体チップを整列配置接続する工程では、前記各リードパターン内に複数の前記半導体チップを接続し、前記切断分離工程では前記リードパターン部分を１単位として切断分離して、両端に複数の電極板それぞれ有する六面体の半導体装置を製造することを特徴とする請求の範囲第１３項記載の半導体装置の製造方法。

１９．２枚の金属板と、主面及び前記主面の反対の裏面に電極を有する半導体チップとを準備する工程と、

前記半導体チップの一方の前記電極を前記一方の金属板の一面に電気的に接続するようにして、前記一方の金属板に複数の半導体チップを整列配置接続する工程と、

前記一方の金属板に前記他方の金属板を重ねるようにして前記半導体チップの他方の電極を電気的に接続する工程と、

前記２枚の金属板間の空間に絶縁性樹脂を充填するとともに、この樹脂を硬化させて樹脂層を形成する工程と、

前記２枚の金属板及び前記樹脂層を縦横に切断して分離させて、両端にそれぞれ一つの電極板を有し、内部に前記半導体チップを有する六面体の半導体装置を製造することを特徴とする半導体装置の製造方法。

２０．平行に延在する複数の第１のスリット及び前記第１のスリットの両側のリード部分を含むリードパターンを複数並列に有する金属板からなる第１のリードフレームと、主面に前記リードパターンの各リード部分に接続できる電極を有する半導体チップとを準備する工程と、

前記第１のリードフレームの各リードパターンにおいて、前記半導体チップの主面の前記各電極を前記各リード部分にそれぞれ電気的に接続す

る工程と、

前記第１のリードフレームの前記半導体チップが固定されない面に接着テープを貼りつけて前記第１のスリットを塞ぐ工程と、

前記各半導体チップ全体を被い、かつ前記各リード部分間を埋めるように絶縁性樹脂を充填するとともに、この樹脂を硬化させて樹脂層を形成する工程と、

前記接着テープを剥離する工程と、

前記第１のリードフレーム及び前記樹脂層を縦横に切断分離させて前記リードパターン部分を１単位として、一端に複数の電極板を有する六面体の半導体装置を製造する工程とを有することを特徴とする半導体装置の製造方法。

FIG.1

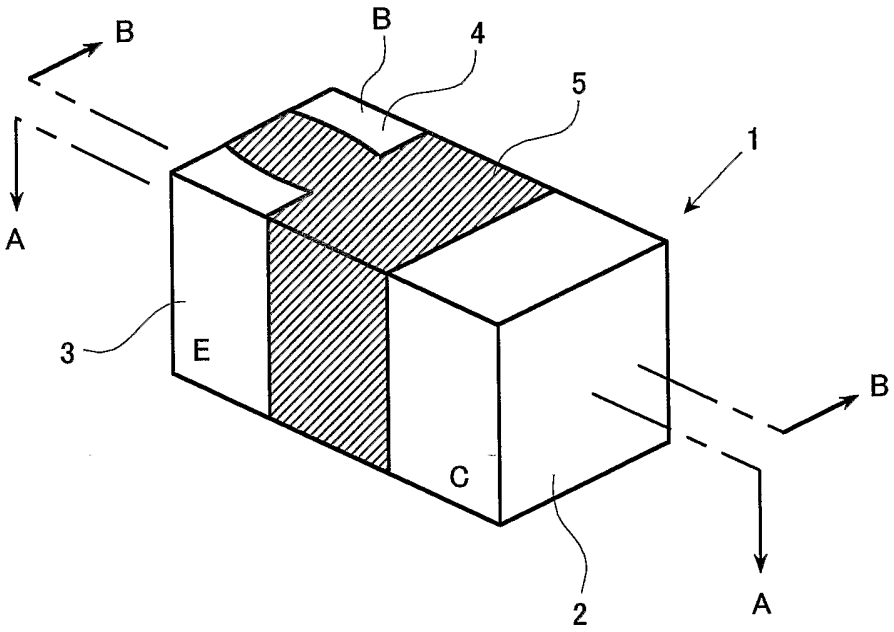


FIG.2

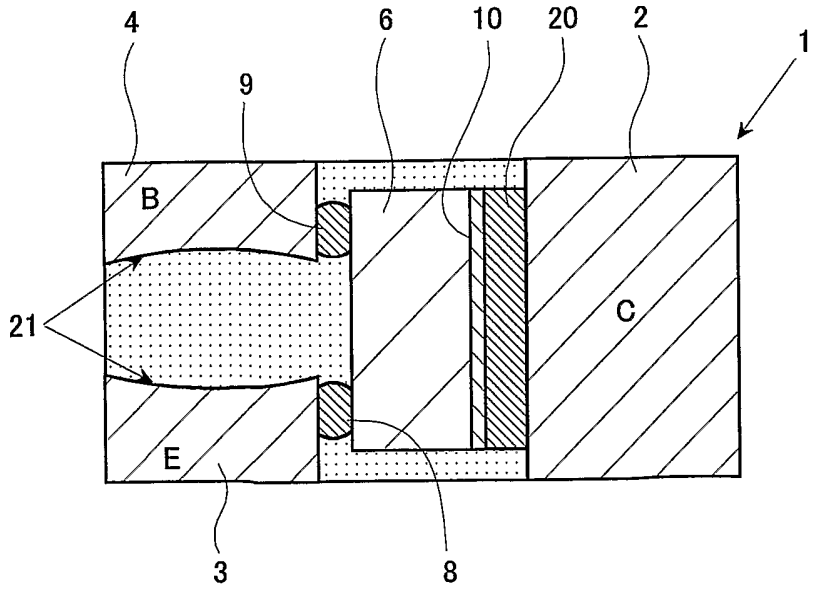


FIG.3

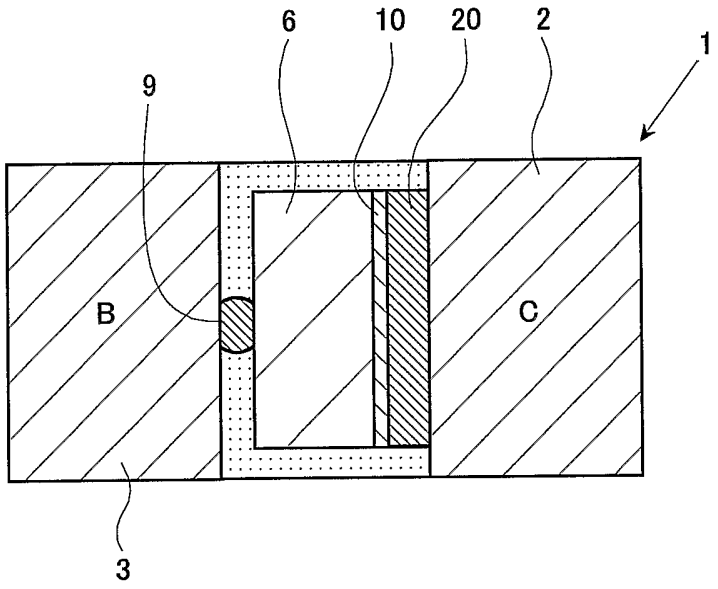


FIG.4

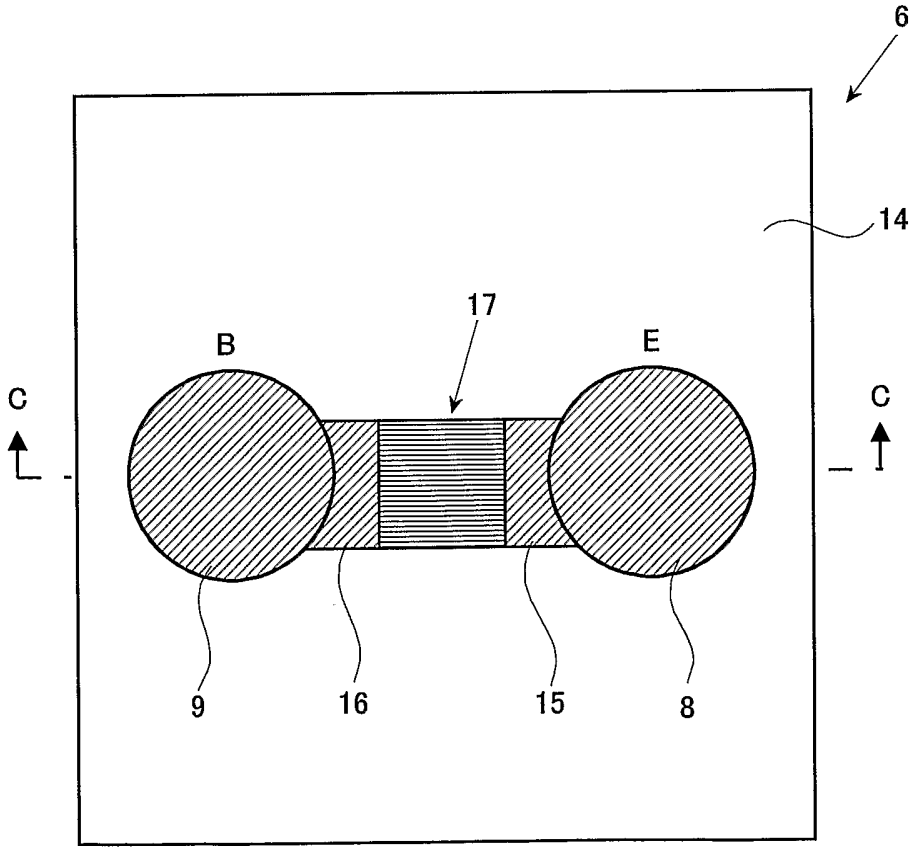


FIG.5

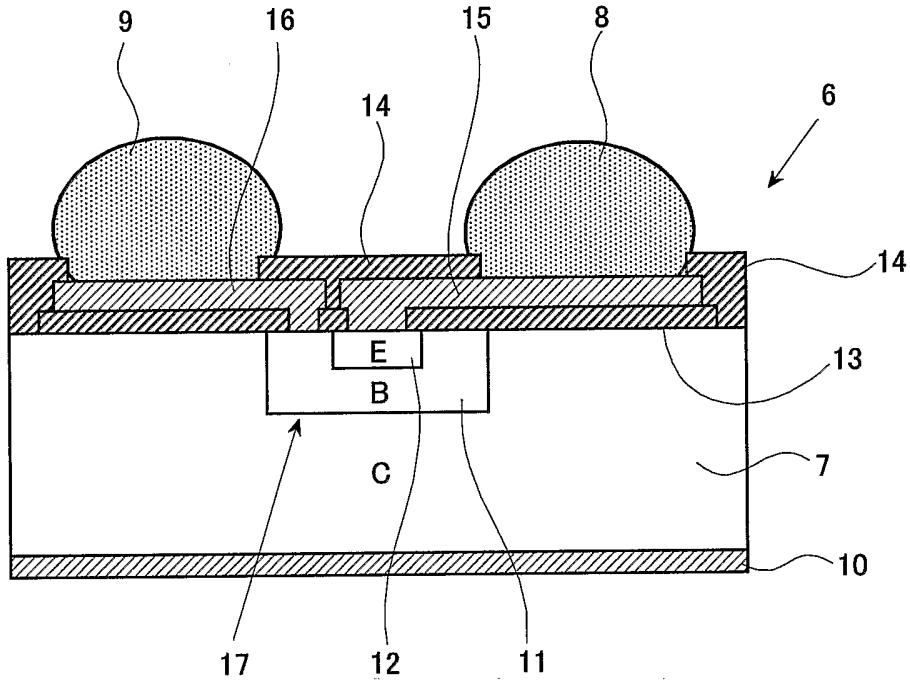
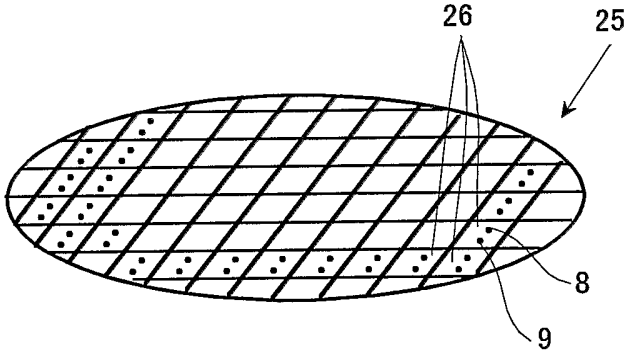


FIG.6

(a)



(b)

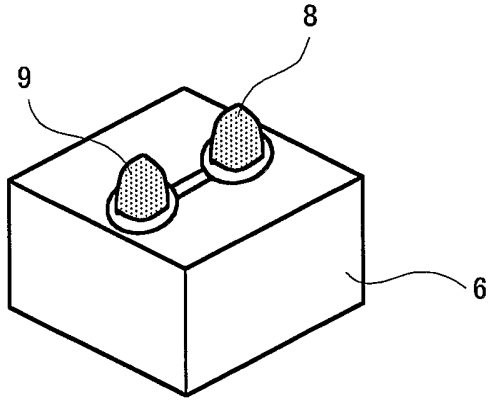


FIG.7

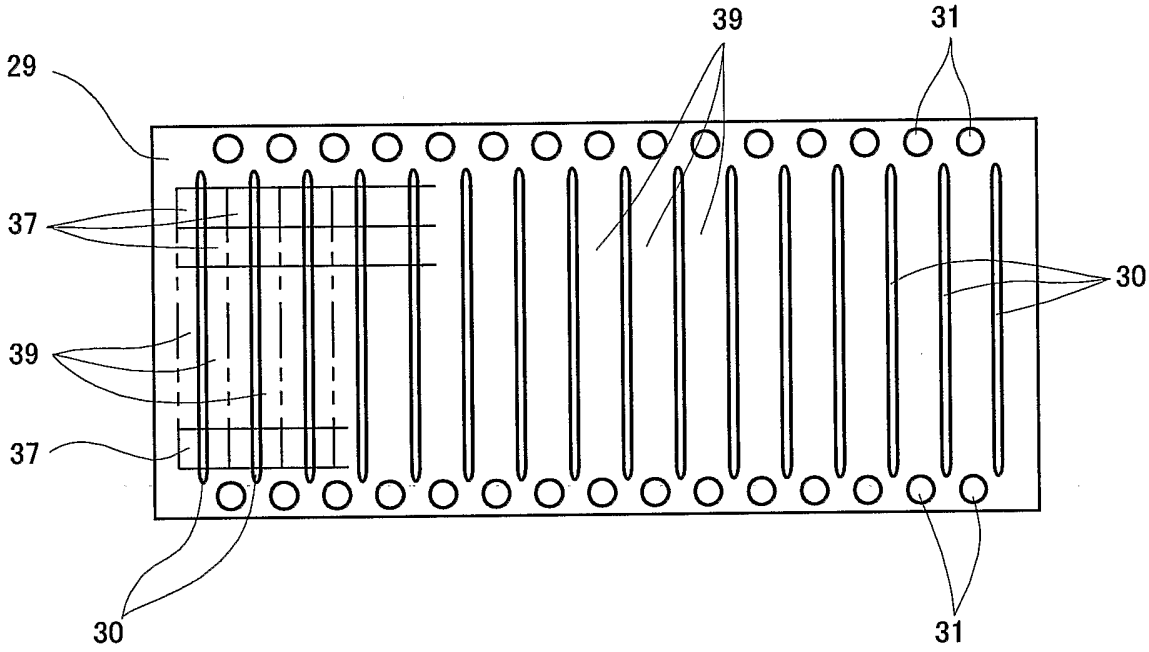


FIG.8

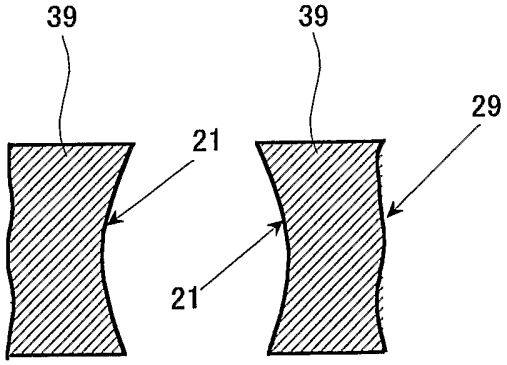


FIG.9

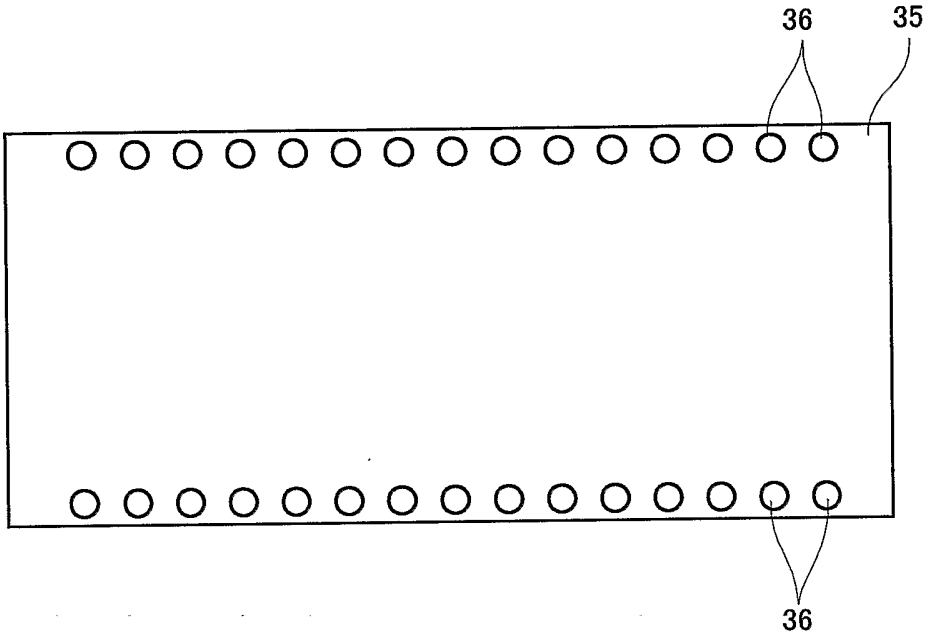


FIG.10

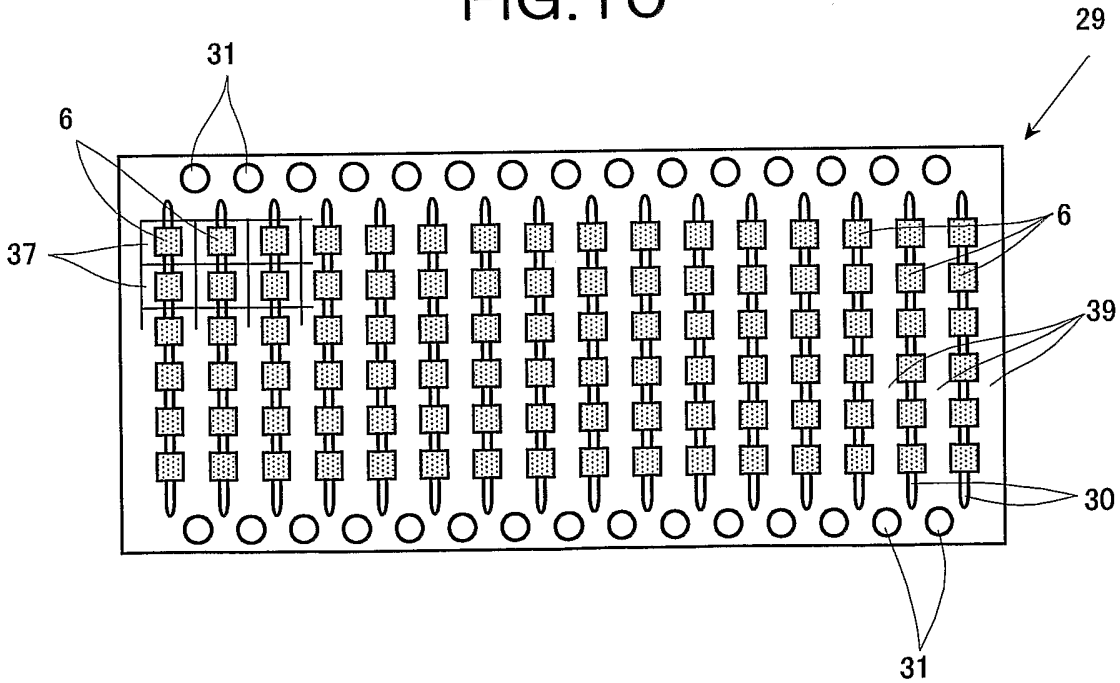


FIG.11

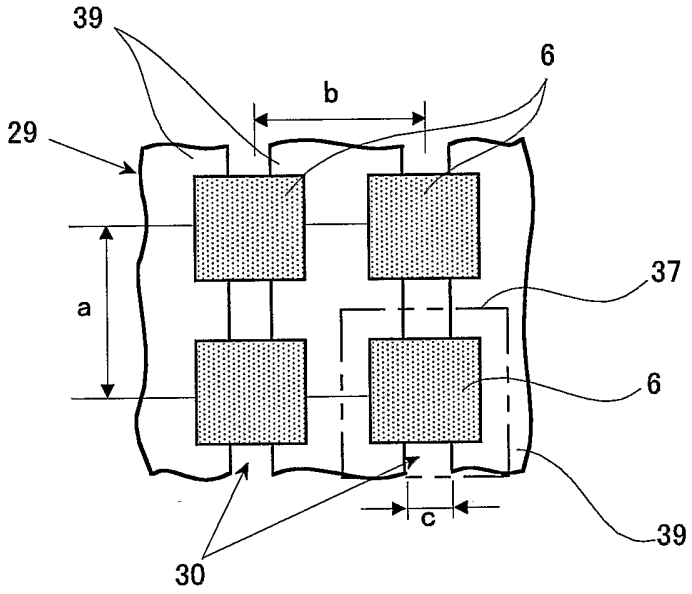


FIG.12

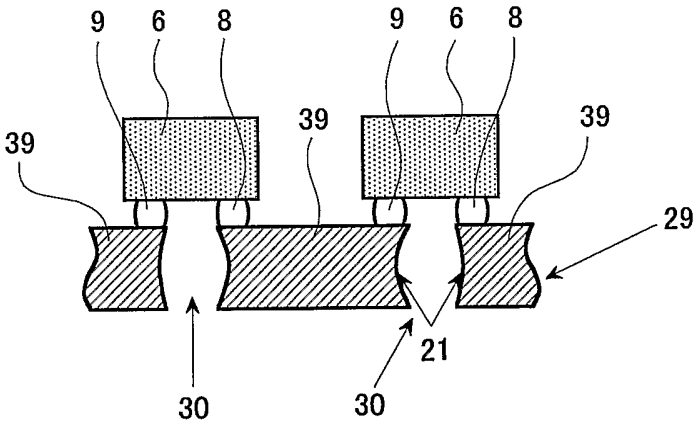


FIG.13

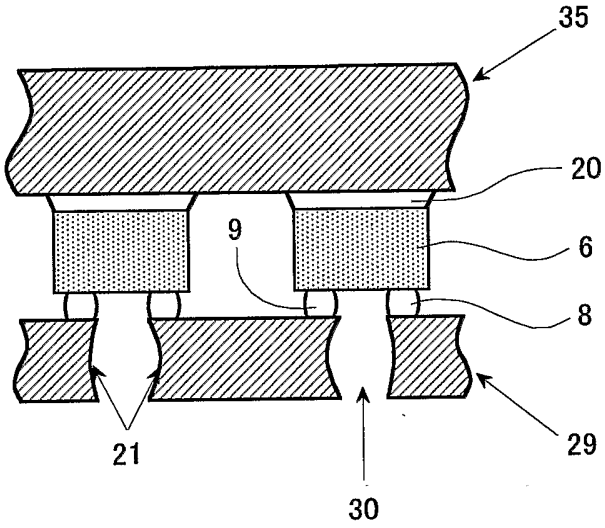


FIG.14

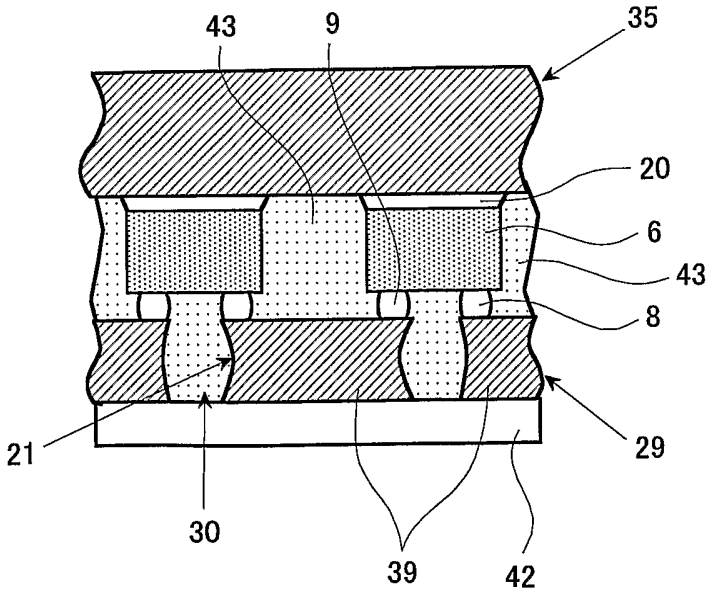


FIG.15

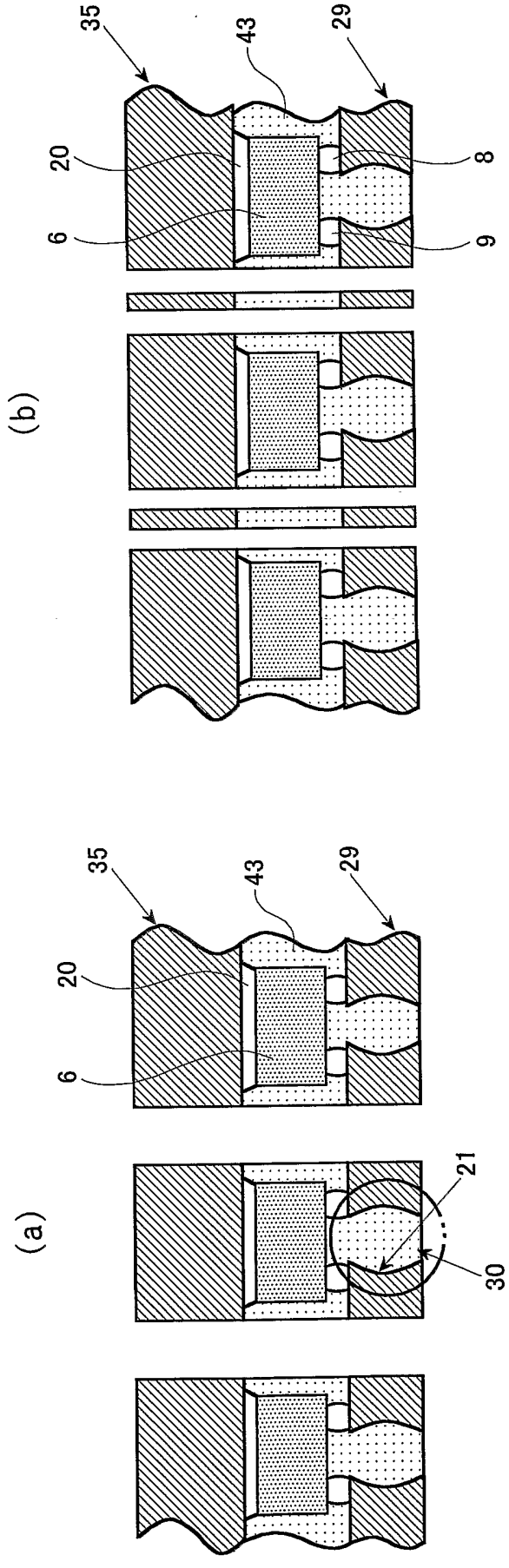


FIG.16

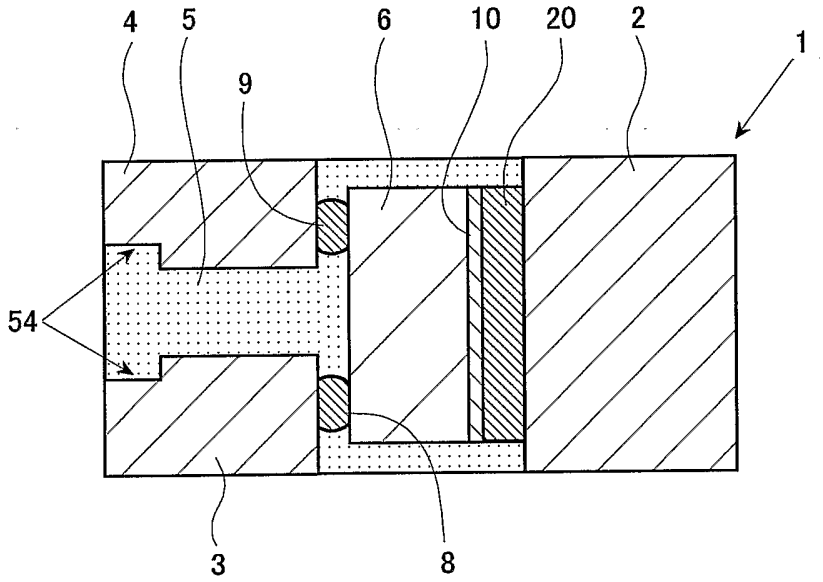


FIG.17

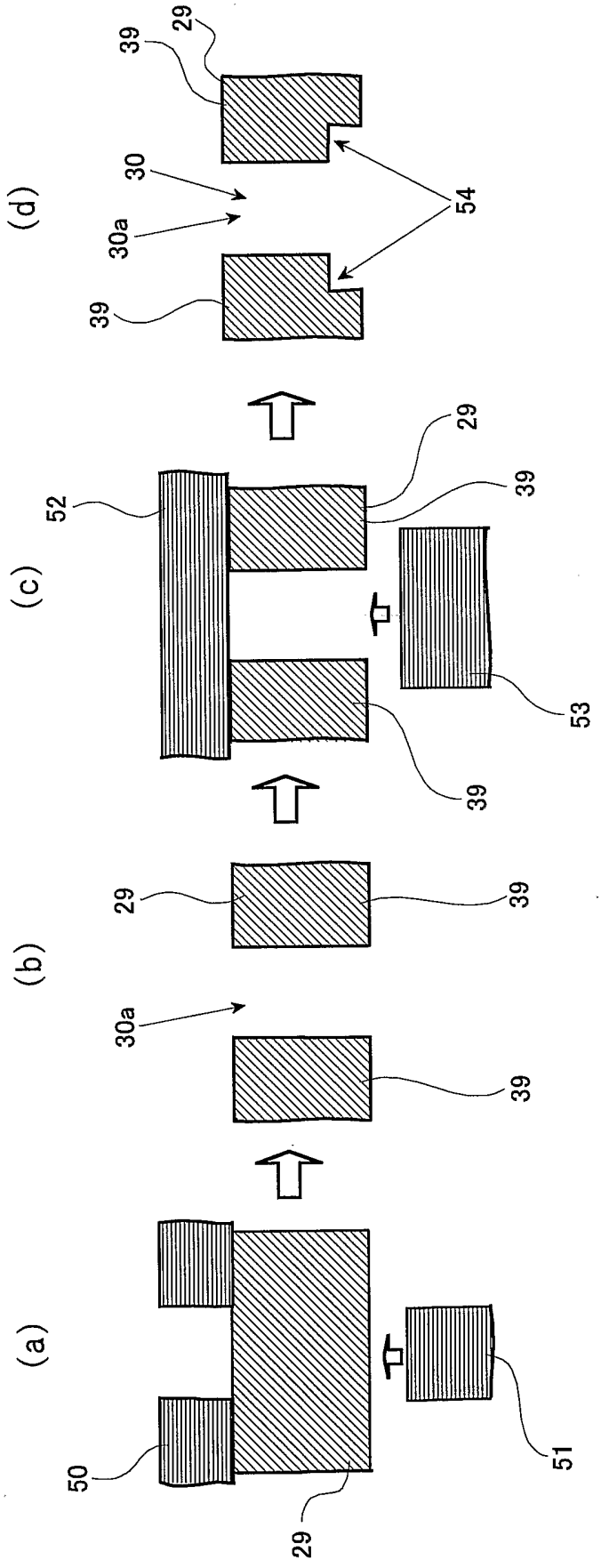


FIG.18

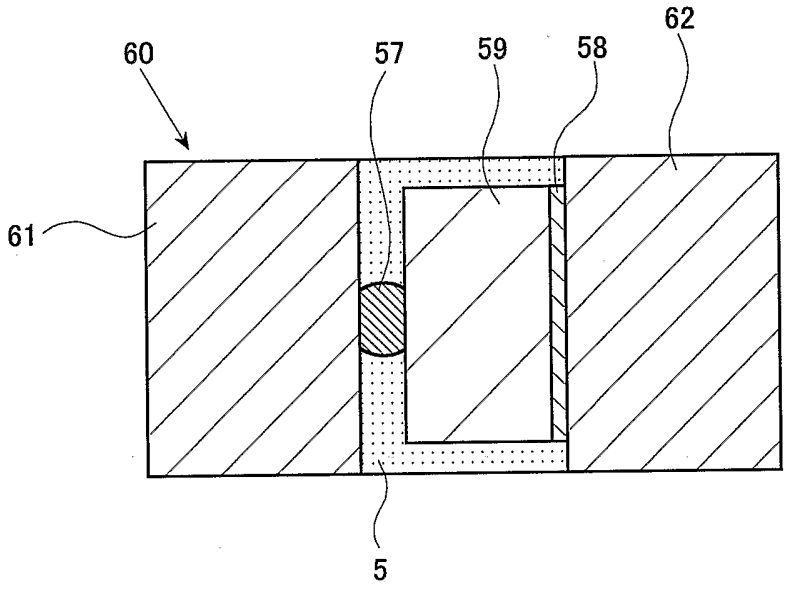


FIG.19

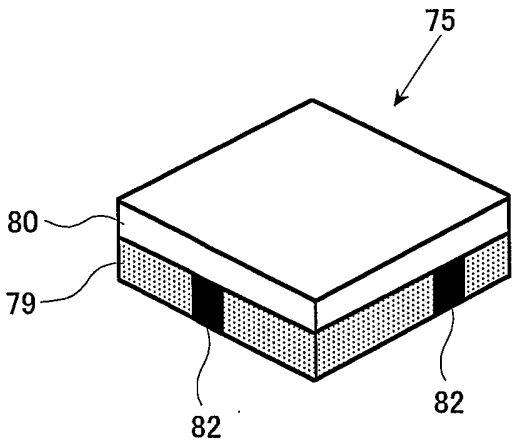


FIG.20

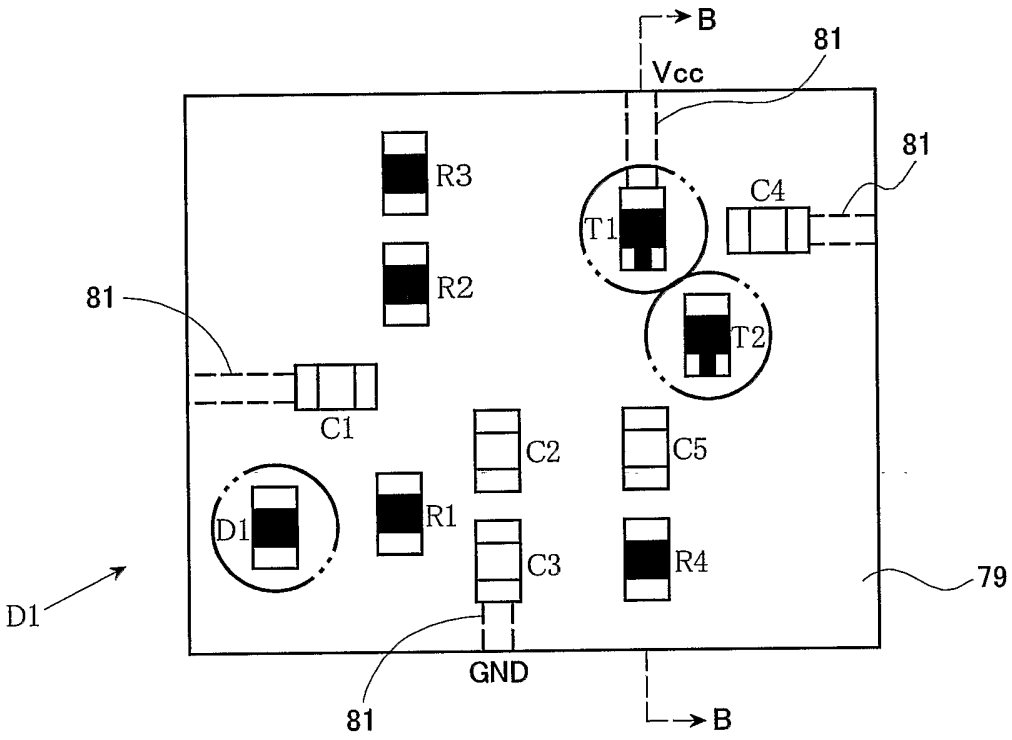

B
Vcc
81
81
R3
T1
C4
R2
81
T2
C1
C2
C5
D1
R1
C3
R4
79
D1
GND
81
B

FIG.21

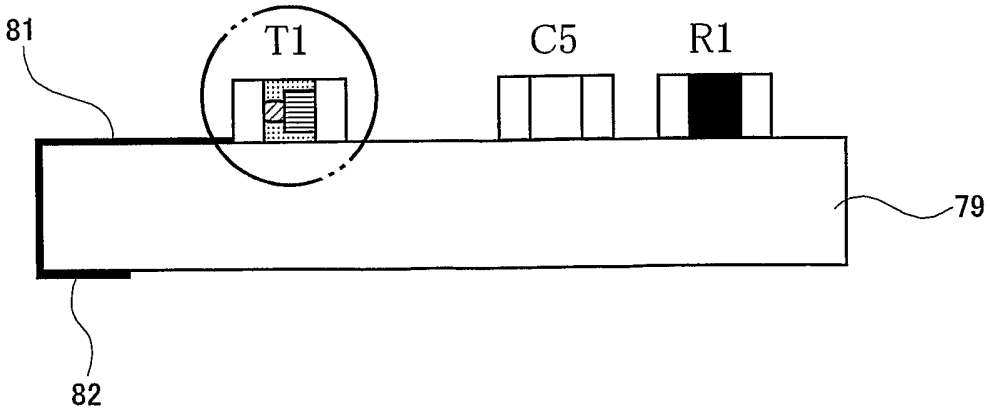

81
T1
C5
R1
79
82

FIG.22

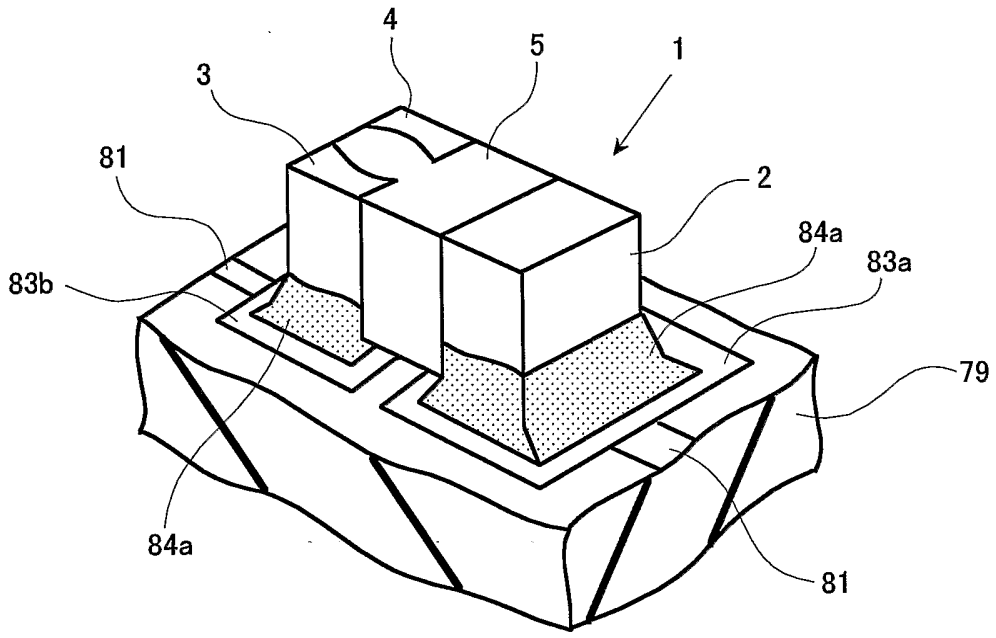


FIG.23

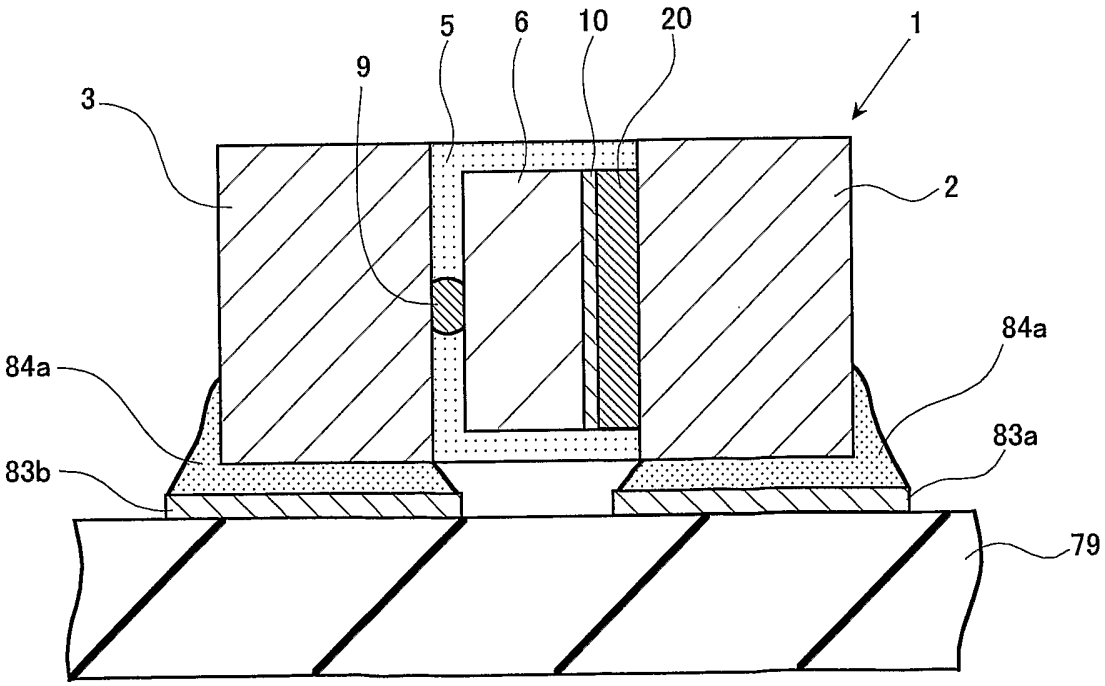


FIG.24

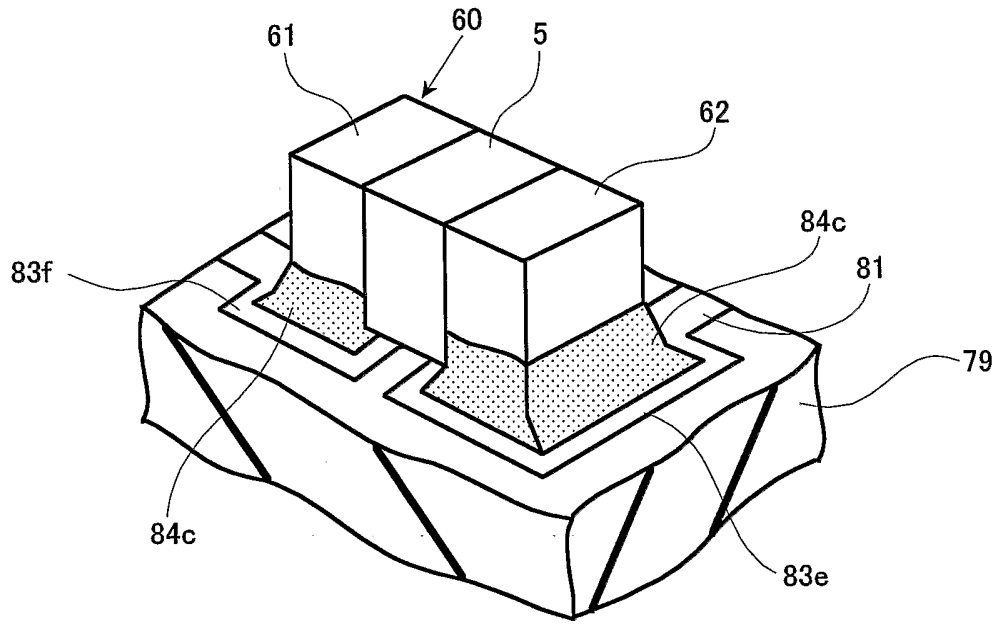

61
60
5
62
84c
81
83f
79
84c
83e

FIG.25

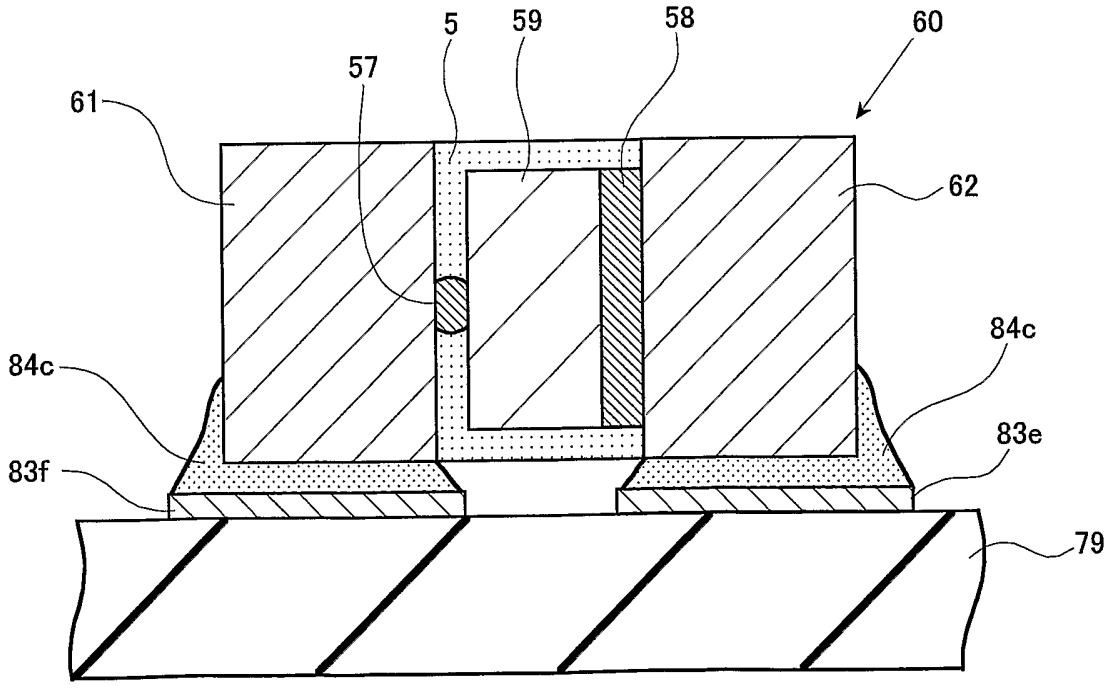

5
59
58
60
57
61
62
84c
84c
83e
83f
79

FIG.26

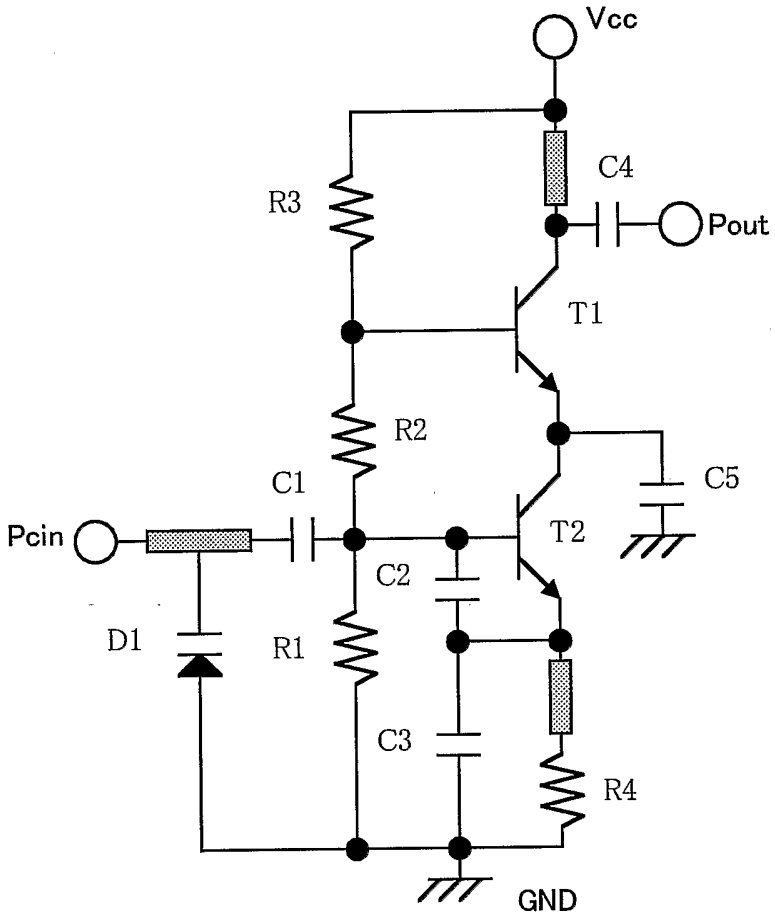


FIG.27

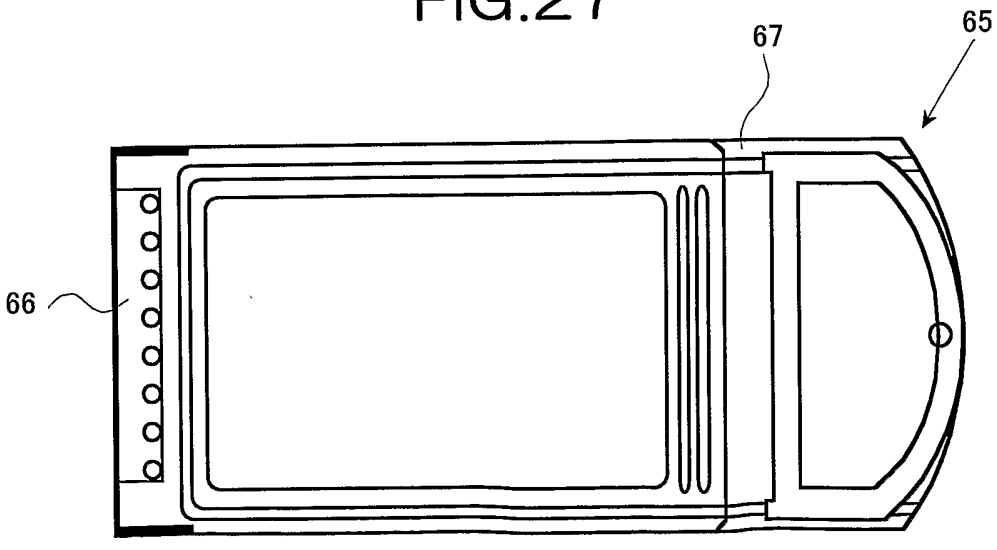


FIG.28

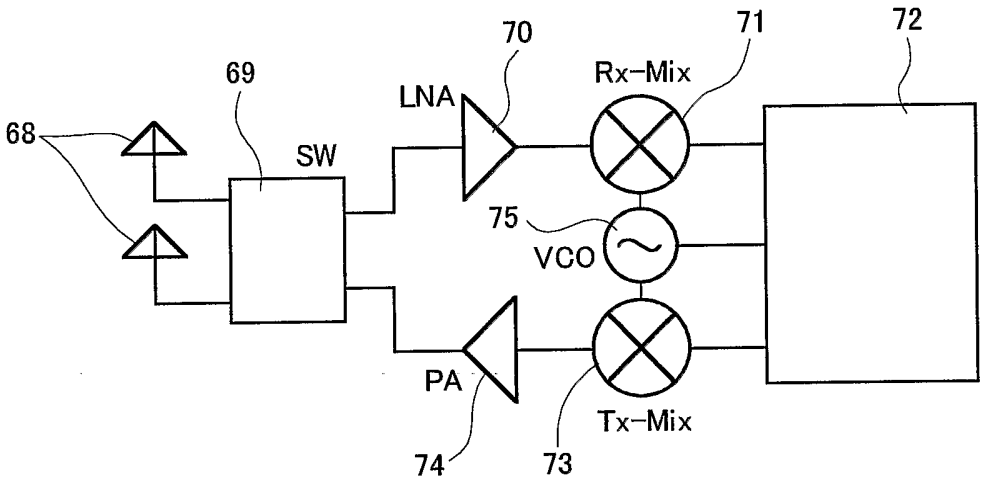

68
69
SW
LNA
70
Rx-Mix
71
72
75
VCO
PA
74
73
Tx-Mix

FIG.29

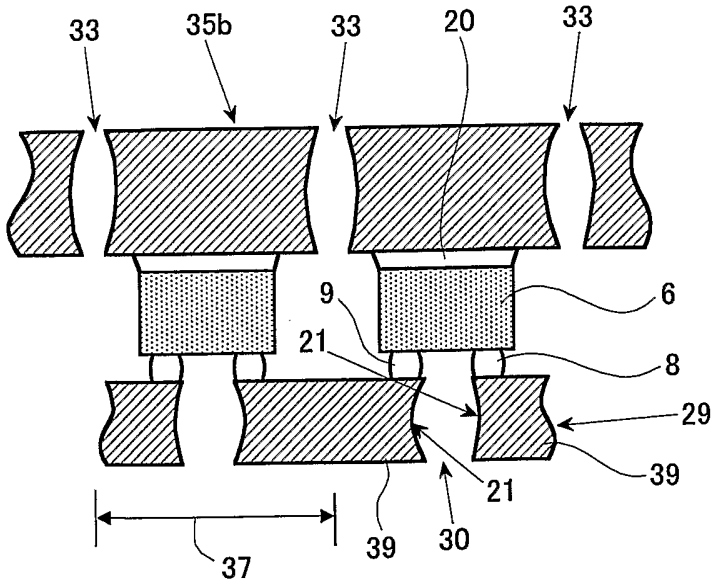

33
35b
33
20
33
9
6
21
8
29
39
21
37
39
30

FIG.30

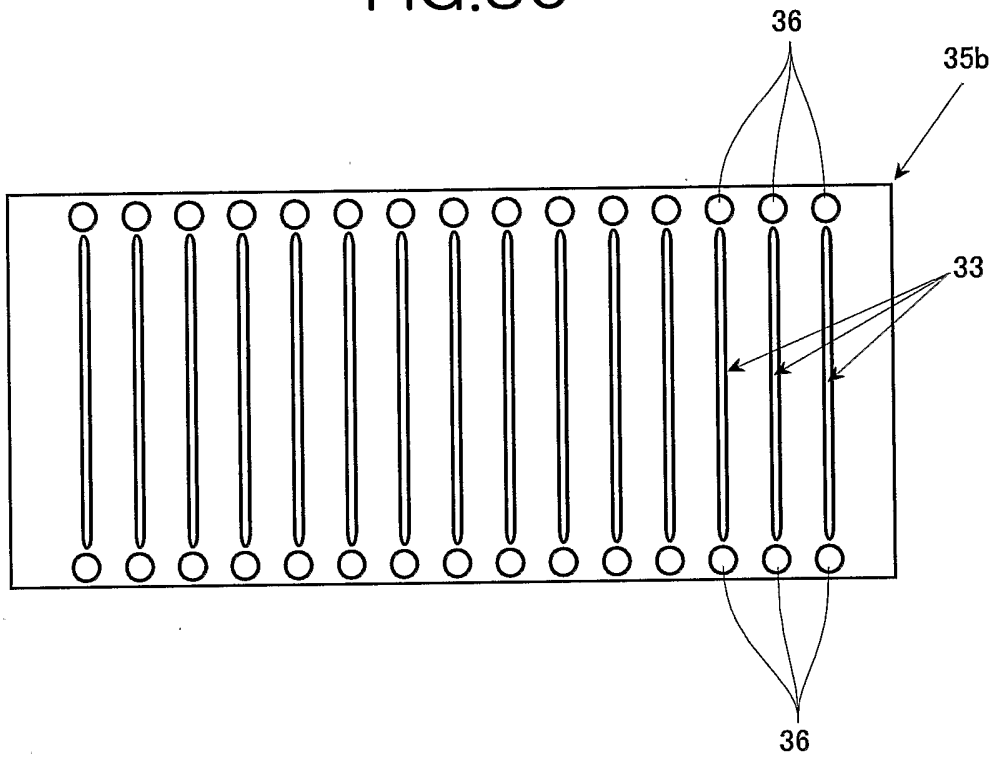


FIG.31

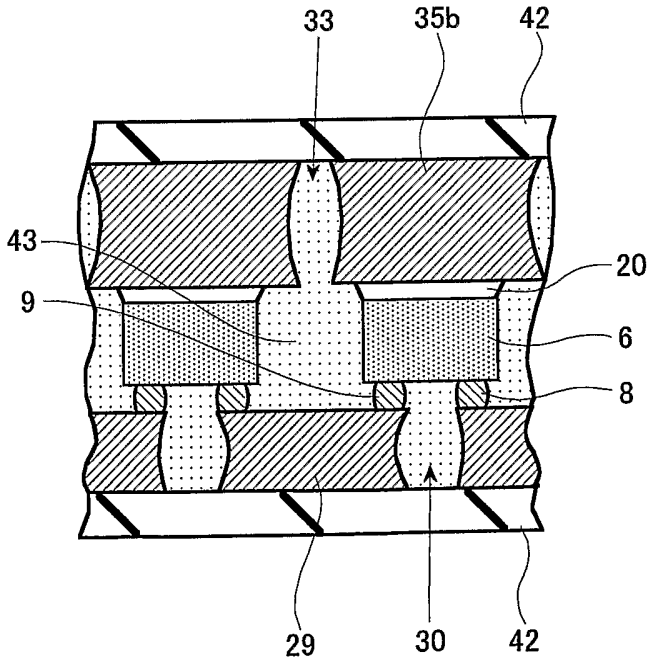


FIG.32

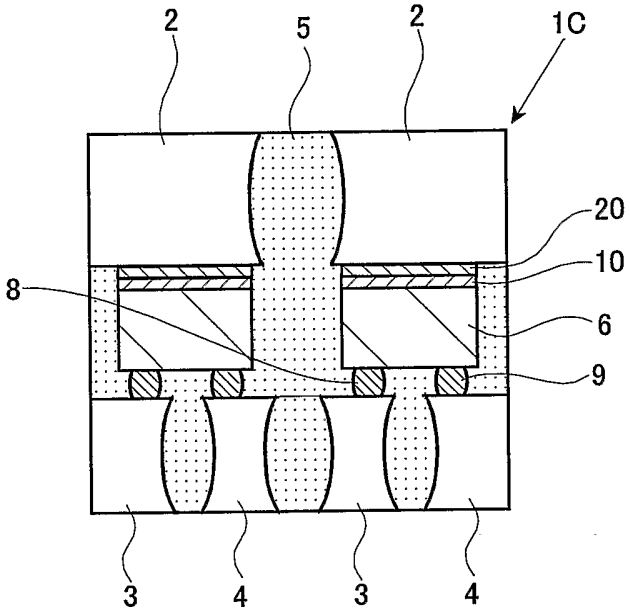


FIG.33

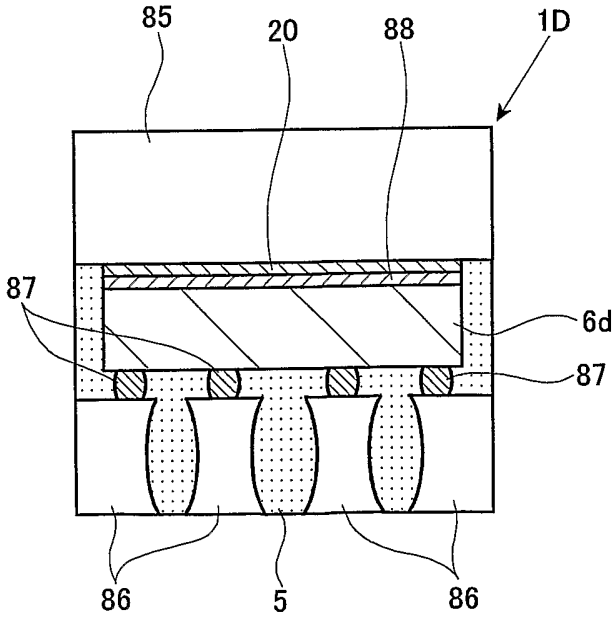


FIG.34

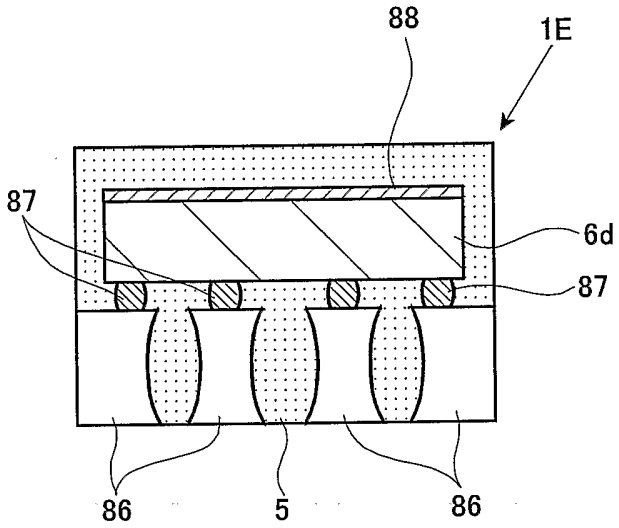


FIG.35

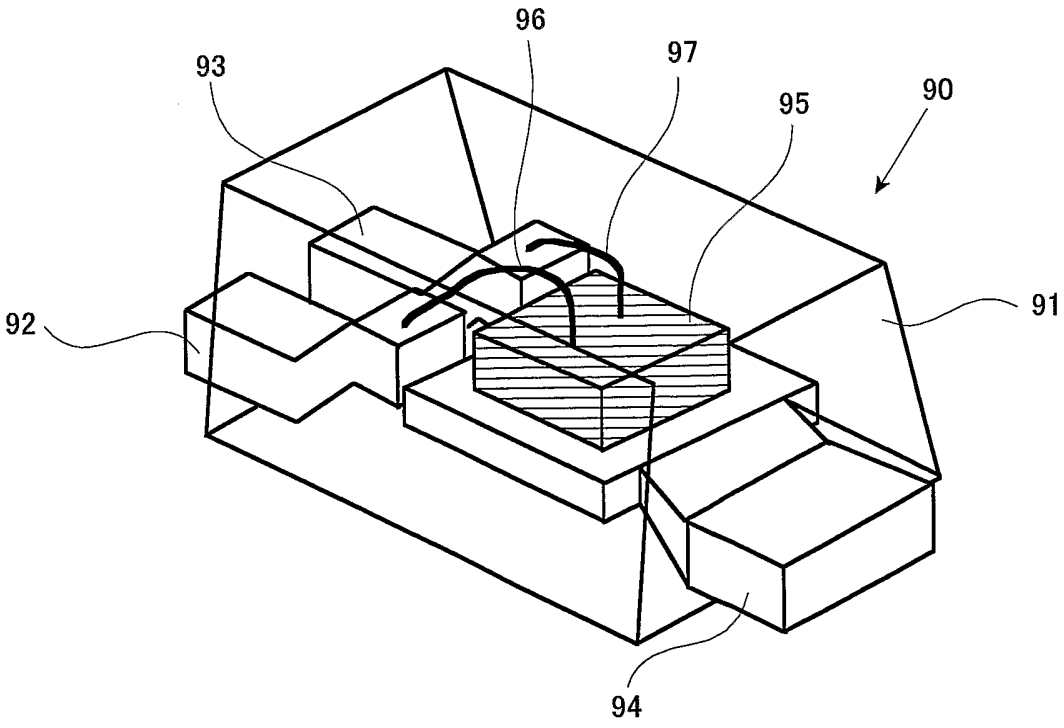
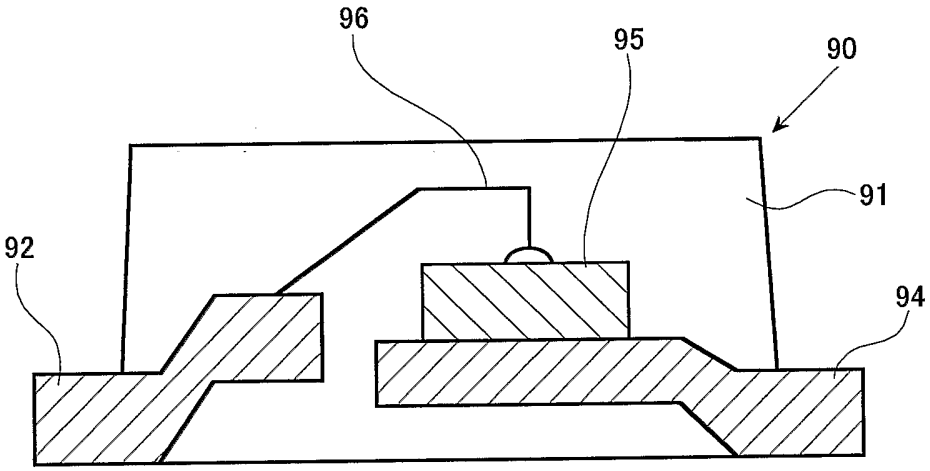


FIG.36



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/09463

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl[7] H01L23/04

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl[7] H01L23/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 10-313082 A (Sanyo Electric Co., Ltd.), 24 November, 1998 (24.11.98), Full text & US 6410363 B1	1-20

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search 28 October, 2003 (28.10.03)	Date of mailing of the international search report 02 December, 2003 (02.12.03)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (July 1998)

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ０３／０９４６３

A.　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Ｉｎｔ．Ｃｌ⁷　Ｈ０１Ｌ２３／０４

B.　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Ｉｎｔ．Ｃｌ⁷　Ｈ０１Ｌ２３／０４

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報　　１９２６－１９９６年
日本国公開実用新案公報　１９７１－２００３年
日本国登録実用新案公報　１９９４－２００３年
日本国実用新案登録公報　１９９６－２００３年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C.　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ｘ	ＪＰ　１０－３１３０８２　Ａ（三洋電機株式会社），１９９８．１１．２４，全&ＵＳ　６４１０３６３　Ｂ１	１－２０

☐ Ｃ欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２８．１０．０３	02.12.03

国際調査機関の名称及びあて先	特許庁審査官（権限のある職員）	４Ｒ	９４４８
日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	田代　吉成		
	電話番号　０３－３５８１－１１０１　内線　３４７０		