(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2012-190232
(P2012-190232A)
(43)公開日　平成24年10月4日(2012.10.4)

(51)Int.Cl.		F I			テーマコード（参考）
G06F 12/00	(2006.01)	G06F	12/00	560B	5B060
G06F 12/02	(2006.01)	G06F	12/02	550C	
		G06F	12/02	550A	
		G06F	12/02	580J	

審査請求 未請求　請求項の数 5　ＯＬ　（全 14 頁）

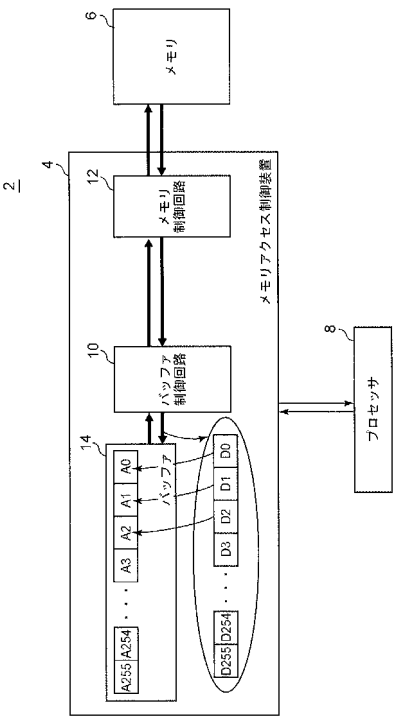
(21)出願番号　特願2011-52857(P2011-52857)
(22)出願日　平成23年3月10日(2011.3.10)

(71)出願人　000006747
株式会社リコー
東京都大田区中馬込１丁目３番６号
(74)代理人　100081422
弁理士　田中　光雄
(74)代理人　100068526
弁理士　田村　恭生
(74)代理人　100091524
弁理士　和田　充夫
(72)発明者　北村　秀仁
東京都大田区中馬込１丁目３番６号　株式会社リコー内

Ｆターム(参考)　5B060 AB07　CB01

(54)【発明の名称】メモリアクセス制御装置

(57)【要約】
【課題】メモリアクセス制御装置の回路規模を削減する。
【解決手段】メモリアクセス制御装置であって、リード動作ライト動作時のアドレスとデータを格納するバッファと、バッファへのアドレスとデータの入出力を制御するバッファ制御回路と、外部メモリへのアドレスとデータの入出力を制御するメモリ制御回路とを備え、バッファ制御回路は、リード動作を実行する場合、外部メモリへのリード動作で使用するアドレスをバッファに設定し、バッファに設定された外部メモリのアドレスに基づいて外部メモリに対してリード動作を行ってデータを取得し、取得したデータをバッファに格納し、ライト動作を実行する場合、外部メモリへのライト動作で使用するアドレス及びデータをバッファに設定し、バッファに設定された外部メモリのアドレスと外部メモリにライトするデータとに基づいて外部メモリに対してライト動作を行う。
【選択図】図１



【特許請求の範囲】
【請求項１】
外部メモリに対してリード動作とライト動作を実行するメモリアクセス制御装置であって、
リード動作とライト動作時のアドレスとデータを格納するバッファと、
前記バッファへのアドレスとデータの入出力を制御するバッファ制御回路と、
外部メモリへのアドレスとデータの入出力を制御するメモリ制御回路とを備え、
前記バッファ制御回路は、
リード動作を実行する場合には、外部メモリへのリード動作で使用するアドレスをバッファに設定し、前記バッファに設定された外部メモリのアドレスに基づいて、前記メモリ制御回路を介して外部メモリに対してリード動作を行ってデータを取得し、取得したデータを前記バッファに格納し、
ライト動作を実行する場合には、外部メモリへのライト動作で使用するアドレス及びデータを前記バッファに設定し、前記バッファに設定された外部メモリのアドレスと外部メモリにライトするデータとに基づいて、前記メモリ制御回路を介して外部メモリに対してライト動作を行うことを特徴とするメモリアクセス制御装置。
【請求項２】
前記バッファが、
複数のプロセッサエレメントにより構成されるプロセッサエレメント部と、プロセッサエレメントに制御信号を供給するグローバルプロセッサとを有する、ＳＩＭＤプロセッサにおける、外部アクセス用レジスタであることを特徴とする請求項１に記載のメモリアクセス制御装置。
【請求項３】
前記バッファ制御回路は、
バーストリード動作を実行する場合には、前記バッファに設定された外部メモリのアドレスとそれを順次インクリメントしたアドレスとに基づいて、前記メモリ制御回路を介して外部メモリに対してリード動作を行ってデータを取得し、取得したデータを前記バッファに格納し、
バーストライト動作を実行する場合には、前記バッファに格納された、外部メモリのアドレスとそれを順次インクリメントしたアドレスに対応する外部メモリにライトする複数データとに基づいて、前記メモリ制御回路を介して外部メモリに対して連続してライト動作を行うことを特徴とする請求項１又は２に記載のメモリアクセス制御装置。
【請求項４】
外部メモリに対してリード動作とライト動作を実行するメモリアクセス制御装置におけるバッファ制御方法であって、
リード動作を実行する場合には、外部メモリへのリード動作で使用するアドレスをバッファに設定し、前記バッファに設定された外部メモリのアドレスに基づいて、外部メモリに対してリード動作を行ってデータを取得し、取得したデータを前記バッファに格納し、
ライト動作を実行する場合には、外部メモリへのライト動作で使用するアドレス及びデータを前記バッファに設定し、前記バッファに設定された外部メモリのアドレスと外部メモリにライトするデータとに基づいて、外部メモリに対してライト動作を行う
ことを特徴とするバッファ制御方法。
【請求項５】
バーストリード動作を実行する場合には、外部メモリのアドレスとそれを順次インクリメントしたアドレスとに基づいて、外部メモリに対してリード動作を行ってデータを取得し、取得したデータを前記バッファに格納し、
バーストライト動作を実行する場合には、外部メモリのアドレスとそれを順次インクリメントしたアドレスに対応する外部メモリにライトする複数データとに基づいて、外部メモリに対して連続してライト動作を行う
ことを特徴とする請求項４に記載のバッファ制御方法。

【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、メモリに対してリード動作及びライト動作を実行するメモリアクセス制御装置に関する。
【背景技術】
【０００２】
画像データ等を格納する外部メモリに対して、リード（読み取り）動作及びライト（書込み）動作を実行するメモリアクセス制御装置は、通常、リード動作及びライト動作それぞれのための、アドレス用バッファとデータ用バッファとを備えて、メモリとのアクセス制御を行う。
【０００３】
図７は、従来の画像データ転送システム２’の一つの構成例を示すブロック図である。図７に示す画像データ転送システム２’に含まれるメモリアクセス制御装置４’において、リード動作を行う場合には、まず、プロセッサ８’から、リードアドレス用バッファ１４ａ’に対して、メモリ６’へのリード動作で使用する、取得したいデータに対応するアドレス（Ａ０，Ａ１，Ａ２，…Ａ２５４，Ａ２５５）が設定される。
【０００４】
次に、プロセッサ８’からメモリアクセス制御装置４’に対して、リード動作の要求が発行される。メモリアクセス制御装置４’が、プロセッサ８’からのリード動作の要求を受け付けると、リードバッファ制御回路１０ａ’が、リードアドレス用バッファ１４ａ’に格納されているアドレスを取り出して、アドレスとリード動作の要求とを調停回路１１’に対して出力する。調停回路１１’は、リード動作の要求を実施してよいか否かを判断して、アドレスとリード動作の要求とをメモリ制御回路１２’に対して出力する。メモリ制御回路１２’は、調停回路１１’より、アドレスとリード動作の要求とを受け付けると、メモリ６’に対して、アドレスとリード動作のために必要な制御信号とを出力する。
【０００５】
そして、メモリ制御回路１２’は、メモリ６’より取得したデータ（Ｄ０，Ｄ１，Ｄ２，…Ｄ２５４，Ｄ２５５）を、調停回路１１’を経由して、リードバッファ制御回路１０ａ’に対して出力する。リードバッファ制御回路１０ａ’は、メモリ６’より取得したデータをメモリ制御回路１２’より受け付けると、リードデータ用バッファ１５ａ’にメモリ６’より取得したデータを格納する。
【０００６】
図７に示すメモリアクセス制御装置４’において、ライト動作を行う場合には、プロセッサ８’から、ライトアドレス用バッファ１４ｂ’に対して、メモリ６’へのライト動作で使用するアドレス（Ａ０，Ａ１，Ａ２，…Ａ２５４，Ａ２５５）が設定される。これと同時に、ライトデータ用バッファに１５ｂ’対して、メモリ６’へのライト動作で使用するデータ（Ｄ０，Ｄ１，Ｄ２，…Ｄ２５４，Ｄ２５５）が設定される。
【０００７】
次に、プロセッサ８’からメモリアクセス制御装置４’に対して、ライト動作の要求が発行される。メモリアクセス制御装置４’は、プロセッサ８’からのライト動作の要求を受け付けると、ライトバッファ制御回路１０ｂ’が、ライトアドレス用バッファ１４ｂ’に格納されているアドレスと、ライトデータ用バッファ１５ｂ’に格納されているデータとを取り出して、アドレスとデータとライト動作の要求とを調停回路１１’に対して出力する。調停回路１１’は、ライト動作の要求を実施してよいか否かを判断して、アドレスとデータとライト動作の要求とをメモリ制御回路１２’に対して出力する。メモリ制御回路１２’は、調停回路１１’より、アドレスとデータとライト動作の要求とを受け付けると、メモリ６’に対して、アドレスとデータとライト動作のために必要な制御信号とを出力する。そして、メモリ６’にそのデータが、ライトされる。
【０００８】

このように、図７に示す従来の画像データ転送システム２’では、メモリ６’に対してリード動作及びライト動作を実行するメモリアクセス制御装置は、リード動作及びライト動作それぞれのための、アドレス用バッファとデータ用バッファを備えた上で、メモリ６’とのアクセス制御を行う。例えば、特許文献１から４に開示されるメモリアクセス制御装置も、アドレス用バッファとデータ用バッファを備えて、メモリとのアクセス制御を行っている。

【０００９】

続いて、図８は、従来の画像データ転送システム２”の別の構成例を示すブロック図である。図８に示す画像データ転送システム２”に含まれるメモリアクセス制御装置は、図７に示すメモリアクセス制御装置と略同じものである。但し、図８に示すメモリアクセス制御装置は、リード用のバッファを一つしか備えない。従って、その分回路規模が削減されている。

【００１０】

図８に示すメモリアクセス制御装置４’において、リード動作を行う場合には、まず、リード用バッファ１４ａ’に対して、メモリへ６’のリード動作で使用する、取得したいデータに対応するアドレス（Ａ０，Ａ１，Ａ２，…Ａ２５４，Ａ２５５）が設定される。

【００１１】

次に、プロセッサ８’からメモリアクセス制御装置４’に対して、リード動作の要求が発行される。メモリアクセス制御装置４’は、プロセッサ８’からのリード動作の要求を受け付けると、リードバッファ制御回路１０ａ’が、リード用バッファ１４ａ’に格納されているアドレスを取り出して、アドレスとリード動作の要求とを調停回路１１’に対して出力する。調停回路１１’は、リード動作の要求を実施してよいか否かを判断して、アドレスとリード動作の要求とをメモリ制御回路１２’に対して出力する。メモリ制御回路１２’は、調停回路１１’より、アドレスとリード動作の要求とを受け付けると、メモリ６’に対して、アドレスとリード動作のために必要な制御信号とを出力する。

【００１２】

そして、メモリ制御回路１２’は、メモリ６’より取得したデータ（Ｄ０，Ｄ１，Ｄ２，…Ｄ２５４，Ｄ２５５）を、調停回路１１’を経由して、リードバッファ制御回路１０ａ’に対して出力する。リードバッファ制御回路１０ａ’は、メモリ６’より取得したデータをメモリ制御回路１２’より受け付けると、元々アドレスが格納されていた元のリード用バッファ１４ａ’にメモリ６’より取得したデータを格納する。

【００１３】

なお、　図８に示すメモリアクセス制御装置４’が行うライト動作は、図７に示すメモリアクセス制御装置が行うライト動作と同じである。

【発明の概要】

【発明が解決しようとする課題】

【００１４】

上述のように、従来のメモリアクセス制御装置は、特にライト動作のためにアドレス用バッファとデータ用バッファを備えており、そのような構成では、メモリアクセス制御装置の回路規模が大きくなってしまう、という課題がある。

【００１５】

本発明は、回路規模を削減したメモリアクセス制御装置を提供することを目的とする。

【課題を解決するための手段】

【００１６】

本発明は、上記の目的を達成するために為されたものである。本発明に係る第１のメモリアクセス制御装置は、

外部メモリに対してリード動作とライト動作を実行するメモリアクセス制御装置であって、

リード動作とライト動作時のアドレスとデータを格納するバッファと、

前記バッファへのアドレスとデータの入出力を制御するバッファ制御回路と、

外部メモリへのアドレスとデータの入出力を制御するメモリ制御回路とを備え、
前記バッファ制御回路は、
リード動作を実行する場合には、外部メモリへのリード動作で使用するアドレスをバッファに設定し、前記バッファに設定された外部メモリのアドレスに基づいて、前記メモリ制御回路を介して外部メモリに対してリード動作を行ってデータを取得し、取得したデータを前記バッファに格納し、
ライト動作を実行する場合には、外部メモリへのライト動作で使用するアドレス及びデータを前記バッファに設定し、前記バッファに設定された外部メモリのアドレスと外部メモリにライトするデータとに基づいて、前記メモリ制御回路を介して外部メモリに対してライト動作を行う。

【００１７】
メモリアクセス制御装置において、
バッファは、
複数のプロセッサエレメントにより構成されるプロセッサエレメント部と、プロセッサエレメントに制御信号を供給するグローバルプロセッサとを有する、ＳＩＭＤプロセッサにおける、外部アクセス用レジスタであってもよい。

【００１８】
メモリアクセス制御装置において、
バッファ制御回路は、
バーストリード動作を実行する場合には、前記バッファに設定された外部メモリのアドレスとそれを順次インクリメントしたアドレスとに基づいて、前記メモリ制御回路を介して外部メモリに対してリード動作を行ってデータを取得し、取得したデータを前記バッファに格納し、
バーストライト動作を実行する場合には、前記バッファに格納された、外部メモリのアドレスとそれを順次インクリメントしたアドレスに対応する外部メモリにライトする複数データとに基づいて、前記メモリ制御回路を介して外部メモリに対して連続してライト動作を行う、というものであってもよい。

【００１９】
本発明に係る第１のバッファ制御方法は、
外部メモリに対してリード動作とライト動作を実行するメモリアクセス制御装置におけるバッファ制御方法であって、
リード動作を実行する場合には、外部メモリへのリード動作で使用するアドレスをバッファに設定し、前記バッファに設定された外部メモリのアドレスに基づいて、外部メモリに対してリード動作を行ってデータを取得し、取得したデータを前記バッファに格納し、
ライト動作を実行する場合には、外部メモリへのライト動作で使用するアドレス及びデータを前記バッファに設定し、前記バッファに設定された外部メモリのアドレスと外部メモリにライトするデータとに基づいて、外部メモリに対してライト動作を行う。

【００２０】
バッファ制御方法は、
バーストリード動作を実行する場合には、外部メモリのアドレスとそれを順次インクリメントしたアドレスとに基づいて、外部メモリに対してリード動作を行ってデータを取得し、取得したデータを前記バッファに格納し、
バーストライト動作を実行する場合には、外部メモリのアドレスとそれを順次インクリメントしたアドレスに対応する外部メモリにライトする複数データとに基づいて、外部メモリに対して連続してライト動作を行う、というものであってもよい。

【発明の効果】

【００２１】
本発明を利用することにより、外部メモリのためのメモリアクセス制御装置は、回路規模を縮小することができる。

【図面の簡単な説明】

【００２２】
【図１】本発明の第１の実施形態に係る画像データ転送システム、及び、その画像データ転送システムに含まれるメモリアクセス制御装置の構成を示すブロック図であり、特に、リード動作を行うときの、画像データ転送システム及びメモリアクセス制御装置の動作の様子を含むブロック図である。
【図２】本発明の第１の実施形態に係る画像データ転送システム、及び、その画像データ転送システムに含まれるメモリアクセス制御装置の構成を示すブロック図であり、特に、ライト動作を行うときの、画像データ転送システム及びメモリアクセス制御装置の動作の様子を含むブロック図である。
【図３】本発明の第２の実施形態に係る画像データ転送システム、及び、その画像データ転送システムに含まれるメモリアクセス制御装置の構成を示すブロック図であり、特に、リード動作を行うときの、画像データ転送システム及びメモリアクセス制御装置の動作の様子を含むブロック図である。
【図４】本発明の第２の実施形態に係る画像データ転送システム、及び、その画像データ転送システムに含まれるメモリアクセス制御装置の構成を示すブロック図であり、特に、ライト動作を行うときの、画像データ転送システム及びメモリアクセス制御装置の動作の様子を含むブロック図である。
【図５】本発明の第３の実施形態に係る画像データ転送システム、及び、その画像データ転送システムに含まれるメモリアクセス制御装置の構成を示すブロック図であり、特に、リード動作を行うときの、画像データ転送システム及びメモリアクセス制御装置の動作の様子を含むブロック図である。
【図６】本発明の第３の実施形態に係る画像データ転送システム、及び、その画像データ転送システムに含まれるメモリアクセス制御装置の構成を示すブロック図であり、特に、ライト動作を行うときの、画像データ転送システム及びメモリアクセス制御装置の動作の様子を含むブロック図である。
【図７】従来の画像データ転送システムの一つの構成例を示すブロック図である。
【図８】従来の画像データ転送システムの別の構成例を示すブロック図である。
【発明を実施するための形態】
【００２３】
以下、図面を参照して本発明に係る好適な実施形態を説明する。
【００２４】
[１．第１の実施形態]
１．１．構成
図１及び図２は、本発明の第１の実施形態に係る画像データ転送システム２、及び、その画像データ転送システム２に含まれるメモリアクセス制御装置４の構成を示すブロック図である。特に、図１は、リード動作を行うときの、画像データ転送システム２及びメモリアクセス制御装置４の動作の様子を説明するためのブロック図であり、図２は、ライト動作を行うときの、画像データ転送システム２及びメモリアクセス制御装置４の動作の様子を説明するためのブロック図である。
【００２５】
図１及び図２に示す第１の実施形態に係る画像データ転送システム２は、メモリアクセス制御装置４、メモリ６、及びプロセッサ８を含む。更に、メモリアクセス制御装置４は、メモリ制御回路１２、バッファ制御回路１０、及びバッファ１４で構成される。
【００２６】
１．２．動作
１．２．１．リード動作
まず、図１を用いて第１の実施形態に係るメモリアクセス制御装置４のリード動作について説明する。メモリアクセス制御装置４がリード動作を行う場合には、プロセッサ８は、バッファ制御回路１０に対して、メモリ６へのリード動作で使用する、取得したいデータに対応するアドレス（Ａ０，Ａ１，Ａ２，…Ａ２５４，Ａ２５５）のバッファ１４への

設定を指示する。バッファ制御回路１０は、バッファ１４に対して、指示されたアドレス（Ａ０，Ａ１，Ａ２，…Ａ２５４，Ａ２５５）を設定する。

【００２７】

次に、プロセッサ８からメモリアクセス制御装置４に対して、リード動作の要求が発行される。メモリアクセス制御装置４が、プロセッサ８からのリード動作の要求を受け付けると、バッファ制御回路１０が、バッファ１４に格納されているアドレスを取り出して、アドレスとリード動作の要求とをメモリ制御回路１２に対して出力する。メモリ制御回路１２は、バッファ制御回路１０より、アドレスとリード動作の要求とを受け付けると、メモリ６に対して、アドレスとリード動作のために必要な制御信号とを出力する。

【００２８】

そして、メモリ制御回路１２は、メモリ６より取得したデータ（Ｄ０，Ｄ１，Ｄ２，…Ｄ２５４，Ｄ２５５）を、バッファ制御回路１０に対して出力する。バッファ制御回路１０は、メモリ６より取得したデータをメモリ制御回路１２より受け付けると、元々アドレスが格納されていたバッファ１４に取得したデータを格納する。

【００２９】

１．２．２．ライト動作

続いて、図２を用いて第１の実施形態に係るメモリアクセス制御装置４のライト動作について説明する。メモリアクセス制御装置４がライト動作を行う場合には、プロセッサ８は、バッファ制御回路１０に対して、メモリ６へのライト動作で使用する、アドレス（Ａ０，Ａ１，Ａ２，…Ａ１２６，Ａ１２７）と、データ（Ｄ０，Ｄ１，Ｄ２，…Ｄ１２６，Ｄ１２７）の、バッファ１４への設定を指示する。バッファ制御回路１０は、バッファ１４に対して、指示されたアドレス（Ａ０，Ａ１，Ａ２，…Ａ１２６，Ａ１２７）とデータ（Ｄ０，Ｄ１，Ｄ２，…Ｄ１２６，Ｄ１２７）を設定する。図２に示すメモリアクセス制御装置４では、バッファ制御回路１０は、個々のアドレスとデータとを対にして組にした形で、バッファ１４に設定している。

【００３０】

図１に示すように、リード動作を行うとき、アドレスのみをバッファ４に設定していたが、図２に示すように、ライト動作を行うときは、アドレスとデータとを共に設定する。このため、メモリ６に対して一度にアクセスできる回数は半分となる。

【００３１】

次に、プロセッサ８からメモリアクセス制御装置４に対して、ライト動作の要求が発行される。メモリアクセス制御装置４が、プロセッサ８からのライト動作の要求を受け付けると、バッファ制御回路１０が、バッファ１４に格納されているアドレスとデータとを取り出して、アドレスとデータとライト動作の要求とをメモリ制御回路１２に対して出力する。メモリ制御回路１２は、バッファ制御回路１０より、アドレスとデータとライト動作の要求とを受け付けると、メモリ６に対して、アドレスとデータとライト動作のために必要な制御信号とを出力する。それにより、メモリ６にそのデータが、ライトされる。

【００３２】

このように、第１の実施形態に係るメモリアクセス制御装置４は、リード動作及びライト動作を一つのバッファ１４のみにより実行できる。

【００３３】

１．３．まとめ

以上のように、第１の実施形態に係るメモリアクセス制御装置４は、一つのバッファでリード動作及びライト動作を実行できる。このため、第１の実施形態に係るメモリアクセス制御装置４は、例えば、図８に示す従来のメモリアクセス制御装置のようなライトアドレス用バッファとライトデータ用バッファを備える必要が無い。従って、第１の実施形態に係るメモリアクセス制御装置４は回路規模を削減できる。

【００３４】

[２．第２の実施形態]

２．１．構成

図３及び図４は、本発明の第２の実施形態に係る画像データ転送システム１０２、及び、その画像データ転送システム１０２に含まれるメモリアクセス制御装置１０４の構成を示すブロック図である。特に、図３は、リード動作を行うときの、画像データ転送システム１０２及びメモリアクセス制御装置１０４の動作の様子を説明するためのブロック図であり、図４は、ライト動作を行うときの、画像データ転送システム１０２及びメモリアクセス制御装置１０４の動作の様子を説明するためのブロック図である。

【００３５】

図３及び図４に示す第２の実施形態に係る画像データ転送システム１０２は、メモリアクセス制御装置１０４、メモリ１０６、及びＳＩＭＤプロセッサ１０８を含む。メモリアクセス制御装置１０４は、メモリ制御回路１１２、バッファ制御回路１１０、及びバッファで構成される。特に本実施形態では、バッファとして、ＳＩＭＤプロセッサ１０８の外部アクセス用レジスタ１１４を利用している。

【００３６】

ここで、ＳＩＭＤ（Ｓｉｎｇｌｅ Ｉｎｓｔｒｕｃｔｉｏｎ－ｓｔｒｅａｍ Ｍｕｌｔｉｐｌｅ Ｄａｔａ－ｓｔｒｅａｍ）プロセッサは、１命令で複数のデータを同時処理するプロセッサである。ＳＩＭＤプロセッサは、算術論理演算器（ＡＬＵ）と演算レジスタを備えたプロセッサエレメントと呼ばれるブロックを複数備える。図３及び図４に示すＳＩＭＤプロセッサ１０８は、２５６個のプロセッサエレメントＰＥ０、ＰＥ１、・・・ＰＥ２５５を備えている。複数のプロセッサエレメントＰＥ０、ＰＥ１、・・・ＰＥ２５５はプロセッサエレメント部を構成する。また、個々のプロセッサエレメントは、算術論理演算器に利用されるデータを格納する外部アクセス用レジスタを備える。図３及び図４に示すＳＩＭＤプロセッサ１０８のプロセッサエレメントＰＥ０、ＰＥ１、・・・ＰＥ２５５は、夫々、外部アクセス用レジスタ１１４を備えている。更に、ＳＩＭＤプロセッサ１０８は、プログラムを解読してプロセッサエレメントＰＥ０、ＰＥ１、・・・ＰＥ２５５に制御信号を供給し、プロセッサエレメント全体の動作を制御するグローバルプロセッサ１１６を備える。

【００３７】

２．２．動作

２．２．１．リード動作

図３を用いて第２の実施形態に係るメモリアクセス制御装置１０４のリード動作について説明する。リード動作が行われる場合は、ＳＩＭＤプロセッサ１０８のグローバルプロセッサ１１６が、バッファ制御回路１１０に対して、メモリ１０６へのリード動作で使用する、取得したいデータに対応するアドレス（Ａ０，Ａ１，Ａ２，…Ａ２５４，Ａ２５５）の外部アクセス用レジスタ１１４への設定を指示する。バッファ制御回路１１０は、外部アクセス用レジスタ１１４に対して、指示されたアドレス（Ａ０，Ａ１，Ａ２，…Ａ２５４，Ａ２５５）を設定する。

【００３８】

次に、ＳＩＭＤプロセッサ１０８からメモリアクセス制御装置１０４に対して、リード動作の要求が発行される。メモリアクセス制御装置１０４が、ＳＩＭＤプロセッサ１０８からのリード動作の要求を受け付けると、バッファ制御回路１１０が、外部アクセス用レジスタ１１４に格納されているアドレスを取り出して、アドレスとリード動作の要求とをメモリ制御回路１１２に対して出力する。メモリ制御回路１１２は、バッファ制御回路１１０より、アドレスとリード動作の要求とを受け付けると、メモリ１０６に対して、アドレスとリード動作のために必要な制御信号とを出力する。

【００３９】

そして、メモリ制御回路１１２は、メモリ１０６より取得したデータ（Ｄ０，Ｄ１，Ｄ２，…Ｄ２５４，Ｄ２５５）を、バッファ制御回路１１０に対して出力する。バッファ制御回路１１０は、メモリ１０６より取得したデータをメモリ制御回路１１２より受け付けると、元々アドレスが格納されていた元のバッファに取得したデータを格納する。

【００４０】

２．２．２．ライト動作

図４を用いて第２の実施形態に係るメモリアクセス制御装置１０４のライト動作について説明する。ライト動作が行われる場合は、ＳＩＭＤプロセッサ１０８のグローバルプロセッサ１１６が、バッファ制御回路１１０に対して、メモリ１０６へのライト動作で使用する、アドレス（Ａ０，Ａ１，Ａ２，…Ａ１２６，Ａ１２７）と、データ（Ｄ０，Ｄ１，Ｄ２，…Ｄ１２６，Ｄ１２７）の、外部アクセス用レジスタ１１４への設定を指示する。バッファ制御回路１１０は、外部アクセス用レジスタ１１４に対して、指示されたアドレス（Ａ０，Ａ１，Ａ２，…Ａ１２６，Ａ１２７）とデータ（Ｄ０，Ｄ１，Ｄ２，…Ｄ１２６，Ｄ１２７）を設定する。図４に示すメモリアクセス制御装置１０４では、バッファ制御回路１１０は、個々のアドレスとデータとを対にして組にした形で、隣接するプロセッサエレメントの外部アクセス用レジスタ１１４に設定している。

【００４１】

図３に示すように、リード動作を行うとき、アドレスのみをバッファである外部アクセス用レジスタ１１４に設定していたが、図４に示すように、ライト動作を行うときは、アドレスとデータとを共に設定する。このため、メモリ１０６に対して一度にアクセスできる回数は半分となる。

【００４２】

次に、ＳＩＭＤプロセッサ１０８からメモリアクセス制御装置１０４に対して、ライト動作の要求が発行される。メモリアクセス制御装置１０４が、ＳＩＭＤプロセッサ１０８からのライト動作の要求を受け付けると、バッファ制御回路１１０が、バッファである外部アクセス用レジスタ１１４に格納されているアドレスとデータとを取り出して、アドレスとデータとライト要求とをメモリ制御回路１１２に対して出力する。メモリ制御回路１１２は、バッファ制御回路１１０より、アドレスとデータとライト動作の要求とを受け付けると、メモリ１０６に対して、アドレスとデータとライト動作のために必要な制御信号とを出力する。それにより、メモリ１０６にそのデータが、ライトされる。

【００４３】

このように、第２の実施形態のようにバッファとしてＳＩＭＤプロセッサの外部アクセス用レジスタ１１４を用いた場合であっても、リード動作及びライト動作を一つのバッファのみにより実行できる。

【００４４】

２．３．まとめ

以上のように、第２の実施形態に係るメモリアクセス制御装置１０４も、一つのバッファでリード動作及びライト動作を実行できる。このため、第２の実施形態に係るメモリアクセス制御装置１０４は、例えば、図８に示す従来のメモリアクセス制御装置のようなライトアドレス用バッファとライトデータ用バッファを備える必要が無い。従って、第２の実施形態に係るメモリアクセス制御装置１０４は、ＳＩＭＤプロセッサ１０８の外部アクセス用レジスタ１１４を利用するが、回路規模を削減できる。

【００４５】

[３．第３の実施形態]

３．１．構成

図５及び図６は、本発明の第３の実施形態に係る画像データ転送システム２０２、及び、その画像データ転送システム２０２に含まれるメモリアクセス制御装置２０４の構成を示すブロック図である。特に、図５は、リード動作を行うときの、画像データ転送システム２０２及びメモリアクセス制御装置２０４の動作の様子を説明するためのブロック図であり、図６は、ライト動作を行うときの、画像データ転送システム２０２及びメモリアクセス制御装置２０４の動作の様子を説明するためのブロック図である。

【００４６】

図５及び図６に示す第３の実施形態に係る画像データ転送システム２０２は、メモリアクセス制御装置２０４、メモリ２０６、及びプロセッサ２０８を含む。更に、メモリアクセス制御装置２０４は、メモリ制御回路２１２、バッファ制御回路２１０、及びバッファ

２１４で構成される。
【００４７】
特に、第３の実施形態に係るメモリアクセス制御装置２０４は、バーストリード動作とバーストライト動作を行うように設定されている装置である。具体的には、メモリアクセス制御装置２０４は、バッファ２１４に格納された一つの先頭アドレスに対して、４回連続してリード動作を実行して、４個のデータをメモリ２０６より取得するバーストリード動作を行うように設定されている。例えば、先頭アドレスＡ０が一つバッファ２１４に設定されれば、先頭アドレスＡ０に対応するデータＤ０と、アドレスＡ０の後続アドレスに対応するデータＤ１，Ｄ２，Ｄ３を、メモリ２０６より取得するように設定されている。
【００４８】
更に、メモリアクセス制御装置２０４は、バッファ２１４に格納された一つの先頭アドレスと４個のライトするデータに対して、４回連続してライト動作を実行して、メモリにデータをライトするバーストライト動作を行うように設定されている。例えば、先頭アドレスＡ０と、先頭アドレスＡ０に対するデータＤ０と、アドレスＡ０の後続アドレスに対応するデータＤ１，Ｄ２，Ｄ３とが、連続してバッファ２１４に設定されれば、メモリ２０６のアドレスＡ０にデータＤ０を、アドレスＡ０から順次後続するアドレスに順次データＤ１、Ｄ２、Ｄ３を、書き込むように設定されている。
【００４９】
３．２．動作
３．２．１．バーストリード動作
図５を用いて第３の実施形態に係るメモリアクセス制御装置２０４のバーストリード動作について説明する。メモリアクセス制御装置２０４がリード動作を行う場合には、プロセッサ２０８は、バッファ制御回路２１０に対して、メモリ２０６へのリード動作で使用する、取得したいデータに対応する先頭アドレス（Ａ０，Ａ４，Ａ８，…）のバッファ１４への設定を指示する。バッファ制御回路２１０は、バッファ２１４に対して、指示された先頭アドレス（Ａ０，Ａ４，Ａ８，…）を設定する。図５に示すように、先頭アドレスは、３つおきの領域に設定される。
【００５０】
次に、プロセッサ２０８からメモリアクセス制御装置２０４に対して、バーストリード動作の要求が発行される。メモリアクセス制御装置２０４は、プロセッサ２０８からのバーストリード動作の要求を受け付ける。
【００５１】
そうすると、バッファ制御回路２１０は、バッファ２１４に格納されている先頭アドレス（例えば、アドレスＡ０）を取り出して、先頭アドレスとバーストリード動作の要求とをメモリ制御回路２１２に対して出力する。メモリ制御回路２１２は、バッファ制御回路２１０より、先頭アドレスとバーストリード動作の要求とを受け付けると、メモリ２０６に対して、先頭アドレスとリード動作のために必要な制御信号とを出力する。そして、メモリ制御回路２１２は、メモリより取得したデータ（例えば、先頭アドレスＡ０に対応したデータＤ０）を、バッファ制御回路２１０に対して出力する。バッファ制御回路２１０は、メモリ２０６より取得したデータをメモリ制御回路２１２より受け付けると、元々アドレスが格納されていたバッファに、取得したデータを格納する。
【００５２】
この後、バッファ制御回路２１０は、先頭アドレスを順次インクリメントしたアドレスとバーストリード動作の要求とをメモリ制御回路２１２に対して出力する。メモリ制御回路２１２は、バッファ制御回路２１０より、順次インクリメントされたアドレスとバーストリード動作の要求とを受け付けると、メモリ２０６に対して、順次インクリメントされたアドレスとリード動作のために必要な制御信号とを出力する。そして、メモリ制御回路２１２は、メモリより取得したデータ（例えば、Ｄ０に続くＤ１，Ｄ２，Ｄ３）を、バッファ制御回路に対して出力する。バッファ制御回路２１０は、メモリ２０６より取得したデータをメモリ制御回路２１２より受け付けると、元々アドレスが格納されていたバッフ

ァの後続する領域に、順次データを格納する。一度のバーストリード動作で、バッファ制御回路２１０により、このようなメモリ２０６へのデータ取得処理が４回実行される。

【００５３】

３．２．２．バーストライト動作

図６を用いて第３の実施形態に係るメモリアクセス制御装置２０４のバーストライト動作について説明する。メモリアクセス制御装置２０４がライト動作を行う場合には、プロセッサ２０８は、バッファ制御回路２１０に対して、メモリ２０６へのライト動作で使用する、先頭アドレス（Ａ０，Ａ４，Ａ８，…）と、データ（Ｄ０，Ｄ１，Ｄ２，Ｄ３，Ｄ４，Ｄ５，Ｄ６，Ｄ７…）の、バッファ２１４への設定を指示する。バッファ制御回路２１０は、バッファ２１４に対して、指示された先頭アドレス（Ａ０，Ａ４，Ａ８，…）とデータ（Ｄ０，Ｄ１，Ｄ２，Ｄ３，Ｄ４，Ｄ５，Ｄ６，Ｄ７…）を設定する。図６に示すように、先頭アドレスは、４つおきの領域に設定され、ライト動作で使用するデータは、先頭アドレスが設定される領域に挟まれる４つの領域に順次設定される。

【００５４】

次に、プロセッサ２０８からメモリアクセス制御装置２０４に対して、バーストライト動作の要求が発行される。メモリアクセス制御装置２０４は、プロセッサ２０８からのバーストライト動作の要求を受け付ける。

【００５５】

そうすると、バッファ制御回路２１０は、バッファ２１４に格納されている先頭アドレス（例えば、アドレスＡ０）と、４個のデータ（例えば、先頭アドレスＡ０に対するデータＤ０と、アドレスＡ０の後続アドレスに対応するデータＤ１，Ｄ２，Ｄ３）のうち先頭アドレスに対応するデータ（例えば、データＤ０）とを取り出して、先頭アドレスとデータとバーストライト要求とをメモリ制御回路２１２に対して出力する。メモリ制御回路２１２は、バッファ制御回路２１０より、先頭アドレスとデータとバーストライト動作の要求とを受け付けると、メモリ２０６に対して、先頭アドレスとデータとライト動作のために必要な制御信号とを出力する。それにより、メモリ２０６にそのデータが、ライトされる。

【００５６】

この後、バッファ制御回路２１０は、４個のデータ（例えば、Ｄ０，Ｄ１，Ｄ２，Ｄ３）のうち先頭アドレス（Ａ０）を順次インクリメントしたアドレスに対応するデータ（例えば、Ｄ１，Ｄ２，Ｄ３のいずれか）を取り出して、順次インクリメントされたアドレスとデータとバーストライト要求とをメモリ制御回路２１２に対して出力する。メモリ制御回路２１２は、バッファ制御回路２１０より、順次インクリメントされたアドレスとデータとバーストライト動作の要求とを受け付けると、メモリ２０６に対して、順次インクリメントされたアドレスとデータとライト動作のために必要な制御信号とを出力する。それにより、メモリ２０６にそのデータが、ライトされる。一度のバーストライト動作で、バッファ制御回路２１０により、このようなメモリ２０６へのデータ出力処理が４回実行される。

【００５７】

このように、バーストリード動作とバーストライト動作を行うように設定されている第３の実施形態に係るメモリアクセス制御装置２０４も、リード動作及びライト動作を一つのバッファ２１４のみにより実行できる。

【００５８】

３．３．まとめ

以上のように、第３の実施形態に係るメモリアクセス制御装置２０４も、一つのバッファでリード動作及びライト動作を実行できる。このため、第３の実施形態に係るメモリアクセス制御装置２０４は、例えば、図８に示す従来のメモリアクセス制御装置のようなライトアドレス用バッファとライトデータ用バッファを備える必要が無い。従って、第３の実施形態に係るメモリアクセス制御装置２０４は回路規模を削減できる。

【００５９】

なお、第３の実施形態に係るメモリアクセス制御装置２０４において、バッファとして、ＳＩＭＤプロセッサの外部アクセス用レジスタが利用され、プロセッサとしてＳＩＭＤプロセッサのグローバルプロセッサが利用される、という構成であってもよい（図２、図３参照）。

【産業上の利用可能性】

【００６０】

本発明は、デジタル複写機、デジタルテレビジョン受像機、及びファクシミリなどの画像処理を行う装置において利用することができる。

【符号の説明】

【００６１】

２、１０２、２０２・・・画像データ転送システム、４、１０４、２０４・・・メモリアクセス制御システム、６、１０６、２０６・・・メモリ、８・・・プロセッサ、１０、１１０、２１０・・・バッファ制御回路、１２、１１２、２１２・・・メモリ制御回路、１４・・・バッファ、１０８・・・ＳＩＭＤプロセッサ、１１４・・・外部アクセス用レジスタ、１１６・・・グローバルプロセッサ。

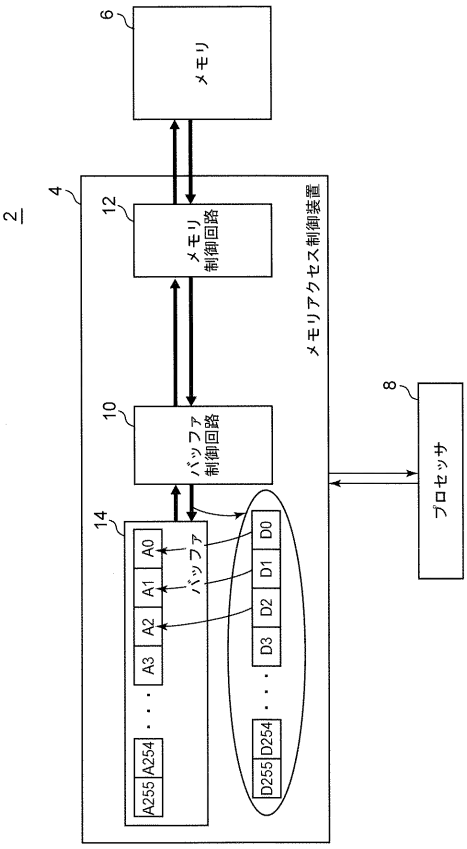
【先行技術文献】

【特許文献】

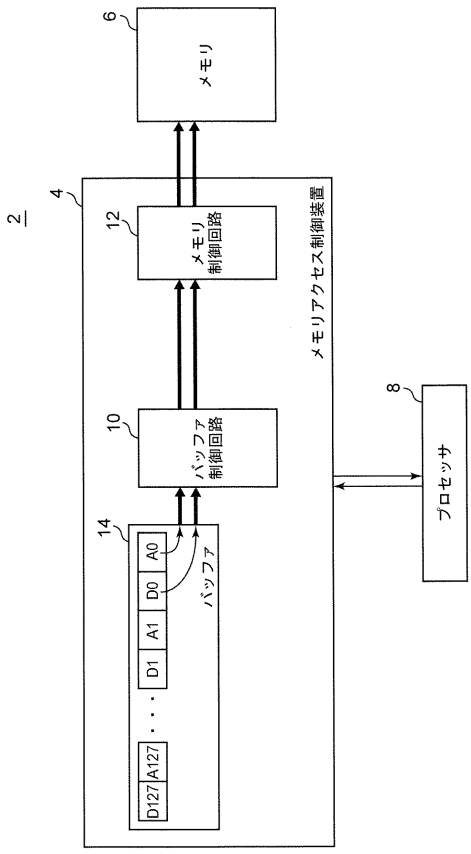
【００６２】

【特許文献１】特開平０８－３２８９４１号公報
【特許文献２】特開２００７－３０４８３２号公報
【特許文献３】特開平１０－３２６３４２号公報
【特許文献４】特許第３０３９３９１号公報

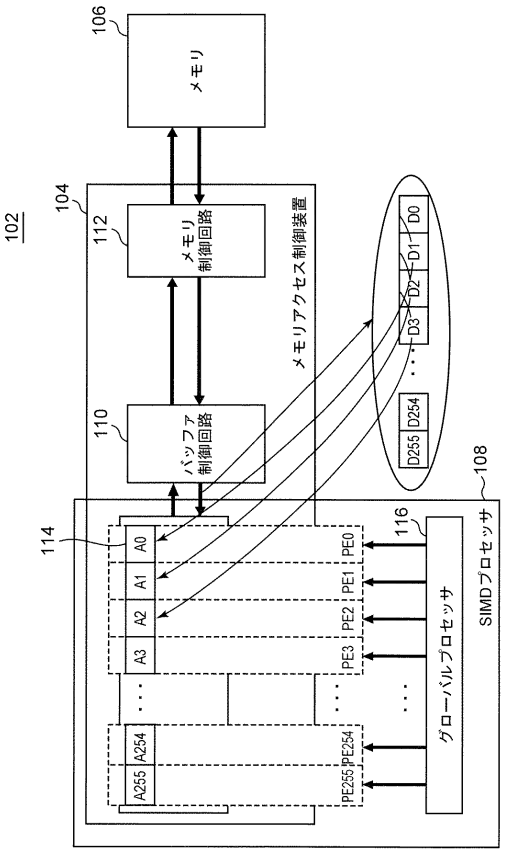
【図１】



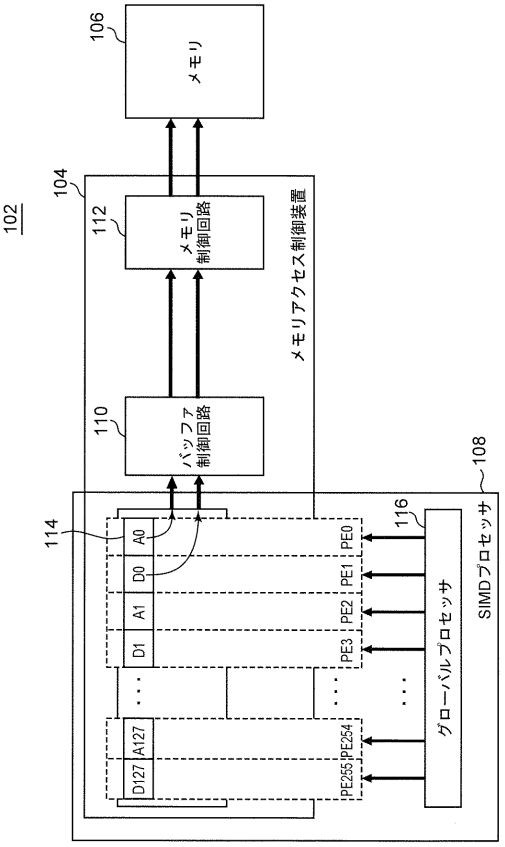
【図２】



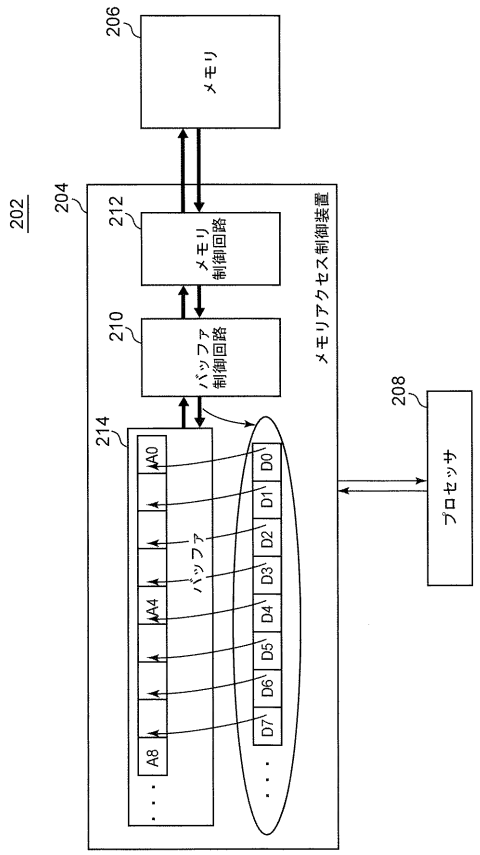
【図３】


102
104
106
メモリ
メモリ制御回路
112
メモリアクセス制御装置
バッファ制御回路
110
108
SIMDプロセッサ
114
116
グローバルプロセッサ
A0
A1
A2
A3
A254
A255
PE0
PE1
PE2
PE3
PE254
PE255
D0
D1
D2
D3
D254
D255

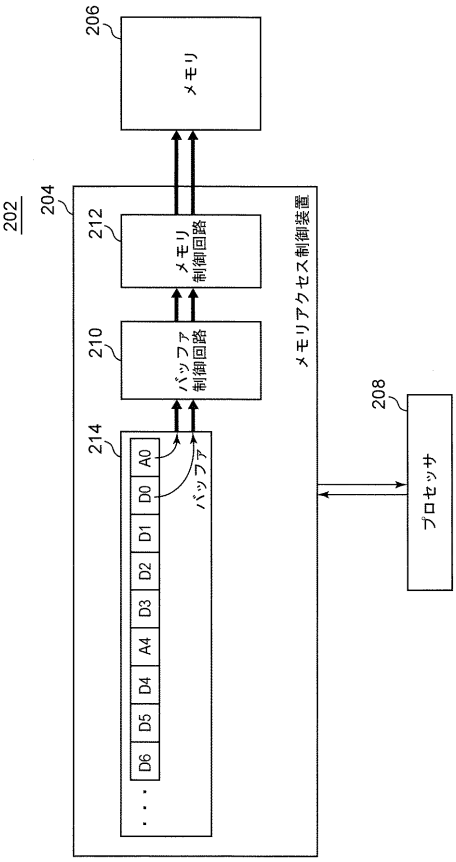
【図４】


102
104
106
メモリ
メモリ制御回路
112
メモリアクセス制御装置
バッファ制御回路
110
108
SIMDプロセッサ
114
116
グローバルプロセッサ
A0
D0
D1
D127
A127
PE0
PE1
PE2
PE3
PE254
PE255

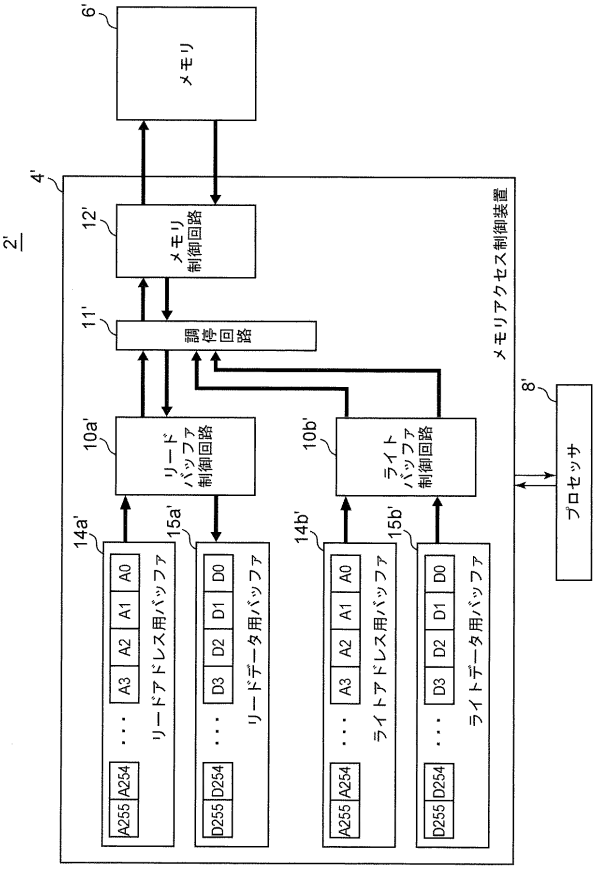
【図５】


202
204
206
メモリ
メモリ制御回路
212
メモリアクセス制御装置
バッファ制御回路
210
208
プロセッサ
214
バッファ
A0
A4
A8
D0
D1
D2
D3
D4
D5
D6
D7

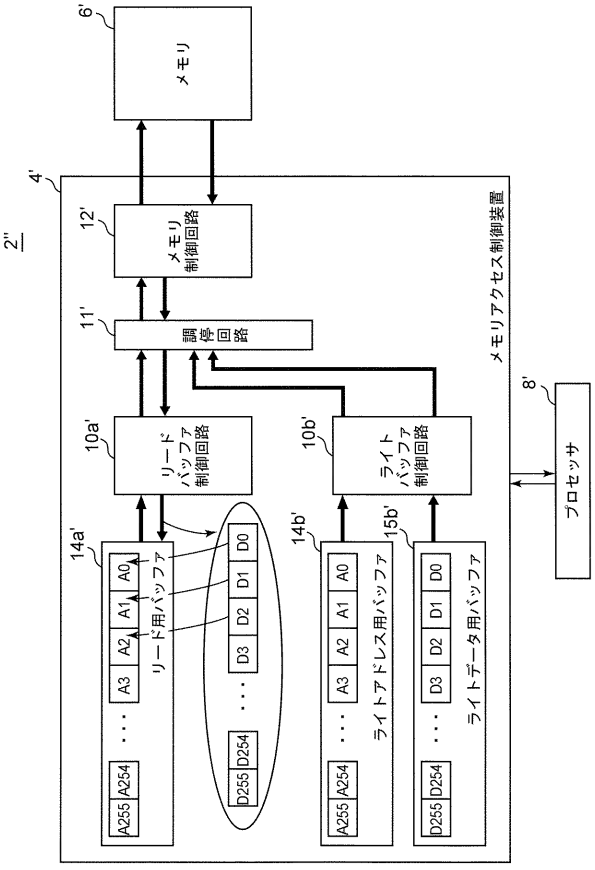
【図６】


202
204
206
メモリ
メモリ制御回路
212
メモリアクセス制御装置
バッファ制御回路
210
208
プロセッサ
214
バッファ
A0
A4
D0
D1
D2
D3
D4
D5
D6

【図７】


2'
4'
6'
メモリ
メモリアクセス制御装置
12'
メモリ制御回路
11'
調停回路
10a'
リードバッファ制御回路
10b'
ライトバッファ制御回路
8'
プロセッサ
14a'
15a'
14b'
15b'
A0
A1
A2
A3
A254
A255
D0
D1
D2
D3
D254
D255
リードアドレス用バッファ
リードデータ用バッファ
ライトアドレス用バッファ
ライトデータ用バッファ

【図８】


2''
4'
6'
メモリ
メモリアクセス制御装置
12'
メモリ制御回路
11'
調停回路
10a'
リードバッファ制御回路
10b'
ライトバッファ制御回路
8'
プロセッサ
14a'
15a'
14b'
15b'
A0
A1
A2
A3
A254
A255
D0
D1
D2
D3
D254
D255
リード用バッファ
ライトアドレス用バッファ
ライトデータ用バッファ