

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2004-527130  
(P2004-527130A)

(43) 公表日 平成16年9月2日(2004.9.2)

(51) Int. Cl. <sup>7</sup>	F I	テマコード (参考)
H 0 1 L 27/10	H O 1 L 27/10 4 4 9	5 F O 8 3
G 1 1 C 13/00	G 1 1 C 13/00 A	

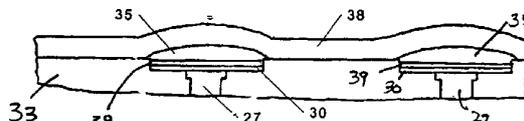
審査請求 未請求 予備審査請求 有 (全 32 頁)

<p>(21) 出願番号 特願2002-588554 (P2002-588554)</p> <p>(86) (22) 出願日 平成14年5月7日 (2002.5.7)</p> <p>(85) 翻訳文提出日 平成15年11月7日 (2003.11.7)</p> <p>(86) 国際出願番号 PCT/US2002/014236</p> <p>(87) 国際公開番号 W02002/091384</p> <p>(87) 国際公開日 平成14年11月14日 (2002.11.14)</p> <p>(31) 優先権主張番号 60/289,054</p> <p>(32) 優先日 平成13年5月7日 (2001.5.7)</p> <p>(33) 優先権主張国 米国 (US)</p>	<p>(71) 出願人 591016172 アドバンスト・マイクロ・デバイス・インコーポレイテッド ADVANCED MICRO DEVICES INCORPORATED アメリカ合衆国、94088-3453 カリフォルニア州、サニペール、ピー・オウ・ボックス・3453、ワン・エイ・エム・ディ・プレイス、メイル・ストップ・68 (番地なし)</p> <p>(74) 代理人 100099324 弁理士 鈴木 正剛</p> <p>(74) 代理人 100111615 弁理士 佐野 良太</p> <p style="text-align: right;">最終頁に続く</p>
---	--

(54) 【発明の名称】 セルフアセンブリによるポリマーフィルムを用いた記憶装置およびその製造方法

(57) 【要約】

多値メモリセルを持つ記憶装置およびトランジスタアレイに対するコンタクト上にポリマーメモリセルをセルフアセンブリの方法を用いて形成する記憶装置の製造方法を提供する。セルフアセンブリの方法を採用することによって、トランジスタアレイのコンタクトの正確な位置にポリマーメモリセルを形成する。ポリマーメモリセルは所定の閾値を上回る電流に 응답してその抵抗値を変化させる。メモリセルは、その抵抗値をずっと保持する。



## 【特許請求の範囲】

## 【請求項 1】

アドレス指定可能なトランジスタのアレイと、前記トランジスタアレイを覆う絶縁体層と、前記絶縁体層を介して前記トランジスタアレイに対して設けられる複数のコンタクトであって、少なくともそれらコンタクトの一部が露出しているコンタクトと、前記少なくとも一部のコンタクト上のメモリ素子であって、前記コンタクト上にのみ形成され、前記絶縁体層上には形成されないメモリ素子と、前記メモリ素子のそれぞれに接続する共通電極とを含む記憶装置。

## 【請求項 2】

前記コンタクトは前記トランジスタに接続する第 1 導電材料を含み、前記絶縁体層を貫通して伸びる、請求項 1 記載の記憶装置。 10

## 【請求項 3】

前記メモリ素子は印加される電界に応答して抵抗値を変化させる材料を含む、請求項 2 記載の記憶装置。

## 【請求項 4】

前記材料は、少なくとも 3 つの異なる抵抗値のうちの 1 つに設定され、それを維持することが可能である請求項 3 記載の記憶装置。

## 【請求項 5】

前記材料は、前記コンタクトにのみ接着し、前記絶縁体層には接着しない性質を持つ請求項 4 記載の記憶装置。 20

## 【請求項 6】

前記材料はポリ共役ポリマーである請求項 4 記載の記憶装置。

## 【請求項 7】

前記ポリ共役ポリマーは、少なくとも、ポリパラフェニレン、ポリフェニルビニレン、ポリアニリン、ポリチオフェンまたはポリピロールのなかの 1 つである請求項 6 記載の記憶装置。

## 【請求項 8】

前記材料はフタロシアニン重合体である請求項 4 記載の記憶装置。

## 【請求項 9】

前記材料はポルフィリン重合体である請求項 4 記載の記憶装置。 30

## 【請求項 10】

前記コンタクトは、前記トランジスタから前記絶縁体層の表面に伸びる導電プラグと、前記導電プラグ上のバリア層と、前記バリア層上の接着層とを含む、請求項 3 記載の記憶装置。

## 【請求項 11】

前記導電プラグはアルミニウムを含む請求項 10 記載の記憶装置。

## 【請求項 12】

前記バリア層はタングステンを含む請求項 11 記載の記憶装置。

## 【請求項 13】

前記接着層は銅または銅合金を含む請求項 12 記載の記憶装置。 40

## 【請求項 14】

前記材料はポリ共役ポリマーである請求項 13 記載の記憶装置。

## 【請求項 15】

前記材料はフタロシアニン重合体である請求項 13 記載の記憶装置。

## 【請求項 16】

前記材料はポルフィリン重合体である請求項 13 記載の記憶装置。

## 【請求項 17】

前記材料はポリ共役ポリマー、フタロシアニン重合体、ポルフィリン重合体のうちの少なくとも 1 つである請求項 13 記載の記憶装置。

## 【請求項 18】

前記共通電極はアルミニウムを含む請求項 17 記載の記憶装置。

【請求項 19】

記憶装置を製造する方法であって、トランジスタのアレイを形成する処理と、前記トランジスタを絶縁体層で覆う処理と、前記絶縁体層を介して前記トランジスタに対する導電性コンタクトを形成する処理と、複数の選択可能な抵抗値を持つメモリ素子をセルフアセンブリの方法で前記導電性コンタクトに形成する処理と、前記メモリ素子をそれぞれ接続する共通電極を前記メモリ素子上に形成する処理とを含む方法。

【請求項 20】

前記メモリ素子を形成する処理は、前記導電性コンタクトにのみ接着して、前記絶縁体層には接着しない第 1 材料をデポジションする処理を含む、請求項 19 記載の方法。

10

【請求項 21】

前記第 1 材料はポリ共役ポリマーである請求項 20 記載の方法。

【請求項 22】

前記ポリ共役ポリマーは、ポリパラフェニレン、ポリフェニルビニレン、ポリアニリン、ポリチオフェンまたはポリピロールのうちの 1 つである請求項 21 記載の方法。

【請求項 23】

前記第 1 材料はフタロシアニン重合体である請求項 20 記載の方法。

【請求項 24】

前記第 1 材料はポルフィリン重合体である請求項 20 記載の方法。

【請求項 25】

前記導電性コンタクトを形成する処理は、底部がトランジスタに接触する導電性プラグを形成する処理と、前記導電性プラグの上にバリア層を形成する処理と、前記バリア層上に接着層を形成する処理とを含む、請求項 19 記載の方法。

20

【請求項 26】

前記メモリ素子を形成する処理は、液体モノマーが入れられた密閉チャンバ内に前記記憶装置を設置する処理を含む、請求項 25 記載の方法。

【請求項 27】

前記メモリ素子を形成する処理は、モノマーガスが導入された密閉チャンバ内に前記記憶装置を設置する処理をさらに含む、請求項 26 記載の方法。

【請求項 28】

前記液体モノマーおよびモノマーガスはメチルフェニルアセチレンであり、メチルフェニルアセチレンのポリ共役ポリマーが前記メモリ素子として形成される請求項 27 記載の方法。

30

【請求項 29】

前記液体モノマーおよびモノマーガスはテトラシアノベンゼンであり、フタロシアニン銅が前記メモリ素子として形成される請求項 28 記載の方法。

【請求項 30】

メモリセルを形成する方法であって、第 1 電極を形成する処理と、前記第 1 電極の上にセルフアセンブリの方法でメモリ素子を形成する処理と、前記メモリ素子の上に第 2 電極を形成する処理とを含み、前記メモリ素子は、前記第 1 電極にのみ接着するポリマーを含み、前記ポリマーは電界を印加することによって選択可能な複数の抵抗値を有するところの方法。

40

【請求項 31】

前記ポリマーはポリ共役ポリマーである請求項 30 記載の方法。

【請求項 32】

前記ポリ共役ポリマーは、ポリパラフェニレン、ポリフェニルビニレン、ポリアニリン、ポリチオフェンまたはポリピロールのうちの 1 つである請求項 31 記載の方法。

【請求項 33】

前記ポリマーはフタロシアニン重合体である請求項 30 記載の方法。

【請求項 34】

50

前記フタロシアニンはフタロシアニン銅である請求項30記載の方法。

【請求項35】

前記ポリマーはポルフィリン重合体である請求項30記載の方法。

【発明の詳細な説明】

【関連出願】

【0001】

本出願は、同時に係属する米国特許仮出願60/289,054に開示された主題に係る発明の主題を含むものである。

【技術分野】

【0002】

本発明は、一般的に電気式記憶装置(メモリデバイス)の分野に関し、さらに詳しくはポリマーメモリの構造および製造方法に関する。

【背景技術】

【0003】

今日のコンピュータ処理システムは、バイナリデータに基づいて動作している。バイナリデータでは、論理1が高電圧レベル(おおよそVcc, 一般的に3.3または5ボルト)で表され、論理0が低電圧レベル(おおよそVss, 一般的に0ボルトまたは接地電位)で表される。在来のランダムアクセスメモリセル(例えばDRAM)では、セルキャパシタを高電圧レベルにチャージすることで論理1を記憶し、セルキャパシタを低電圧レベルに放電させることで論理0を記憶させる。DRAMの読出しでは、あるセルキャパシタの電圧がVc 20 cとVssの間の基準電圧に対して差動検出(センス)され、その結果に応じて、完全なVccまたはVssのレベルにラッチングすることで復元される。メモリセルからのデータは周囲の回路に出力され、そして最終的には様々な入力/出力(I/O)線をVccまたはVssに駆動することでDRAM装置の外部に出力される。

【0004】

増えつづけるメモリ容量への要求に対応するため、記憶容量を増やすためにDRAMチップあたりに記憶できるビット数を増やすことが要求されている。DRAMのチップあたりのビット数を増やすには、DRAMセルの密度(すなわち、与えられたチップ領域あたりのセル数)を高くする方法、またはDRAMセルのキャパシティ(すなわち、各セルに記憶されるビット数)を増やす方法がある。DRAMセルの密度を高くするには、高い密度 30 のアレイに、より小さなセルを詰め込むための高度な回路設計および製造技術を開発する必要がある。それには多くの時間がかかり、高価な写真製版(フォトリソグラフィック)プロセス機器をも必要とする。さらに、DRAMセルが小さくなり、アレイがより高密度化するに従い、装置の物理的な特性、たとえばキャパシタあたりの電荷(チャージ)量が制限要因となりうる。

【0005】

セルに複数のビットを記憶させることで、揮発性のメモリ(例えばDRAM)、または不揮発性のメモリ(例えばフラッシュメモリ)のメモリ容量を増やすことができる。1つのアプローチでは、従来の2つの電圧レベルより多い数の電圧レベルをセルの記憶メカニズムに保持することができ、それぞれの電圧レベルが異なったデータ値を表している。例え 40 ば、所与のあるセルに、許可された4つの電圧レベルのうちの1つとしてデータを記憶することができる。このとき、0Vの電圧は、2ビットの論理ワード"00"を表すのに用いられ、おおよそ1Vの電圧は論理"01"を表し、おおよそ2Vの電圧は論理"10"を表し、おおよそ3Vの電圧は論理"11"を表すのに用いることができる。このようにして、NSBおよびLSBを単一のセルに記憶させることができる。所望の設計に応じて、正確な電圧および電圧レベル数が用いられる。

【0006】

多値メモリの実現には多くの問題がある。例えば、ムロタニ他の論文(1997 IEEE International Solid State Circuit Conference, Digest of Technical Papers, pp. 74-75, 1 997)は4レベルの記憶装置を提案しており、最上位のビット(MSB)および最下位の 50

ビット (LSB) がキャパシタ電圧の関数として単一のセルに記憶可能である。MSBは、記憶された電圧を、Vccのおおよそ半分である基準電圧に対して比較する (センスすることによって検出される。MSBをセンスした後、LSBがおおよそVccの3分の1だけオフセットされたVccの半分の値に対してセンスされる。オフセットの符号 (+, -) はMSB (1, 0) に依存する。

【0007】

不都合な点としては、このようなシステムにおいて、適当なセンス信号を得るためには記憶キャパシタの容量が大きくなければならないことである。これは、記憶素子によって占領されるチップ領域、またはキャパシタを構成する高誘電率材料の使用、もしくは両方の組み合わせに影響を与える。

10

【0008】

従って、チップ領域を効率的に使用しつつ多値記憶を実現するための回路が求められている。

【発明の開示】

【0009】

上記のおよびその他の要求は本発明の一実施形態によって解決される。当該一実施形態は、第1電極を形成する処理と、この第1電極上にメモリ素子をセルフアセンブリ (self assembly, 自己組織化または自己整合配置) で形成する処理とを含むメモリセルを形成する方法を提供する。このメモリ素子は、第1電極にのみ接着し、複数の抵抗値を持つポリマー (重合体) を含む。このポリマーの抵抗値は、ポリマーを電界中におくことで選択可能である。第2電極が、第1メモリ素子の上に形成される。

20

【0010】

上述の要求は本発明の他の実施形態によっても解決される。他の実施形態は、アドレス指定可能なトランジスタのアレイと、このトランジスタのアレイを覆う絶縁体層とを含む記憶装置を提供する。トランジスタのアレイに対する複数のコンタクトが絶縁体層を貫通して設けられ、これらのコンタクトの少なくとも一部は露出している。メモリ素子は少なくともコンタクトのいくつかの上に形成される。メモリ素子は、コンタクト上にのみ形成され、絶縁体層上には形成されない。メモリ素子のそれぞれに接触する共通の電極が設けられる。

30

【0011】

さらに、本発明のその他の実施形態として、トランジスタのアレイを形成する処理と、これらのトランジスタを絶縁体層で覆う処理とを含む、記憶装置を製造する方法が提供される。絶縁体層を貫通してトランジスタに対する導電コンタクトが形成される。複数の選択可能な抵抗値を持つメモリ素子が導電コンタクトの上にセルフアセンブリの方法で形成される。メモリ素子のそれぞれに接触する共通の電極がメモリ素子上に設けられる。

【0012】

上記のおよびその他の特徴、実施形態および本発明の利点は、添付の図面とともに、後述の本発明の詳細な説明を参照することにより明らかになるであろう。

図面の簡単な説明

【0013】

40

図1は、本発明の一実施形態であるメモリチップを示す概略図である。

図2は、製造プロセスの一段階における、本発明の一実施形態であるメモリチップの一部の断面を示す斜視図である。

図3は、本発明の一実施形態である製造プロセスの一段階における、図2のメモリアレイの側面図である。

図4は、本発明の一実施形態における、導電プラグ上へのバリア層のデポジション後の図3の構造を示す図である。

図5は、本発明の一実施形態における、バリア層上への接着層のデポジション後の図4の構造を示す図である。

図6は、本発明の一実施形態における、導電コンタクト上へ、セルフアセンブリの方法で

50

形成されるポリマーメモリ素子のデポジション後の図5の構造を示す図である。

図7は、本発明の一実施形態における、メモリ素子上への共通電極の形成後の図6の構造を示す図である。

図8は、本発明の一実施形態における、セルフアセンブリのプロセスを示す図である。

図9は、本発明の一実施形態における、セルフアセンブリの方法で形成された導電路の配線を示す断面図である。

【発明を実施するための最良の形態】

【0014】

発明の詳細な説明

本発明は、チップの密度を高くすることができ、容易に製造が可能な多値メモリセルを提供するという課題を含む、メモリセルおよび記憶装置（メモリデバイス）の形成に関する課題に対処し、それを解決するものである。本発明は、アドレス指定可能なトランジスタアレイ（配列）と、トランジスタアレイを覆う絶縁体層と、絶縁体層を介するトランジスタアレイへの複数のコンタクトとを含む記憶装置によって、これを達成する。メモリ素子は、コンタクト上にセルフアセンブリプロセス（自己組織化または自己整合配置技術）によって形成される。本発明の一実施形態において、これらのメモリ素子は、印加される電界に応答して抵抗値を変化させる材料を含む。これらのメモリ素子においては、複数の抵抗値を選択および設定可能である。この複数の抵抗値は、各メモリセルの複数ビット値に対応する。メモリ素子として用いられる代表的な材料として、ポリ共役ポリマー（Polyconjugated polymers、ポリコンジュゲートポリマー）、フタロシアニン（Phtalocyanine）、ポルフィリン（Porphyrins）があげられる。記憶装置のセルフアセンブリの方法は、多値メモリセルを持つ小型の記憶装置を作成するための効率的かつ優れた方法を提供する。

10

20

【0015】

従来のDRAMメモリチップでは、“0”または“1”を表す電荷は、半導体ウェハに作成された記憶キャパシタに蓄積される。記憶キャパシタへの電荷の注入は、FETによって制御される。FETのソースは記憶キャパシタの一方の端子に接続され、ドレインは選択的に電源、例えばV<sub>SS</sub>に接続される。記憶キャパシタのもう一方の端子は共通の接地（グラウンド）に接続することができる。このようなデバイスおよびその動作については本技術分野において周知である。記憶キャパシタ、FETおよび相互接続は高コストの写真製版プロセスによって形成される。

30

【0016】

本発明の記憶装置10は、複数のDRAMセル12を含み、各DRAMセル12はトランジスタ14およびメモリ素子16を有する。図示された実施形態においては、全部で16個のDRAMセル12がある。しかしながら、当業者にとっては、このような配置は説明のための単なる例示であることがあきらかであろう。メモリアレイにもっと多くのDRAMセルを有する記憶装置も実現可能である。個々のメモリセルをアドレス指定するために、メモリチップには列デコーダ18と行デコーダ20とが設けられる。

【0017】

RGAブロック22は、DMAデータ転送の際に、例えばレジスタアドレス信号（RGA）を受信するように動作する。これによって、データの行き先を決定し、メモリセル12におけるデータの位置を指定するダイナミックRAMのアドレスを生成する。

40

【0018】

各メモリセル16の一方の端子は共通電極38に接続され、他の端子は個々のメモリセル12のトランジスタ14に接続されている。

【0019】

図1に示された記憶装置の回路は単なる例示に過ぎず、本発明の範囲内において他の回路配置を採用することも可能である。そのような応用例においては、典型的には記憶キャパシタから形成されるメモリ素子は、本発明の複数ビット抵抗値メモリ素子によって置換えられる。

【0020】

50

図 2 は、III - III 切断線に沿った、メモリチップの一部の断面を示す斜視図である。この図には、メモリ素子 16 は示されていない。実施例たる FET は P 型のシリコン基板 22 の上に形成され、トランジスタアレイは基板 22 の上および中に形成されている。図面の簡略化のために、トランジスタは図 1 の基板 22 には描かれていない。コンタクト 27 (または導電プラグ) のみが示されている。これらの導電プラグ 27 は絶縁体層 33 に伸びて、凹部 32 で終わる。実際には、導電プラグ 27 は、例えばアルミニウムや銅などの、適切な導電性材料を含むものとする事ができる。しかしながら、以下に説明する実施形態においては、導電プラグ 27 はアルミニウムを含むものと仮定する。バリア層 30 が導電プラグ 27 の上部に形成される。これについては後で詳述する。バリア層 30 は、導電プラグ 27 と、バリア層 30 の上部に後から形成される接着層との間の相互作用を防止する材料を含む。

10

#### 【0021】

共通電極 38 は、メモリセル 12 を覆う。しかしながら、図 1 においては、下部構造を隠してしまわないようにこの電極がセル 12 を覆うようには描かれていない。

#### 【0022】

図 3 には、トランジスタおよびトランジスタのアレイの形成を含む、基板 22 の断面図が示されている。トランジスタとして、ソースおよびドレイン領域 24、26 およびゲート電極 28 が示されている。コンタクト 25、29、27 がトランジスタの様々な構成要素に伸びている様子が描かれている。酸化シリコンのようなゲート絶縁層が参照符号 31 で示されている。図 3 に示されるように、例えば、導電プラグ 27 は、ドレイン 26 から伸びて絶縁体層 33 の凹部 32 の開口部で止まる。ここまでの段階においては、従来のトランジスタ製造技術を用いることができる。

20

#### 【0023】

図 4 を参照して、上述したようにバリア層 30 は導電プラグ 27 の上に形成される。バリア層 30 は、導電プラグ 27 の材料と、バリア層 30 の上部に後からデポジションされる接着層または高分子材料との間の相互作用を防止する材料を含む。導電プラグ 27 がアルミニウムを含む本発明の実施形態においては、バリア層 30 は例えばタングステンを含むことができる。本発明の範囲内において、バリア層として用いることが好適な他の材料を採用することも可能である。もっとも、バリア層 30 は導電性である必要がある。

#### 【0024】

例えばおおよそ 100 オングストロームの厚さまで、蒸発法によってバリア層 30 をデポジションした後、本発明の特定の実施形態においてはバリア層 30 の上に薄い接着層 39 が形成される。この様子が図 5 に示されている。接着層 39 の材料選択は、接着層 39 の上にデポジションされる分子フィルムが接着層 39 にのみ接着し、絶縁体層 33 には接着しないようになるように行われる。例えば、導電プラグ 27 がアルミニウムを含み、バリア層 30 がタングステンを含むと仮定すると、本実施形態においては、銅を含む接着層 39 が、ポリメチルフェニルアセチレン (Polymethylphenylacetylene)、またはフタロシアン銅 (Copperphthalocyanine) などの様々な異なった分子フィルムに対する接着層として機能させるためには好適である。従って、この薄い接着層 39 の選択は、採用される分子フィルムに依存する。単量体 (Molecular) または重合体 (Polymer) のフィルムを接着層 39 にのみ接着させ、絶縁体層 33 には接着させないようにする、セルフアセンブリの方法が採用される。この方法により、メモリ素子はトランジスタアレイに接続されているコンタクトの上の位置に正確に形成される。

30

40

#### 【0025】

以下で更に詳しく説明するように、本発明においてセルフアセンブリの方法でデポジションされる特定の分子フィルムは、電界または電流にตอบสนองして、制御可能に調節できる抵抗値を示すという特性を持つ。ひとたび特定の抵抗値状態に設定されると、メモリ素子はその抵抗値が消去されない限り、その状態をある期間保持する。

#### 【0026】

接着層 39 上の分子フィルムをセルフアセンブリの方法で形成するために、本発明の実施

50

形態では、メモリアレイまたは記憶装置は比較的大きな空間またはチャンバ（箱、部屋）に設置され、小さな容量の液体モノマー（単量体）が設けられる。大きな空間にはモノマーガスも導入される。メモリセルまたは記憶装置がこのチャンバの中に一定時間、例えば3時間設置され、所望の温度範囲、例えばおおよそ室温に保たれる。これらの数値は単なる例示であって、使用される材料に応じてその他の数値を用いることも可能である。

**【0027】**

様々な材料が単量体または重合体のフィルムとして使用可能である。本発明の特定の実施形態において、この材料は共役ポリマーである。本発明の他の実施形態では、この材料はフタロシアニンである。さらに、本発明のその他の実施形態では、この材料はポルフィリンである。これらの材料については、本出願の発明者の一人による論文、"Structural Instability of One-dimensional Systems as a Physical Principal Underlying the Functioning of Molecular Electronic Devices", Journal of Structural Chemistry, Vol. 40, No.4, 1999 (Ju. H. Krieger)に説明されている。この文献は、本出願に参照として含まれるものとする。

10

**【0028】**

接着層にポリマーをデポジションするために、本発明はセルフアセンブリの方法を提供する。この方法は、図8に示されるように、記憶装置またはメモリセルが、ガスモノマーが導入された大きなチャンバに設置される。比較的小さな容量の液体モノマー52もチャンバ50に設置される。本発明の一実施形態においては、モノマーはメチルフェニルアセチレンである。気体と個体との界面において生じる重合プロセスにより、共役ポリマーの重合フィルムが生成される。この方法により、モノマーからポリマーフィルムを平坦でない複雑な表面、この場合はトランジスタアレイのコンタクト、に形成することができる。

20

**【0029】**

メチルフェニルアセチレンのモノマーの実施形態においては、メチルフェニルアセチレンの共役重合フィルムが生成される。メモリセルまたは記憶装置が、チャンバ50内に、室温で、おおよそ3時間保持された場合、フィルムの厚みは典型的にはおおよそ1000オングストロームである。図6にそのフィルム35が示される。

**【0030】**

本発明の他の実施形態においては、形成される高分子フィルム35はフタロシアニン銅である。これらの実施形態においては、用いられるモノマーガスはテトラシアノベンゼン（Tetracyanobenzene）である。

30

**【0031】**

これらの高分子フィルムおよびモノマーは単なる例示であり、当業者は本発明の範囲内において、上述のフィルムを生成するために他のモノマーや他の高分子フィルムを採用可能であることは理解できるだろう。本発明において使用可能なポリ共役ポリマーの例としては、ポリパラフェニレン（Polyparaphenylene）、ポリフェニルビニレン（Polyphenylvenylene）、ポリアニリン（Polyaniline）、ポリチオフェン（Polythiophene）またはポリピロール（Polypyrrole）などがある。

**【0032】**

図7に示されているように、セルフアセンブリの方法で、トランジスタアレイの導電コンタクト上へのポリマーのデポジションを行った後、共通の電極が各コンタクト35の上に形成される。共通電極38は、アルミニウム、タングステン、金、銅などの適切な導電材料から形成することができる。共通電極38は、例えば、蒸発法によって形成可能である。

40

**【0033】**

製造された、本発明のメモリセルは、電界または電流の印加にตอบสนองして異なる抵抗値を記憶可能であるという特徴を持つ。例えば、書き込み電流の適切な印加によって、メモリセルは選択された異なる抵抗値を保持する。例えば、300オームの抵抗値は"00"の値に対応し、おおよそ400オームは"01"の値に対応し、おおよそ650オームは"11"の値に対応する。これらの異なった抵抗値レベルはメモリセルに異なった書き込み電

50

流を与えることによって実現される。

【0034】

記憶装置を形成するための使用方法とは別に、本発明のセルフアセンブリの方法は、消去可能であるプログラム可能な抵抗値を持つ、接続パッドおよび接続経路を形成するためにも使用することができる。例えば、図9に示されるように、シリコン基板60をエッチングして、上部が張り出した（オーバーハングした）リブ62を形成することができる。この張り出しは、従来技術、例えば異方性の化学エッチングまたはイオンビームのミリング（Milling）によって形成可能である。表面上に例示されたような分子の複合材料の層64をデポジションすることで、写真製版プロセスなしに複数の電氣的に分離された接続線を形成することができる。外部の電界を接続線に印加するか、または接続線に電流を流すことによって接続線の抵抗値を「オフ」状態と「オン」状態の間で反転可能に切替えることができるので、これらの接続線はチップ上の異なったデバイスを選択的に相互接続するための新規な方法を提供する。

10

【0035】

上述したように本発明によれば、セルフアセンブリの方法で容易に製造することができる記憶装置を提供し、従来のトランジスタアレイ上に複数ビットメモリセルを形成することができる。これによって、記憶装置のビット記憶密度を効率的に増加させる。セルフアセンブリの方法によって、トランジスタアレイの各コンタクトにメモリセルのポリマーを正確に配置することが可能になる。

【0036】

以上のとおり、本発明を詳しく説明し、図示したが、上記の実施形態は説明のための単なる例示に過ぎず、本発明の範囲を限定しようとするものではないことは明らかなことが理解される。本発明の範囲は、添付の特許請求の範囲によってのみ判断されるべきものである。

20

【図面の簡単な説明】

【0037】

【図1】本発明の一実施形態であるメモリチップを示す概略図。

【図2】製造プロセスの一段階における、本発明の一実施形態であるメモリチップの一部の断面を示す斜視図。

【図3】本発明の一実施形態である製造プロセスの一段階における、図2のメモリアレイの側面図。

30

【図4】本発明の一実施形態における、導電プラグ上へのバリア層のデポジション後の図3の構造を示す図。

【図5】本発明の一実施形態における、バリア層上への接着層のデポジション後の図4の構造を示す図。

【図6】本発明の一実施形態における、導電コンタクト上へ、セルフアセンブリの方法で形成されるポリマーメモリ素子のデポジション後の図5の構造を示す図。

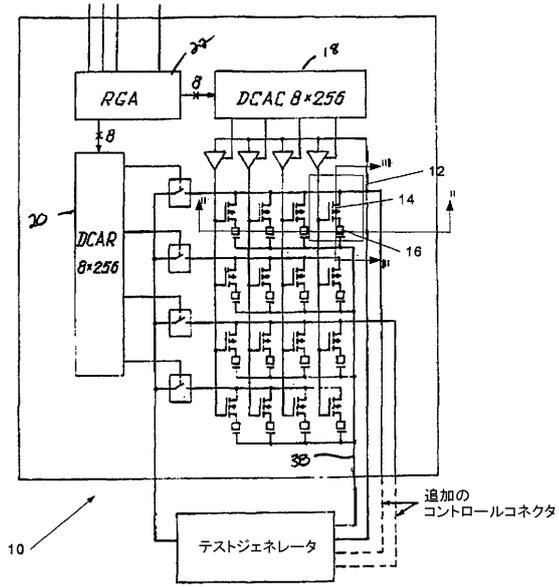
【図7】本発明の一実施形態における、メモリ素子上への共通電極の形成後の図6の構造を示す図。

【図8】本発明の一実施形態における、セルフアセンブリのプロセスを示す図。

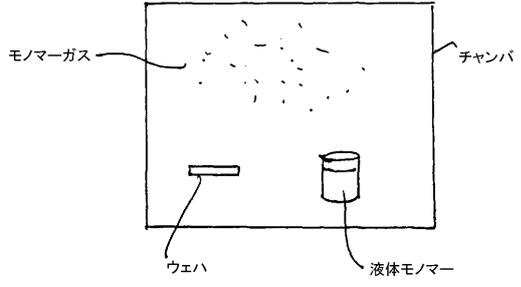
40

【図9】本発明の一実施形態における、セルフアセンブリの方法で形成された導電路の配線を示す断面図。

【 図 1 】



【 図 8 】



【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization  
International Bureau



(43) International Publication Date  
14 November 2002 (14.11.2002)

PCT

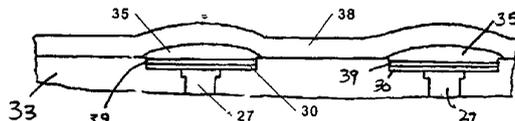
(10) International Publication Number  
WO 02/091384 A1

- (51) International Patent Classification: G11C 13/00, 11/14, 11/22
  - (21) International Application Number: PCT/US02/14236
  - (22) International Filing Date: 7 May 2002 (07.05.2002)
  - (25) Filing Language: English
  - (26) Publication Language: English
  - (30) Priority Data: 60/289,054 7 May 2001 (07.05.2001) US
  - (71) Applicant: COATUE CORPORATION [US/US]; 25 Olympia Avenue, Suite B, Woburn, MA 01801 (US).
  - (72) Inventors: KRIEGER, Juri, H.; 1454 Beacon Street, Brookline, MA 02446 (US); YUDANOV, Nikolay, F.; 1450 Beacon Street, Apt. 501, Brookline, MA 02446 (US).
  - (74) Agents: HANKINS, John, A. et al.; McDermott, Will & Emery, 600 13th Street, N.W., Washington, DC 20005-3096 (US).
  - (81) Designated States (national): AU, AG, AI, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GI, GM, GR, GU, HT, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LU, LV, MA, MD, MG, MK, MN, MW, MX, MY, NZ, OM, PA, PE, PG, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZM, ZW.
  - (84) Designated States (regional): ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, HU, IT, LU, MC, NL, PT, SE, TR), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- Published:  
with international search report
- For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.



(54) Title: A MEMORY DEVICE WITH A SELF-ASSEMBLED POLYMER FILM AND METHOD OF MAKING THE SAME

WO 02/091384 A1



(57) Abstract: A memory device with multi-bit memory cells and method of making the same uses self-assembly to provide polymer memory cells on the contacts of a transistor array. Employing self-assembly produces polymer memory cells at the precise locations of the contacts of the transistor array. The polymer memory cells change resistance values in response to electric current above a specified threshold value. The memory cells retain the resistivity values over time.

WO 02/091384

PCT/US02/14236

1

A MEMORY DEVICE WITH A SELF-ASSEMBLED  
POLYMER FILM AND METHOD OF MAKING THE  
SAME

## RELATED APPLICATIONS

[01] This application contains subject matter related to the subject matter disclosed in copending U.S. Provisional Patent Application Serial No. 60/289,054.

## FIELD OF THE INVENTION

[02] The present invention relates to the field of electronic memories, and more particularly, to the structure and formation of a polymer memory.

## BACKGROUND OF THE INVENTION

[03] Current computer processing systems operate on binary data wherein a logic one is represented by a high voltage level (approximately  $V_{cc}$ , typically 3.3 or 5 Volts) and logic 0 is represented by a low voltage level (approximately  $V_{ss}$ , typically 0 volts or ground). Conventional random access memory cells, such as dynamic (DRAM), charge a cell capacitor to the high voltage level to store a logic one and discharge the capacitor to low voltage level to store a logic zero. During a DRAM read, the voltage on a cell capacitor is differentially sensed against a reference voltage set between  $V_{cc}$  and  $V_{ss}$  and then, depending on the result, restored by latching the full  $V_{cc}$  or  $V_{ss}$  level. Data from the cell is similarly output to the periphery and ultimately outside the DRAM device itself by driving various input/output (I/O) lines to approximately  $V_{cc}$  or  $V_{ss}$ .

[04] The ever-increasing memory demands require the storing of more bits per DRAM chip to increase storage capacity. The number of bits per DRAM chip can be increased either by increasing the DRAM cell density (i.e., the number of cells per given chip area), or the DRAM cell capacity (i.e., the number of bits stored in each cell). Increasing the DRAM cell density requires the development of an advanced circuit design and fabrication techniques to

pack smaller cells into denser arrays, which is time consuming and requires expensive photolithographic process equipment. Further, as DRAM cells become smaller and the arrays more dense, physical device aspects, such as the charge stored per capacitor, will become limiting factors.

[05] The memory capacity can be increased, for both volatile memory, such as DRAM, and non-volatile memory such as flash memory, by storing multiple bits per cell. In one approach, more than the traditional two voltage levels can be retained in the storage mechanism of a cell with each voltage level representing a different data value. For example, assume that for a given cell, data can be stored as one of four allowed voltage levels. A voltage of 0V can then be used to represent a two-bit logic word "00", a voltage of approximately 1V to represent a logic "01", a voltage of approximately 2V to represent a logic "10" and a voltage of approximately 3V to represent a logic "11". In this fashion, an NSB and a LSB can be stored in a single cell. The exact voltages and the number of voltage levels used depend on the desired design.

[06] The actual implementation of multi-valued memory presents a number of problems. For instance, Murotani et al. (1997 IEEI International Solid State Circuit Conference, Digest of Technical Papers, pp. 74-75, 1997) have proposed a 4-level storage device in which both a most significant bit (MSB) and a least significant bit (LSB) can be stored in a single cell as function of capacitor voltage. The MSB is detected by sensing the stored voltage against a reference voltage that is substantially one-half of  $V_{cc}$ . After sensing the MSB, the LSB is then sensed against one-half of  $V_{cc}$  of offset by approximately one-third  $V_{cc}$ . The sign of the offset (+,-) depends on the MSB (1, 0).

[07] Obtaining an adequate sense signal in such a system disadvantageously requires that the storage capacitor has a large capacitance, which in turn implies a chip area occupied by the storage element or the use of a high dielectric constant material in constructing the capacitor, or possibly a combination of both.

[08] There is a need for providing an elegant circuit for implementing multi-valued storage with efficient use of chip area.

WO 02/091384

PCT/US02/14236

3

## SUMMARY OF THE INVENTION

[09] These and other needs are met by embodiments of the present invention, which provide a method of forming a memory cell comprising forming a first electrode and forming a memory element on the first electrode by self-assembly. The memory element comprises a polymer that adheres only to the first electrode and has multiple resistance values that are selectable by exposure of the polymer to an electric field. A second electrode is formed on the first memory element.

[10] The earlier stated needs are also met by other embodiments of the present invention which provide a memory device comprising an addressable array of transistors and a dielectric layer covering the transistor array. A plurality of contacts toward the transistor array are provided through the dielectric layer, with at least some of the contacts being exposed. Memory elements are formed on at least some of the contacts, with the memory elements being formed only on the contacts and not on the dielectric layer. A common electrode is provided that contacts each of the memory elements.

[11] A still further aspect of the present invention provides a method of assembling a memory device, comprising the steps of forming an array of transistors and covering these transistors with a dielectric layer. Conductive contacts to the transistors through the dielectric layer are formed. Memory elements with multiple selectable resistance values are formed on the conductive contacts by self-assembly. A common electrode is formed on the memory elements that contacts to each of the memory elements.

[12] The foregoing and other features, aspects and advantages of the present invention will become more apparent from the following detailed description of the present invention when taken in conjunction with the accompanying drawings.

## BRIEF DESCRIPTION OF THE DRAWINGS

[13] Figure 1 is a schematic depiction of a memory chip constructed in accordance with an embodiment of the present invention.

WO 02/091384

PCT/US02/14236

4

[14] Figure 2 is a perspective view of a cross-section of a portion of a memory chip in accordance with embodiments of the present invention during one step of the assembly process.

[15] Figure 3 is a side view of the memory array of Figure 2, during one step of the assembly process in accordance with embodiments of the present invention.

[16] Figure 4 shows the structure of Figure 3 following the deposition of a barrier layer on the conductive plug, in accordance with embodiments of the present invention.

[17] Figure 5 depicts the structure of Figure 4, following the deposition of an adhesion layer on the barrier layer, in accordance with embodiments of the present invention.

[18] Figure 6 shows the structure of Figure 5, following the deposition of a polymer memory element on a conductive contact, formed by self-assembly, in accordance with embodiments of the present invention.

[19] Figure 7 depicts the structure Figure 6, following the formation of a common electrode over the memory elements, in accordance with embodiments of the present invention.

[20] Figure 8 is a schematic depiction of the self-assembly process, in accordance with embodiments of the present invention.

[21] Figure 9 depicts a schematic-cross-section of a self-assembled conductive path arrangement, in accordance with embodiments of the present invention.

#### DETAILED DESCRIPTION OF THE INVENTION

[22] The present invention addresses and solves problems related to the formation of memory cells and memory devices, including that of providing a multi-bit memory cell that increases chip density and can be readily assembled. The present invention achieves this, in part, by providing a memory device with an addressable array of transistors, a dielectric layer covering a transistor array, and a plurality of contacts to the transistor arrays through the dielectric layer. Memory elements are formed on the contacts by a self-assembly process. These memory elements, in embodiments of the invention, comprise a material that changes resistance in response to an applied electric field. Multiple resistance values are selectable

WO 02/091384

PCT/US02/14236

5

and settable in these memory elements. The multiple resistance values correspond to multiple-bit values in each memory cell. Exemplary materials employed as the memory elements include polyconjugated polymers, phthalocyanine, and porphyrins. The self-assembly method of forming the memory device provides an efficient and elegant method of creating a highly compact memory device with multiple-bit memory cells.

[23] In a traditional DRAM memory chip, a charge representing a "0" or "1" is stored in a storage capacitor fabricated on a semiconductor wafer. The charge injection into the storage capacitor is controlled by a FET having its source connected to one terminal of the storage capacitor and its drain selectively connected to a power supply, for example, to  $V_{ss}$ . The other terminal of the storage capacitor can be connected to a common ground. Such devices and their operation are well known in the art. The storage capacitors, the FET's and the interconnects are defined by photolithography, which is an expensive process.

[24] The memory device 10 of the present invention includes a number of DRAM cells 12, with each DRAM cell 12 having a transistor 14 and a memory element 16. In the illustrated exemplary embodiment, a total of sixteen DRAM cells 12 are provided. It should be apparent to those of skill in the art, however, that such an arrangement is exemplary only for illustration purposes. Memory devices having a much larger number of DRAM cells in the memory array may be provided. A column decoder 18 and a row decoder 20 are provided in the memory chip to address the individual memory cells.

[25] An RGA block 22 operates to receive a register address signal (RGA) during a DMA data transfer, for example. This determines the destination for data and generates a dynamic RAM address that selects the location of the data within the memory cells 12.

[26] Each of the memory cells 16 is connected to a common electrode 38 at one terminal, and the other terminal is connected to the transistor 14 in the individual memory cells 12.

[27] The circuitry of the memory device depicted in Figure 1 is exemplary only as other circuit arrangements can be employed without departing from the scope of the present invention. In such applications, the memory elements typically formed by storage capacitors are replaced with the multi-bit resistance memory elements of the present invention.

[28] Figure 2 depicts a cross-sectional perspective view of a portion of the memory chip taken along the cross-section III-III, but without the memory elements 16.

[29] An exemplary FET is formed on a P-type silicon substrate 22 and the transistor array is formed within and on the substrate 22. Note that the transistors are not depicted in substrate 22 in Figure 1 for illustration purposes. Only the contacts 27 (or conductive plugs) are depicted. These conductive plugs 27 extend to a dielectric layer 33 and end at a recess 32. In practice, the conductive plugs 27 may comprise any suitable conductive material, such as aluminum or copper, for example. In the embodiment described below, it is assumed, however, that the conductive plug 27 comprises aluminum. A barrier layer 30 is provided on top of the conductive plug 27 and will be described in further detail below. Barrier layer 30 comprises a material that prevents interaction between the conductive plug 27 and an adhesion layer that will be formed above the barrier layer 30.

[30] A common electrode 38 covers the memory cells 12, although the electrode is not depicted in Figure 1 as covering the cells 12 so as not to obscure the underlying structure.

[31] Referring now to Figure 3, a cross-section of the substrate 22, including the formation of the transistors and the transistor array, is depicted. Source and drain regions 24, 26 are provided along with a gate electrode 28 in the transistors. Contacts 25, 29, 27 are shown as extending to the various elements of the transistors. A gate dielectric layer, such as silicon oxide, is referenced with reference numeral 31. As depicted in Figure 3, the conductive plugs 27 extend from a drain 26, for example, and terminate at the opening of a recess 32 in the dielectric layer 33. Conventional methodology forming the transistor array to this point may be employed.

[32] A barrier layer 30 as described earlier, is formed on top of the connective plugs 27, as depicted in detail in Fig. 4. The barrier layer 30 comprises a material that prevents interaction between the material of the conductive plug 27 and the adhesion layer or the polymeric material that will be subsequently deposited above it. In embodiments of the invention in which the conductive plug 27 comprises aluminum, the barrier layer 30 may comprise tungsten, for example. Other materials suitable for use as a barrier layer may be employed

WO 02/091384

PCT/US02/14236

7

without departing from the scope of the invention. The barrier layer 30 needs to be conductive, however.

[33] Following the deposition of a barrier layer 30 by evaporation, for example, to a thickness of approximately 100Å, for example, a thin adhesion layer 39 is provided on the barrier layer 30 in certain embodiments of the present invention. This is depicted in detail in Fig. 5. The choice of material for the adhesion layer 39 is made so that the molecular film that will be deposited on the adhesion layer 39 will adhere to the adhesion layer 39 and not to the dielectric layer 33. For example, assuming the conductive plug 27 comprises aluminum, and the barrier layer 30 comprises tungsten, as in the exemplary embodiment, an adhesion layer 39 of copper is suitable to serve as an adhesion layer for a number of different molecular films, such as polymethylphenylacetylene, or copperphthalocyanine. Hence, this specific choice of the thin adhesion layer 39 is dependent upon the molecular film that will be employed. The self-assembly method is employed to cause the molecular and polymer film to adhere only to the adhesion layer 39 and not to the dielectric layer 33. This places the memory elements at precise locations on the contacts connecting to the transistor array.

[34] As will be described in more detail later, the particular molecular films that are deposited by self-assembly in the present invention have the property of exhibiting a resistivity that is controllably adjustable in response to electric field or current. Once set into a particular resistance state, the memory element will retain that state for a period of time unless the resistance value is erased.

[35] In order to self-assemble the molecular film on the adhesion layer 39, in embodiments of the invention the memory array or memory device is located in a relatively large volume or chamber or a small volume with a liquid monomer is provided. A monomer gas is also provided in the large volume. The memory cell or memory device is held within this chamber for a period of time, such as three hours, and maintained at a desired temperature range, such as at approximately room temperature. These values are exemplary only as other values may be used depending upon the particular materials employed.

[36] A number of different materials may be used as the molecular and polymer film. In certain embodiments of the invention, the material is a conjugated polymer. In certain other

WO 02/091384

PCT/US02/14236

8

embodiments, the material is a phthalocyanine. In other embodiments of the invention, the material is a porphyrin. These materials are described in an article by one of the inventors of the present application, entitled "Structural Instability of One-dimensional Systems as a Physical Principal Underlying the Functioning of Molecular Electronic Devices." Journal of Structural Chemistry, Vol. 40, No. 4, 1999 (Ju. H. Krieger). This reference is hereby expressly incorporated by reference into the present application.

[37] In order to deposit the polymer on the adhesion layer, the present invention provides a self-assembly method in which the memory device or memory cell is placed in a large chamber, as in Figure 8, in which a gas monomer is provided. A relatively small volume of liquid monomer 52 is also placed in the chamber 50. In exemplary embodiments of the invention, the monomer is methylphenylacetylene. The polymerization creates a polymeric film of the conjugated polymer that takes place at the gas, solid interface. This permits forming polymer films from a monomer onto a non-flat and complicated surface, in this case, the contacts of the transistor array.

[38] In the exemplary embodiment of a monomer of methylphenylacetylene, a conjugated polymeric film of polymethylphenylacetylene is produced, typically with a thickness of approximately 1000Å after the memory cell or memory device has been held in the chamber 50 at room temperature for approximately three hours. The film 35 is depicted in Fig. 6.

[39] In other embodiments of the invention, the polymeric film 35 that is formed is cupperphthalocyanine. In these embodiments, the monomer gas that is used is tetracyanobenzene.

[40] These polymeric films and monomers are exemplary only, as those that are skilled in the art will recognize that other polymeric films and monomers for creating such films may be employed without departing from the scope of the invention. As examples of polyconjugated polymers useful in the present invention, the following may be employed: polyparaphenylene, polyphenylvenylene, polyaniline, polythiophene or polypyrrole.

[41] As depicted in Figure 7, after the deposition of the polymer by self-assembly on the conductive contacts to the transistor array, a common electrode is formed over each of the contacts 35. The common electrode 38 may be any suitable conductive material, such as

WO 02/091384

PCT/US02/14236

9

aluminum, tungsten, gold, copper, etc. The common electrode 38 may be formed by evaporation, for example.

[42] Once assembled, the memory cells of the present invention have the characteristic that they can assume different resistivity levels in response to the application of electric fields or current. For example, by proper application of a write current, the memory cell is impressed with different selected resistivities. For example, these resistivity levels may be 300 ohms, corresponding to a "00" value, approximately 400 ohms, corresponding to a "01" value, and approximately 650 ohms, corresponding to a "11" value. These different resistivity levels are achieved by providing different write currents to the memory cell.

[43] In addition to its use in forming a memory device, the self-assembly method of the present invention may also be employed to form connecting pads and paths having a reversibly programmable resistance. For example, as seen in Fig.9, a silicon substrate 60 is etched to provide an overhanging rib 62. The overhang can be produced by conventional techniques such as anisotropic chemical etching or ion beam milling. Depositing layer 64 of the exemplary molecular composite material on the surface creates a plurality of electrically isolated pathways to be formed, without requiring photolithographic processes. Such pathways can provide novel ways to selectively interconnect different devices on a chip, since the resistivity of these pathways can be reversibly changed between an "off" state and an "on" state by applying an external electric field or flowing an electric current through the pathway.

[44] The present invention as described above, provides a memory device that may be readily assembled by self-assembly, and produces multi-bit memory cells on a conventional transistor array. This increases the effective bit storage density of a memory device. The self-assembly method allows polymers of the memory cells to be precisely located at each of the contacts of the transistor array.

[45] Although the present invention has been described and illustrated in detail, it is to be clearly understood that the same by way of illustration and example only and is not to be taken by way of limitation, the scope of the present invention being limited only by the terms of the appended claims.

WO 02/091384

PCT/US02/14236

10

## WHAT IS CLAIMED IS:

1. A memory device, comprising:
  - an addressable array of transistors;
  - a dielectric layer covering the transistor array;
  - a plurality of contacts to the transistor array through the dielectric layer with at least some of the contacts exposed;
  - memory elements on at least some of the contacts, with the memory elements being formed only on the contacts and not on the dielectric layer; and
  - a common electrode contacting each of the memory elements.
2. The memory device of claim 1, wherein the contacts include a first conductive material contacting the transistor and extending through the dielectric layer.
3. The memory device of claim 2, wherein the memory elements comprise a material that changes resistance in response to an applied electric field.
4. The memory device of claim 3, wherein the material is capable of being set to and remaining at one of at least three distinct resistance values.
5. The memory device of claim 4, wherein the material has the property of adhering only to the contacts and not to the dielectric layer.
6. The memory device of claim 4, wherein the material is a polyconjugated polymer.
7. The memory device of claim 6, wherein the polyconjugated polymer is at least one of: polyparaphenyene, polyphenylvenylene, polyanilinic, polythiophene, or polypyrrole.
8. The memory device of claim 4, wherein the material is a polymeric phthalocyanine.
9. The memory device of claim 4, wherein the material is a polymeric porphyrin.
10. The memory device of claim 3, wherein the contacts include a conductive plug extending from the transistor towards a top surface of the dielectric layer, a barrier layer on a top of the conductive plug, and an adhesion layer on the barrier layer.
11. The memory device of claim 10, wherein the conductive plug comprises aluminum.

WO 02/091384

PCT/US02/14236

11

12. The memory device of claim 11, wherein the barrier layer comprises tungsten.
13. The memory device of claim 12, wherein the adhesion layer comprises copper or a copper alloy.
14. The memory device of claim 13, wherein the material is a polyconjugated polymer.
15. The memory device of claim 13, wherein the material is a polymeric phthalocyanine.
16. The memory device of claim 13, wherein the material is a polymeric porphyrin.
17. The memory device of claim 13, wherein the material is at least one of a polyconjugated polymer, a polymeric phthalocyanine, or a polymeric porphyrin.
18. The memory device of claim 17, wherein the common electrode comprises aluminum.
19. A method of assembling a memory device, comprising the steps of:
  - forming an array of transistors;
  - covering the transistors with a dielectric layer;
  - forming conductive contacts to the transistors through the dielectric layer;
  - forming memory elements with multiple selectable resistance values on the conductive contacts by self-assembly; and
  - forming a common electrode on the memory elements connecting to each of the memory elements.
20. The method of claim 19, wherein the step of forming memory elements includes depositing a first material that adheres only to the conductive contacts and not to the dielectric layer.
21. The method of claim 20, wherein the first material is a polyconjugated polymer.
22. The method of claim 21, wherein the polyconjugated polymer is one of polyparaphenylene, polyphenylvenylene, polyaniline, polythiophene or polypyrrole.

WO 02/091384

PCT/US02/14236

12

23. The method of claim 20, wherein the first material is a polymeric phthalocyanine.
24. The method of claim 20, wherein the first material is a polymeric porphyrin.
25. The method of claim 19, wherein the step of forming conductive contacts includes forming a conductive plug with a bottom contacting a transistor and a top, forming a barrier layer on the top of the conductive plug, and forming an adhesion layer on the barrier layer.
26. The method of claim 25, wherein the step of forming memory elements includes locating the memory device within an enclosed chamber with a liquid monomer.
27. The method of claim 26, wherein the step of forming memory elements further includes locating the memory device within an enclosed chamber with a monomer gas.
28. The method of claim 27, wherein the liquid monomer and the monomer gas are methylphenylacetylene, and a polyconjugated polymer of polymethylphenylacetylene is formed as the memory elements.
29. The method of claim 28, wherein the liquid monomer and the monomer gas are tetracyanobenzene, and cupperphthalocyanine is formed as the memory element.
30. A method of forming a memory cell comprising:
  - forming a first electrode ;
  - forming a memory element on the first electrode by self-assembly, wherein the memory element comprises a polymer that adheres only to the first electrode and having multiple resistance values that are selectable by exposure of the polymer to an electric field;
  - and
  - forming a second electrode on the memory element.
31. The method of claim 30, wherein the polymer is a polyconjugated polymer.
32. The method of claim 31, wherein the polyconjugated polymer is one of: polyparaphenylene, polyphenylvenylene, polyaniline, polythiophene or polypyrrole.
33. The method of claim 30, wherein the polymer is a polymeric phthalocyanine.
34. The method of claim 30, wherein the phthalocyanine is cupperphthalocyanine.

WO 02/091384

PCT/US02/14236

13

35. The method of claim 30, wherein the polymer is a polymeric porphyrin.

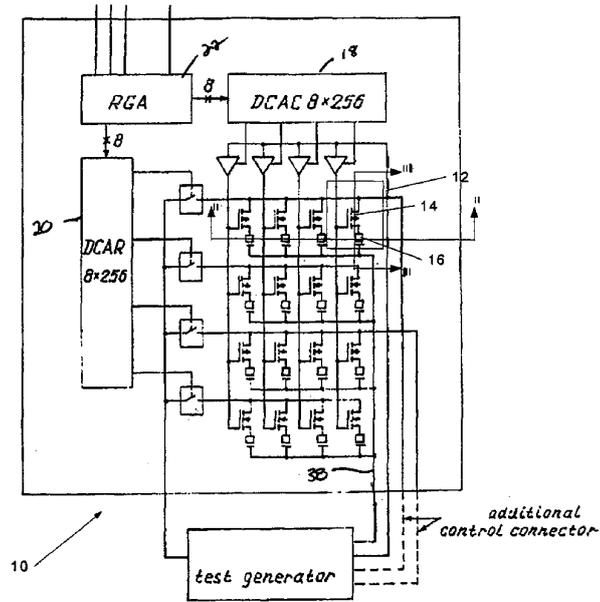


Fig. 1

Fig. 2

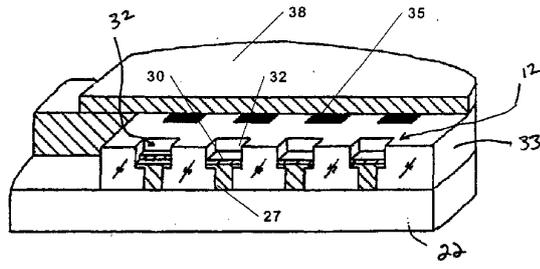


Fig. 3

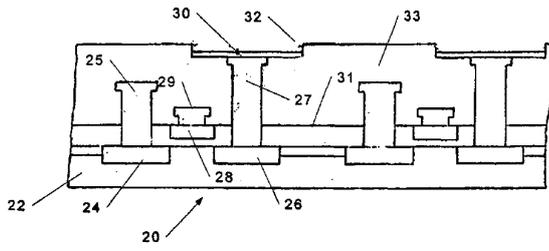
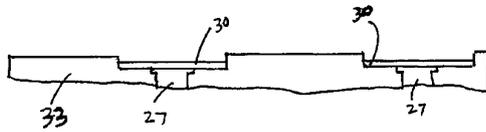
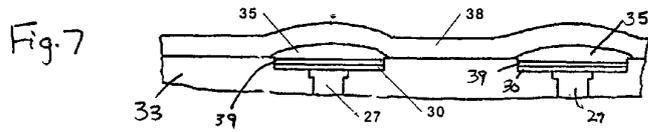
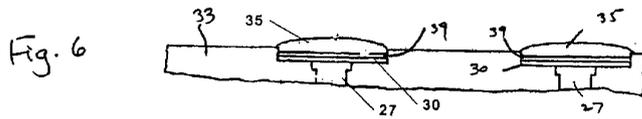
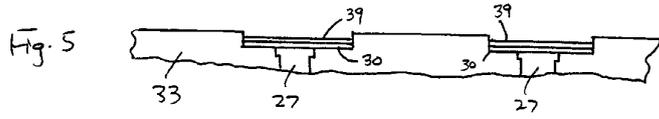
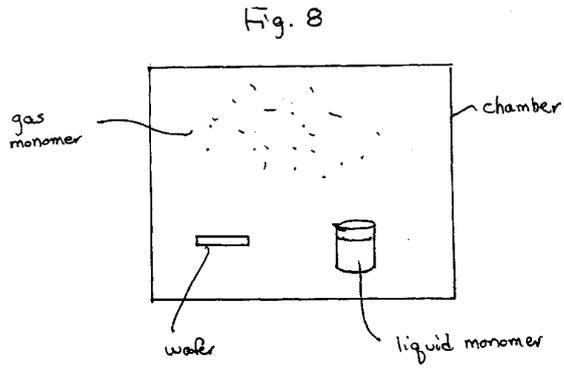
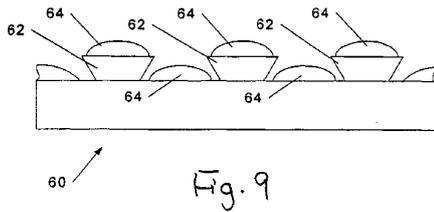


Fig. 4







## 【 国際調査報告 】

A. CLASSIFICATION OF SUBJECT MATTER		PCT/US 02/14236
IPC 7 611C13/00 611C11/14 611C11/22		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
IPC 7 611C		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the International search (name of data base and, where practical, search terms used)		
EPO-Internal, PAJ, WPI Data, IBM-TDB, INSPEC		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 6 064 589 A (WALKER DARRYL G) 16 May 2000 (2000-05-16)	19
A	column 6, line 3 -column 8, line 46; figures 1,3	1-18
Y	US 5 734 605 A (TEHRANI SAIED N ET AL) 31 March 1998 (1998-03-31)	19,21,30
A	abstract	3
Y	DE 196 40 239 A (SIEMENS AG) 2 April 1998 (1998-04-02)	19,21
A	column 3, line 1-23; figure 1	1-18
	-/--	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents: *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *I* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art *Z* document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
14 August 2002		26/08/2002
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel: (+31-70) 940-2040, Tx. 91 651 epo nl Fax: (+31-70) 940-3076		Authorized officer Gaertner, W

Form PCT/ISA(210) (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT		PCT/US 02/14236
C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to Claim No.
Y	PATENT ABSTRACTS OF JAPAN vol. 010, no. 289 (E-442), 2 October 1986 (1986-10-02), & JP 61 107723 A (HITACHI LTD), 26 May 1986 (1986-05-26) abstract	30
Y	PATENT ABSTRACTS OF JAPAN vol. 013, no. 125 (P-847), 28 March 1989 (1989-03-28), & JP 63 293729 A (RICOH CO LTD), 30 November 1988 (1988-11-30)	30
A	abstract	5,20
A	US 4 860 254 A (POTT RICHARD ET AL) 22 August 1989 (1989-08-22) column 5, line 37 -column 6, line 16; figures 1,4	1-35
E	WO 02 43071 A (THIN FILM ELECTRONICS ASA ;JOHANSSON NICKLAS (SE); CHEN LICHUN (SE) 30 May 2002 (2002-05-30) abstract	1-35

Form PCT/ISA/210 (continuation of second sheet) (July 1999)

## INTERNATIONAL SEARCH REPORT

Information on patent family members

PCT/US 02/14236

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 6064589	A 16-05-2000	NONE	
US 5734605	A 31-03-1998	US 5978257 A	02-11-1999
DE 19640239	A 02-04-1998	DE 19640239 A1 WO 9814989 A1	02-04-1998 09-04-1998
JP 61107723	A 26-05-1986	JP 1915694 C JP 6030394 B	23-03-1995 20-04-1994
JP 63293729	A 30-11-1988	JP 2115075 C JP 8028000 B	06-12-1996 21-03-1996
US 4860254	A 22-08-1989	DE 3602887 A1 CA 1276723 A1 DE 3776923 D1 EP 0236696 A2 JP 62185376 A KR 9411638 B1	06-08-1987 20-11-1990 09-04-1992 16-09-1987 13-08-1987 22-12-1994
WO 0243071	A 30-05-2002	NO 20005980 A WO 0243071 A1	28-05-2002 30-05-2002

## フロントページの続き

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT, BE,CH,CY,DE,DK,ES,FI,FR,GB,GR,IE,IT,LU,MC,NL,PT,SE,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN, TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,ES,FI,GB,GD,GE, GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,NO,NZ,OM,PH,PL,PT,RO,RU,SD,SE,SG,SI,SK,SL,TJ,TM,TN,TR,TT,TZ,UA,UG,UZ,VN,YU,ZA,ZM,ZW

(74)代理人 100108604

弁理士 村松 義人

(72)発明者 ジュリ エイチ . クリージャー

アメリカ合衆国マサチューセッツ州 02446、ブルックライン、ビーコン・ストリート 1454

(72)発明者 ニコライ エフ . ユダノフ

アメリカ合衆国マサチューセッツ州 02446、ブルックライン、アパートメント 501、ビーコン・ストリート 1450

Fターム(参考) 5F083 FZ10 JA36 JA37 JA39 JA60 MA06 MA19 MA20 ZA21