



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I856473 B

(45)公告日：中華民國 113 (2024) 年 09 月 21 日

(21)申請案號：112100186

(22)申請日：中華民國 112 (2023) 年 01 月 04 日

(51)Int. Cl. : H01L29/872 (2006.01)

H01L29/47 (2006.01)

(71)申請人：世界先進積體電路股份有限公司 (中華民國) VANGUARD INTERNATIONAL SEMICONDUCTOR CORPORATION (TW)

新竹縣園區三路 123 號

(72)發明人：鄒振東 TZOU, CHEN-DONG (TW)；賴云凱 LAI, YUN-KAI (TW)；廖學駿 LIAO, HSUEH-CHUN (TW)；李家豪 LEE, CHIA-HAO (TW)

(74)代理人：洪澄文

(56)參考文獻：

US 2004/0227190A1

US 2005/0285188A1

US 2019/0140071A1

US 2020/0381513A1

US 2022/0157982A1

審查人員：黃淑萍

申請專利範圍項數：15 項 圖式數：10 共 40 頁

(54)名稱

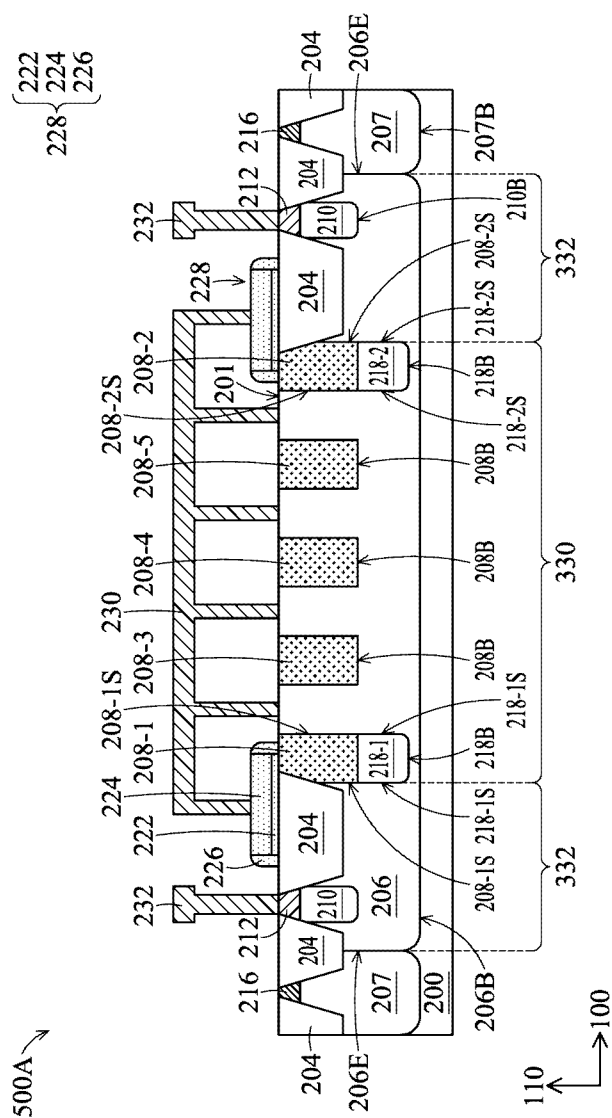
半導體裝置

(57)摘要

本發明實施例提供半導體裝置。半導體裝置包括半導體基板、第一井區、第一主體摻雜區、第二主體摻雜區、至少一隔離結構以及第一電流分散摻雜區。第一井區設置於半導體基板中且具有第一導電類型。第一主體摻雜區和第二主體摻雜區設置於第一井區上且接近半導體基板的頂面且具有第二導電類型。隔離結構覆蓋部分第一井區且圍繞至少部分第一主體摻雜區和至少部分第二主體摻雜區。第一電流分散摻雜區位於第一主體摻雜區的正下方且具有第一導電類型，第一電流分散摻雜區的第一摻雜濃度大於第一井區的第二摻雜濃度。

Embodiments provide a semiconductor device. The semiconductor device includes a semiconductor substrate, a first well region, a first body doped region, a second body doped region, at least one isolation structure, and a first current spreading doped region. The first well region is disposed in the semiconductor substrate and has a first conductivity type. The first body doped region and the second body doped region are disposed on the first well region and close to a top surface of the semiconductor substrate. The first body doped region and the second body doped region have a second conductivity type. The isolation structure covers a portion of the first well region and surrounds at least a portion of the first body doped region and at least a portion of the second body doped region. The first current spreading doped region is located directly below the first body doped region and has the first conductivity type. A first doping concentration of the first current spreading doped region is greater than a second doping concentration of the first well region.

指定代表圖：



符號簡單說明：

100,110:方向

200:半導體基板

201:頂面

204:隔離結構

206:第一井區

206B, 207B, 208B,

210B,218B:底面

206E:邊界

207:第二井區

208-1,208-2,208-3,208-4,208-5:主體摻雜區

208-1S,208-2S,218-1S,
218-2S:側面

210:第三井區

212:接線摻雜區

216:接線摻雜區

218-1,218-2:電流分散
摻雜區

222:閘極介電層

224:閘極電極層

226: 閘極間隔物

228:閘極結構

230,232:導電部件

330:陽極區

332:陰極區

500A:半導體裝置



I856473

【發明摘要】

【中文發明名稱】 半導體裝置

【英文發明名稱】 SEMICONDUCTOR DEVICE

【中文】

本發明實施例提供半導體裝置。半導體裝置包括半導體基板、第一井區、第一主體摻雜區、第二主體摻雜區、至少一隔離結構以及第一電流分散摻雜區。第一井區設置於半導體基板中且具有第一導電類型。第一主體摻雜區和第二主體摻雜區設置於第一井區上且接近半導體基板的頂面且具有第二導電類型。隔離結構覆蓋部分第一井區且圍繞至少部分第一主體摻雜區和至少部分第二主體摻雜區。第一電流分散摻雜區位於第一主體摻雜區的正下方且具有第一導電類型，第一電流分散摻雜區的第一摻雜濃度大於第一井區的第二摻雜濃度。

【英文】

Embodiments provide a semiconductor device. The semiconductor device includes a semiconductor substrate, a first well region, a first body doped region, a second body doped region, at least one isolation structure, and a first current spreading doped region. The first well region is disposed in the semiconductor substrate and has a first

第 1 頁，共 3 頁(發明摘要)

0516-P220159000TWF_IAC

conductivity type. The first body doped region and the second body doped region are disposed on the first well region and close to a top surface of the semiconductor substrate. The first body doped region and the second body doped region have a second conductivity type. The isolation structure covers a portion of the first well region and surrounds at least a portion of the first body doped region and at least a portion of the second body doped region. The first current spreading doped region is located directly below the first body doped region and has the first conductivity type. A first doping concentration of the first current spreading doped region is greater than a second doping concentration of the first well region.

【指定代表圖】 第1圖

【代表圖之符號簡單說明】

100,110:方向

200:半導體基板

201:頂面

204:隔離結構

206:第一井區

206B,207B,208B,210B,218B:底面

206E:邊界

207:第二井區

208-1,208-2,208-3,208-4,208-5:主體摻雜區

208-1S,208-2S,218-1S,218-2S:側面

210:第三井區

212:接線摻雜區

216:接線摻雜區

218-1,218-2:電流分散摻雜區

222:閘極介電層

224:閘極電極層

226:閘極間隔物

228:閘極結構

230,232:導電部件

330:陽極區

332:陰極區

500A:半導體裝置

【發明說明書】

【中文發明名稱】 半導體裝置

【英文發明名稱】 SEMICONDUCTOR DEVICE

【技術領域】

【0001】 本發明是關於半導體裝置，特別是關於蕭基二極體。

【先前技術】

【0002】 蕭基二極體(Schottky barrier diode)為具有金屬-半導體接面(metal-semiconductor junction)的一種半導體裝置，金屬與輕摻雜的半導體材料接觸會產生類似於PN接面的接觸結構(蕭基接觸)，可用於製作蕭基二極體。當蕭基二極體處於順向偏壓時(即陽極施加正電壓以及於陰極施加負電壓)可使得載子導通，而當蕭基二極體處於逆向偏壓時(即陽極施加負電壓以及於陰極施加正電壓)則載子不易導通，因而與一般PN接面二極體具有同樣之單向導通特性。另外，由於蕭基二極體係為單載子移動，故於順向偏壓時具有相對低之臨界電壓且於順逆向偏壓切換時反應速度極快。實際上，蕭基二極體仍需改善，逆向漏電流會影響電路的性能，降低電路的效率。

【0003】 綜上所述，目前需要新的蕭基二極體，在降低其反向漏電流時仍能兼顧其導通電流。

第 1 頁，共 23 頁(發明說明書)

0516-P220159000TWF_IAC

【發明內容】

【0004】 本發明一些實施例提供一種半導體裝置。半導體裝置包括半導體基板、第一井區、第一主體摻雜區、第二主體摻雜區、至少一隔離結構、第一電流分散摻雜區。第一井區設置於半導體基板中，其中第一井區具有第一導電類型。第一主體摻雜區和第二主體摻雜區設置於第一井區上且接近半導體基板的頂面，其中第一主體摻雜區和第二主體摻雜區具有第二導電類型。隔離結構覆蓋部分第一井區且圍繞至少部分第一主體摻雜區和至少部分第二主體摻雜區。第一電流分散摻雜區位於第一主體摻雜區的正下方，其中第一電流分散摻雜區具有第一導電類型，第一電流分散摻雜區的第一摻雜濃度大於第一井區的第二摻雜濃度。

【圖式簡單說明】

【0005】 當與所附圖式一起閱讀時，從以下詳細描述中可以更加理解本發明實施例的觀點。應注意的是，依據在業界的標準做法，各種特徵並未按照比例繪製且僅用以說明例示。事實上，可任意地放大或縮小元件的尺寸，以清楚地表現出本發明實施例的特徵。第1-10圖為本發明一些實施例之半導體裝置的剖面示意圖。

【實施方式】

【0006】 以下參照本發明實施例之圖式以更全面地闡述本

第2頁，共23頁(發明說明書)

0516-P220159000TWF_IAC

揭露。然而，本揭露亦可以各種不同的實施方式實現，而不應限於本文中所述之實施例。圖式中的層與區域的厚度可能會為了清楚起見而放大，並且在各圖式中相同或相似之參考號碼表示相同或相似之元件。

【0007】 本發明實施例提供一種半導體裝置，例如蕭基二極體(Schottky barrier diode)。半導體裝置在用以箝制關閉狀態漏電流(off-state leakage current)的主體摻雜區的正下方設置與主體摻雜區導電類型相反的電流分散摻雜區(current spreading doped region)。上述電流分散摻雜區的相對側面鄰接傳導導通電流(on-state current)的第一井區。並且，上述電流分散摻雜區與第一井區具有相同的導電類型且其摻雜濃度大於第一井區的摻雜濃度，在不影響崩潰電壓和漏電的情形下可有效降低蕭基二極體的導通電阻以增加導通電流。另外，電流分散摻雜區可與半導體裝置的深井區使用相同的光罩，可節省製程成本。

【0008】 第1圖為本發明一些實施例之半導體裝置500A的剖面示意圖。在一些實施例中，半導體裝置500A包括蕭基二極體。如第1、2圖所示，在一些實施例中，半導體裝置500A包括半導體基板200、第一井區206、主體摻雜區208-1、208-2、隔離結構204以及電流分散摻雜區218-1、218-2。

【0009】 在一些實施例中，半導體基板200包括元素半導體，例如矽(Si)、鍺(Ge)等；化合物半導體，例如氮化鎵(GaN)、

碳化矽(SiC)、砷化鎵(GaAs)、磷化鎵(GaP)、磷化銦(InP)、砷化銦(InAs)、銻化銦(InSb)等；合金半導體，例如矽鍺合金(SiGe)、磷砷鎵合金(GaAsP)、砷鋁銦合金(AlInAs)、砷鋁鎵合金(AlGaAs)、砷銦鎵合金(GaInAs)、磷銦鎵合金(GaInP)、磷砷銦鎵合金(GaInAsP)、或上述材料之組合。此外，半導體基板200也可包括絕緣層上覆半導體(semiconductor on insulator, SOI)。在一些實施例中，半導體基板200的導電類型可依設計需要為P型或N型。

【0010】 如第1圖所示，第一井區206和第二井區207設置於半導體基板200中。第二井區207圍繞且相鄰於第一井區206。在一些實施例中，半導體基板200的第一井區206包括陽極區330和陰極區332。並且，半導體裝置500A還包括設置於第二井區207上的接線摻雜區216。在一些實施例中，第一井區206具有第一導電類型。在一些實施例中，第二井區207和接線摻雜區216具有與第一導電類型相反的第二導電類型。舉例來說，第一井區206例如為N型高壓井區(HVNW)時，第二井區207例如為P型井區(例如P型高壓井區(HVPW))，而接線摻雜區216例如為P型接線摻雜區(P+)。在一些實施例中，半導體基板200藉由第二井區207及其上的接線摻雜區216電性連接最終半導體裝置500A的基極(Bulk)。然本發明並不以此為限，本領域技術人員可依照實際需求調整。在一些實施例中，接線摻雜區216的摻雜濃度大於第二井區207的摻雜濃度，第一井區

206 和第二井區 207 的摻雜濃度大於半導體基板 200 的摻雜濃度。在一些實施例中，第一井區 206 的摻雜濃度約在 $1\text{E}15\text{ atoms/cm}^2$ 至 $5\text{E}16\text{ atoms/cm}^2$ 之間，第二井區 207 的摻雜濃度約在 $1\text{E}16\text{ atoms/cm}^2$ 至 $5\text{E}17\text{ atoms/cm}^2$ 之間，而接線摻雜區 216 的摻雜濃度約在 $5\text{E}18\text{ atoms/cm}^2$ 至 $5\text{E}19\text{ atoms/cm}^2$ 之間。

【0011】 沿方向 100 (平行半導體基板 200 的方向) 彼此間隔排列的多個主體摻雜區 208-1、208-2、208-3、208-4、208-5 設置於第一井區 206 上且接近半導體基板 200 的頂面 201。在第 1 圖所示的剖面圖中，主體摻雜區 208-1、208-2、208-3、208-4、208-5 為指狀 (finger-shaped)。並且，主體摻雜區 208-1、208-2、208-3、208-4、208-5 被第一井區 206 圍繞，主體摻雜區數量可依照實際需求調整。舉例來說，主體摻雜區 208-1、208-2 之間可具有比主體摻雜區 208-1、208-2、208-3 更多或更少的主體摻雜區，或不具有任何的主體摻雜區。在一些實施例中，主體摻雜區 208-1、208-2、208-3、208-4、208-5 具有第二導電類型。並且，主體摻雜區 208-1、208-2、208-3、208-4、208-5 的摻雜濃度大於第二井區 207 的摻雜濃度。在一些實施例中，主體摻雜區 208-1、208-2、208-3、208-4、208-5 的摻雜濃度約在 $2\text{E}17\text{ atoms/cm}^2$ 至 $2\text{E}18\text{ atoms/cm}^2$ 之間。於一實施例中，主體摻雜區 208-1、208-2 於上視圖中構成指狀或環狀結構，主體摻雜區 208-3、208-5 亦構成環狀結構。

【0012】 在一些實施例中，在半導體裝置 500A 處於正向偏

壓時，導通電流主要流經陽極區330中的第一井區206。在一些實施例中，在半導體裝置500A處於逆向偏壓時，陽極區330中的主體摻雜區208-1、208-2、208-3、208-4、208-5之間的第一井區206中會產生空乏區，對關閉狀態漏電具有箝制作用(pinch)。

【0013】 如第1圖所示，多個隔離結構204設置於第一井區206內、第一井區206的邊界206E上以及第一井區206外側的第二井區207中的半導體基板200上。在第1圖所示的剖面圖中，第一井區206內的隔離結構204圍繞部分主體摻雜區208-1、208-2、208-3、208-4、208-5，且分別與接近陽極區330邊緣的主體摻雜區208-1和主體摻雜區208-2部分重疊。在一些實施例中，第一井區206的底面206B和第二井區207的底面207B位於隔離結構204的底面下方。如第1圖所示，隔離結構204定義最終半導體裝置500A的陽極區330和陰極區332的形成位置。在一些實施例中，可依設計需要，於半導體基板200上設置任意數量的隔離結構204。在一些實施例中，隔離結構204為利用矽局部氧化(local oxidation of silicon，LOCOS)製程而形成的場氧化層(field oxide，FOX)、利用沉積製程形成的淺溝槽隔離(shallow trench isolation，STI)結構、或其他適合的隔離結構。在一些實施例中，使用熱氧化製程，包括乾氧化製程、濕氧化製程或其他適合的熱氧化製程來形成隔離結構204。

【0014】 如第1圖所示，半導體裝置500A包括電流分散摻雜

區218-1、218-2。電流分散摻雜區218-1、218-2沿方向100彼此分離，且分別位於接近陽極區330邊緣的主體摻雜區208-1、208-2的正下方。電流分散摻雜區218-1、218-2沿方向110(垂直半導體基板200的方向)鄰接相應的主體摻雜區208-1、208-2的底面208B。並且，電流分散摻雜區218-1、218-2的相對側面218-1S、218-2S鄰接第一井區206。如第1圖所示的實施例中，電流分散摻雜區218-1、218-2位於第一井區206內且在方向110上與主體摻雜區208-1、208-2完全重疊。電流分散摻雜區218-1、218-2的相對側面218-1S、218-2S對齊主體摻雜區208-1、208-2的相對側面208-1S、208-2S。此外，電流分散摻雜區218-1、218-2的底面218B在第一井區206的底面206B上方。由於本實施例的電流分散摻雜區218-1、218-2相應接近陽極區330邊緣的主體摻雜區208-1、208-2設置，因此沿方向100位於主體摻雜區208-1、208-2之間的主體摻雜區208-3、208-4、208-5正下方不具有任何電流分散摻雜區。在一些實施例中，電流分散摻雜區218-1、218-2具有第一導電類型。並且，電流分散摻雜區218-1、218-2的摻雜濃度大於第一井區206的摻雜濃度。在一些實施例中，電流分散摻雜區218-1、218-2的摻雜濃度約在 $5 \times 10^{15} \text{ atoms/cm}^2$ 至 $1 \times 10^{17} \text{ atoms/cm}^2$ 之間。

【0015】 如第1圖所示，半導體裝置500A還包括在半導體基板200中的第三井區210和設置於第三井區210上的接線摻雜區212。第三井區210和接線摻雜區212設置於第一井區206上。第三

井區210和接線摻雜區212接近於第一井區206的邊界206E，且分別與主體摻雜區208-1、208-2設置於隔離結構204的相對側。第三井區210和接線摻雜區212也分別與第二井區207設置於在第一井區206的邊界206E上的隔離結構204的相對側。如第1圖所示，第三井區210的底面210B位於第一井區206的底面206B和第二井區207的底面207B的上方。如第1圖所示，第三井區210及其正上方的接線摻雜區212圍繞主體摻雜區208-1、208-2、208-3、208-4、208-5。在一些實施例中，第三井區210和接線摻雜區212具有第一導電類型。舉例來說，第一井區206例如為N型高壓井區(HVNW)時，第三井區210例如為N型井區(例如N型低壓井區(NW))，而接線摻雜區212例如為N型接線摻雜區(N+)。然本發明並不以此為限，本領域技術人員可依照實際需求調整。在一些實施例中，接線摻雜區212的摻雜濃度大於第三井區210的摻雜濃度，第三井區210的摻雜濃度大於第一井區206的摻雜濃度。第一井區206藉由第三井區210及其上的接線摻雜區212電性連接最終半導體裝置500A的陰極區332。在一些實施例中，第三井區210的摻雜濃度約在 $5\text{E}16\text{ atoms/cm}^2$ 至 $5\text{E}17\text{ atoms/cm}^2$ 之間，接線摻雜區212的摻雜濃度約在 $5\text{E}18\text{ atoms/cm}^2$ 至 $5\text{E}19\text{ atoms/cm}^2$ 之間。

【0016】 在一些實施例中，可利用多道離子植入製程，於半導體基板200中分別植入具有第一導電類型和第二導電類型的摻質以形成第一井區206、第二井區207、主體摻雜區208-1、208-2、

208-3、208-4、208-5、第三井區210、接線摻雜區212、216和電流分散摻雜區218-1、218-2。在一些實施例中，第一導電類型的摻質例如為N型摻質，其可包括磷、砷、氮、銻、或上述之組合。在一些實施例中，第二導電類型的摻質例如P型摻質，其可包括硼、鎵、鋁、銻、三氟化硼離子(BF_3^+)、或上述之組合。

【0017】 如第1圖所示，半導體裝置500A更包括閘極結構228，設置於第一井區206內的半導體基板200上，並延伸覆蓋隔離結構204和相鄰的主體摻雜區208-1、208-2。在一些實施例中，閘極結構228包括設置於半導體基板200上的閘極介電層222、設置於閘極介電層222上方的閘極電極層224以及設置於閘極介電層222和閘極電極層224的側壁上的閘極間隔物226。閘極結構228可與半導體裝置的陽極區330電性連接，在半導體裝置500A處於逆向偏壓時具有電場分散作用，可提升半導體裝置500A的逆向偏壓下之電壓崩潰表現。

【0018】 在一些實施例中，閘極介電層222包括氧化矽(silicon oxide)、氮化矽(silicon nitride)、氮氧化矽(silicon oxynitride)、高介電常數材料、其他適合的介電材料、及/或上述之組合。上述之高介電常數材料例如為氧化鉛、氧化鉛矽、氮氧化鉛矽、氧化鉛鉍、氧化鉛鈦、氧化鉛銻、氧化銻、氧化鋁、氧化鉛-氧化鋁合金、及/或上述之組合或與其相似的材料。在一些實施例中，可使用氧化製程、沉積製程或其他合適之製程，於半導體基板

200上形成閘極介電層222。

【0019】 在一些實施例中，閘極電極層224包括多晶矽、非晶矽、金屬(例如鎢、鈦、鋁、銅、鉬、鎳、鉑、其他合適的金屬、或上述之組合)、金屬合金、金屬氮化物(例如氮化鎢、氮化鉬、氮化鈦、氮化鉭、其他合適的金屬氮化物、或上述之組合)、金屬氧化物(氧化鈣、氧化銦錫、其他合適的金屬氧化物、或上述之組合)、其他合適的材料、或上述之組合。在一些實施例中，閘極電極層224可利用原位摻雜(in-situ doping)方式植入摻質。

【0020】 在一些實施例中，閘極間隔物226包括氧化矽(silicon oxide)、氮化矽(silicon nitride)、氮氧化矽(silicon oxynitride)、低介電常數材料、其他適合的介電材料、及/或上述之組合。在一些實施例中，可使用氧化製程、沉積製程或其他合適之製程，以在閘極介電層222和閘極電極層224的側壁上形成閘極間隔物226。

【0021】 如第1圖所示，半導體裝置500A更包括導電部件230，設置在半導體基板200上，且接觸(電性及/或物理接觸)第一井區206上的主體摻雜區208-1、208-2、208-3、208-4、208-5和主體摻雜區208-1、208-2、208-3、208-4、208-5之間的部分第一井區206。在一些實施例中，導電部件230電性連接閘極結構228。在一些實施例中，導電部件230可作為半導體裝置500A的陽極電極，其包括金屬(例如鎳(Ni)、鈷(Co)、鉑(Pt)、鈦(Ti)、鎢

(W)、鋁(A1)、上述之組合、或類似的材料)以與半導體基板200形成金屬矽化物。在一些實施例中，導電部件230也可包括摻雜多晶矽。在一些實施例中，可使用沉積製程(例如物理氣相沉積(PVD)、原子層沉積(ALD)、濺鍍、或上述之組合)和後續的圖案化製程中形成導電部件230。

【0022】 第1圖所示，半導體裝置500A更包括導電部件232，設置在半導體基板200上，且接觸(電性及/或物理接觸)第三井區210上的接線摻雜區212。在一些實施例中，導電部件232可作為半導體裝置500A的陰極電極，且可與導電部件230具有相同或類似的材料及製程。

【0023】 如第1圖所示，主體摻雜區208-1、208-2、208-3、208-4、208-5與主體摻雜區208-1、208-2、208-3、208-4、208-5之間的部分第一井區206作為例如為蕭基二極體的半導體裝置500A的陽極區330。並且，位於隔離結構204與主體摻雜區208-1、208-2相對側的部分第一井區206和其上的第三井區210作為例如為蕭基二極體的半導體裝置500A的陰極區332。換句話說，位於第一井區206的邊界206E與主體摻雜區208-1、208-2之間的部分第一井區206和其上的第三井區210作為例如為蕭基二極體的半導體裝置500A的陰極區332。在一些實施例中，半導體裝置500A的陽極區330包括電流分散摻雜區218-1、218-2。

【0024】 第2圖為本發明一些實施例之半導體裝置500B的

剖面示意圖，圖中與第1圖相同或相似之元件符號表示相同或相似之元件。如第2圖所示，半導體裝置500B與半導體裝置500A的不同處為半導體裝置500B包括橫向尺寸(沿方向100的尺寸)較大的單一電流分散摻雜區220。如第2圖所示的實施例中，電流分散摻雜區220位於第一井區206內且與主體摻雜區208-1、208-2、208-3、208-4、208-5在方向110上部分重疊。電流分散摻雜區220在方向110上鄰接主體摻雜區208-1、208-2、208-3、208-4、208-5的底面208B(第1圖)。電流分散摻雜區220沿方向100延伸位於主體摻雜區208-1、208-2、208-3、208-4、208-5的正下方。並且，電流分散摻雜區220的相對側面220S鄰接第一井區206且分別對齊主體摻雜區208-1接近於隔離結構204的側面208-1S和主體摻雜區208-2隔離結構204的側面208-2S。此外，電流分散摻雜區220的底面220B在第一井區206的底面206B上方。在一些實施例中，半導體裝置500B的陽極區330還包括電流分散摻雜區220，且電流分散摻雜區218-1、218-2、220具有相同的導電類型和摻雜濃度。

【0025】 第3圖為本發明一些實施例之半導體裝置500C的剖面示意圖，圖中與第1、2圖相同或相似之元件符號表示相同或相似之元件。如第3圖所示，半導體裝置500C與半導體裝置500A的不同處為半導體裝置500C包括沿方向100彼此分離的電流分散摻雜區318-1、318-2。電流分散摻雜區318-1、318-2分別位於接近陽極區330邊緣的主體摻雜區208-1、208-2的正下方。電流分散摻

雜區318-1、318-2沿方向110(垂直半導體基板200的方向)鄰接相應的主體摻雜區208-1、208-2的底面208B(第1圖)。並且，電流分散摻雜區318-1、318-2的相對側面318-1S、318-2S鄰接第一井區206及第一井區206下方的半導體基板200。如第3圖所示的實施例中，電流分散摻雜區318-1、318-2的底面318B在第一井區206的底面206B下方，以使第一井區206的底面206B位於的電流分散摻雜區318-1、318-2的頂面(同主體摻雜區208-1、208-2的底面208B)和底面318B之間。此外，電流分散摻雜區318-1、318-2在方向110上與主體摻雜區208-1、208-2完全重疊，且其相對側面318-1S、318-2S對齊主體摻雜區208-1、208-2的相對側面208-1S、208-2S。在一些實施例中，半導體裝置500C的陽極區330還包括電流分散摻雜區318-1、318-2，且電流分散摻雜區218-1、218-2、220、318-1、318-2具有相同的導電類型和摻雜濃度。電流分散摻雜區318-1、318-2的摻雜深度大於電流分散摻雜區218-1、218-2、220。於一實施例中，增加電流分散摻雜區318-1、318-2的摻雜深度可使半導體裝置500C的導通電阻降低以增加導通電流，相較於未設置電流分散摻雜區，元件導通電流(I_{on})由0.23mA提升至0.41mA， I_{on} 約可增加50%，崩潰電壓由93V提升至98V。

【0026】 第4圖為本發明一些實施例之半導體裝置500D的剖面示意圖，圖中與第1-3圖相同或相似之元件符號表示相同或相

似之元件。如第4圖所示，半導體裝置500D與半導體裝置500C的不同處為半導體裝置500D包括橫向尺寸(沿方向100的尺寸)較大的單一電流分散摻雜區320。如第4圖所示的實施例中，電流分散摻雜區320與主體摻雜區208-1、208-2、208-3、208-4、208-5在方向110上部分重疊。電流分散摻雜區320的底面320B在第一井區206的底面206B下方，以使第一井區206的底面206B位於的電流分散摻雜區320的頂面(對齊主體摻雜區208-1、208-2、208-3、208-4、208-5的底面208B(第1圖))和底面320B之間。並且，電流分散摻雜區320在方向110上鄰接主體摻雜區208-1、208-2、208-3、208-4、208-5的底面208B。此外，電流分散摻雜區320沿方向100延伸位於主體摻雜區208-1、208-2、208-3、208-4、208-5的正下方。電流分散摻雜區320的相對側面320S鄰接第一井區206且分別對齊主體摻雜區208-1接近於隔離結構204的側面208-1S和主體摻雜區208-2隔離結構204的側面208-2S。在一些實施例中，半導體裝置500D的陽極區330還包括電流分散摻雜區320，且電流分散摻雜區218-1、218-2、220、318-1、318-2、320具有相同的導電類型和摻雜濃度。電流分散摻雜區320的摻雜深度大於電流分散摻雜區218-1、218-2、220。

【0027】 第5圖為本發明一些實施例之半導體裝置500E的剖面示意圖，圖中與第1-4圖相同或相似之元件符號表示相同或相似之元件。如第5圖所示，半導體裝置500E與半導體裝置500A的不

同處為半導體裝置500E還包括沿方向100位於電流分散摻雜區218-1、218-2之間且彼此分離的電流分散摻雜區218-3、218-4、218-5，使電流分散摻雜區的數量與主體摻雜區的數量相同，且使多個彼此分離的電流分散摻雜區設置在每一個主體摻雜區的正下方。如第5圖所示的實施例中，電流分散摻雜區218-3、218-4、218-5分別位於主體摻雜區208-1、208-2之間的主體摻雜區208-3、208-4、208-5的正下方。電流分散摻雜區218-3、218-4、218-5與電流分散摻雜區218-1、218-2具有彼此對齊的頂面(相同於主體摻雜區208-1、208-2、208-3、208-4、208-5的底面208B(第1圖))和底面218B。並且，電流分散摻雜區218-3、218-4、218-5與相應的主體摻雜區208-3、208-4、208-5之間的位置關係可相同或類似於電流分散摻雜區218-1、218-2與相應的主體摻雜區208-1、208-2之間的位置關係。舉例來說，電流分散摻雜區218-3、218-4、218-5沿方向110(垂直半導體基板200的方向)鄰接相應的主體摻雜區208-3、208-4、208-5的底面208B。電流分散摻雜區218-3、218-4、218-5位於第一井區206內且在方向110上與主體摻雜區208-3、208-4、208-5完全重疊。並且，電流分散摻雜區218-3、218-4、218-5的相對側面218-3S、218-4S、218-5S對齊主體摻雜區208-3、208-4、208-5的相對側面208-3S、208-4S、208-5S。在一些實施例中，半導體裝置500E的陽極區330還包括電流分散摻雜區218-1、218-2、218-3、218-4、218-5，且電流分散摻雜區

218-1、218-2、218-3、218-4、218-5、220、318-1、318-2、320具有相同的導電類型和摻雜濃度。

【0028】 第6圖為本發明一些實施例之半導體裝置500F的剖面示意圖，圖中與第1-5圖相同或相似之元件符號表示相同或相似之元件。如第6圖所示，半導體裝置500F與半導體裝置500B的不同處為半導體裝置500F包括從陽極區330橫向(沿方向100)延伸至陰極區332的單一電流分散摻雜區221。如第6圖所示的實施例中，電流分散摻雜區221延伸至第三井區210的正下方。並且，電流分散摻雜區221的相對側面221S鄰接第一井區206且對齊第三井區210接近於第一井區206的邊界206E的側面210S。此外，電流分散摻雜區221的底面221B在第一井區206的底面206B上方。在一些實施例中，半導體裝置500F的陽極區330和陰極區332還包括電流分散摻雜區221，且電流分散摻雜區218-1、218-2、218-3、218-4、218-5、220、221、318-1、318-2、320具有相同的導電類型和摻雜濃度。於一實施例中，電流分散摻雜區221的底面221B在第一井區206的底面206B下方，換句話說，電流分散摻雜區221摻雜深度較第一井區206深。

【0029】 第7圖為本發明一些實施例之半導體裝置500G的剖面示意圖，圖中與第1-6圖相同或相似之元件符號表示相同或相似之元件。如第7圖所示，半導體裝置500G與半導體裝置500C的不同處為半導體裝置500G還包括沿方向100位於電流分散摻雜區

318-1、318-2之間且彼此分離的電流分散摻雜區318-3、318-4、318-5，使電流分散摻雜區的數量與主體摻雜區的數量相同，且使多個彼此分離的電流分散摻雜區設置在每一個主體摻雜區的正下方。如第7圖所示的實施例中，電流分散摻雜區318-3、318-4、318-5分別位於主體摻雜區208-1、208-2之間的主體摻雜區208-3、208-4、208-5的正下方。電流分散摻雜區318-3、318-4、318-5與電流分散摻雜區318-1、318-2具有彼此對齊的頂面(相同於主體摻雜區208-1、208-2、208-3、208-4、208-5的底面208B(第1圖))和底面318B。並且，電流分散摻雜區318-3、318-4、318-5與相應的主體摻雜區208-3、208-4、208-5之間的位置關係可相同或類似於電流分散摻雜區318-1、318-2與相應的主體摻雜區208-1、208-2之間的位置關係。舉例來說，電流分散摻雜區318-3、318-4、318-5沿方向110(垂直半導體基板200的方向)鄰接相應的主體摻雜區208-3、208-4、208-5的底面208B(第1圖)。電流分散摻雜區318-3、318-4、318-5在方向110上與主體摻雜區208-3、208-4、208-5完全重疊。並且，電流分散摻雜區318-3、318-4、318-5的相對側面318-3S、318-4S、318-5S對齊主體摻雜區208-3、208-4、208-5的相對側面208-3S、208-4S、208-5S。在一些實施例中，半導體裝置500G的陽極區330還包括電流分散摻雜區318-1、318-2、318-3、318-4、318-5，且電流分散摻雜區218-1、218-2、218-3、218-4、218-5、220、318-1、318-2、318-3、

318-4、318-5、320具有相同的導電類型和摻雜濃度。

【0030】 第8圖為本發明一些實施例之半導體裝置500I的剖面示意圖，圖中與第1-7圖相同或相似之元件符號表示相同或相似之元件。如第8圖所示，半導體裝置500I與半導體裝置500A的不同處為半導體裝置500I包括沿方向100彼此分離的電流分散摻雜區418-1、418-2。如第8圖所示的實施例中，電流分散摻雜區418-1、418-2從接近陽極區330邊緣的主體摻雜區208-1、208-2的正下方沿方向110延伸至主體摻雜區208-1、208-2之間且接近半導體基板200的頂面201，電流分散摻雜區418-1、418-2也延伸至主體摻雜區208-1、208-2與相鄰隔離結構204之間的部分第一井區206中。電流分散摻雜區418-1、418-2沿方向100分別鄰接主體摻雜區208-1、208-2的相對側面208-1S、208-2S。並且，電流分散摻雜區418-1、418-2分別包圍相應的主體摻雜區208-1、208-2的相對側面208-1S、208-2S和底面208B。因此，電流分散摻雜區418-1、418-2的相對側面418-1S、418-2S在相應的主體摻雜區208-1、208-2的相對側面208-1S、208-2S的外側，電流分散摻雜區418-1、418-2的底面418B在相應的主體摻雜區208-1、208-2的底面208B和第一井區206的底面206B之間。在一些實施例中，半導體裝置500I的陽極區330還包括電流分散摻雜區418-1、418-2，且電流分散摻雜區218-1、218-2、218-3、218-4、218-5、220、221、318-1、318-2、318-3、318-4、318-5、320具有相同的導

電類型和摻雜濃度。電流分散摻雜區418-1、418-2可與電流分散摻雜區218-1、218-2、218-3、218-4、218-5、220、221具有相同的摻雜深度。

【0031】 第9圖為本發明一些實施例之半導體裝置500J的剖面示意圖，圖中與第1-8圖相同或相似之元件符號表示相同或相似之元件。如第9圖所示，半導體裝置500J與半導體裝置500I的不同處為半導體裝置500J還包括沿方向100位於電流分散摻雜區418-1、418-2之間且彼此分離的電流分散摻雜區418-3、418-4、418-5，使電流分散摻雜區的數量與主體摻雜區的數量相同，且使多個彼此分離的電流分散摻雜區從各相應的主體摻雜區的正下方沿方向110延伸至相鄰的主體摻雜區之間且接近半導體基板200的頂面201。如第9圖所示的實施例中，電流分散摻雜區418-3、418-4、418-5與電流分散摻雜區418-1、418-2具有彼此對齊的頂面(相同於半導體基板200的頂面201)和底面418B(第8圖)。並且，電流分散摻雜區418-3、418-4、418-5與相應的主體摻雜區208-3、208-4、208-5之間的位置關係可相同或類似於電流分散摻雜區418-1、418-2與相應的主體摻雜區208-1、208-2之間的位置關係。舉例來說，電流分散摻雜區418-3、418-4、418-5沿方向100分別鄰接主體摻雜區208-3、208-4、208-5的相對側面208-3S、208-4S、208-5S。並且，電流分散摻雜區418-3、418-4、418-5分別包圍相應的主體摻雜區208-3、208-4、208-52的相對側面

208-3S、208-4S、208-5S和底面208B(第1圖)。因此，電流分散摻雜區418-3、418-4、418-5的相對側面418-3S、418-4S、418-5S在相應的主體摻雜區208-3、208-4、208-5的相對側面208-3S、208-4S、208-5S的外側，電流分散摻雜區418-3、418-4、418-5的底面418B(第8圖)在相應的主體摻雜區208-3、208-4、208-5的底面208B(第1圖)和第一井區206的底面206B之間。在一些實施例中，半導體裝置500J的陽極區330還包括電流分散摻雜區418-1、418-2、418-3、418-4、418-5，且電流分散摻雜區218-1、218-2、218-3、218-4、218-5、220、318-1、318-2、318-3、318-4、318-5、320、418-1、418-2、418-3、418-4、418-5具有相同的導電類型和摻雜濃度。

【0032】 第10圖為本發明一些實施例之半導體裝置500K的剖面示意圖，圖中與第1-9圖相同或相似之元件符號表示相同或相似之元件。如第10圖所示，半導體裝置500K與半導體裝置500F的不同處為半導體裝置500K包括從陽極區330橫向(沿方向100)延伸至陰極區332的單一電流分散摻雜區421。如第10圖所示的實施例中，電流分散摻雜區421從主體摻雜區208-1、208-2、208-3、208-4、208-5和第三井區210的正下方沿方向110延伸包圍主體摻雜區208-1、208-2、208-3、208-4、208-5和第三井區210且接近半導體基板200的頂面201。並且，電流分散摻雜區421的相對側面421S鄰接第一井區206。並且，電流分散摻雜區421沿方向100延

伸至隔離結構204與主體摻雜區208-1、208-2相對側的部分第一井區206中。電流分散摻雜區421的相對側面421S沿方向100位於第三井區210接近第一井區206的邊界206E的側面210S(第6圖)與第一井區206的邊界206E之間。此外，電流分散摻雜區421的底面421B在第一井區206的底面206B上方。在一些實施例中，半導體裝置500K的陽極區330和陰極區332還包括電流分散摻雜區421，且電流分散摻雜區218-1、218-2、218-3、218-4、218-5、220、221、318-1、318-2、318-3、318-4、318-5、320、418-1、418-2、418-3、418-4、418-5、421具有相同的導電類型和摻雜濃度。電流分散摻雜區421與電流分散摻雜區221可具有相同的摻雜深度。

【0033】 本發明實施例提供一種半導體裝置，例如蕭基二極體。半導體裝置在陽極區中具較高導通電流密度及較大電壓差的位置(接近陽極區邊緣之用以箝制關閉狀態漏電流的主體摻雜區的正下方位置)設置電流分散摻雜區。在一些實施例中，電流分散摻雜區具有與第一井區相同的導電類型且其摻雜濃度大於第一井區的摻雜濃度，電流分散摻雜區的深度可小於或大於第一井區的深度，以在不影響崩潰電壓和漏電的情形下可有效降低蕭基二極體的導通電阻。並且，由於上述電流分散摻雜區的設置可使電場分佈較為均勻，可進一步改善崩潰電壓。另外，電流分散摻雜區可與半導體裝置製程的深井區(deep well region)使用相同的光罩，可節省製程成本。在一些實施例中，可在各主體摻雜區周圍具較高導通電流密度

及較大電壓差的位置(每一個主體摻雜區的正下方)設置相應的電流分散摻雜區。或者，可設置沿平行半導體基板方向延伸至每一個主體摻雜區的正下方的單一電流分散摻雜區。電流分散摻雜區也可從相應的主體摻雜區的正下方沿垂直半導體基板方向延伸接近半導體基板的頂面，或沿平行半導體基板方向從陽極區延伸至陰極區，以進一步降低陽極區的導通電阻以增加導通電流且改善崩潰電壓，提升半導體裝置的性能。

【0034】 雖然本發明以前述之實施例揭露如上，然其並非用以限定本發明。本發明所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可做些許之更動與潤飾。因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【符號說明】

【0035】

100,110: 方向

200: 半導體基板

201: 頂面

204: 隔離結構

206: 第一井區

206B, 207B, 208B, 210B, 218B, 220B, 221B, 318B, 320B, 418B, 4

21B: 底面

206E: 邊界

207:第二井區

208-1,208-2,208-3,208-4,208-5:主體摻雜區

208-1S,208-2S,208-3S,208-4S,208-5S,210S,218-1S,218-2S,
218-3S,218-4S,218-5S,220S,221S,318-1S,318-2S,318-3S,3
18-4S,318-5S,320S,

418-1S,418-2S,418-3S,418-4S,418-5S,421S:側面

210:第三井區

212:接線摻雜區

216:接線摻雜區

218-1,218-2,218-3,218-4,218-5,220,221,

318-1,318-2,318-3,318-4,318-5,320,

418-1,418-2,418-3,418-4,418-5,421:電流分散摻雜區

222:閘極介電層

224:閘極電極層

226:閘極間隔物

228:閘極結構

230,232:導電部件

330:陽極區

332:陰極區

500A,500B,500C,500D,500E,500F,500G,500I,500J,500K:半
導體裝置

【發明申請專利範圍】

【請求項1】 一種半導體裝置，包括：

一半導體基板；

一第一井區，設置於該半導體基板中；

一第一主體摻雜區和一第二主體摻雜區，設置於該第一井區上且接近該半導體基板的一頂面；

至少一隔離結構，覆蓋部分該第一井區且圍繞至少部分該第一主體摻雜區和至少部分該第二主體摻雜區；以及

一第一電流分散摻雜區，位於該第一主體摻雜區的正下方，該第一電流分散摻雜區的一第一摻雜濃度大於該第一井區的一第二摻雜濃度，其中該第一井區的導電類型與該第一主體摻雜區和該第二主體摻雜區的導電類型相反，且該第一井區的導電類型與該第一電流分散摻雜區的導電類型相同。

【請求項2】 如請求項1之半導體裝置，其中該第一電流分散摻雜區的相對兩側面鄰接該第一主體摻雜區的相對兩側面。

【請求項3】 如請求項1之半導體裝置，其中該第一電流分散摻雜區沿一平行該半導體基板方向延伸且連接該第一主體摻雜區和該第二主體摻雜區。

【請求項4】 如請求項1之半導體裝置，其中該第一電流分散摻雜區沿一垂直該半導體基板方向延伸且包覆該第一主體摻雜區的相對兩側面及一底面。

【請求項5】 如請求項1之半導體裝置，更包括：

一第二電流分散摻雜區，位於該第二主體摻雜區的正下方且其相對兩側面鄰接該第二主體摻雜區的相對兩側面，其中該第二電流分散摻雜區的導電類型與該第一井區的導電類型相同。

【請求項6】 如請求項5之半導體裝置，更包括：

一第三主體摻雜區，沿一平行該半導體基板方向位於該第一主體摻雜區和該第二主體摻雜區之間，其中該第三主體摻雜區的導電類型與該第一井區的導電類型相反，且其中該第三主體摻雜區的正下方不具有任何電流分散摻雜區。

【請求項7】 如請求項5之半導體裝置，更包括：

一第三主體摻雜區，沿一平行該半導體基板方向位於該第一主體摻雜區和該第二主體摻雜區之間，其中該第三主體摻雜區的導電類型與該第一井區的導電類型相反；以及

一第三電流分散摻雜區，沿該平行該半導體基板方向位於該第一電流分散摻雜區和該第二電流分散摻雜區之間，且位於該第三主體摻雜區的正下方，其中該第三電流分散摻雜區的導電類型與該第一井區的導電類型相同。

【請求項8】 如請求項1之半導體裝置，其中該第一電流分散摻雜區的一底面位於該第一井區的一底面上方。

【請求項9】 如請求項1之半導體裝置，其中該第一井區的一底面位於該第一主體摻雜區的一底面和該第一電流分散摻雜區的一底

面之間。

【請求項10】 如請求項1之半導體裝置，其中該第一主體摻雜區和該第二主體摻雜區以及該第一主體摻雜區和該第二主體摻雜區之間的部分該第一井區作為一蕭基二極體的一陽極區，位於該隔離結構與該第一主體摻雜區和該第二主體摻雜區相對側的部分該第一井區作為該蕭基二極體的一陰極區，其中該蕭基二極體的該陽極區包括該第一電流分散摻雜區。

【請求項11】 如請求項10之半導體裝置，其中該第一電流分散摻雜區沿一垂直該半導體基板方向延伸至該隔離結構與該第一主體摻雜區和該第二主體摻雜區相對側的部分該第一井區中。

【請求項12】 如請求項11之半導體裝置，其中該蕭基二極體的該陰極區包括該第一電流分散摻雜區。

【請求項13】 如請求項1之半導體裝置，其中該第一電流分散摻雜區延伸至該第一主體摻雜區和該第二主體摻雜區之間的部分該第一井區中，且其中該第一電流分散摻雜區沿一水平該半導體基板方向鄰接該第一主體摻雜區和該第二主體摻雜區。

【請求項14】 如請求項1之半導體裝置，更包括：

一第二井區，設置於該半導體基板中，且圍繞該第一井區，其中該第二井區的導電類型與該第一井區的導電類型相反；

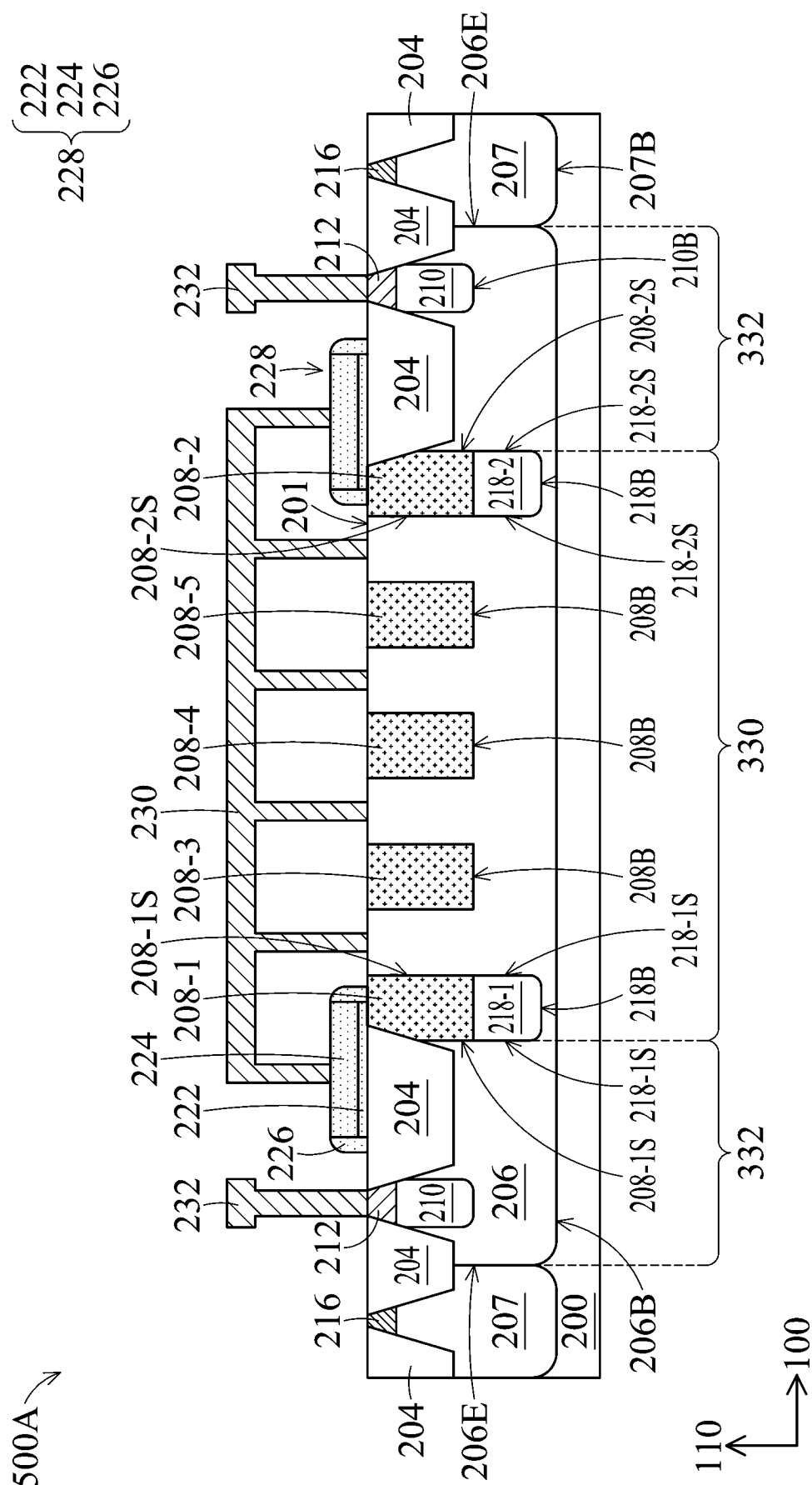
一閘極結構，設置於該第一井區內的該半導體基板上，並延伸覆蓋該隔離結構和相鄰的該第一主體摻雜區和該第二主體摻雜區

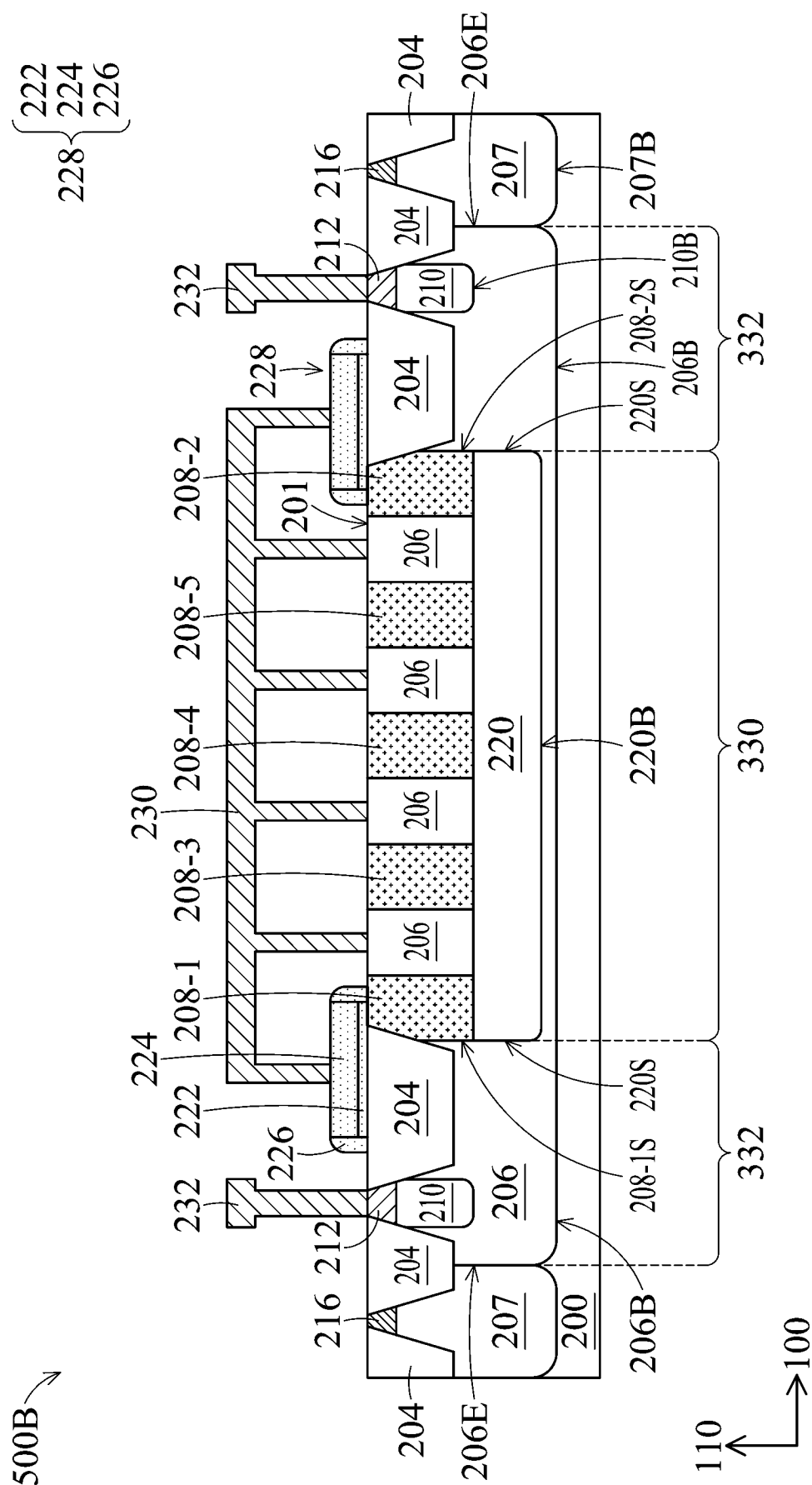
的其中之一；以及

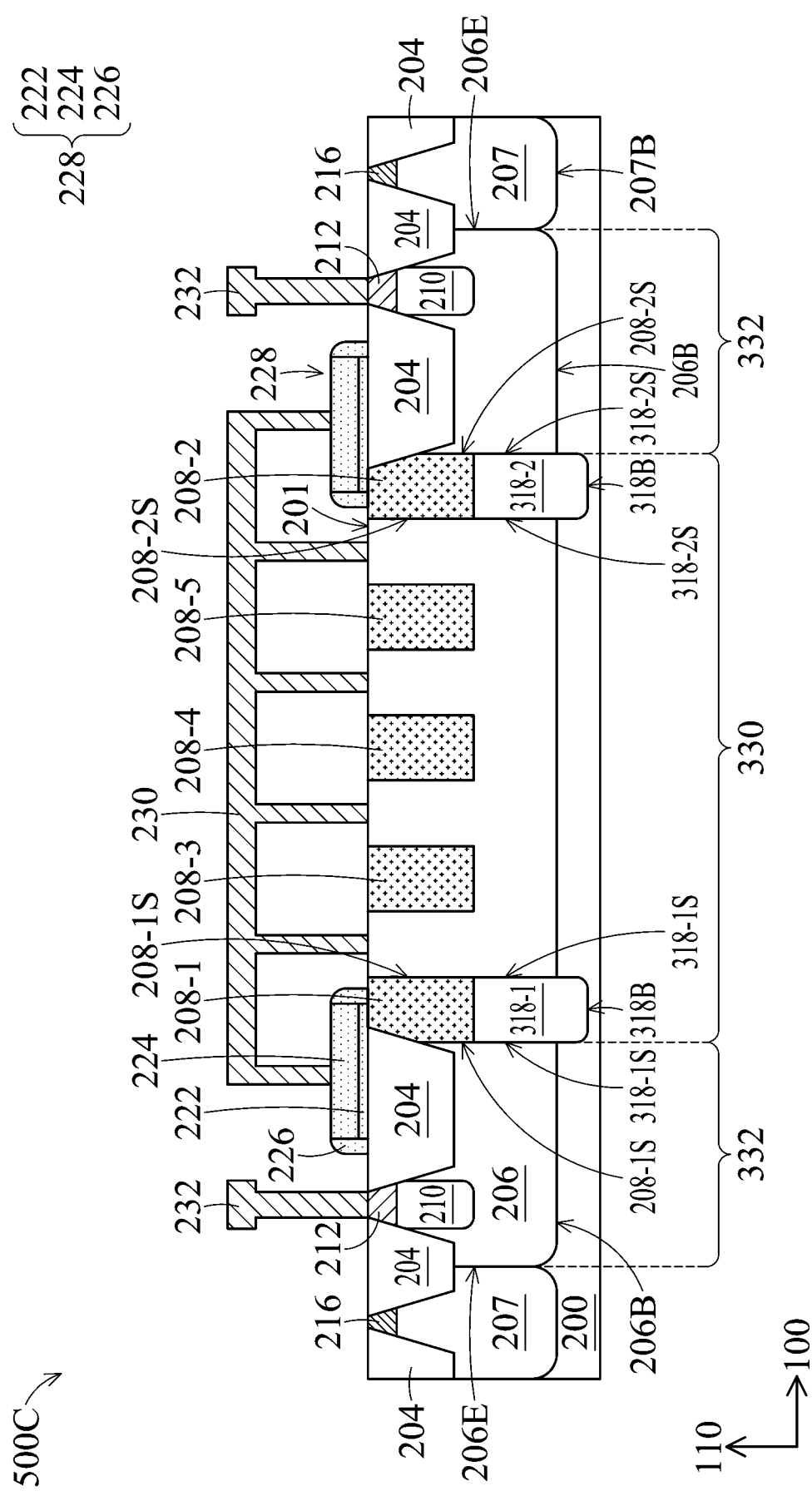
一導電部件，設置在該半導體基板上，且接觸該第一主體摻雜區和該第二主體摻雜區以及該第一主體摻雜區和該第二主體摻雜區之間的該第一井區。

【請求項15】 如請求項14之半導體裝置，其中該導電部件接觸該第一電流分散摻雜區以及該閘極結構。

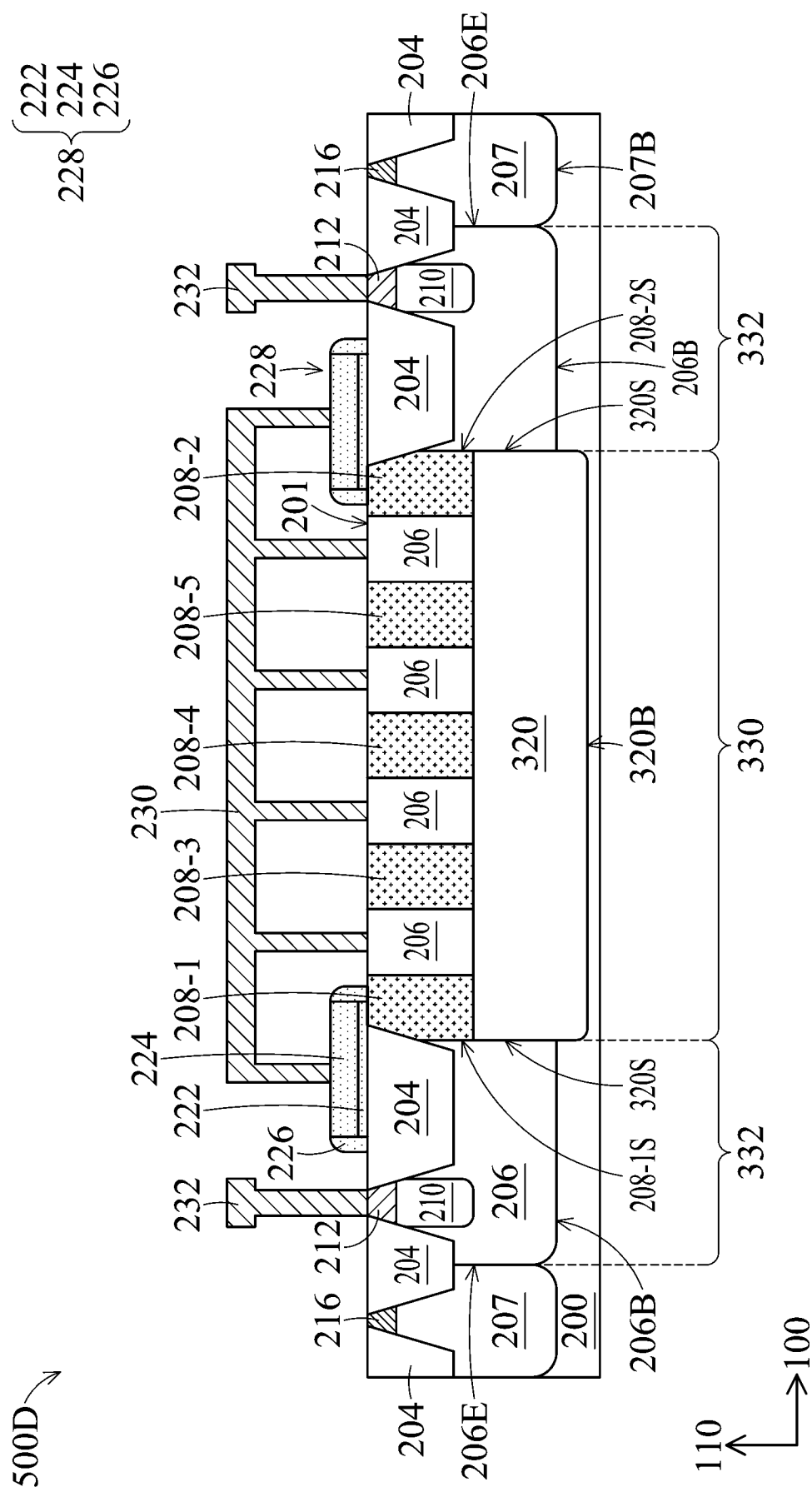
【發明圖式】

圖
一
錄

圖
2
錄



第3圖

圖 4
鋼

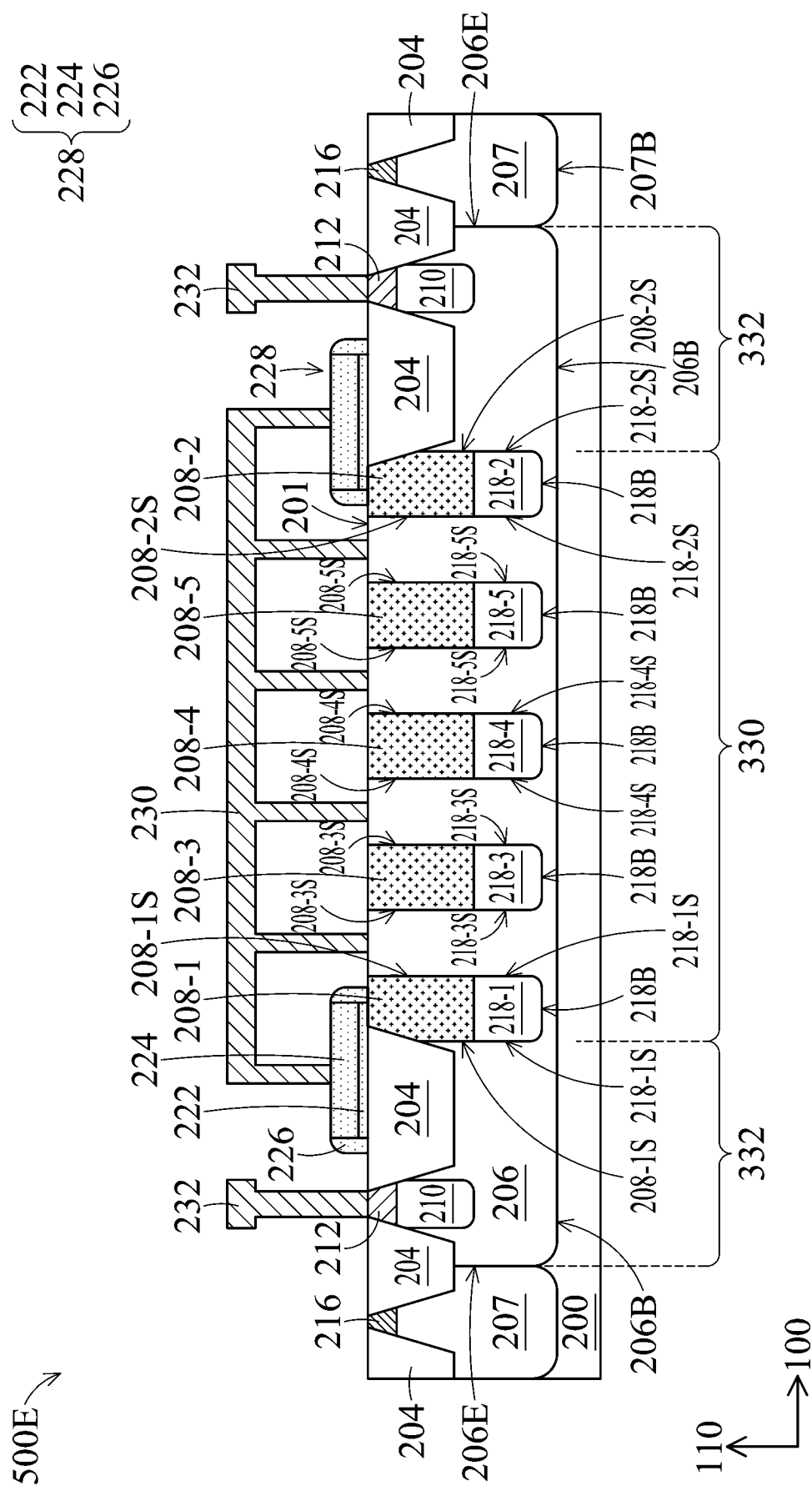


圖 5 梁

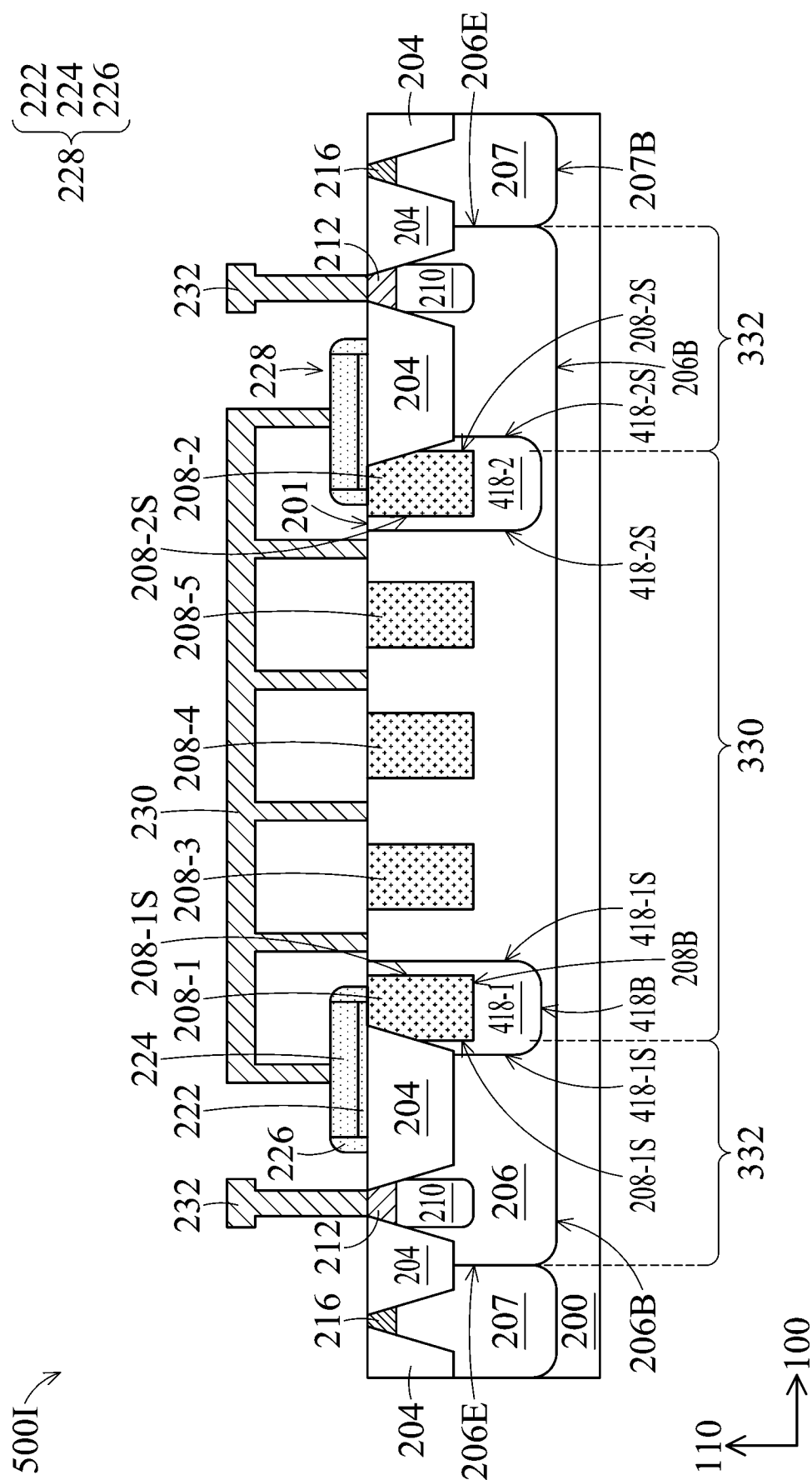
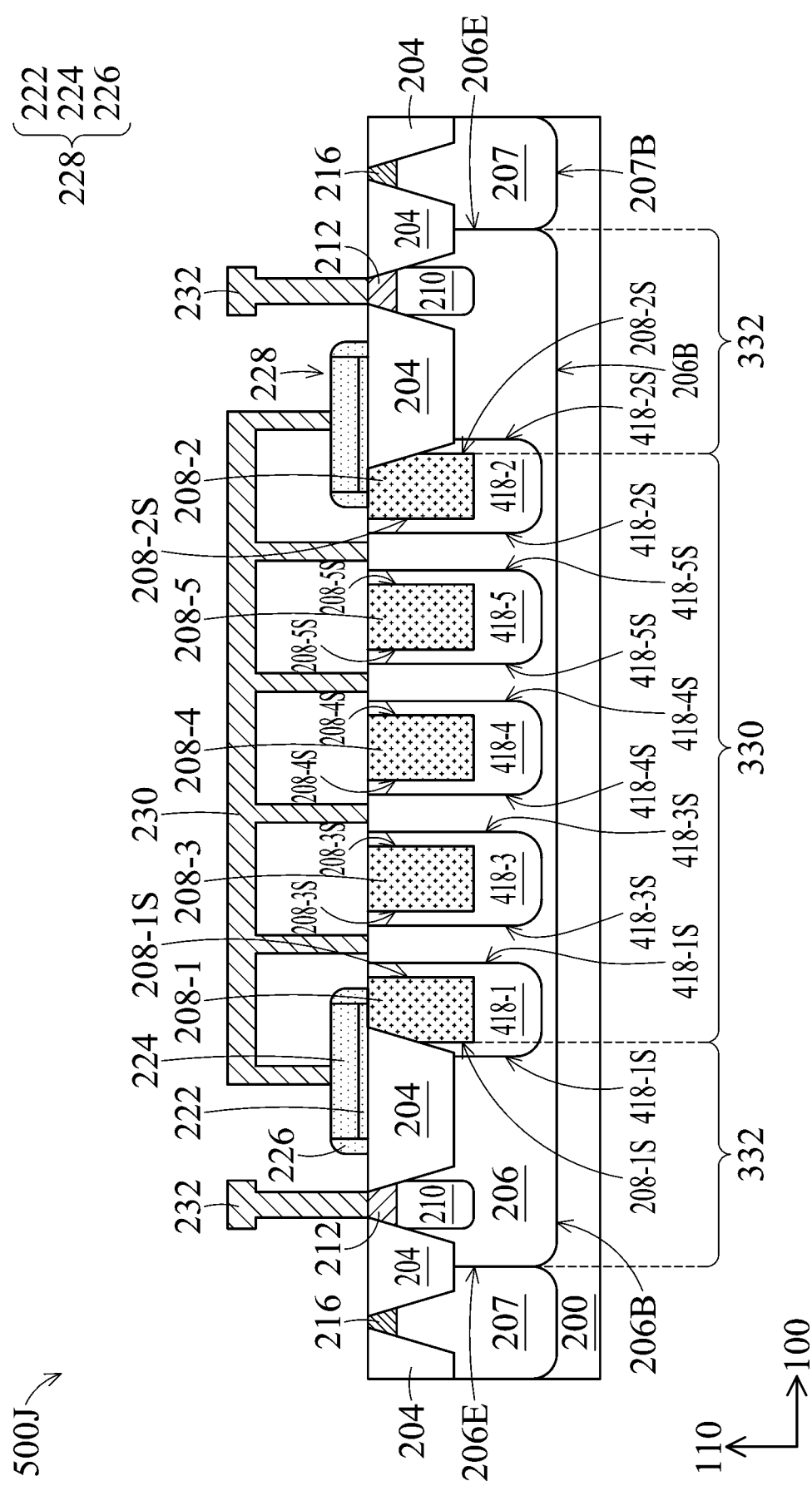


圖
∞
錄



第 9 圖

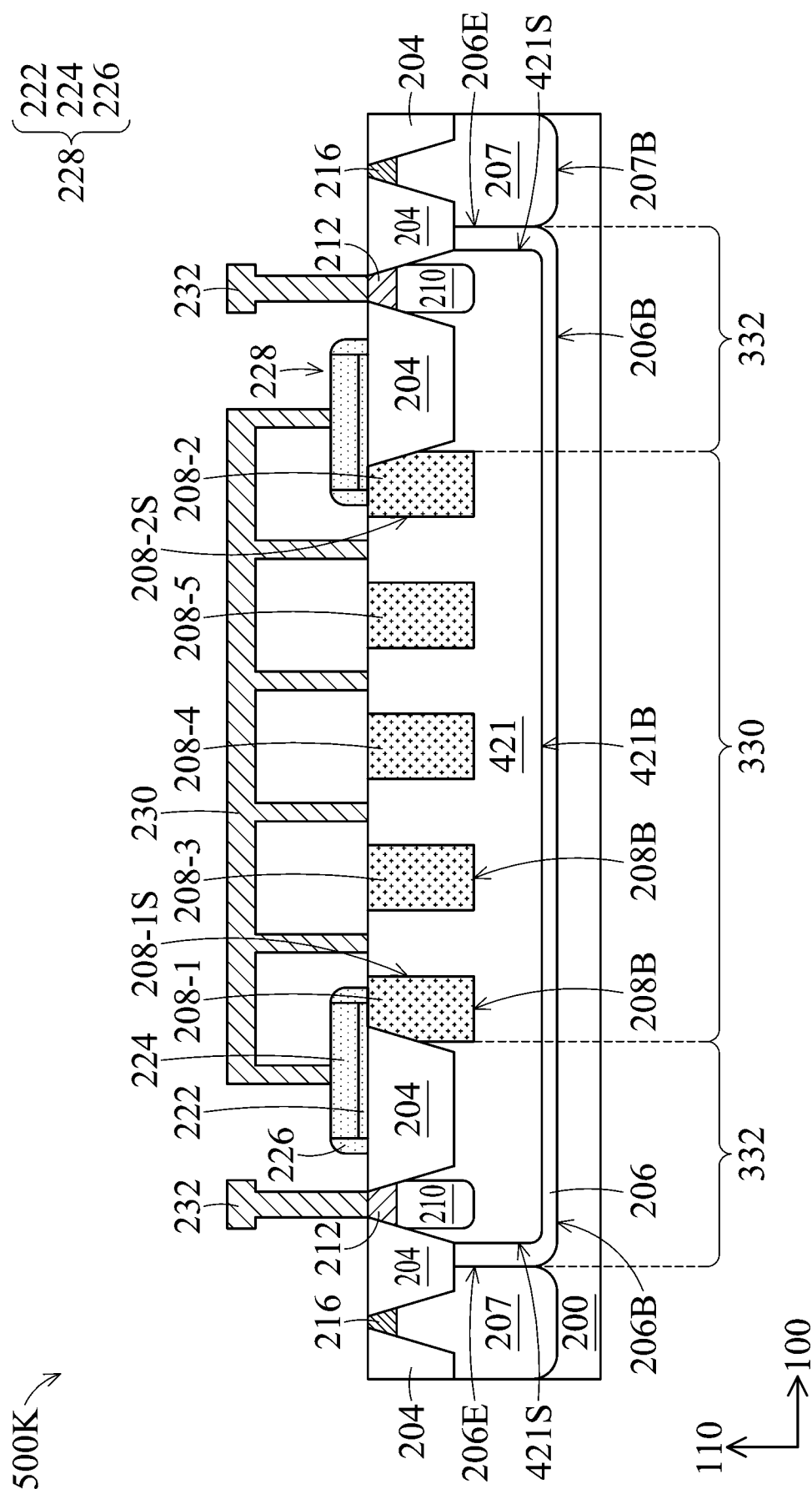


圖 10 梁