

(此處由本局於收
文時黏貼條碼)101年10月2日
修正頁
補充**發明專利說明書 公告本**

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：095101470

※申請日期：95 年 01 月 13 日

※IPC 分類：H01K 29/00

一、發明名稱：

(中) 半導體電子裝置

(英) Semiconductor electronic devices

二、申請人：(共 1 人)

1. 姓名：(中) 河東田隆

(英) KATODA, TAKASHI

代表人：(中)

(英)

地 址：(中) 日本國高知縣高知市一宮四八〇四一八三

(英) 4804-83, Ikku, Kochi-shi, Kochi 780-8130, Japan

國籍：(中英) 日本

JAPAN

三、發明人：(共 1 人)

1. 姓名：(中) 河東田隆

(英) KATODA, TAKASHI

國 籍：(中) 日本

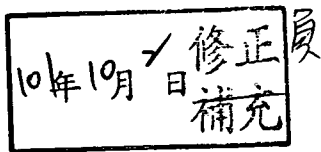
(英) JAPAN

四、聲明事項：◎本案申請前已向下列國家(地區)申請專利 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本

； 2005/01/19 ； 2005-011248 有主張優先權



五、中文發明摘要

發明之名稱：半導體電子裝置

本發明有關於包含形成於由已知半導體電子裝置中使用的材料構成之基底上之氧化鉬之電子裝置。

本發明亦有關於於一般電子與光子裝置中已經使用的材料製成之基底上製造該電子裝置的新方法。

適合的基底包含諸如例如矽與鍺之 IV 元件半導體、例如砷化鎵以及磷化鎵之 III-V 化合物半導體、例如氧化鋅之 II-IV 化合物半導體、IV 化合物半導體、有機半導體、金屬晶體或它們的衍生物或玻璃之材料。

六、英文發明摘要

發明之名稱：SEMICONDUCTOR ELECTRONIC DEVICES

The present invention relates to semiconductor electronic devices including molybdenum oxide formed on substrates which consist of materials which are used in known semiconductor electronic devices.

The present invention relates to also a new method to fabricate said electronic devices on substrates made of materials which have been used in usual electronic and photonic devices.

Suitable substrates consist of materials such as element semiconductors such as silicon and germanium, III - V compound semiconductors such as gallium arsenide and gallium phosphide, II - IV compound semiconductors such as zinc oxide, IV compound semiconductors, organic semiconductors, metal crystals and their derivatives or glasses.

七、指定代表圖：

(一)、本案指定代表圖為：第 (1) 圖

(二)、本代表圖之元件代表符號簡單說明：

100：場效電晶體

101：基底

102：層

103：層

110：肖特基電極

111：源極

112：汲極

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

(1)

九、發明說明

【發明所屬之技術領域】

本發明有關於一種形成於基底上之包含氧化鋁的半導體電子裝置，該基底由用於已知的半導體電子裝置中之材料所構成。

更詳言之，本發明有關於具有高崩潰電壓之場效電晶體、雙極電晶體、閘流體以及由新的半導體所製成之惡劣環境的電子裝置，其可解決伴隨諸如氮化鎵(GaN)以及碳化矽(SiC)之已知的半導體所製成的那種裝置之困難的問題。

本發明亦有關於一種於由已經用於一般電子與電子裝置中的材料所製成之基底上製造該電子裝置之新方法。

【先前技術】

近年來諸如雙極電晶體、場效電晶體以及閘流體之所謂的功率裝置係使用於各種領域之中，例如家用電子器件、汽車、機械工具以及照明設備。隨著應用的增加，功率裝置需要以高效率且高速轉換並控制電力。雖然使用矽來製造功率裝置已有一段時間，矽裝置的限制係可預期者。該限制來自於矽之能帶隙(約 1 電子伏特(eV))之事實。已展開許多研發以實現由大的能帶隙之半導體(所謂的寬能帶隙半導體)所製成之功率裝置來克服這些限制。尤其係已大規模地進行使用能帶隙為約 3.43 eV 的氮化鎵(GaN)或能帶隙為約 3.2 eV 的碳化矽(SiC)之功率裝置的研

(2)

發。

另一方面，因來自宇宙射線或車輛之雜訊以及熱而造成電子裝置之錯誤或問題已經為非常嚴重的問題。已經很清楚可自具有雜訊或熱之嚴苛的環境隔離之所謂的惡劣環境裝置應該由具有大的能帶隙之半導體所製成。已經從這些重點來進行使用 GaN 或 SiC 之電子裝置的研發。惟，仍存在許多必須解決之額外的問題以實現由 GaN 或 SiC 製成之電子裝置。

最嚴重的問題之一為仍舊無法獲得 GaN 之塊狀晶體，因為氮相對於鎵的平衡蒸汽壓相對的非常高。故，使用由藍寶石或碳化矽製成之基底。GaN 無法直接形成於藍寶石基底上因為藍寶石與 GaN 之間有 16% 的晶格不匹配。因此，在 GaN 之生成前先形成一層氮化鋁 (AlN) 緩衝層於藍寶石基底上。AlN 具電阻性 (resistive) 因為很難將雜質摻入 AlN 中。於諸如雙極電晶體以及閘流體之包含多層半導體的裝置中使用藍寶石基底對其結構與製程非常不利。另一方面，SiC 基底非常昂貴，因為 SiC 之塊狀晶體在 2200-2400°C 之極高的溫度下生成。使用 SiC 基底之 GaN 裝置或 SiC 裝置非常的昂貴。

實現新裝置必須解決的問題在於取得能取代諸如藍寶石或 SiC 之昂貴的基底之新基底。

第二個嚴重的問題為實現可於比形成 GaN 或 SiC 層之溫度更低的溫度下生成新的裝置。需要在高於 1000°C 之溫度形成 GaN 或 SiC 層。需要較大的能量在高溫下形成

(3)

半導體層。此外，原子有可能在層間移動並擾亂構成或者摻雜物移動接近層間之介面。

可使用針對此種光子裝置之氧化鋁部分地解決上述之問題。本發明之發明人發現高品質的氧化鋁晶體具有大於 3.2 eV 之能帶隙並可非常有用地用於光子與電子裝置中(美國專利申請案第 10/848,145 以及 10/863,288 號)。

於上述專利申請案中描述了本發明之發明人所發現的事實與方法。將之總結於下：

(i) 高品質的氧化鋁晶體具有 3.2 ~ 3.85 eV 之能帶隙。係針對由具有 99.99%純度之鋁片在具有 99.9995%純度的氧中氧化生成之厚度大於 10 μ m 的氧化鋁層之實驗獲得結論。例如，藉由氧化作用在 550 $^{\circ}$ C 維持 120 分鐘所形成的氧化鋁具有 3.66 eV 之能帶隙。由本發明之發明人所發明之方法形成的氧化鋁具有大於前人記載之能帶隙的原因在於係具有比前人記載更大之厚度的高品質的氧化鋁晶體。能帶隙受到層之結構，亦即，晶體或非晶體、層中的應力以及純度所影響。

(ii) 由本發明之發明人的方法形成之氧化鋁已證實為亦根據電子性能之測量的半導體。

惟，於上述的專利申請案中，由金屬鋁片的一部分氧化形成氧化鋁晶體。金屬鋁片的一部分則維持無氧化。由於鋁片並非晶體，無法使用諸如分裂(cleavage)的某些製造技術。另外，當藉由鋁片之氧化形成氧化鋁時，難以準確地控制氧化鋁層之厚度。

(4)

因此，需要形成具有能帶隙大於 3.2 eV 之半導體晶體層於新的基底上，其較佳係由已知裝置中所用的材料構成且較佳為晶體。

於本專利中，可於由使用於一般電子以及光子裝置中的材料構成之基底上形成氧化鋁薄膜。最常見的材料為矽。於基底上最嚴重的問題之一可藉由本發明解決。

於本發明中，可在低於 850°C 的溫度藉由新的方法形成氧化鋁薄膜於基底上。因此，可藉由本發明解決上述第二個嚴重的問題。

【發明內容】

本發明有關於包含生長於基底上之金屬氧化物的半導體電子裝置及其製造方法。

尤甚者，本發明使用具有大於 3.2 eV 的能帶隙之金屬氧化物氧化鋁並且在製造諸如具有高耐受電壓之二極體、雙極電晶體、場效電晶體以及閘流體的電子裝置時非常有用。本發明亦有關於由高純度之氧化鋁組成之惡劣環境電子裝置。

本發明之一重要態樣為氧化鋁薄膜可形成於傳統上用於一般光子與電子裝置中的材料所構成之基底上。可用為此種基底之最常見的材料為矽。

本發明之另一重要態樣在於一種於基底上製造電子裝置之新方法。根據此新的方法，至少一第一金屬氧化物層形成於基底上，較佳為氧化鋁直接形成於基底上。本發明

(5)

之新的方法包含下列一連串的步驟。於第一步驟，將基底以及來源材料放置於生長室中。針對來源材料，典型地使用為鉬片以及典型的基底為矽。於第二步驟，在生長室中形成一溫度分布(temperature profile)，使得在來源材料之溫度高於在基底之溫度。於第三步驟，於形成溫度分布後，流入氧氣一段預定的時期，其取決於形成特定裝置需要之氧化鉬的厚度。

於電子裝置中的氧化鉬層(或諸層)可使用包含與上述之步驟類似的步驟之方法形成。於那些情況中，基底可作為裝置的一部分。

由選自諸如矽與鍺之 IV 元件半導體、諸如砷化鎵以及磷化鎵之 III-V、諸如氧化鋅之 II-IV 化合物半導體、IV 化合物半導體、有機半導體、金屬晶體或它們的衍生物或玻璃之材料構成任何適當的基底。

【實施方式】

茲將更詳細地參照本發明之較佳實施例。

藉由使用高純度之氧化鉬作為形成於由一般電子以及光子裝置中已使用的材料構成之基底上之諸如二極體、場效電晶體、雙極電晶體以及閘流體之電子裝置之至少一部分解決上述的問題。

本發明有關於至少一部分由具有能帶隙大於 3.45 eV 的高純度之氧化鉬的電子裝置。裝置包含電阻器裝置、二極體、電晶體、霍爾效應裝置、熱阻器、變阻器、閘流體

(6)

以及記憶體裝置。

第 1 圖為根據本發明之第一實施例的場效電晶體(100)的示意圖。於此圖中，基底(101)由矽製成。惟，可使用其他材料。於基底(101)上形成一層(102)氧化鉬。由以下步驟形成層(102)。於此範例中使用鉬(Mo)片作為來源以及使用矽(Si)基底。首先，清洗來源以及矽基底(101)並使之乾燥。接著將它們安置於一生長室中。於下一步驟，加熱生長室使得於氮環境下在來源區的溫度為 630°C 以及在基底區的溫度為 530°C。在來源以及基底(101)分別加熱至該些溫度後，使高純度氧流入生長室中並維持六小時。層(102)之厚度為 6 μm 。雖然並非意圖摻雜層(102)，它為具有 $1.0 \times 10^{16} \text{cm}^{-3}$ 之載子濃度的 n 型。視氧空缺為施體。一層(102)作為緩衝層，其侷限因為層(102)具有與基底(101)不同之成分而導致層(102)中的混亂。當無須盡可能使裝置的特性達到最好時，無須形成層(102)。

於層(102)上，形成具有較高品質之 n 型氧化鉬層(103)。該層(103)氧化鉬係由與用於形成層(102)之類似的生長條件形成，其中來源溫度為 670°C 以及基底溫度為 600°C。它為 n 型，具有 $6 \times 10^{16} \text{cm}^{-3}$ 之載子濃度。層(103)之厚度為 0.2 μm 。層(103)為場效電晶體(100)的通道層。

由白金與金之雙層構成的肖特基電極(110)形成於層(103)上作為場效電晶體(100)的閘極。於層(103)上，亦形成源極(111)以及汲極(112)電極。電極係由金/鈦/金三層構成。

(7)

藉由假設閘極長度為 $2.5\mu\text{m}$ 以及閘極寬度為 $100\mu\text{m}$ 之模擬可顯示出場效電晶體具有 30mS/mm 之最大互導之絕佳的特性。第 2 圖顯示由模擬獲得在 500°C 之電流-電壓特性。亦顯示它具有大於 100V 之穩定耐受電壓。於模擬中假設氧化鉬的能帶隙為 3.75eV 。於上所示之結果意味著可藉由高純度氧化鉬實現具有高耐受電壓之場效電晶體以及絕佳惡劣環境場效電晶體而無須昂貴基底以及在高溫度之製程。

第 3 圖為根據本發明之第二實施例的雙極電晶體 (200) 的示意圖。於此圖中，基底 (201) 由矽製成。惟，可使用其他材料作為基底。於基底 (201) 上形成一層 (202) 氧化鉬。由以下步驟形成層 (202)。於此範例中使用鉬 (Mo) 片作為來源以及使用矽 (Si) 基底。首先，清洗來源以及矽基底 (201) 並使之乾燥。接著將它們安置於一生長室中。於下一步驟，加熱生長室使得於氮環境下在來源區的溫度為 630°C 以及在基底區的溫度為 530°C 。在來源以及基底 (101) 分別加熱至該些溫度後，使高純度氧流入生長室中並維持六小時。層 (202) 之厚度為 $6\mu\text{m}$ 。雖然並非意圖摻雜層 (202)，它為具有 $1.0 \times 10^{16}\text{cm}^{-3}$ 之載子濃度的 n 型。視氧空缺為施體。層 (202) 作為緩衝層，其侷限因為層 (202) 具有與基底 (201) 不同之成分而導致層 (202) 中的混亂。當無須盡可能使裝置的特性達到最好時，無須形成層 (202)。

形成具有較高品質之 n 型氧化鉬層 (203) 於層 (202) 上。該層 (203) 具有 $6 \times 10^{16}\text{cm}^{-3}$ 之載子濃度以及 450nm

(8)

之厚度。它作為雙極電晶體(200)的集極。由與用於形成層(202)之類似的生長條件形成層(203)，其中來源溫度為 670°C 以及基底溫度為 600°C 。它的載子濃度 $6 \times 10^{16} \text{cm}^{-3}$ 以及厚度為 450 nm 。該層(203)作為雙極電晶體(200)的集極。

基底(101)較佳具導電性。藉由以下步驟形成於矽基底(101)上之層(102)係由氧化鉬構成。備置鉬(Mo)片作為來源。首先，清洗並來源以及矽基底、使之乾燥並設置於一生長室中。接著在氮環境下加熱生長室使得在來源溫度為 650°C 以及在基底溫度為 550°C 。在來源以及基底分別加熱至該些溫度後，將高純度之氧引入生長室中並且氧之流動維持4小時。層(102)之厚度為 $4.0 \mu\text{m}$ 。雖然並非意圖摻雜層(102)，它為n型。如第一實施例中所述，視氧空缺為施體。

以鋅摻雜至 $2 \times 10^{17} \text{cm}^{-3}$ 之載子濃度之p型氧化鉬層(204)係形成於層(203)上。藉由與用於形成層(202)之類似的方法形成層(204)，其中來源溫度為 650°C 以及基底溫度為 550°C 。氧化鋅粉末作為設置在來源與基底之間的摻雜物來源，其溫度為 640°C 。層(204)之厚度為 350 nm 。該層(204)作為雙極二極體(200)的基極。一層(205)具有 $3 \times 10^{17} \text{cm}^{-3}$ 之載子濃度以及 400 nm 之厚度之n型氧化鉬形成於層(204)上。該層(205)作為雙極二極體(200)的射極。如第3圖所示，n型氧化鉬層(205)形成於基極層(204)上除了週邊區域以使基極電極(211)形成於基極層(204)

(9)

上。射極電極(212)形成於射極層(205)上。基極電極(211)與射極電極(212)分別由鎳/鈦/金三層以及鋁/鈦雙層構成。集極電極(210)由金構成並形成於矽基底(201)的背表面上，因為矽基底(201)以及層(202)具導電性。

第 4 圖顯示由模擬結構顯示於第 3 圖之雙極電晶體所獲得在 500°C 之電流-電壓特性。第 4 圖中所示之特性意味著由氧化鋁形成之雙極電晶體於諸如 500°C 之高溫下工作。已有記載包含 GaN 之雙極電晶體於 300°C 工作。惟，包含氧化鋁之雙極電晶體於較高溫度下工作。此外，無須較昂貴的基底以及在高於 1000°C 之溫度的製程。

第 5 圖為根據本發明之第三實施例的閘流體(300)的示意圖。僅於第 5 圖中顯示工作之基礎元件。閘流體(300)包含矽基底。惟，可使用其他材料作為基底。於基底(301)上，形成緩衝層(302)、p 型氧化鋁層(303)、n 型氧化鋁層(304)、p 型氧化鋁層(305)以及 n 型氧化鋁層(306)。藉由用於形成包含於根據第一與第二實施例的裝置中的層之蒸氣生長形成這些層。

以來源溫度為 680°C 以及基底(301)與摻雜物來源(氧化鋅)為 600°C 的條件形成緩衝層(302)。層(302)之厚度為 6.0 μm。以來源溫度為 670°C、氧化鋅為 650°C 以及基底為 600°C 的條件形成層(303)。它為具有 $7 \times 10^{17} \text{ cm}^{-3}$ 之載子濃度的 p 型。層(303)之厚度為 50 nm。n 型層(304)形成於層(303)上。以來源溫度為 640°C 以及基底為 540°C 的條件形成層(304)。該層(304)具有 $2.0 \times 10^{16} \text{ cm}^{-3}$ 之載子濃度以及

(10)

160 nm 之厚度。p 型層 (305) 形成於層 (304) 上。以來源溫度為 630°C、氧化鋅為 610°C 以及基底為 530°C 的條件形成層 (305)。它具有 $7.0 \times 10^{16} \text{ cm}^{-3}$ 之載子濃度以及 80 nm 之厚度。n 型氧化鋁層 (306) 形成於層 (305) 上除了其週邊區域。以來源溫度為 700°C 以及基底為 630°C 的條件形成層 (306)。該層 (306) 具有 $3.0 \times 10^{17} \text{ cm}^{-3}$ 之載子濃度以及 60 nm 之厚度。陰極電極 (311) 形成於層 (306) 上。閘極電極 (312) 形成於層 (305) 之該週邊暴露的區域。陰極電極 (313) 形成於矽基底之背表面。陽極電極 (311) 由鋁 / 鈦雙層構成。閘極電極 (312) 由鎳 / 鈦 / 金三層構成以及陰極電極 (313) 由金構成。

假設氧化鋁具有 3.75 eV 的能帶隙之結構顯示於第 5 圖之閘流體的模擬顯示重複關閉狀態電壓為 5200V，可控制啓通狀態電流為 5000A。於技藝中已知由 SiC 形成之具有幾乎相同結構的閘流體具有重複關閉狀態電壓 4500V 以及可控制啓通狀態電流為 4000A。因此，包含有氧化鋁的閘流體具有比包含 SiC 的那些具有較優越的特性。前人無記載包含 GaN 之閘流體。

第 6 圖顯示針對結構顯示於第 5 圖中之閘流體的模擬獲得的耐受電壓以及啓通狀態電阻之間的關係。線 (1001) 顯示由具有 3.75 eV 之能帶隙的氧化鋁形成之閘流體的關係以及線 (1002) 顯示針對 SiC 裝置者以及線 (1003) 顯示針對 Si 裝置者。顯示於第 6 圖中的結果意味著可使用氧化鋁獲得具有比由 Si 或 SiC 形成之閘流體更優越之特性的

(11)

閘流體。亦即，具有比習知閘流體更優越之特性的閘流體而無須昂貴的基底以及高溫度之製程。

雖然其中自形成有陰極電極之上層至底面包含 npnp 型之導電層的結構係圖解於第 5 圖中，亦可允許其中自上面至底面包含有 pnpn 型之導電層的結構。

若可達成包含兩個 pn 接面之雙極電晶體則很明顯地可形成包含一個 pn 接面之二極體。因此，pn 接面二極體亦包含於本發明之範疇內。

已參照包含電晶體與閘流體之一些實施例描述本發明之細節。惟，本發明之精神不受限於那些裝置。本發明之優點來自具有大能帶隙並可在低於 700°C (於許多情況中低於 650°C) 之相對低的溫度形成之高純度的氧化鋁。

已參照包含電晶體與閘流體之實施例描述本發明之細節。根據本發明之原理從高純度之氧化鋁具有大的能帶隙之事實所獲得之優點於其他電子裝置中為有用者。此外，氧化鋁可形成於由習知半導體電子裝置中使用之材料所構成的基底上之事實使它們在其他電子裝置中更為有用。本發明之此種應用為此技藝中可輕易導出者並且包含於本發明之範疇內。

【圖式簡單說明】

第 1 圖為根據本發明之第一實施例的場效電晶體之示意圖。

第 2 圖顯示針對結構顯示於第 1 圖中之場效電晶體的

(12)

模擬所獲得在 500°C 之電流 - 電壓特性。

第 3 圖為根據本發明之第二實施例的場效電晶體之示意圖。

第 4 圖顯示針對結構顯示於第 3 圖中之雙極電晶體的模擬所獲得在 500°C 之電流 - 電壓特性。

第 5 圖為根據本發明之第三實施例的場效電晶體之示意圖。

第 6 圖顯示針對結構顯示於第 5 圖中之閘流體的模擬獲得的耐受電壓以及啓通電阻之間的關係。

【主要元件符號說明】

100：場效電晶體

101：基底

102：層

103：層

104：層

110：肖特基電極

111：源極

112：汲極

200：雙極電晶體

201：矽基底

202：層

203：層

(13)

204 : 基極層

205 : N型氧化鋁層

210 : 集極電極

211 : 基極電極

212 : 射極電極

300 : 閘流體

301 : 基底

302 : 緩衝層

303, 306 : p型氧化鋁層

304, 306 : n型氧化鋁層

311 : 陰極電極

312 : 閘極電極

313 : 陽極電極

1001-1003 : 線

十、申請專利範圍

1. 一種半導體電子裝置，其具有一氧化鉬之層形成於基底上，該基底包含選自 IV 元件半導體，III-V 化合物半導體，IV 化合物半導體，有機半導體或它們的衍生物或玻璃之材料。

2. 如申請專利範圍第 1 項之半導體電子裝置，

其中該半導體電子裝置為電阻器裝置，二極體，電晶體，霍爾效應裝置，熱阻器，變阻器，閘流體或記憶體裝置。

3. 如申請專利範圍第 1 項之半導體電子裝置，其中該氧化鉬為由蒸汽相沉積形成的高純度氧化鉬。

4. 如申請專利範圍第 1 項之半導體電子裝置，

其中該基底，其上形成有該氧化鉬之層，為矽基底。

5. 如申請專利範圍第 1 項之半導體電子裝置，

其中該半導體電子裝置為具有由第一 p 型氧化鉬層，第一 n 型氧化鉬層，第二 p 型氧化鉬層以及第二 n 型氧化鉬層構成並依照此順序堆疊於該基底上之裝置結構的閘流體。

6. 如申請專利範圍第 1 項之半導體電子裝置，

其中該半導體電子裝置為具有由氧化鉬的緩衝層，第一 p 型氧化鉬層，第一 n 型氧化鉬層，第二 p 型氧化鉬層以及第二 n 型氧化鉬層構成並依照此順序堆疊於該基底上之裝置結構的閘流體。

7. 如申請專利範圍第 1 項之半導體電子裝置，

其中該半導體電子裝置為具有由第一 n 型氧化鋁層，第一 p 型氧化鋁層，第二 n 型氧化鋁層以及第二 p 型氧化鋁層構成並依照此順序堆疊於該基底上之裝置結構的閘流體。

8.如申請專利範圍第 1 項之的半導體電子裝置，

其中該半導體電子裝置為具有由氧化鋁的緩衝層，第一 n 型氧化鋁層，第一 p 型氧化鋁層，第二 n 型氧化鋁層以及第二 p 型氧化鋁層構成並依照此順序堆疊於該基底上之裝置結構的閘流體。

9.如申請專利範圍第 5-8 項之任一項的半導體電子裝置，

其中該基底包含矽。

10.如申請專利範圍第 1 項之半導體電子裝置，

其中該半導體電子裝置為場效電晶體，其中該氧化鋁層至少用為該場效電晶體之通道層。

11.如申請專利範圍第 1 項之半導體電子裝置，

其中該半導體電子裝置為場效電晶體，其中該氧化鋁層形成於矽基底上。

12.如申請專利範圍第 10 項之半導體電子裝置，

其中該半導體電子裝置為場效電晶體，其中氧化鋁的至少一緩衝層介於該通道層以及該基底之間。

13.如申請專利範圍第 1 項之半導體電子裝置，

其中該半導體電子裝置為雙極電晶體，其中該氧化鋁層用於該雙極電晶體中之射極區域、基極區域以及集極區

域的至少之一者中。

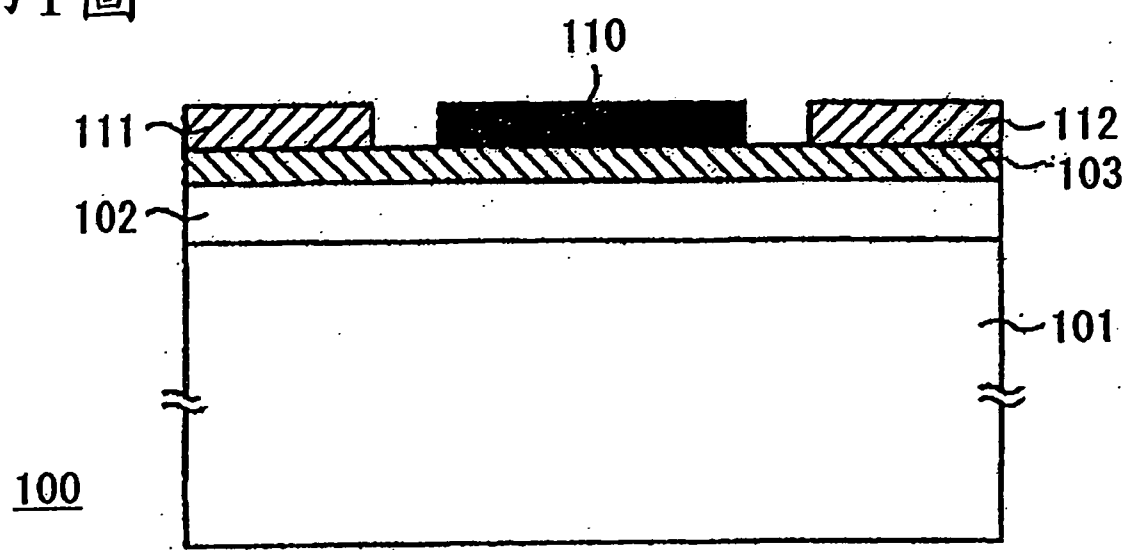
14.如申請專利範圍第 1 項之半導體電子裝置，

其中該半導體電子裝置為雙極電晶體，其中該氧化鉬層形成於矽基底上。

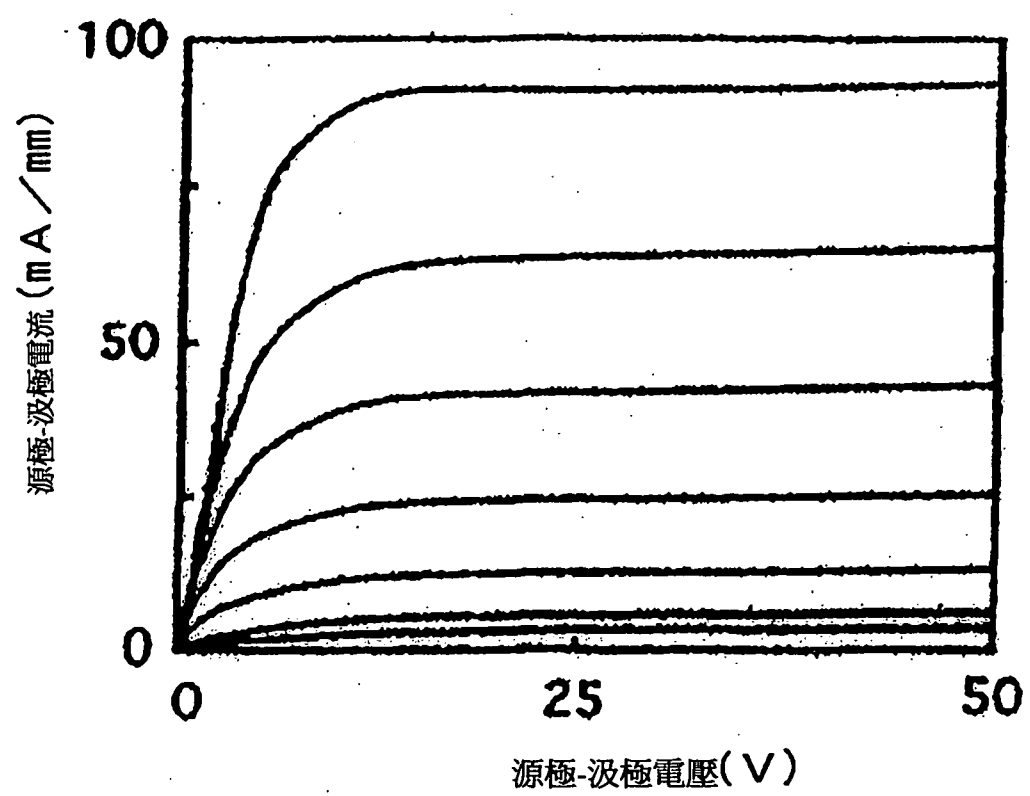
15.如申請專利範圍第 13 項之半導體電子裝置，

其中該半導體電子裝置為雙極電晶體，其中氧化鉬的至少一緩衝層介於該集極區域以及該基底之間或該射極區域以及該基底之間。

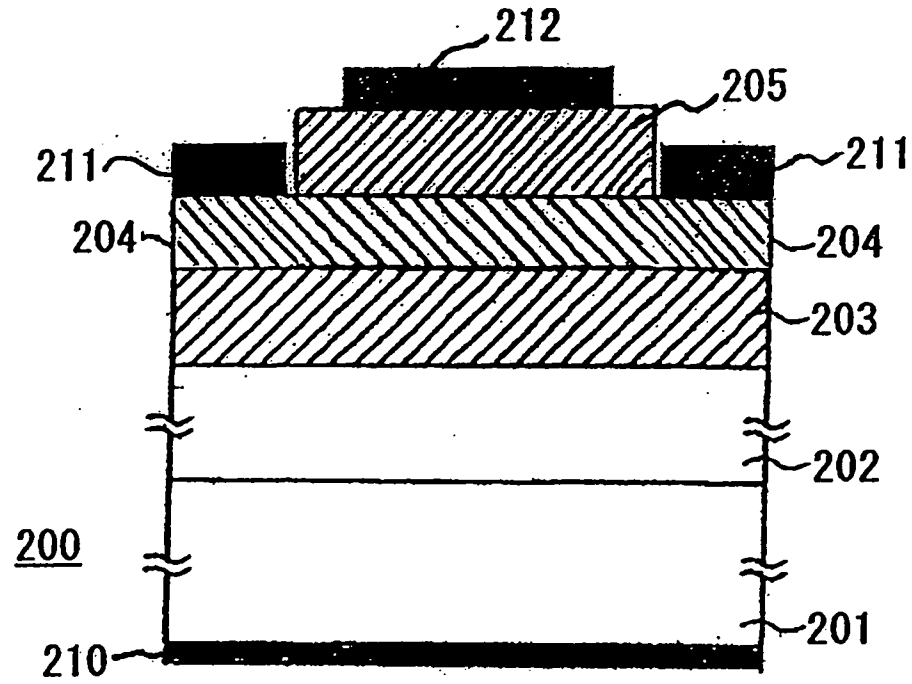
第1圖



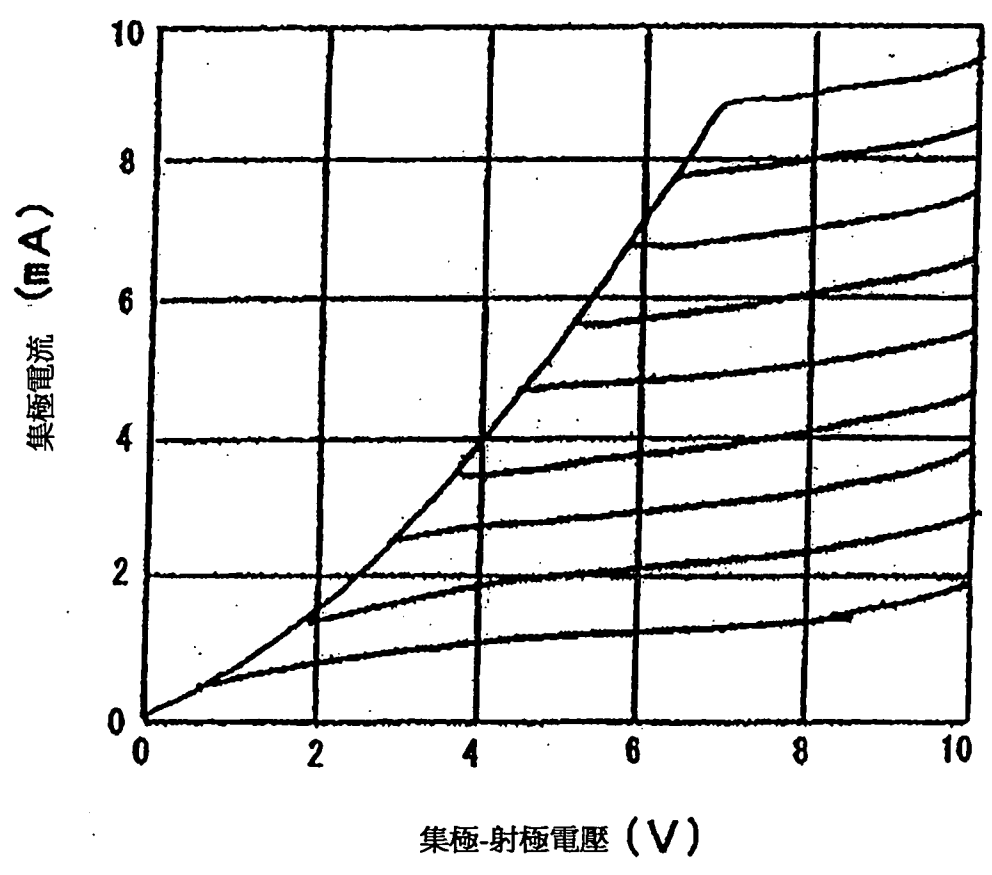
第2圖



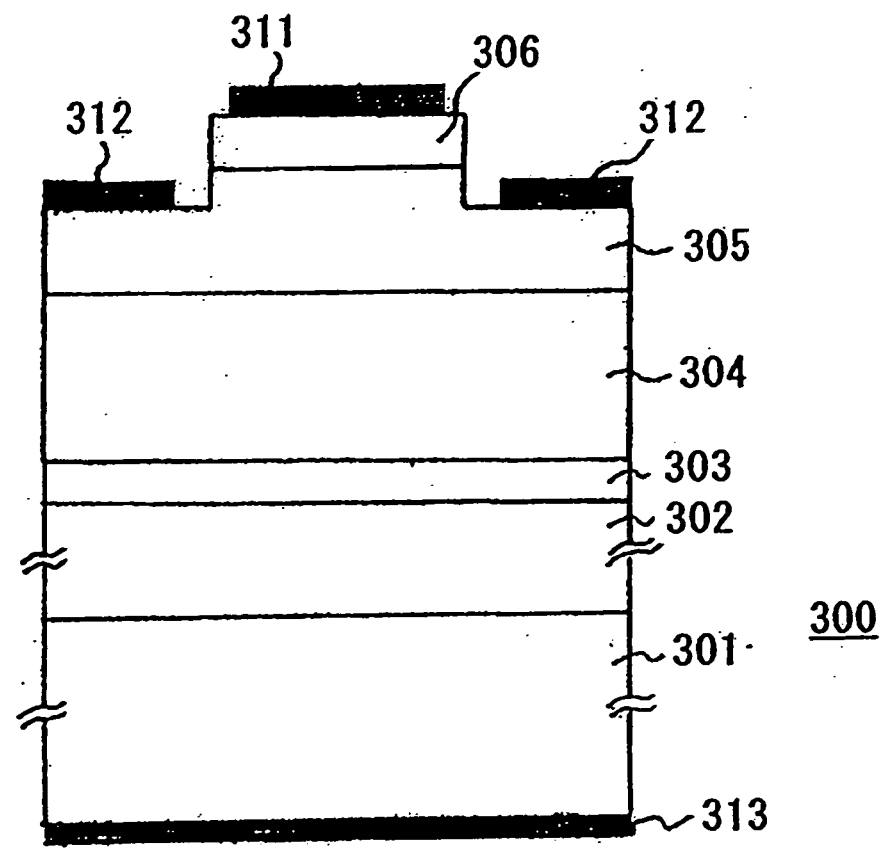
第3圖



第4圖



第5圖



第6圖

