



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년04월30일
(11) 등록번호 10-1139134
(24) 등록일자 2012년04월16일

<p>(51) 국제특허분류(Int. Cl.) H01L 21/203 (2006.01) H01L 29/786 (2006.01) H01L 21/324 (2006.01)</p> <p>(21) 출원번호 10-2009-0072307</p> <p>(22) 출원일자 2009년08월06일 심사청구일자 2009년08월06일</p> <p>(65) 공개번호 10-2011-0014782</p> <p>(43) 공개일자 2011년02월14일</p> <p>(56) 선행기술조사문헌 Phys. Stat. Sol. (a), vol.136, 1993, pp.215-222 Microelectronics Reliability, vol.40, 2000, pp.807-810 JP2008219008 A* *는 심사관에 의하여 인용된 문헌</p>	<p>(73) 특허권자 순천향대학교 산학협력단 충청남도 아산시 신창면 순천향로 22, 순천향대학교내</p> <p>(72) 발명자 이호년 경기도 용인시 기흥구 한보라1로21번길 58, 일성 트루엘 206동 401호 (보라동)</p> <p>(74) 대리인 이평우</p>
--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------	------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

전체 청구항 수 : 총 8 항

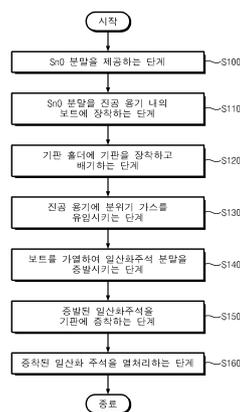
심사관 : 이석주

(54) 발명의 명칭 산화물 반도체 박막의 형성 방법, 산화물 반도체 트랜지스터, 및 산화물 반도체 트랜지스터의 형성 방법

(57) 요약

본 발명은 산화물 반도체 박막의 형성 방법, 산화물 반도체 트랜지스터, 및 산화물 반도체 트랜지스터의 형성 방법을 제공한다. 이 산화물 반도체 박막의 형성 방법은 일산화주석 분말을 제공하는 것, 일산화주석 분말을 진공 용기의 내부의 가열용기에 장착하는 것, 기관 홀더에 기관을 장착하고 배기하는 것, 가열용기를 가열하여 상기 일산화주석 분말을 증발시키는 것, 증발된 일산화주석을 기관에 증착하는 것, 및 증착된 일산화주석을 열처리하는 것을 포함한다.

대표도 - 도1



특허청구의 범위

청구항 1

일산화주석 분말을 제공하는 단계;
 상기 일산화주석 분말을 진공 용기의 내부의 가열용기에 장착하는 단계;
 기관 홀더에 기관을 장착하고 배기하는 단계;
 상기 가열용기를 가열하여 상기 일산화주석 분말을 증발시키는 단계;
 상기 증발된 일산화주석을 상기 기관에 비정질 상태로 증착하는 단계; 및
 상기 증착된 일산화주석을 상기 진공 용기 내에서 연속적으로 열처리하여 다결정화시키는 단계를 포함하고,
 상기 일산화주석이 증착되는 동안 상기 기관 홀더는 상온이고,
 상기 열처리된 일산화주석은 p형 도전형을 가지는 것을 특징으로 하는 산화물 반도체 박막의 형성 방법.

청구항 2

제1 항에 있어서,
 상기 가열용기의 가열온도는 섭씨 800 도 내지 섭씨 1200 도인 것을 특징으로 하는 산화물 반도체 박막의 형성 방법.

청구항 3

삭제

청구항 4

제1 항에 있어서,
 상기 열처리는 섭씨 200 내지 섭씨 400도 인 것을 특징으로 하는 산화물 반도체 박막의 형성 방법.

청구항 5

제1 항에 있어서,
 상기 열처리는 진공 중에서 수행되는 것을 특징으로 하는 산화물 반도체 박막의 형성 방법.

청구항 6

제1 항에 있어서,
 상기 진공 용기에 분위기 가스를 유입시키는 단계를 더 포함하고,
 상기 분위기 가스는 불활성 가스, 할로젠 족 가스, 및 산소 원자 포함 가스 중에서 적어도 하나를 포함하는 것을 특징으로 하는 산화물 반도체 박막의 형성 방법.

청구항 7

제6 항에 있어서,
 상기 분위기 가스 중에서 상기 산소 가스의 분압이 50 퍼센트 이하인 것을 특징으로 하는 산화물 반도체 박막의 형성 방법.

청구항 8

기관 상에 배치된 게이트 전극;
 상기 게이트 전극과 이격되어 배치된 산화물 반도체 패턴; 및
 상기 게이트 전극과 상기 산화물 반도체 패턴 사이에 개재된 게이트 절연막을 포함하고,

상기 산화물 반도체 패턴은 일산화주석이고, 상기 산화물 반도체 패턴은 p 형 도전형이고,
 상기 일산화주석은 진공 증발법으로 비정질 상태로 형성되고, 연속적인 열처리에 의하여 다결정으로 변환되는
 것을 특징으로 하는 산화물 반도체 트랜지스터.

청구항 9

기판 상에 배치된 게이트 전극을 형성하는 단계;
 상기 게이트 전극과 이격된 게이트 절연막을 형성하는 단계;
 상기 게이트 절연막과 상기 게이트 전극 사이에 개재된 예비 산화물 반도체층을 형성하는 단계; 및
 상기 예비 산화물 반도체층이 형성된 기판을 열처리하여 산화물 반도체층을 형성하는 단계를 포함하되,
 상기 예비 산화물 반도체층은 진공 증발법으로 형성되고, 상기 예비 산화물 반도체층은 비정질
 일산화주석이고, 상기 산화물 반도체층은 p 형 도전형의 다결정 일산화 주석인 것을 특징으로 하는 산화물 반
 도체 트랜지스터의 형성 방법.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 산화물 반도체 박막의 형성 방법에 관한 것이며, 보다 자세하게는 p형 도전 특성을 가지는 산화물 반도체 박막의 형성 방법에 관한 것이다.

배경기술

[0002] 평판 패널 표시장치(FPD)의 스위칭소자로 실리콘 반도체를 바탕으로 하는 비정질 박막트랜지스터(amorphous thin film transistor), 다결정 박막트랜지스터(poly crystalline thin film transistor) 등의 기술이 폭 넓게 사용되어왔다. 이러한 기술 중에서 비정질 박막트랜지스터는 낮은 전자 이동도(electron mobility)와 높은 열화 경향으로 응용성에 한계가 있다. 다결정 박막트랜지스터는 높은 제조비용과 낮은 근거리 균일성으로 인하여 폭 넓은 사용에 어려움이 있어왔다.

[0003] 유기 EL(Light Emitting) 디스플레이는 새롭게 주목받고 있는 FPD의 일종이다. 유기EL 디스플레이는 유기 반도체층을 구동하여 직접 발광을 얻는 자발광 장치이기 때문에, 종래의 액정디스플레이와는 달리, 박막트랜지스터는 전류 구동장치로서의 특성이 요구되고 있다. 한편, 향후의 FPD는 대면적화 또는 플렉시블화한 신기능의 부여도 요구되고 있다. FPD의 스위칭소자인 박막 트랜지스터의 새로운 기술로서, 밴드갭이 3eV 정도로 큰 투명한 산화물 반도체의 적용이 검토되고 있다. 산화물반도체는 평판 표시장치 외에 RFID 등으로의 적용도 기대되고 있다.

[0004] 산화물 반도체를 기반으로 하는 박막 트랜지스터를 이용하여 상술한 바와 같은 실리콘 반도체 소자의 문제점을 해결하는 방법에 대한 연구가 주목을 받고 있다. ZnO, SnO₂, IGZO(Indium Gallium Zinc Oxide), IZO (Indium Zinc Oxide) 등의 다양한 재료가 산화물반도체로서 많이 연구되고 있다. 이러한 산화물반도체를 이용한 박막트랜지스터는, 통상적으로, 10⁶~10⁷의 온/오프 전류비 (Ion/Ioff ratio)와 수~수십 cm²/V/s의 전계 효과 이동도 (field effect mobility)를 보여서 비정질 실리콘 및 다결정 실리콘 박막 트랜지스터에 버금가는 전기적 특성을 가진다.

[0005] 산화물 반도체 박막 트랜지스터의 제작에는 다결정 실리콘의 제작에 사용되는 레이저 결정화, 이온 도핑 등의 고가의 공정이 사용되지 않는다. 따라서, 산화물 반도체 박막 트랜지스터의 제작 단가는 비정질 실리콘 박막 트랜지스터의 제작 단가 이하로 저렴해질 것으로 기대된다.

[0006] 통상적으로 산화물 반도체 박막 트랜지스터는 n채널 전계 효과 트랜지스터(n channel field effect transistor)로 형성된다. 이는 통상적인 산화물반도체가 n형 도전 특성을 가지는 것에 기인한다. 산화물반도체는 n채널로 한정되는 도전 특성으로 인해서, 산화물 반도체 박막 트랜지스터의 응용성에 대한 한계가 발생하고

있다. 예를 들어, 기판에 양극이 설치되는 통상적인 OLED (Organic Light Emitting Diode)의 구동에는 p 채널 박막 트랜지스터가 유리하다. 또한, 구동회로가 기판에 효과적으로 집적되기 위해서, n채널 박막트랜지스터 및 p채널 박막트랜지스터를 복합하여 형성하는 CMOS(complenatry metal oxide semiconductor) 박막 트랜지스터 회로의 형성이 필요하다. 따라서, p 채널 박막 트랜지스터의 개발이 요구되고 있다.

발명의 내용

해결 하고자하는 과제

- [0007] 본 발명이 해결하고자 하는 기술적 과제는 산화물 반도체 박막의 형성 방법을 제공한다.
- [0008] 본 발명이 해결하고자 하는 기술적 과제는 산화물 반도체 트랜지스터를 제공한다.
- [0009] 본 발명이 해결하고자 하는 기술적 과제는 산화물 반도체 트랜지스터의 형성 방법을 제공한다.

과제 해결수단

- [0010] 본 발명의 일 실시예에 따른 산화물 반도체 박막의 형성 방법은 일산화주석 분말을 제공하는 단계, 상기 일산화주석 분말을 진공 용기의 내부의 가열용기에 장착하는 단계, 기판 홀더에 기판을 장착하고 배기하는 단계, 상기 가열용기를 가열하여 상기 일산화주석 분말을 증발시키는 단계, 상기 증발된 일산화주석을 상기 기판에 증착하는 단계, 및 상기 증착된 일산화주석을 열처리하는 단계를 포함한다.
- [0011] 본 발명의 일 실시예에 있어서, 상기 가열용기의 가열온도는 섭씨 800 도 내지 섭씨 1200 도일 수 있다.
- [0012] 본 발명의 일 실시예에 있어서, 상기 일산화주석이 증착되는 동안 상기 기판 홀더는 상온일 수 있다.
- [0013] 본 발명의 일 실시예에 있어서, 상기 열처리는 섭씨 200 내지 섭씨 400도 일 수 있다.
- [0014] 본 발명의 일 실시예에 있어서, 상기 열처리는 진공 중에서 수행될 수 있다.
- [0015] 본 발명의 일 실시예에 있어서, 상기 진공 용기에 분위기 가스를 유입시키는 단계를 더 포함하고, 상기 분위기 가스는 불활성 가스, 할로겐 족 가스, 및 산소 원자 포함 가스 중에서 적어도 하나를 포함할 수 있다.
- [0016] 본 발명의 일 실시예에 있어서, 상기 분위기 가스 중에서 상기 산소 가스의 분압이 50 퍼센트 이하일 수 있다.
- [0017] 본 발명의 일 실시예에 따른 산화물 반도체 트랜지스터는 기판 상에 배치된 게이트 전극, 상기 게이트 전극과 이격되어 배치된 산화물 반도체 패턴, 및 상기 게이트 전극과 상기 산화물 반도체 패턴 사이에 개재된 게이트 절연막을 포함하고, 상기 산화물 반도체 패턴은 일산화주석이고, 상기 산화물 반도체 패턴은 p 형 도전형이고, 상기 일산화주석은 진공 증발법으로 형성된다.
- [0018] 본 발명의 일 실시예에 따른 산화물 반도체 트랜지스터의 형성 방법은 기판 상에 배치된 게이트 전극을 형성하는 단계, 상기 게이트 전극과 이격된 게이트 절연막을 형성하는 단계, 상기 게이트 절연막과 상기 게이트 전극 사이에 개재된 예비 산화물 반도체층을 형성하는 단계, 및 상기 예비 산화물 반도체층이 형성된 기판을 열처리하여 산화물 반도체층을 형성하는 단계를 포함한다. 상기 예비 산화물 반도체층은 진공 증발법으로 형성되고, 상기 예비 산화물 반도체층은 비정질 일산화주석이고, 상기 산화물 반도체층은 p 형 도전형의 다결정 일산화주석이다.

효 과

- [0019] 본 발명의 일 실시예에 따른 산화물 반도체 박막의 형성 방법은 저온에서 p형 산화물 반도체를 제공한다. 상기 p 형 산화물 반도체는 트랜지스터의 p 채널 영역을 제공할 수 있다. 상기 p 형 산화물 반도체는 산화물반도체와 소오스/드레인 전극 사이의 오믹접합층을 제거할 수 있다. 또한, 상기 p 형 산화물 반도체는 종래의 다결정 실리콘에 유사한 전기적 특성을 보인다. 따라서, 상기 p 형 산화물 반도체는 투명성, 공정의 단순성, 및 열적 신뢰성을 가진다.

발명의 실시를 위한 구체적인 내용

- [0020] 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실

시에는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 나타낸다.

- [0021] 도 1은 본 발명의 일 실시예에 따른 산화물 반도체 박막의 형성 방법을 설명하는 흐름도이다.
- [0022] 도 2는 본 발명의 일 실시예에 따른 산화물 반도체 박막을 형성하는 장치를 설명하는 개념도이다.
- [0023] 도 1 및 도 2를 참조하면, 상기 산화물 반도체 박막의 형성 방법은 일산화주석 분말(126)을 제공하는 단계(S100), 상기 일산화주석 분말(126)을 진공 용기(102)의 내부의 가열용기(122)에 장착하는 단계(S110), 기판 홀더(114)에 기판(112)을 장착하고 상기 진공 용기(102)를 배기하는 단계(S120), 상기 가열용기(122)를 가열하여 상기 일산화주석 분말을 증발시키는 단계(S140), 상기 증발된 일산화주석을 상기 기판(112)에 증착하는 단계(S150), 및 상기 증착된 일산화주석을 열처리하는 단계(160)를 포함한다.
- [0024] 상기 일산화주석(SnO) 분말은 순도 99.9 퍼센트 이상일 수 있다(S100). 상기 진공 용기(102)의 내부에 상기 가열용기(122)가 배치될 수 있다. 상기 가열용기(122)는 상기 일산화주석 분말(126)을 담을 수 있도록 오목부(123)를 포함할 수 있다. 상기 가열용기(122)는 가열부(124)를 포함할 수 있다. 상기 가열용기(122)는 상기 가열부(124)에 의하여 가열되어 상기 일산화주석 분말(126)을 증발시킬 수 있다. 상기 가열용기(122)의 온도는 섭씨 700 내지 섭씨 1500 도 일 수 있다. 바람직하게는, 상기 가열용기의 온도는 섭씨 800 내지 섭씨 1200도 일 수 있다. 상기 가열용기(122)는 회전할 수 있다.
- [0025] 상기 기판 홀더(114)는 상기 가열용기(122)에 대향하여 배치될 수 있다. 상기 기판 홀더(114)에 기판(112)이 배치될 수 있다. 상기 기판(112)은 상기 가열용기(122)를 마주볼 수 있다. 상기 기판 홀더(114)는 온도 조절부(116)를 포함할 수 있다. 상기 기판 홀더(114)는 회전할 수 있다.
- [0026] 상기 기판(112)은 유리 기판(glass substrate), 반도체 기판, 플라스틱 기판, 절연체 기판, 또는 금속 기판일 수 있다. 상기 기판(112)은 유연성 기판(flexible substrate)일 수 있다. 상기 기판(112)에 소정의 구조물이 배치될 수 있다.
- [0027] 상기 기판 홀더(114)에 기판(112)을 장착하고, 상기 진공 용기(102)는 배기될 수 있다. 상기 진공 용기(102)는 배기부(134)에 의하여 배기될 수 있다. 상기 진공 용기(102)의 기초 압력(base pressure)은 10^{-6} 토르(Torr) 이하일 수 있다. 상기 온도 조절부(116)는 상기 기판 홀더(114)를 상온에서 섭씨 700 도 까지 가열할 수 있다. 바람직하게는, 상기 기판 홀더(114)의 온도는 상온일 수 있다.
- [0028] 상기 가열용기(122)는 가열되어 상기 일산화주석 분말을 증발시킬 수 있다(S140). 예를 들어, 상기 가열용기(122)의 온도는 섭씨 850도일 수 있다. 상기 가열용기(122)의 온도는 상기 일산화주석의 녹는점(melting point) 이상일 수 있다. 상기 일산화 주석이 상기 기판에 증착되는 동안, 상기 진공 용기는 다른 가스를 공급받지 않고 진공 상태를 유지할 수 있다.
- [0029] 본 발명의 변형된 실시예에 따르면, 상기 일산화 주석이 상기 기판에 증착되는 동안, 상기 진공 용기(102)는 유체 공급부(132)를 통하여 분위기 가스가 공급받을 수 있다(S130). 상기 분위기 가스는 불활성 가스, 할로젠 족 가스, 및 산소 원자 포함 가스 중에서 적어도 하나를 포함할 수 있다. 상기 불활성 가스는 아르곤을 포함할 수 있다. 상기 할로젠 족 가스는 플루오린(F2) 또는 염소 가스(Cl2)를 포함할 수 있다. 상기 산소 원자 포함 가스는 산소(O2), 오존(O3), 물(H2O), 또는 이산화탄소(CO2)일 수 있다. 상기 분위기 가스 중에서 상기 산소 원자 포함 가스의 분압은 50 퍼센트 이하일 수 있다.
- [0030] 상기 증발된 일산화주석은 상기 기판(112)에 증착될 수 있다(S150). 상기 일산화주석은 비정질 상태일 수 있다. 상기 기판(112)에 상기 일산화주석이 증착되는 동안, 상기 기판 홀더(114)와 상기 가열용기(122) 사이에 배치된 셔터(128)는 개방될 수 있다. 상기 일산화주석의 증착이 종료되면, 상기 셔터(128)는 폐쇄될 수 있다. 또한, 상기 분위기 가스는 제거될 수 있다.
- [0031] 이어서, 상기 기판은 열처리(anneal)될 수 있다(S160). 상기 열처리는 상기 일산화 주석을 비정질 상태에서 다결정 상태 또는 결정 상태로 변화시킬 수 있다. 상기 비정질 상태의 일산화 주석은 반도체 특성을 보이지 않을 수 있다. 상기 다결정 상태의 일산화 주석은 p 형 반도체 특성을 보일 수 있다. 상기 열처리는 상기 진공 용기(102) 내에 연속적으로 진행될 수 있다. 상기 열처리 공정 동안 상기 분위기 가스는 제거될 수 있다. 상기

열처리 공정시, 상기 기관(112)의 온도는 100 내지 700 도일 수 있다. 바람직하게는, 상기 열처리 공정시, 상기 기관(112)의 온도는 섭씨 300 도일 수 있다. 상기 열처리는 비정질 상태의 일산화 주석을 다결정 또는 결정 상태의 일산화주석으로 변화시킬 수 있다.

[0032] 본 발명의 변형된 실시예에 따르면, 상기 열처리 공정시, 상기 진공 용기에 열처리 분위기 가스가 제공될 수 있다. 상기 열처리 분위기 가스는 불활성 가스, 질소 원자를 포함가스, 수소 원자 포함가스, 및 산소원자 포함가스에서 적어도 하나를 포함할 수 있다. 상기 기관의 온도는 상기 열처리의 온도는 섭씨 100 내지 700 도일 수 있다.

[0033] 본 발명의 변형된 실시예에 따르면, 상기 열처리는 다른 열처리 장치에서 수행될 수 있다. 상기 열처리는 퍼니스 또는 RTP 장치에서 수행될 수 있다. 상기 열처리의 온도는 섭씨 100 내지 섭씨 700 도일 수 있다.

[0034] 본 발명의 변형된 실시예에 따르면, 상기 기관의 온도는 섭씨 100 도 내지 700 도를 유지되면, 상기 일산화주석이 증착될 수 있다. 이 경우, 상기 일산화 주석은 다결정 또는 결정 상태일 수 있다. 따라서, 별도의 열처리 공정은 생략될 수 있다.

[0035] 도 3a 및 도 3b는 본 발명의 일 실시예에 따라 형성된 비정질 상태의 일산화주석의 특성을 설명하는 도면들이다.

[0036] 도 3a를 참조하면, 비정질 상태의 일산화주석의 UV-VIS(Ultraviolet-visible spectroscopy) 투과도 곡선(Transmittance Curve)이다. 상기 비정질 상태의 일산화주석은 상온의 기관에 증착된 것일 수 있다. 비정질 상태의 일산화주석의 투과도는 400 nm 근처의 자외선 영역에서 700 nm 근처의 가시 광선 영역으로 파장이 증가함에 따라 증가하였다. 상기 투과도는 550 nm 근처에서 80 퍼센트를 가졌다.

[0037] 도 3b를 참조하면, 비정질 상태의 일산화주석의 XRD 데이터이다. 상기 비정질 상태의 일산화주석은 다결정이 갖는 고유의 피크를 보이지 않을 수 있다.

[0038] 도 4a 및 도 4b는 본 발명의 일 실시예에 따라 형성된 다결정 상태의 일산화주석의 특성을 설명하는 도면들이다.

[0039] 도 4a를 참조하면, 다결정 상태의 일산화주석의 UV-VIS(Ultraviolet-visible spectroscopy) 투과도 곡선(Transmittance Curve)이다. 상기 다결정 상태의 일산화주석은 비정질 상태의 일산화주석을 열처리하여 형성될 수 있다. 상기 다 결정 상태의 일산화주석의 투과도는 상기 비정질 상태의 일산화주석의 투과도 보다 클 수 있다.

[0040] 도 4b를 참조하면, 다결정 상태의 일산화주석의 XRD 데이터이다. 상기 비정질 상태의 일산화주석은 다 결정이 갖는 고유의 피크를 보였다.

[0041] 표 1은 본 발명의 일 실시예에 박막의 형성 방법에 따라 생성된 산화물 반도체 박막의 전기적 특성을 나타낸다.

표 1

	이동도	정공 이송자 농도
섭씨 300도 열처리	9.63(cm ² /V.s)	1.64 X 10 ¹⁶ (#/cm ³)

[0042]

[0043] 표 1을 참조하면, 다결정 상태의 일산화 주석의 이동도는 9.63 (cm²/Vs) 이었고, 정공 이송자 밀도(hole carrier density)는 3.64 X 10 16 (1/cm³) 이었다. 표 1의 데이터는 홀 효과(hall effect) 측정에 의해서 얻어진 것으로 p형 도전형의 반도체인 것을 나타낸다.

[0044] 상기 다결정 상태의 일산화 주석의 이동도는 통상의 다결정 실리콘의 이동도와 거의 같은 수준이다. 또한, 상기 다결정 상태의 일산화 주석의 정공 이송자 밀도는 다결정 실리콘의 정공 이송자 밀도와 거의 같은 수준이다. 따라서, 상기 다결정 상태의 일산화 주석은 p 형 도전형의 반도체 물질로 상기 다결정 실리콘 또는 비정질 실리콘을 대체할 수 있다. 상기 다결정 실리콘 또는 상기 비정질 실리콘은 불순물 주입 공정에 의하여 P형 도전형의 반도체를 형성한다.

- [0045] 그러나, 상기 다결정 상태의 일산화주석은 불순물 주입 공정이 필요없다. 따라서, 트랜지스터 제작 공정이 단순화될 수 있다. 산화물반도체의 특성에 기인하여 산화물반도체와 소오스/드레인 전극 사이의 오믹 접합층은 생략할 수 있다.
- [0046] 도 5는 본 발명의 일 실시예에 따른 산화물 반도체 트랜지스터를 설명하는 단면도이다.
- [0047] 도 5를 참조하면, 상기 산화물 반도체 트랜지스터는 기판(200) 상에 배치된 게이트 전극(210), 상기 게이트 전극(210) 상에 배치된 산화물 반도체 패턴(220), 및 상기 게이트 전극(210)과 상기 산화물 반도체 패턴(220) 사이에 개재된 게이트 절연막(230)을 포함한다. 상기 산화물 반도체 패턴(220)은 일산화주석이고, 상기 산화물 반도체 패턴(220)은 p 형 도전형이고, 상기 일산화주석은 진공 증발법으로 형성된다.
- [0048] 상기 기판(200)은 유리 기판(glass substrate), 반도체 기판, 플라스틱 기판, 절연체 기판, 또는 금속 기판일 수 있다. 상기 기판(200)은 유연성 기판(flexible substrate)일 수 있다.
- [0049] 상기 게이트 전극(210)은 상기 기판(200) 상에 배치될 수 있다. 상기 게이트 전극(210)은 라인 형태를 포함할 수 있다. 상기 게이트 전극(210)은 알루미늄, 구리, 및 ITO 중에서 적어도 하나를 포함할 수 있다. 상기 알루미늄은 알루미늄 타겟을 이용하여 DC 스퍼터, RF 스퍼터, 또는 DC 마그네트론 스퍼터로 형성할 수 있다. 상기 게이트 전극(210)의 두께는 50nm 내지 300 nm 일 수 있다. 상기 게이트 전극(210)은 게이트 전극막(미도시)을 형성하고 패터닝하여 형성될 수 있다.
- [0050] 상기 게이트 전극(220) 상에 상기 게이트 절연막(230)이 배치될 수 있다. 상기 게이트 절연막(230)은 실리콘산화막일 수 있다. 상기 게이트 절연막(230)은 플라즈마 도움 화학 기상 증착(Plasma Enhanced Chemical Vapor Deposition: PECVD)방법으로 형성할 수 있다. 상기 게이트 절연막(230)은 패터닝될 수 있다. 상기 게이트 절연막(230)은 상기 게이트 전극(210)의 상부면 및 측면을 덮을 수 있다.
- [0051] 상기 게이트 절연막(230) 상에 산화물 반도체 패턴(220)이 배치될 수 있다. 상기 산화물 반도체 패턴(220)은 일산화주석일 수 있다. 상기 산화물 반도체 패턴(220)은 비정질 상태에서 열처리하여 다결정 또는 결정 상태로 상변화될 수 있다. 상기 산화물 반도체 패턴(220)은 상기 게이트 전극(210)과 정렬될 수 있다. 상기 산화물 반도체 패턴(220)은 증발법에 의하여 형성될 수 있다. 상기 산화물 반도체 패턴(220)은 p형 도전형을 가질 수 있다. 상기 산화물반도체 전계효과트랜지스터의 특성에 기인하여, 상기 산화물 반도체 패턴(220)과 소오스/드레인 전극(240) 사이의 오믹접합층은 제거될 수 있다.
- [0052] 상기 산화물 반도체 패턴(220) 상에 상기 소오스/드레인 전극(240)이 배치될 수 있다. 상기 소오스/드레인 전극(240)은 ITO(Indium Tin Oxide)을 포함할 수 있다. 상기 ITO는 마그네트론 스퍼터링 방법에 의하여 아르곤 및 산소의 혼합가스를 공정가스로 하여 성막할 수 있다. 상기 소오스/드레인 전극(240)은 상기 산화물 반도체 패턴(220)의 양측에 배치될 수 있다. 상기 소오스/드레인 전극(240)은 서로 전기적으로 분리될 수 있다. 구체적으로, 상기 소오스/드레인 전극(240)은 상기 산화물 반도체 패턴(220)의 측면 및 상부면의 일부를 덮을 수 있다. 상기 산화물 반도체 패턴(220)은 상기 산화물 반도체층(미도시)을 형성한 후, 패터닝하여 형성될 수 있다. 상기 산화물 반도체층을 형성한 후, 열처리 공정이 진행될 수 있다. 상기 열처리는 상기 산화물 반도체층을 비정질 상태에서 다결정 또는 결정 상태를 변환할 수 있다. 상기 열처리는 200 내지 400 도 범위일 수 있다.
- [0053] 상기 소오스/드레인 전극(240) 및 상기 게이트 절연막(230) 상에 보호막(250)이 배치될 수 있다. 상기 보호막(250)은 상기 트랜지스터를 외부의 영향으로부터 보호할 수 있다. 상기 보호막(250)은 실리콘산화막, 실리콘산화질화막, 및 실리콘질화막 중에서 적어도 하나를 포함할 수 있다. 상기 보호막(250)은 PECVD방법에 의하여 형성될 수 있다. 상기 보호막(250)은 패터닝될 수 있다.
- [0054] 상기 보호막(250)이 형성된 후, 소자의 특성을 안정화하기 위하여 상온보다 높은 온도에서 후열처리(post anneal) 공정을 시행할 수 있다.
- [0055] 본 발명의 변형된 실시예에 따르면, 상기 산화물 반도체 트랜지스터는 기판상에 차례로 적층된 상기 산화물 반도체 패턴(220), 상기 게이트 절연막(230), 및 상기 게이트 전극(220)을 포함할 수 있다.
- [0056] 도 6a 내지 도 6c는 본 발명의 일 실시예에 따른 산화물 반도체 트랜지스터의 형성 방법을 설명하는 단면도들이다.
- [0057] 도 6a를 참조하면, 기판(200) 상에 게이트 전극막(미도시)이 형성된다. 상기 게이트 전극막은 알루미늄, 구리, 및 ITO 중에서 적어도 하나를 포함할 수 있다. 상기 알루미늄은 알루미늄 타겟을 이용하여 DC 스퍼터, RF 스퍼

터, 또는 DC 마그네트론 스퍼터로 형성할 수 있다. 상기 게이트 전극막의 두께는 50nm 내지 300 nm 일 수 있다. 상기 게이트 전극(210)은 상기 게이트 전극막을 형성하고 패터닝하여 형성될 수 있다. 상기 패터닝은 포토 리소그래피 및 식각 공정을 포함할 수 있다. 상기 식각 공정은 습식 또는 건식 식각일 수 있다.

[0058] 상기 게이트 전극(210) 상에 게이트 절연막(230)이 콘퍼멀하게 형성될 수 있다. 상기 게이트 절연막(230)은 실리콘산화막일 수 있다. 상기 게이트 절연막(230)은 플라즈마 도움 화학 기상 증착(Plasma Enhanced Chemical Vapor Deposition: PECVD)방법으로 형성할 수 있다. 상기 게이트 절연막(230)은 패터닝될 수 있다.

[0059] 도 6b를 참조하면, 상기 게이트 절연막(230) 상에 예비 산화물 반도체층(미도시)이 콘퍼멀하게 형성될 수 있다. 상기 예비 산화물 반도체층은 도 1 및 도 2 에서 설명한 진공 증발법에 의하여 형성될 수 있다. 상기 예비 산화물 반도체층은 비정질의 일산화주석일 수 있다. 상기 예비 산화물 반도체층이 형성된 기판을 열처리하여 산화물 반도체층을 형성할 수 있다. 상기 산화물 반도체층은 p 형 도전형의 다결정 일산화주석일 수 있다. 상기 열처리는 도 1 및 도 2 에서 설명한 것과 같다.

[0060] 상기 산화물 반도체 패턴(220)은 상기 산화물 반도체층을 패터닝하여 형성될 수 있다. 상기 패터닝은 포토 리소그래피 및 식각 공정을 포함할 수 있다. 상기 식각 공정은 습식 또는 건식 식각일 수 있다.

[0061] 본 발명의 변형된 실시예에 따르면, 상기 산화물 반도체 패턴은 상기 예비 산화물 반도체층의 증착 단계에서 새도우 마스크(shadow mask)를 사용하여 형성될 수 있다. 이어서, 상기 산화물 반도체 패턴은 열처리되어 p 형 도전형의 다결정 일산화주석을 제공할 수 있다. 상기 기판 상에 상기 산화물 반도체 패턴과 동일한 개방된 형상을 포함하는 새도우 마스크가 배치될 수 있다. 이어서, 상기 산화물 반도체층을 증착하면 새도우 마스크의 상기 개방 영역에만 상기 산화물 반도체가 증착이 되어, 상기 산화물 반도체 패턴을 형성할 수 있다. 이러한 과정을 거쳐서 산화물 반도체의 증착과 패턴 형성을 동시에 이룰 수 있다.

[0062] 도 6c를 참조하면, 상기 산화물 반도체 패턴(220) 상에 도전막(미도시)이 콘퍼멀하게 형성될 수 있다. 상기 도전막은 ITO 막일 수 있다. 상기 소오스/드레인 전극(240)은 상기 도전막을 패터닝하여 형성될 수 있다. 상기 패터닝은 포토 리소그래피 및 식각 공정을 포함할 수 있다. 상기 식각 공정은 습식 또는 건식 식각일 수 있다. 상기 패터닝은 새도우 마스크 또는 리프트 오프(lift-off) 공정을 이용하여 수행될 수 있다.

[0063] 다시, 도 5를 참조하면, 상기 소오스/드레인 전극(240) 상에 보호막(250)이 콘퍼멀하게 형성될 수 있다. 상기 보호막(250)은 실리콘 산화막, 실리콘 질화막, 및 실리콘 산화질화막 중에서 적어도 하나를 포함할 수 있다. 상기 보호막(250)은 PECVD방법에 의하여 형성될 수 있다. 상기 보호막(250)은 패터닝될 수 있다.

[0064] 이어서, 상기 기판(200)은 후 열처리(post anneal)될 수 있다. 상기 후 열처리는 소자의 특성을 안정화하기 위하여 상온보다 높은 온도에서 열처리 될 수 있다. 상기 후 열처리 공정은 진공, 불활성 가스, 할로젠 가스, 수소가스, 산소가스 등의 분위기에서 실시될 수 있다. 상기 후 열처리 공정은 소자의 제작공정 중에 발생한 전기적 결함을 제거할 수 있다. 예를 들어, 산화물 반도체 패턴(220) 혹은 게이트 절연막(230)에 발생한 전기적 결함을 제거할 수 있다. 또한, 비정질 혹은 낮은 특성을 가지는 다결정 상태로 성막된 산화물 반도체 패턴(220)을 상변화시켜 보다 우수한 특성의 다결정 상태로 변화시키는 역할을 할 수도 있다.

[0065] 본 발명의 변형된 실시예에 따르면, 상기 산화물 반도체 트랜지스터는 기판상에 차례로 적층된 상기 산화물 반도체 패턴(220), 상기 게이트 절연막(230), 및 상기 게이트 전극(220)을 포함할 수 있다. 상기 산화물 반도체 트랜지스터는 도 6a 내지 도 6c에서 설명한 방법을 응용하여 형성할 수 있다.

[0066] 이제까지 본 발명에 대하여 그 바람직한 실시 예들을 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시 예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

도면의 간단한 설명

[0067] 도 1은 본 발명의 일 실시예에 따른 산화물 반도체 박막의 형성 방법을 설명하는 흐름도이다.

[0068] 도 2는 본 발명의 일 실시예에 따른 산화물 반도체 박막을 형성하는 장치를 설명하는 개념도이다.

[0069] 도 3a 및 도 3b는 본 발명의 일 실시예에 따라 형성된 비정질 상태의 일산화주석의 특성을 설명하는 도면들이

다.

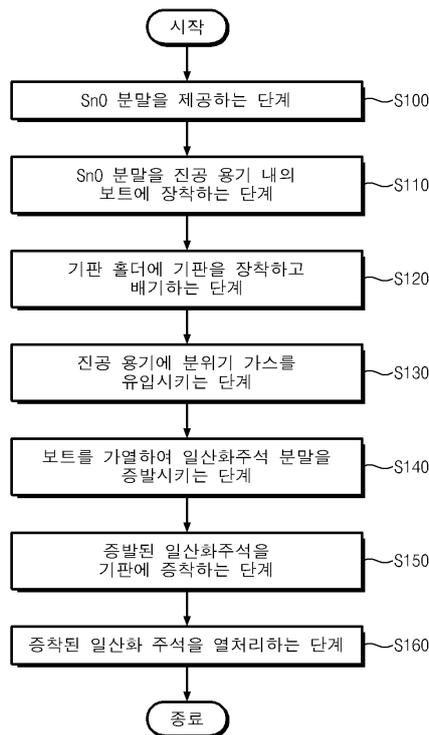
[0070] 도 4a 및 도 4b는 본 발명의 일 실시예에 따라 형성된 다결정 상태의 일산화주석의 특성을 설명하는 도면들이다.

[0071] 도 5는 본 발명의 일 실시예에 따른 산화물 반도체 트랜지스터를 설명하는 단면도이다.

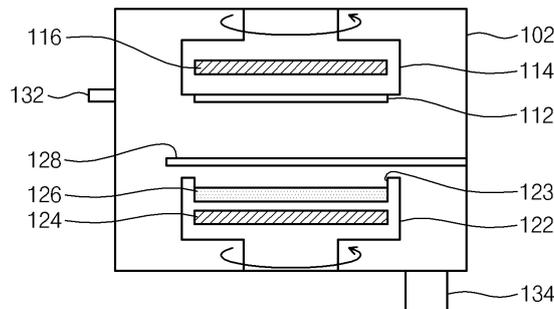
[0072] 도 6a 내지 도 6c는 본 발명의 일 실시예에 따른 산화물 반도체 트랜지스터의 형성 방법을 설명하는 단면도들이다.

도면

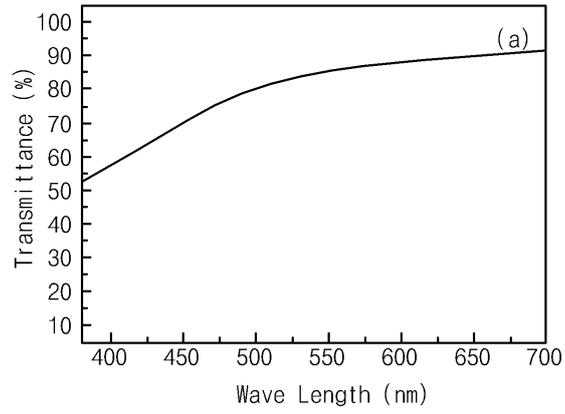
도면1



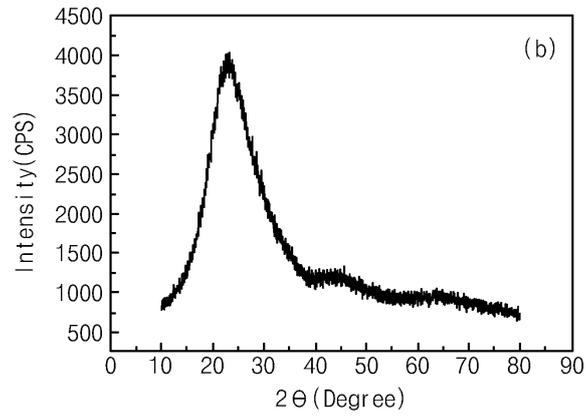
도면2



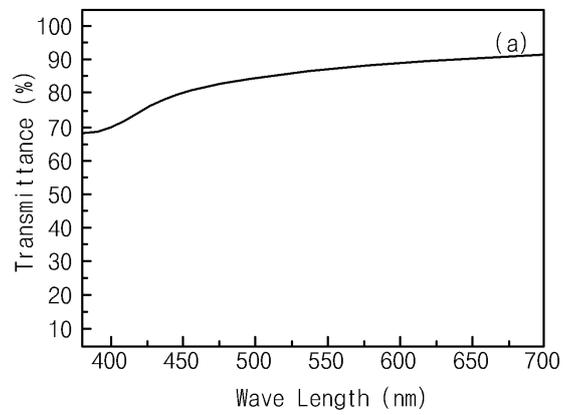
도면3a



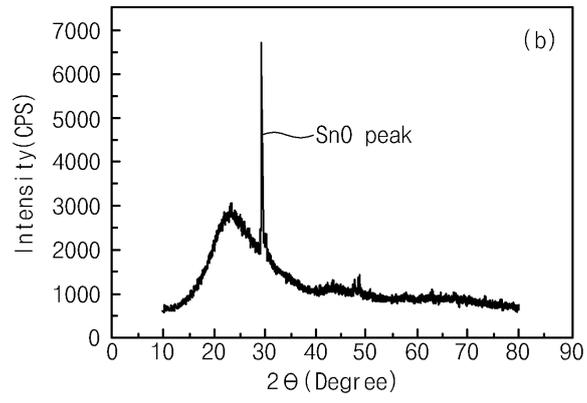
도면3b



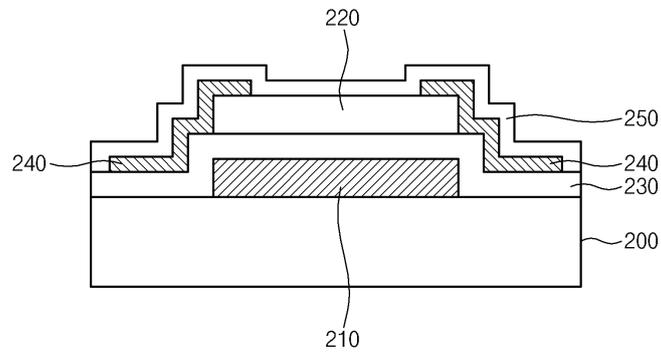
도면4a



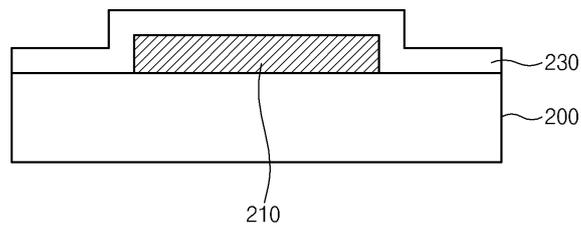
도면4b



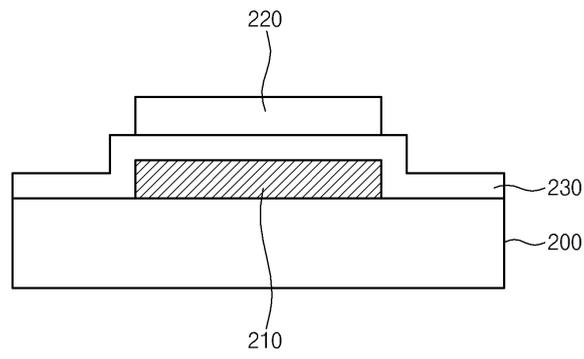
도면5



도면6a



도면6b



도면6c

