(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2005-20004
(P2005-20004A)
(43)公開日　平成17年1月20日(2005.1.20)

(51)Int.Cl.[7]	F I	テーマコード（参考）
H01L 25/065	H01L 25/08	Z
H01L 25/07		
H01L 25/18		

審査請求 未請求　請求項の数 36　ＯＬ　（全 18 頁）

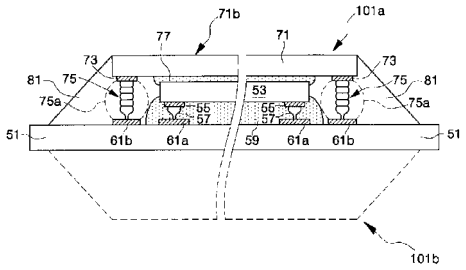
(21)出願番号　特願2004-186837(P2004-186837)
(22)出願日　平成16年6月24日(2004.6.24)
(31)優先権主張番号　2003-042730
(32)優先日　平成15年6月27日(2003.6.27)
(33)優先権主張国　韓国(KR)

(71)出願人　390019839
三星電子株式会社
大韓民国京畿道水原市靈通区梅灘洞４１６
(74)代理人　100064908
弁理士　志賀　正武
(74)代理人　100089037
弁理士　渡邊　隆
(72)発明者　姜　仁九
大韓民国忠清南道天安市雙龍２洞　ウォルボン大宇アパート１０５棟１４０４號
(72)発明者　金　震鎬
大韓民国忠清南道天安市雙龍２洞　ヨンガムマエル東亞碧山アパート１０１棟９０３號

最終頁に続く

(54)【発明の名称】複数のフリップチップを有するマルチチップパッケージ及びその製造方法

(57)【要約】
【課題】厚みの減少に適した複数のフリップチップを有するマルチチップパッケージ及びその製造方法を提供。
【解決手段】マルチチップパッケージは、平坦な基板及び前記基板の表面に形成された複数の配線を有する印刷回路基板を備える。前記印刷回路基板の前記表面上に最下部のフリップチップ（ｌｏｗｅｓｔ　ｆｌｉｐ　ｃｈｉｐ）及び少なくとも一つの上部フリップチップが順に積層される。前記フリップチップは、それらのパッドが前記印刷回路基板に向うように（ｆａｃｅ）積層される。前記最下部フリップチップのパッドと前記配線のうち第１グループの配線との間に第１グループのバンプが介在する。また、前記少なくとも一つの上部フリップチップのパッドと前記配線のうち第２グループの配線との間に第２グループのバンプが介在する。
【選択図】　図４



【特許請求の範囲】
【請求項１】
平坦な基板及び前記基板の表面に形成された複数の配線を有する印刷回路基板と、
前記印刷回路基板の前記表面上に順に積層され、前記印刷回路基板に向う（ｆａｃｉｎｇ）パッドを有する最下部フリップチップ及び少なくとも一つの上部フリップチップを備える複数のフリップチップと、
前記最下部フリップチップ（ｌｏｗｅｓｔ　ｆｌｉｐ　ｃｈｉｐ）の前記パッドと前記配線とのうち第１グループの配線との間に介在された第１グループのバンプと、
前記少なくとも一つの上部フリップチップの前記パッドと前記配線のうち第２グループの配線との間に介在された第２グループのバンプと、を含むことを特徴とするマルチチップパッケージ。
【請求項２】
前記第１グループのバンプのそれぞれは単一スタッドバンプ（ａ　ｓｉｎｇｌｅ　ｓｔｕｄ　ｂｕｍｐ）である事を特徴とする請求項１に記載のマルチチップパッケージ。
【請求項３】
前記第２グループのバンプのそれぞれは単一ソルダーリングバンプ（ａ　ｓｉｎｇｌｅ　ｓｏｌｄｅｒｉｎｇ　ｂｕｍｐ）であることを特徴とする請求項１に記載のマルチチップパッケージ。
【請求項４】
前記第２グループのバンプのそれぞれは順に積層された複数のスタッドバンプ（ａ　ｐｌｕｒａｌｉｔｙ　ｏｆ　ｓｔｕｄ　ｂｕｍｐｓ）で構成されることを特徴とする請求項１に記載のマルチチップパッケージ。
【請求項５】
前記複数のフリップチップのうちの最上部フリップチップ（ｔｏｐｍｏｓｔ　ｆｌｉｐ　ｃｈｉｐ）と前記印刷回路基板との間の空間を満たすエポキシ樹脂（ｅｐｏｘｙ　ｒｅｓｉｎ）をさらに含み、前記エポキシ樹脂、前記フリップチップ及び前記バンプは、前記バンプマルチチップパッケージを構成することを特徴とする請求項１に記載のマルチチップパッケージ。
【請求項６】
前記複数のフリップチップの間の空間と共に、前記最下部フリップチップと前記印刷回路基板との間の空間を満たす接着剤（ａｄｈｅｓｉｖｅ）をさらに含むことを特徴とする請求項５に記載のマルチチップパッケージ。
【請求項７】
前記印刷回路基板の裏面上に形成された下部マルチチップパッケージをさらに含み、前記下部マルチチップパッケージは前記上部マルチチップパッケージと同一の形態を有することを特徴とする請求項５に記載のマルチチップパッケージ。
【請求項８】
前記フリップチップ及び前記バンプを密封させる（ｓｅａｌｉｎｇ）エポキシ成型化合物（ｅｐｏｘｙ　ｍｏｌｄｉｎｇ　ｃｏｍｐｏｕｎｄ）をさらに含み、前記エポキシ成型化合物は前記フリップチップのうち、最上部フリップチップ（ｔｏｐｍｏｓｔ　ｆｌｉｐ　ｃｈｉｐ）を覆い、前記エポキシ成型化合物、前記フリップチップ及び前記バンプは上部マルチチップパッケージを構成することを特徴とする請求項１に記載のマルチチップパッケージ。
【請求項９】
前記複数のフリップチップの間の空間と共に、前記最下部フリップチップと前記印刷回路基板との間の空間を満たす接着剤（ａｄｈｅｓｉｖｅ）をさらに含むことを特徴とする請求項８に記載のマルチチップパッケージ。
【請求項１０】
前記印刷回路基板の裏面上に形成された下部マルチチップパッケージをさらに含み、前記下部マルチチップパッケージは前記上部マルチチップパッケージと同一の形態を有する

ことを特徴とする請求項８に記載のマルチチップパッケージ。
【請求項１１】
前記複数のフリップチップのうちの最上部フリップチップ上に積層され、前記フリップチップの反対側の表面（ｏｐｐｏｓｉｔｅ　ｓｕｒｆａｃｅ）上に形成されたパッドを有する他の一つのチップと、
前記他のチップの前記パッドを前記印刷回路基板上の前記配線のうちの第３グループの配線に電気的に連結させるボンディングワイヤと、をさらに含むことを特徴とする請求項１に記載のマルチチップパッケージ。
【請求項１２】
前記フリップチップ、前記他のチップ、前記バンプ及び前記ボンディングワイヤを密封させる（ｓｅａｌｉｎｇ）エポキシ成型化合物（ｅｐｏｘｙ　ｍｏｌｄｉｎｇ　ｃｏｍｐｏｕｎｄ）をさらに含み、前記エポキシ成型化合物は前記他のチップを覆い、前記エポキシ成型化合物、前記フリップチップ、前記他のチップ、前記バンプ及び前記ボンディングワイヤは上部マルチチップパッケージを構成することを特徴とする請求項１１に記載のマルチチップパッケージ。
【請求項１３】
前記複数のフリップチップの間の空間、前記最下部フリップチップと前記印刷回路基板との間の空間、及び前記最上部フリップチップと前記他のチップとの間の空間を満たす接着剤（ａｄｈｅｓｉｖｅ）をさらに含むことを特徴とする請求項１１に記載のマルチチップパッケージ。
【請求項１４】
前記印刷回路基板の裏面上に形成された下部マルチチップパッケージをさらに含み、前記下部マルチチップパッケージは前記上部マルチチップパッケージと同一の形態を有することを特徴とする請求項１２に記載のマルチチップパッケージ。
【請求項１５】
平坦な基板及び前記基板の表面に形成された第１グループの配線及び第２グループの配線を有する印刷回路基板と、
前記印刷回路基板の前記表面上に順に積層され、前記印刷回路基板に向う（ｆａｃｉｎｇ）パッドを有する下部フリップチップ及び上部フリップチップと、
前記下部フリップチップの前記パッドと前記第１グループの配線との間に介在された第１グループのバンプと、
前記上部フリップチップの前記パッドと前記第２グループの配線との間に介在された第２グループのバンプと、
前記上部フリップチップと前記印刷回路基板との間の空間を満たすエポキシ樹脂（ｅｐｏｘｙ　ｒｅｓｉｎ）と、を含むことを特徴とするマルチチップパッケージ。
【請求項１６】
前記第１グループのバンプのそれぞれは、単一スタッドバンプであることを特徴とする請求項１５に記載のマルチチップパッケージ。
【請求項１７】
前記第２グループのバンプのそれぞれは、単一ソルダーリングバンプであることを特徴とする請求項１５に記載のマルチチップパッケージ。
【請求項１８】
前記第２グループのバンプのそれぞれは、順に積層された複数のスタッドバンプ（ａｐｌｕｒａｌｉｔｙ　ｏｆ　ｓｔｕｄ　ｂｕｍｐｓ）で構成されたことを特徴とする請求項１５に記載のマルチチップパッケージ。
【請求項１９】
前記上部フリップチップと前記下部フリップチップとの間の空間と共に、前記下部フリップチップと前記印刷回路基板との間の空間を満たす接着剤をさらに含むことを特徴とする請求項１５に記載のマルチチップパッケージ。
【請求項２０】

前記上部フリップチップは、前記下部フリップチップを横切るように積層され前記下部フリップチップの周りから延長されたオーバーハングを有し、前記第２グループのバンプは、前記オーバーハングと前記第２グループの配線との間に介在されたことを特徴とする請求項１５に記載のマルチチップパッケージ。

【請求項２１】

前記上部フリップチップは、前記下部フリップチップよりも大きい面積を有することを特徴とする請求項１５に記載のマルチチップパッケージ。

【請求項２２】

平坦な基板及び前記基板の表面に形成された第１グループの配線及び第２グループの配線を有する印刷回路基板と、

前記印刷回路基板の前記表面上に順に積層され、前記印刷回路基板に向う（ｆａｃｉｎｇ）パッドを有する下部フリップチップ及び上部フリップチップと、

前記下部フリップチップの前記パッドと前記第１グループの配線との間に介在される第１グループのバンプと、

前記上部フリップチップの前記パッドと前記第２グループの配線との間に介在される第２グループのバンプと、

前記フリップチップ及び前記バンプを密封させるエポキシ成型化合物を含み、前記エポキシ成型化合物は前記上部フリップチップを覆うことを特徴とするマルチチップパッケージ。

【請求項２３】

前記第１グループのバンプのそれぞれは、単一スタッドバンプであることを特徴とする請求項２２に記載のマルチチップパッケージ。

【請求項２４】

前記第２グループのバンプのそれぞれは、単一ソルダーリングバンプであることを特徴とする請求項２２に記載のマルチチップパッケージ。

【請求項２５】

前記第２グループのバンプのそれぞれは、順に積層された複数のスタッドバンプ（ａｐｌｕｒａｌｉｔｙ　ｏｆ　ｓｔｕｄ　ｂｕｍｐｓ）で構成されることを特徴とする請求項２２に記載のマルチチップパッケージ。

【請求項２６】

前記フリップチップと前記下部フリップチップとの間の空間と共に、前記下部フリップチップと前記印刷回路基板との間の空間を満たす接着剤をさらに含むことを特徴とする請求項２２に記載のマルチチップパッケージ。

【請求項２７】

前記上部フリップチップ上に積層され、前記フリップチップの反対側の表面上に形成されたパッドを有する他の一つのチップと、

前記他のチップの前記パッドを前記印刷回路基板上の他の配線に電気的に連結させるボンディングワイヤとをさらに含み、前記エポキシ成型化合物は前記他のチップ及び前記ボンディングワイヤを覆うことを特徴とする請求項２２に記載のマルチチップパッケージ。

【請求項２８】

前記上部フリップチップと前記他のチップとの間に介在された接着剤をさらに含むことを特徴とする請求項２７に記載のマルチチップパッケージ。

【請求項２９】

前記上部フリップチップは、前記下部フリップチップを横切るように積層されて前記下部フリップチップの周りから延長されたオーバーハングを有し、前記第２グループのバンプは、前記オーバーハングと前記第２グループの配線との間に介在されたことを特徴とする請求項２２に記載のマルチチップパッケージ。

【請求項３０】

前記上部フリップチップは、前記下部フリップチップよりも大きい面積を有することを特徴とする請求項２２に記載のマルチチップパッケージ。

【請求項３１】
基板及び前記基板の表面に形成された複数の配線を有する印刷回路基板を備え、
前記印刷回路基板の前記表面上に複数のフリップチップを順に積層させ、前記複数のフリップチップのうち、最下部フリップチップは前記印刷回路基板に向う（ｆａｃｉｎｇ）パッドを有し、
前記最下部フリップチップ（ｌｏｗｅｓｔ　ｆｌｉｐ　ｃｈｉｐ）の前記パッドと前記複数配線のうち第１グループの配線との間に第１グループのバンプを介在させ、
前記複数フリップチップのうち少なくとも一つの上部フリップチップのパッドと前記配線のうち第２グループの配線との間に第２グループのバンプを介在させることを含むことを特徴とするマルチチップパッケージの製造方法。

【請求項３２】
基板と共に前記基板の表面上に形成された第１及び第２グループの配線を備える印刷回路基板を用意し、
前記基板の表面上に下部フリップチップ及び上部フリップチップを積層させ、前記下部フリップチップ及び前記上部フリップチップは前記印刷回路基板に向う（ｆａｃｉｎｇ）パッドを有し、
前記下部フリップチップの前記パッドと前記第１グループの配線との間に第１グループのバンプを介在させ、
前記上部フリップチップの前記パッドと前記第２グループの配線との間に第２グループのバンプを介在させ、
前記上部フリップチップと前記印刷回路基板との間の空間をエポキシ樹脂（ｅｐｏｘｙ　ｒｅｓｉｎ）で満たすことを含むマルチチップパッケージの製造方法。

【請求項３３】
基板と共に前記基板の表面上に形成された第１及び第２グループの配線を備える印刷回路基板を用意し、
前記印刷回路基板の前記表面上に下部フリップチップ及び上部フリップチップを順に積層させ、前記下部フリップチップ及び前記上部フリップチップは前記印刷回路基板に向う（ｆａｃｉｎｇ）パッドを有し、
前記下部フリップチップの前記パッドと前記第１グループの配線との間に第１グループのバンプを介在させ、
前記上部フリップチップの前記パッドと前記第２グループの配線との間に第２グループのバンプを介在させ、
前記フリップチップ及び前記バンプをエポキシ成型化合物で密封させることを含み、前記エポキシ成型化合物は前記上部フリップチップを覆うことを特徴とするマルチチップパッケージの製造方法。

【請求項３４】
基板及び前記基板の表面に形成された複数の配線を有する印刷回路基板を用意し、
前記印刷回路基板の前記表面上に複数のフリップチップを順に積層させ、前記複数のフリップチップのうち、最下部フリップチップは前記印刷回路基板に向う（ｆａｃｉｎｇ）パッドを有し、
前記最下部フリップチップ（ｌｏｗｅｓｔ　ｆｌｉｐ　ｃｈｉｐ）の前記パッドと前記複数配線のうち第１グループの配線との間に第１グループのバンプを介在させ、
前記複数フリップチップのうち、少なくとも一つの上部フリップチップのパッドと前記配線のうち第２グループの配線との間に第２グループのバンプを介在させることを含む工程により製造されることを特徴とするマルチチップパッケージ。

【請求項３５】
基板と共に前記基板の表面上に形成された第１及び第２グループの配線を備える印刷回路基板を用意し、
前記基板の表面上に下部フリップチップ及び上部フリップチップを積層させ、前記下部フリップチップ及び前記上部フリップチップは前記印刷回路基板に向う（ｆａｃｉｎｇ）

パッドを有し、
前記下部フリップチップの前記パッドと前記第１グループの配線との間に第１グループのバンプを介在させ、
前記上部フリップチップの前記パッドと前記第２グループの配線との間に第２グループのバンプを介在させ、
前記上部フリップチップと前記印刷回路基板との間の空間をエポキシ樹脂（ｅｐｏｘｙ ｒｅｓｉｎ）で満たすことを含む工程により製造されることを特徴とするマルチチップパッケージ。
【請求項３６】
基板と共に前記基板の表面上に形成された第１及び第２グループの配線を備える印刷回路基板を用意し、
前記印刷回路基板の前記表面上に下部フリップチップ及び上部フリップチップを順に積層させ、前記下部フリップチップ及び前記上部フリップチップは前記印刷回路基板に向う（ｆａｃｉｎｇ）パッドを有し、
前記下部フリップチップの前記パッドと前記第１グループの配線との間に第１グループのバンプを介在させ、
前記上部フリップチップの前記パッドと前記第２グループの配線との間に第２グループのバンプを介在させ、
前記上部フリップチップ及び前記バンプをエポキシ成型化合物で密封させることを含む工程により製造され、前記エポキシ成型化合物は前記上部フリップチップを覆うことを特徴とするマルチチップパッケージ。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、半導体パッケージ及びその製造方法に関するもので、特に、複数のフリップチップを有するマルチチップパッケージ及びその製造方法（Ｍｕｌｔｉ－ｃｈｉｐ ｐａｃｋａｇｅ ｈａｖｉｎｇ ａ ｐｌｕｒａｌｉｔｙ ｏｆ ｆｌｉｐ ｃｈｉｐｓ ａｎｄ ｆａｂｒｉｃａｔｉｏｎ ｍｅｔｈｏｄ ｔｈｅｒｅｏｆ）に関する。
【背景技術】
【０００２】
携帯用電子製品（ｐｏｒｔａｂｌｅ ｅｌｅｃｔｒｏｎｉｃ ｄｅｖｉｃｅｓ）の大きさが次第に小型化されることにより、前記携帯用電子製品の内部に装着される半導体パッケージの大きさもより小さくなっていく。また、パッケージの容量（ｃａｐａｃｉｔｙ）を増加させるために一つの半導体パッケージ内に複数の半導体チップを搭載させる技術、すなわちマルチチップパッケージ技術が広く使われている。
【０００３】
図１は、従来のマルチチップパッケージを示す断面図である。
図１を参照すると、印刷回路基板（ｐｒｉｎｔｅｄ ｃｉｒｃｕｉｔ ｂｏａｒｄ）１上に下部チップ３及び上部チップ５が順に積層される。前記下部チップ３の裏面（ｂａｃｋｓｉｄｅ ｓｕｒｆａｃｅ）は接着剤（ａｄｈｅｓｉｖｅ）７を通じて前記印刷回路１の上部面と接し、前記上部チップ５の裏面は接着剤９を通じて前記下部チップ３の上部面と接する。この場合、前記上部チップ５の幅は、図１に示されたように前記下部チップ３のまわりに形成されたパッドを露出させるために前記下部チップ３の幅よりも小さくなければならない。前記下部チップ３のパッド及び前記上部チップ５のパッドは、それぞれ第１グループのボンディングワイヤ１１及び第２グループのボンディングワイヤ１５を通じて前記印刷回路基板１のまわりに形成される配線１３に電気的に接触される。
【０００４】
図１に示されたマルチチップパッケージは、前記下部チップ３は勿論、上部チップ５を前記印刷回路基板１上の配線１３に電気的に連結させるために通常のボンディングワイヤ１５を使う。すなわち、前記第２グループのボンディングワイヤ１５は前記上部チップ５

よりも高いレベルに位置する。従って、前記チップ３，５とともに前記ボンディングワイヤ１１，１５を密封させる（ｓｅａｌ）ための成型樹脂化合物（ＥＭＣ：ｅｐｏｘｙ ｍｏｌｄｉｎｇ ｃｏｍｐｏｕｎｄ）の厚みを低減するのには限界がある。これに加えて、前記ボンディングワイヤは、インダクター及び高い抵抗体（ｈｉｇｈ ｒｅｓｉｓｔｏｒ）の役割をし、前記チップの高周波特性（ｈｉｇｈ ｆｒｅｑｕｅｎｃｙ ｃｈａｒａｃｔｅｒｉｓｔｉｃ）を低下させる。

【０００５】

図２は、他の従来のマルチチップパッケージを示す斜視図であり、図３は図２の下部チップ及び上部チップの中心部（ｃｅｎｔｒａｌ ｐｏｒｔｉｏｎｓ）を通る線に沿った断面図である。

図２及び図３を参照すると、印刷回路基板２１上に下部チップ２３及び上部チップ２５が順に積層される。前記上部チップ２５は、前記下部チップ２３の上部を横切るように配置される。前記下部チップ２３は、前記上部チップ２５と同じ大きいさ及び同じ機能（ｆｕｎｃｔｉｏｎ）を有することができる。前記下部チップ２３の裏面は、接着剤２２を通じて前記印刷回路基板２１の上部面と接し、前記上部チップ２５の裏面は、接着剤２７を通じて前記下部チップ２３の上部面と接する。この場合、前記上部チップ２５の長さは、図２及び図３に示されたように前記下部チップ２３の幅よりも大きい。従って、前記上部チップ２５は、前記下部チップ２３と重ならない両端、すなわちオーバーハング（ｏｖｅｒ ｈａｎｇｓ）を有する。

【０００６】

前記下部チップ２３の両端上に形成されるパッドは、第１グループのボンディングワイヤ２９を通じて前記印刷回路基板２１の周縁部(edge)上に形成された第１グループの配線３１に電気的に接触される。これと同様に、前記上部チップ２５の両端上に形成されたパッドは、第２グループのボンディングワイヤ３３を通じて前記印刷回路基板２１の周縁部上に形成された第２グループの配線３５に電気的に接触される。

【０００７】

前記第１及び第２グループのボンディングワイヤ２９，３３を形成するためには、図３に示された通常のボンディングヘッド４１が使われる。前記ボンディングヘッド４１はボンディングワイヤ４３をホールディングする。

【０００８】

前記ボンディングワイヤ２９，３３を形成するために前記ヘッド４１は前記パッドに向って下降する。その結果、前記ヘッド４１によりホールディングされた前記ワイヤ４３は所定のパッドと接する。その場合に前記所定のパッドに圧力が加わる。特に，前記第２グループのボンディングワイヤ３３を形成する間、前記オーバーハングは矢印で示されたように曲がることもある。前記オーバーハングの曲げ（ｗａｒｐａｇｅ）は、前記第２グループのボンディングワイヤ３３の接触不良（ｃｏｎｔａｃｔ ｆａｉｌ）を引き起こす。前記オーバーハングの長さＬが長くなるほど、前記第２グループのボンディングワイヤ３３の接触不良はさらに増加する。

【０００９】

一方、日本公開特許公報第０６－３０２６４５号（Ｊａｐａｎｅｓｅ ｌａｉｄ ｏｐｅｎ ｐａｔｅｎｔ ｎｕｍｂｅｒ０６－３０２６４５）は、発光素子を受光素子に接触させる方法を開示している（特許文献１参照）。前記日本公開特許公報第０６－３０２６４５号によると、受光素子基板上に発光素子基板が搭載される（ｍｏｕｎｔｅｄ）。前記受光素子基板はその表面に形成される受光素子を有し、前記発光素子基板はその表面に形成された発光素子を有する。前記発光素子基板は前記発光素子及び受光素子が互いに対向するように前記受光素子基板上に搭載される。すなわち、前記発光素子基板はフリップされて前記受光素子基板上に位置する。前記受光素子基板と前記発光素子基板との間に透明なスペーサーが介在される。これにより、前記発光素子は前記受光素子と離間する。さらに、前記受光素子基板上の配線は複数の積層されたバンプを通じて前記発光素子基板上の配線と電気的に接続される。

【００１０】
前記従来のパッケージ技術にも関わらず、コンパクトで薄いマルチチップパッケージを具現するために新しいマルチチップパッケージについての研究が持続的に要求される。
【特許文献１】日本公開特許公報第０６－３０２６４５号明細書
【発明の開示】
【発明が解決しようとする課題】
【００１１】
本発明が解決しようとする技術的課題は、厚みの減少に適するマルチチップパッケージを提供することにある。
本発明が解決しようとする技術的課題は、厚みを減少させることのできるマルチチップパッケージの製造方法を提供することにある。
【課題を解決するための手段】
【００１２】
前記技術的課題を解決するために本発明は、順に積層された複数のフリップチップを有するマルチチップパッケージを提供する。前記マルチチップパッケージは印刷回路基板を含む。前記印刷回路基板は平坦な基板及び前記基板の表面に形成された複数の配線を有する。前記印刷回路基板の前記表面上に最下部フリップチップ及び少なくとも一つの上部フリップチップが順に積層される。前記フリップチップは、前記印刷回路基板の前記表面に向う（ｆａｃｉｎｇ）パッドを有する。前記最下部フリップチップ（ｌｏｗｅｓｔ　ｆｌｉｐ　ｃｈｉｐ）の前記パッドと前記配線のうち第１グループの配線との間に第１グループのバンプが介在される。また、前記少なくとも一つの上部フリップチップの前記パッドと前記配線のうち第２グループの配線との間に第２グループのバンプが介在される。
【００１３】
前記第１グループのバンプのそれぞれは、単一スタッドバンプ（ａ　ｓｉｎｇｌｅ　ｓｔｕｄ　ｂｕｍｐ）である。また、前記第２グループのバンプのそれぞれは、順に積層された複数のスタッドバンプで構成されることができる。これとは違って、前記第２グループのバンプのそれぞれは、単一ソルダーリングバンプ（ａ　ｓｉｎｇｌｅ　ｓｏｌｄｅｒｉｎｇ　ｂｕｍｐ）でもある。
【００１４】
本発明の一形態によると、前記マルチチップパッケージは印刷回路基板及び前記印刷回路基板の表面上に順に積層された下部フリップチップ及び上部フリップチップを含む。前記印刷回路基板は平坦な基板及び前記基板の表面に形成された第１グループの配線及び第２グループの配線を有する。また、前記フリップチップは前記印刷回路基板の前記表面に向う（ｆａｃｉｎｇ）パッドを有する。前記下部フリップチップの前記パッドと前記第１グループの配線との間に第１グループのバンプが介在される。前記上部フリップチップの前記パッドと前記第２グループの配線との間に第２グループのバンプが介在される。前記上部フリップチップと前記印刷回路基板との間の空間は、エポキシ樹脂（ｅｐｏｘｙ　ｒｅｓｉｎ）で満たされる。
【００１５】
前記エポキシ樹脂は前記バンプを密封させる（ｓｅａｌ）。
前記上部フリップチップは、前記下部フリップチップを横切るように積層されることができる。この場合、前記上部フリップチップは前記下部フリップチップのまわりから延長されたオーバーハングを有し、前記第２グループのバンプは前記オーバーハングと前記第２グループの配線との間に介在される。
一方、前記上部フリップチップは、前記下部フリップチップよりも大きい面積を有することもある。
【００１６】
本発明の他の形態によると、前記マルチチップパッケージは、印刷回路基板及び前記印刷回路基板の表面上に順に積層された下部フリップチップ及び上部フリップチップを含む。前記印刷回路基板は平坦な基板及び前記基板の表面に形成された第１グループ配線及び

第２グループの配線を有する。また、前記フリップチップは前記印刷回路基板の前記表面に向う（ｆａｃｉｎｇ）パッドを有する。前記下部フリップチップの前記パッドと前記第１グループの配線との間に第１グループのバンプが介在され、前記上部フリップチップの前記パッドと前記第２グループの配線との間に第２グループのバンプが介在される。前記フリップチップ及び前記バンプはエポキシ成型化合物によって密封される（ｓｅａｌｅｄ）。前記エポキシ成型化合物は前記上部フリップチップを覆う。

【００１７】

前記上部フリップチップは前記下部フリップチップを横切るように積層されることができる。この場合に、前記上部フリップチップは前記下部フリップチップのまわりから延長されたオーバーハングを有し、前記第２グループのバンプは、前記オーバーハングと前記第２グループの配線との間に介在される。

一方、前記上部フリップチップは、前記下部フリップチップよりも大きい面積を有することもある。

【００１８】

さらに、前記上部フリップチップ上に他の一つのチップが追加で積層されることもある。前記他のチップは前記フリップチップの反対側の表面上に形成されたパッドを有する。この場合、前記他のチップの前記パッドは、ボンディングワイヤを通じて前記印刷回路基板上の他の配線に電気的に連結され、前記エポキシ成型化合物は前記他のチップ及び前記ボンディングワイヤを覆う。

【発明の効果】

【００１９】

前述したように本発明の実施形態によると、印刷回路基板上に複数のフリップチップが積層される。従って、大容量（ｌａｒｇｅ　ｃａｐａｃｉｔｙ）パッケージの具現において、改善された動作速度及び減少された厚みを得ることができる。

【発明を実施するための最良の形態】

【００２０】

添付した図面を参照にして本発明の好ましい実施形態を以下に詳しく説明する。但し、本発明はここで説明する実施形態に限定されず、他の形態で具体化されることもある。むしろ、ここで紹介される実施形態は開示された内容が徹底的で完全なものになるように、そして当業者に本発明の思想が十分に伝わるようにするために提供されるものである。図面において、層及び領域の厚みは明確性を期するために誇張されたものである。また、層が他の層、または基板「上」にあると言及される場合、それは他の層、または基板上に直接形成されたり、またはそれらの間に第３の層が介在されることもある。明細書全体にかけて同一の参照番号は同一の構成要素を示す。

【００２１】

図４は、本発明の第１実施形態に係わるマルチチップパッケージを示す断面図である。

図４を参照すると、印刷回路基板の表面上に下部フリップチップ５３及び上部フリップチップ７１が順に積層される。前記印刷回路基板は、平坦な基板５１及び前記基板の表面に形成された第１グループの配線６１ａ及び第２グループの配線６１ｂを含む。前記下部フリップチップ５３は、前記印刷回路基板に向う（ｆａｃｉｎｇ）パッド５５を含む。これと同様に（ｓｉｍｉｌａｒｌｙ）、前記上部フリップチップ７１も、やはり前記印刷回路基板に向う（ｆａｃｉｎｇ）パッド７３を含む。すなわち、前記パッド５５，７３間の前記フリップチップ５３，７１の表面に集積回路が配置される。前記パッド５５は前記第１グループの配線６１ａに対応する地点に位置し、前記パッド７３は前記第２グループの配線６１ｂに対応する地点に位置する。

【００２２】

前記上部フリップチップ７１は、図４に示されたように前記下部フリップチップ５３よりも大きい面積を有することが好ましい。すなわち、前記上部フリップチップ７１は、前記下部フリップチップ５３よりも大きい幅及び／または長い長さを有することができる。また、前記上部フリップチップ７１は、前記下部フリップチップ５３と異なる機能（ｄｉ

ｆｆｒｅｎｔ ｆｕｎｃｔｉｏｎ）を有することができる。前記パッド５５と前記第１グループの配線６１ａとの間に第１グループのバンプ５７が介在される。前記第１グループのバンプ５７のそれぞれは単一スタッドバンプ（ａ ｓｉｎｇｌｅ ｓｔｕｄ ｂｕｍｐ）でもある。前記スタッドバンプ５７は通常のワイヤボンディング技術を使用して前記パッド５５上に製作されることが可能である。結果的に、前記パッド５５は前記第１グループのバンプ５７を通じて前記第１グループの配線６１ａに電気的に連結される。

【００２３】

さらに、前記パッド７３と前記第２グループの配線６１ｂとの間に第２グループのバンプが介在される。前記第２グループのバンプのそれぞれは、順に積層された複数のスタッドバンプ７５で構成されることが好ましい。前記各積層されたスタッドバンプ７５の数は、前記上部フリップチップ７１と前記印刷回路基板との間の間隔を考慮して決められる。前記積層されたスタッドバンプ７５も、やはり通常のワイヤボンディング技術を使用して前記パッド７３上に形成されることができる。これとは違って（ａｌｔｅｒｎａｔｉｖｅｌｙ）、前記第２グループのバンプのそれぞれは、単一ソルダーリングバンプ（ａ ｓｉｎｇｌｅ ｓｏｌｄｅｒｉｎｇ ｂｕｍｐ）７５ａでもある。結果的に、前記パッド７３は、前記第２グループのバンプ（７５または７５ａ）を通じて前記第２グループの配線６１ｂに電気的に連結される。

【００２４】

前記上部フリップチップ７１と前記印刷回路基板との間の空間は、エポキシ樹脂（ｅｐｏｘｙ ｒｅｓｉｎ）８１で満たされる。この場合、前記上部フリップチップ７１の裏面７１ｂは露出され、前記バンプ５７，７５，７５ａ及び前記下部フリップチップ５３は前記エポキシ樹脂８１によって密封される（ｓｅａｌｅｄ）。さらに、前記下部フリップチップ５３と前記印刷回路基板との間に接着剤（ａｄｈｅｓｉｖｅ）５９が介在されることができる。これと同様に、前記フリップチップ５３，７１間に接着剤７７が介在されることができる。

【００２５】

前記フリップチップ５３，７１、前記バンプ５７，７５，７５ａ及び前記エポキシ樹脂８１は、上部マルチチップパッケージ１０１ａを構成する。前記印刷回路基板の下部面上に下部マルチチップパッケージ１０１ｂが追加で付着されることができる。前記下部マルチチップパッケージ１０１ｂは、前記上部マルチチップパッケージ１０１ａと同一の形態（ｓａｍｅ ｃｏｎｆｉｇｕｒａｔｉｏｎ）を有することができる。

【００２６】

結果的に、本発明の第１実施形態によると、印刷回路基板上に複数のフリップチップが搭載される（ｍｏｕｎｔｅｄ）。これにより、従来のマルチチップパッケージと比べて本発明によるマルチチップパッケージの厚みを著しく減少させることができる。

【００２７】

図５は、本発明の第２実施形態に係わるマルチチップパッケージを示す断面図である。

図５を参照すると、本実施形態に係わるマルチチップパッケージは、図４に示された第１実施形態で説明したような同一の構造（ｓｔｒｕｃｔｕｒｅ）及び形態（ｃｏｎｆｉｇｕｒａｔｉｏｎ）を有する印刷回路基板、フリップチップ５３，７１及びバンプ５７，７５，７５ａを含む。前記フリップチップ５３，７１及びバンプ５７，７５，７５ａは、図４に示されたエポキシ樹脂８１とは違った形態を有するエポキシ成型化合物（ｅｐｏｘｙ ｍｏｌｄｉｎｇ ｃｏｍｐｏｕｎｄ）８３で完全に覆われる。すなわち、前記上部フリップチップ７１の裏面７１ｂも、やはり前記エポキシ成型化合物８３で覆われる。さらに、前記フリップチップ５３，７１間に、図４に示された前記接着剤７７が介在されることができ、前記下部フリップチップ５３と前記印刷回路基板との間に、図４に示された前記接着剤５９が介在されることができる。前記エポキシ成型化合物８３、前記フリップチップ５３，７１、前記バンプ５７，７５，７５ａは、上部マルチチップパッケージ１０３ａを構成する。また、前記第１実施形態のように、前記印刷回路基板の下部面上に下部マルチチップパッケージ１０３ｂが追加で付着されることができる。前記下部マルチチップパ

ッケージ１０３ｂは、前記上部マルチチップパッケージ１０３ａと同一の形態（ｓａｍｅ　ｃｏｎｆｉｇｕｒａｔｉｏｎ）を有することができる。

【００２８】

図６は、本発明の第３実施形態によるマルチチップパッケージを示す断面図である。

図６を参照すると、本実施形態に係わるマルチチップパッケージは、図４に示された第１実施形態で説明されたものと同一の構造（ｓｔｒｕｃｔｕｒｅ）及び形態（ｃｏｎｆｉｇｕｒａｔｉｏｎ）を有するフリップチップ５３，７１及びバンプ５７，７５，７５ａを含む。前記フリップチップ５３，７１及びバンプ５７，７５，７５ａは、印刷回路基板上に積層される。前記印刷回路基板は、第１実施形態で説明された前記印刷回路基板の前記第１及び第２グループの配線６１ａ，６１ｂに加えて第３グループの配線６１ｃを含む。

【００２９】

前記上部フリップチップ７１上に他の一つのチップ８７が積層される。前記他のチップ８７は、前記フリップチップ５３，７１の反対側の表面上に形成されたパッド８９を有する。前記パッド８９は、ボンディングワイヤ９１を通じて前記第３グループの配線６１ｃに電気的に連結される。前記上部フリップチップ７１と前記他のチップ８７との間に接着剤８５が介在されることができる。前記フリップチップ５３，７１、前記他のチップ８７、前記バンプ５７，７５，７５ａ及び前記ボンディングワイヤ９１は、エポキシ成型化合物９３で完全に覆われる。前記エポキシ成型化合物９３、前記フリップチップ５３，７１、前記他のチップ８７、前記バンプ５７，７５，７５ａ及び前記ワイヤ９１は、上部マルチチップパッケージ１０５ａを構成する。また、前記第１及び第２実施形態のように、前記印刷回路基板の下部面上に下部マルチチップパッケージ１０５ｂが追加で付着されることができる。前記下部マルチチップパッケージ１０５ｂは、前記上部マルチチップパッケージ１０５ａと同一の形態（ｓａｍｅ　ｃｏｎｆｉｇｕｒａｔｉｏｎ）を有することができる。

【００３０】

図７は、図４ないし図６に示された前記フリップチップ５３，７１の積層形態（ｓｔａｃｋ　ｃｏｎｆｉｇｕｒａｔｉｏｎ）の一例（ａｎ　ｅｘａｍｐｌｅ）を示した斜視図である。

図７を参照すると、印刷回路基板上部に下部フリップチップ５３が積層され、前記下部フリップチップ６３上部に上部フリップチップ７１が積層される。前記下部フリップチップ５３及び上部フリップチップ７１は、すべて平面図として示される場合、長方形の形態を有することができる。特に、前記上部フリップチップ７１の長さは、前記下部フリップチップ５３の幅よりも大きいこともある。この場合、前記上部フリップチップ７１は、図７に示されたように前記下部フリップチップ５３の上部を横切るように積層されることが好ましい。その結果、前記上部フリップチップ７１の両端は前記下部フリップチップ５３と重ならない。このような上部フリップチップ７１の両端はオーバーハング（ｏｖｅｒｈａｎｇｓ）と呼ばれる。前記第２グループのバンプ７５は、前記オーバーハングと前記第２グループの配線６１ｂとの間に介在されて前記オーバーハングを支持する。

【００３１】

次に、本発明に係わるマルチチップパッケージの製造方法を説明する。

図８ないし図１２は、図４に示されたマルチチップパッケージの製造方法を説明するための断面図である。

図８を参照すると、パッド５５を有する第１チップ５３を備える。前記パッド５５上に通常のワイヤボンディング技術を使用して第１グループのバンプ５７を形成する。前記第１グループのバンプ５７のそれぞれは単一スタッドバンプ（ａ　ｓｉｎｇｌｅ　ｓｔｕｄ　ｂｕｍｐ）でもある。前記第１グループのバンプ５７は、金（Ａｕ）ワイヤを使用して形成することができる。

【００３２】

図９を参照すると、印刷回路基板を備える。前記印刷回路基板は、平坦な基板５１及び前記基板５１の表面上に形成された第１及び第２グループの配線６１ａ，６１ｂを含む。

前記第１グループの配線６１ａの端部（ｅｎｄｓ）はそれぞれの前記パッド５５、すなわち前記第１グループのバンプ５７に対応する地点に位置する。前記基板５１上に前記第１グループのバンプ５７を有する前記第１チップ５３を搭載させる（ｍｏｕｎｔ）。この場合、前記第１チップ５３は、前記第１グループのバンプ５７が前記基板５１に向うようにフリップされる。すなわち、前記第１チップ５３は下部フリップチップに該当する。また、前記下部フリップチップ５３は、前記第１グループのバンプ５７がそれぞれ、それに対応する前記第１グループの配線６１ａに接触されるように整列される。続いて、超音波チップボンディング装置（ｕｌｔｒａｓｏｎｉｃ　ｃｈｉｐ　ｂｏｎｄｉｎｇ　ａｐｐａｒａｔｕｓ）を使用して前記第１グループのバンプ５７及び前記第１グループの配線６１ａを互いにボンディングさせる。この場合、前記第１グループのバンプ５７は、金（Ａｕ）からなり、前記第１及び第２グループの配線６１ａは金（Ａｕ）でコーティングされたものが好ましい。特に、前記第１及び第２グループの配線６１ａとして銅配線が使用される場合、前記銅配線はニッケルで鍍金されたものが好ましいうえ、前記ニッケル膜の表面は金で鍍金されたものが好ましい。これは、前記第１グループのバンプ５７と前記第１グループの配線６１ａとの間の成功的な接触及びボンディングのためである。

【００３３】

一方、前記印刷回路基板上の前記下部フリップチップ５３を搭載させる前に、前記印刷回路基板上に接着剤５９を供給することもできる。この場合、前記接着剤５９は前記下部フリップチップ５３が搭載及びボンディングされる間、前記下部フリップチップ５３と前記印刷回路基板との間の空間を満たす。その結果、前記下部フリップチップ５３と前記印刷回路基板との間の接着力を増大させることができる。

【００３４】

図１０を参照すると、パッド７３を有する第２チップ７１を備える。前記第２チップ７１は、前記下部フリップチップ５３よりも広い平面積を有することが好ましい。前記パッド７３上に通常のワイヤボンディング技術を使用して第２グループのバンプ７５を形成する。前記第２グループのバンプ７５のそれぞれは複数のスタッドバンプを積層させて形成することができる。すなわち、前記第２グループのバンプ７５は、前記第１グループのバンプ５７よりも高く形成される。さらに具体的には、前記第２グループのバンプ７５の高さは前記第１グループのバンプ５７の高さと前記下部フリップチップ５３の厚みとの合計（ｓｕｍ）よりも大きくなければならない。これとは違って、前記第２グループのバンプ７５のそれぞれは前記積層されたスタッドバンプの代わりに単一ソルダーリングバンプ（ａ　ｓｉｎｇｌｅ　ｓｏｌｄｅｒｉｎｇ　ｂｕｍｐ）７５ａで形成されることもできる。この場合、前記単一ソルダーリングバンプ７５ａの高さも、やはり前記第１グループのバンプ５７の高さと前記下部フリップチップ５３の厚みとの合計（ｓｕｍ）よりも大きくなければならない。

【００３５】

図１１を参照すると、前記第２グループのバンプ（７５または７５ａ）を有する前記第２チップ７１を前記印刷回路基板、すなわち前記下部フリップチップ５３上に搭載させる（ｍｏｕｎｔ）。この場合、前記第２チップ７１は、前記第２グループのバンプ（７５または７５ａ）が前記基板５１に向うようにフリップされる。すなわち、前記第２チップ７１は上部フリップチップに該当する。また、前記上部フリップチップ７１は、前記第２グループのバンプ（７５または７５ａ）がそれぞれ、それに対応する前記第２グループの配線６１ｂに接するように整列される。続いて、超音波チップボンディング装備（ｕｌｔｒａｓｏｎｉｃ　ｃｈｉｐ　ｂｏｎｄｉｎｇ　ａｐｐａｒａｔｕｓ）を使用して前記第２グループのバンプ（７５または７５ａ）及び前記第２グループの配線６１ｂを互いにボンディングさせる。

【００３６】

前記上部フリップチップ７１が前記下部フリップチップ５３と同一の長方形の形態を有する時、前記上部フリップチップ７１は、図７に示されたように前記下部フリップチップ５３を横切るように搭載させることが好ましい。この場合、前記上部フリップチップ７１

の両端はオーバーハングに該当する。しかし、本実施形態によると、前記オーバーハングは、前記第２グループのバンプ（７５または７５ａ）によって支持される。すなわち、前記オーバーハング上にボンディングワイヤを形成することが要求されない。これにより、従来技術のように前記ボンディングワイヤを形成する間、前記ボンディングワイヤの接触不良が発生することを根本的に防ぐことができる。

【００３７】

一方、前記下部フリップチップ５３上に前記上部フリップチップ７１を搭載させる前に、前記下部フリップチップ上に接着剤７７を供給することもできる。この場合、前記接着剤７７は、前記上部フリップチップ７１が搭載及びボンディングされる間、前記上部フリップチップ７１と前記下部フリップチップ５３との間の空間を満たす。その結果、前記フリップチップ５３，７１間の接着力を増大させることができる。

【００３８】

さらに、前記接着剤５３，７７を使用する場合、前記下部フリップチップ５３の曲げ（ｗａｒｐａｇｅ）を防ぐことができる。前記下部フリップチップ５３の曲げは、前記下部フリップチップ５３上に形成されるポリイミド膜（ｐｏｌｙｉｍｉｄｅ　ｌａｙｅｒ）のストレスに起因する。前記ポリイミド膜の厚みが増加すると、前記下部フリップチップ５３に印加されるストレスも、やはり増加する。従って、前記フリップチップ５３，７７間の空間とともに前記下部フリップチップ５３下部の空間を満たす接着剤５９，７７を採択することによって前記下部フリップチップ５３の曲げを抑制させることができる。

【００３９】

図１２を参照すると、前記上部フリップチップ７１と前記印刷回路基板との間の空間をエポキシ樹脂（ｅｐｏｘｙ　ｒｅｓｉｎ；８１）で満たす。前記エポキシ樹脂８１は、ノズル７９を通じて供給される。結果的に、前記下部フリップチップ５３、バンプ５７，７５，７５ａは前記エポキシ樹脂８１によって密封される。この場合、前記上部フリップチップ７１の裏面（図４の７１ｂ参照）は露出される。前記エポキシ樹脂８１、フリップチップ５３，７１、及びバンプ５７，７５，７５ａは上部マルチチップパッケージ１０１ａを構成する。

【００４０】

結果的に、本実施形態によると、複数のフリップチップを積層させて形成するため、パッケージの厚みを最小化させることができる。さらに、前記積層されたチップはバンプを通じて印刷回路基板に電気的に連結される。すなわち、本実施形態は高い寄生インダクタンス及び高い抵抗を有する従来のボンディングワイヤを形成することを要求しない。従って、高速素子（ｆａｓｔ　ｄｅｖｉｃｅ）に適したパッケージを形成することができる。

【００４１】

図１３は、図５に示されたマルチチップパッケージの製造方法を説明するための断面図である。

図１３を参照すると、図８ないし図１１で説明されたものと同一の方法を使用して印刷回路基板上に下部フリップチップ５３及び上部フリップチップ７１を順に積層させる。前記印刷回路基板の表面上に前記フリップチップ５３，７１及び前記バンプ５７，７５を密封させるエポキシ成型化合物８３を形成する。前記エポキシ成型化合物８３は前記上部フリップチップ７１を完全に覆うように形成する。前記エポキシ成型化合物８３、フリップチップ５３，７１及びバンプ５７，７５，７５ａは上部マルチチップパッケージ１０３ａを構成する。

本実施形態も、また複数のフリップチップを積層させる方法を採択するため、高速素子に適したパッケージを形成することができる。

【００４２】

図１４は、図６に示されたマルチチップパッケージの製造方法を説明するための断面図である。

図１４を参照すると、図８ないし図１１で説明されたものと同一の方法を使用して印刷回路基板上に下部フリップチップ５３及び上部フリップチップ７１を順に積層させる。前

記印刷回路基板は、前記第１及び第２実施形態で説明した印刷回路基板の第１及び第２グループの配線６１ａ，６１ｂに加えて第３グループの配線６１ｃを含む。前記上部フリップチップ７１上に他の一つのチップ８７を搭載させる。前記他のチップ８７は前記フリップチップ５３，７１の反対側の表面上に形成されたパッド８９を有する。前記他のチップ８７を搭載させる前に、前記上部フリップチップ７１上に接着剤８５を供給することができる。従って、前記他のチップ８７は前記接着剤８５を通じて前記上部フリップチップ７１に固定されることができる。

【００４３】

通常のワイヤボンディング技術を使用して前記パッド８９及び前記第３グループの配線６１ｃを互いに電気的に連結させるボンディングワイヤ９１を形成する。この場合、前記他のチップ８７は前記フリップチップ５３，７１と比べて遅い動作速度（ｓｌｏｗ　ｏｐｅｒａｔｉｏｎ　ｓｐｅｅｄ）を有する低速素子（ｓｌｏｗ　ｄｅｖｉｃｅ）であることが望ましい。従って、本実施形態は、低速素子と高速素子を有するマルチチップパッケージを形成するのに適している。

続いて、前記印刷回路基板の表面上に前記フリップチップ５３，７１、他のチップ８７、バンプ５７，７５及びボンディングワイヤ９１を密封させるエポキシ成型化合物９３を形成する。前記エポキシ成型化合物９３、フリップチップ５３，７１、他のチップ８７、バンプ５７，７５及びボンディングワイヤ９１は上部マルチチップパッケージ１０５ａを構成する。

【図面の簡単な説明】

【００４４】

【図１】従来のマルチチップパッケージを示す断面図である。

【図２】他の従来のマルチチップパッケージを示す断面図である。

【図３】図２に示されたマルチチップパッケージの短所を説明するための断面図である。

【図４】本発明の一実施形態に係わるマルチチップパッケージを示す断面図である。

【図５】本発明の他の実施形態に係わるマルチチップパッケージを示す断面図である。

【図６】本発明のもう一つ他の実施形態に係わるマルチチップパッケージを示す断面図である。

【図７】図４ないし図６のフリップチップ積層形態（ｓｔａｃｋ　ｃｏｎｆｉｇｕｒａｔｉｏｎ）の一例（ａｎ　ｓａｍｐｌｅ）を示す斜視図である。

【図８】図４に示されたマルチチップパッケージを製造する方法を説明するための断面図である。

【図９】図４に示されたマルチチップパッケージを製造する方法を説明するための断面図である。

【図１０】図４に示されたマルチチップパッケージを製造する方法を説明するための断面図である。

【図１１】図４に示されたマルチチップパッケージを製造する方法を説明するための断面図である。

【図１２】図４に示されたマルチチップパッケージを製造する方法を説明するための断面図である。

【図１３】図５に示されたマルチチップパッケージを製造する方法を説明するための断面図である。

【図１４】図６に示されたマルチチップパッケージを製造する方法を説明するための断面図である。

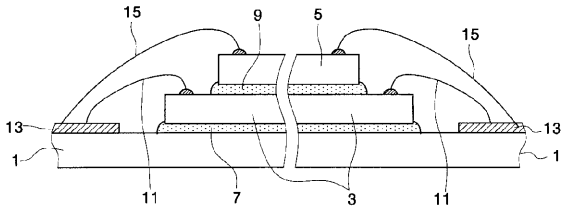
【符号の説明】

【００４５】

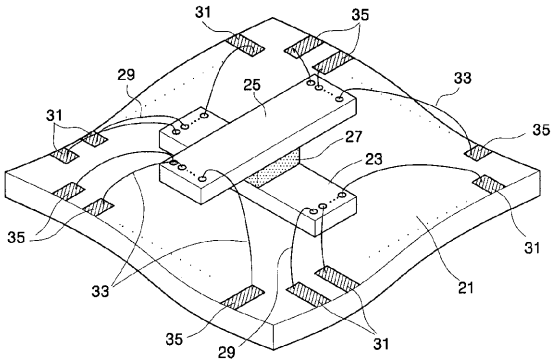
５１　基板
５３　下部フリップチップ
５５　パッド
５７　バンプ

６１ａ，６１ｂ　配線
７１　上部フリップチップ
７３　パッド
７５　スタッドバンプ
７５ａ　ソルダーリングバンプ
７７　接着剤
８１　エポキシ樹脂
１０１ａ　上部マルチチップパッケージ
１０１ｂ　下部マルチチップパッケージ

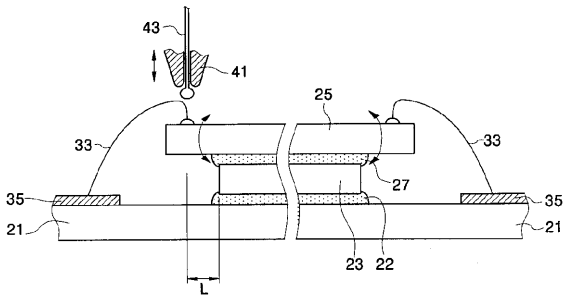
【図１】



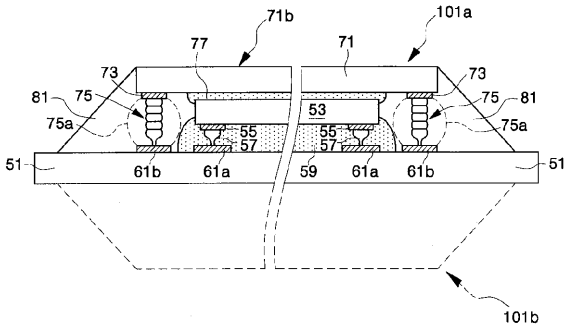
【図２】



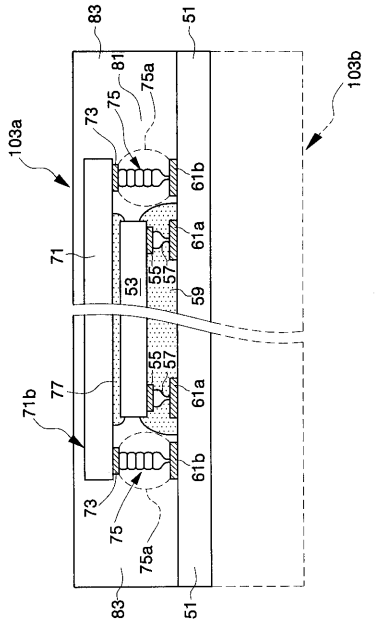
【図３】



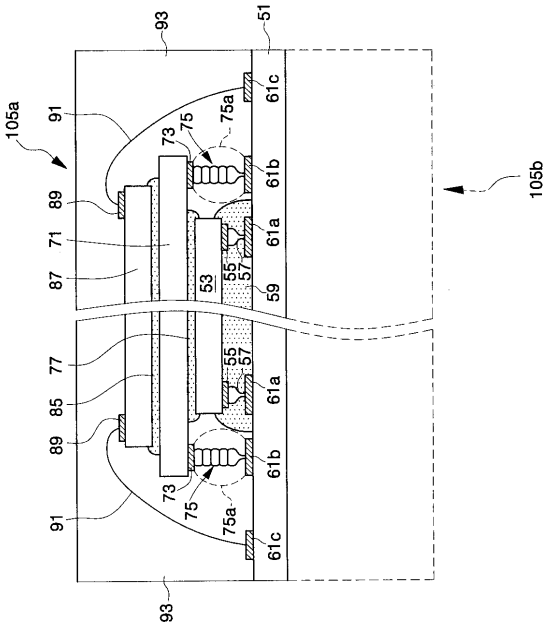
【図４】



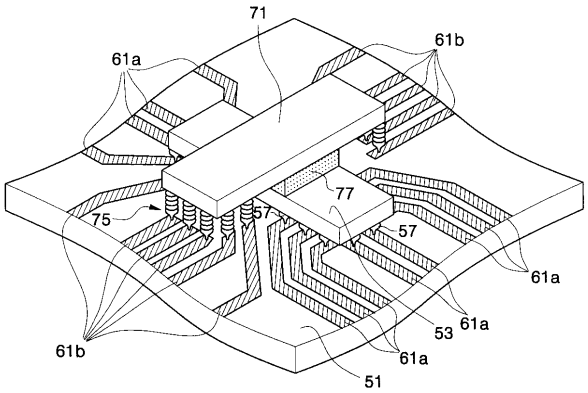
【図５】



【図６】

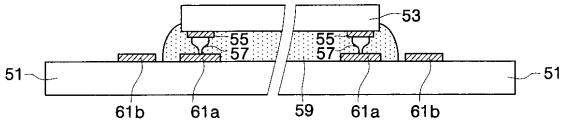


【図７】



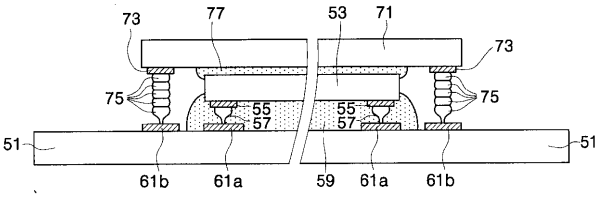
【図８】

【図９】

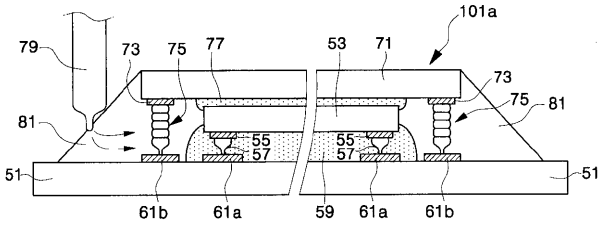


【図１０】

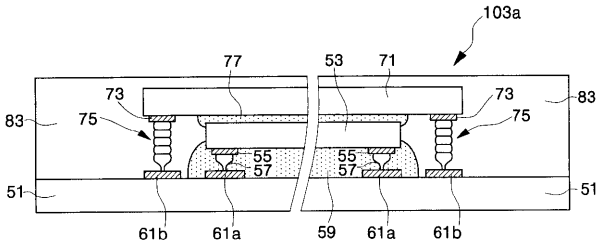
【図１１】



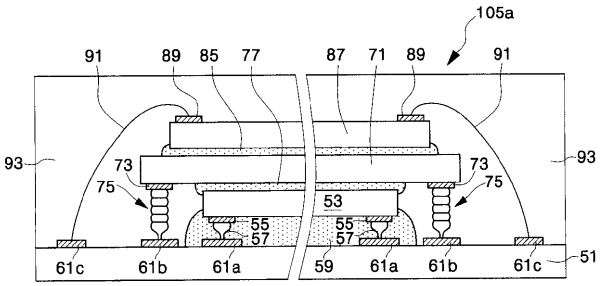
【図１２】


101a
79
73
75
77
53
71
73
75
81
81
55
57
55
57
51
51
61b
61a
59
61a
61b

【図１３】


103a
77
53
71
73
73
83
83
75
75
55
57
55
57
51
51
61b
61a
59
61a
61b

【図１４】


105a
91
89
85
77
87
71
89
91
93
93
73
73
75
75
53
55
57
55
57
51
61c
61b
61a
59
61a
61b
61c

フロントページの続き

(72)発明者　安　相鎬
大韓民国京幾道水源市靈通區靈通洞（番地なし）　▲清▼明マエル三星アパート４３１棟１３０４號