

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3767522号

(P3767522)

(45) 発行日 平成18年4月19日(2006. 4. 19)

(24) 登録日 平成18年2月10日(2006. 2. 10)

(51) Int. Cl. F I
H O 1 L 21/768 (2006. 01) H O 1 L 21/90 A

請求項の数 1 (全 7 頁)

(21) 出願番号	特願2002-183059 (P2002-183059)	(73) 特許権者	000004075
(22) 出願日	平成14年6月24日(2002. 6. 24)		ヤマハ株式会社
(62) 分割の表示	特願平6-276046の分割		静岡県浜松市中沢町10番1号
原出願日	平成6年10月14日(1994. 10. 14)	(74) 代理人	100075074
(65) 公開番号	特開2003-68849 (P2003-68849A)		弁理士 伊沢 敏昭
(43) 公開日	平成15年3月7日(2003. 3. 7)	(72) 発明者	山葉 隆久
審査請求日	平成14年7月24日(2002. 7. 24)		静岡県浜松市中沢町10番1号ヤマハ株式会社内
		審査官	小野田 誠
		(58) 調査した分野(Int. Cl., D B 名)	
			H01L 21/768

(54) 【発明の名称】 多層配線形成法

(57) 【特許請求の範囲】

【請求項1】

最も上から順に反射防止用のT i O N膜、窒化防止用のT i 膜及びA l 又はA l 合金膜を有する下方配線層を覆って層間絶縁膜を形成する工程と、レジスト層をマスクとする選択エッチング処理により前記層間絶縁膜に前記下方配線層の一部に対応した接続孔を形成する工程と、前記レジスト層を酸化性雰囲気中で除去した後、前記接続孔を介して前記下方配線層につながる上方配線層を形成する工程とを含む多層配線形成法であって、前記接続孔を形成する工程では、前記接続孔の底を前記T i O N膜中に位置させることを特徴とする多層配線形成法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、L S I 等の半導体装置の製造に用いられる多層配線形成法に関し、特に層間接続状態がT i O N膜の下に敷いたT i 膜の酸化により悪化するのを防ぐことにより接続抵抗及びそのばらつきを低減するようにしたものである。

【0002】

【従来の技術】

従来、多層配線構造としては、図7に示すものが知られている（例えば、特開平5-19

10

20

0689号公報参照)。

【0003】

図7の構造を得るには、半導体基板10の表面を覆う絶縁膜12の上にTiN膜(バリアメタル膜)14a、Al又はAl合金膜(配線材膜)14b、Ti膜(窒化防止膜)14c及びTiN膜(反射防止膜)14dを有する下方配線層14を形成した後、配線層14を覆って層間絶縁膜16を形成する。そして、レジスト層をマスクとする選択エッチング処理により絶縁膜16に配線層14の一部に対応した接続孔16Aを形成する。この後、O₂ アッシングによりレジスト層を除去してから、上方配線層18を形成する。配線層18は、接続孔16Aを介して配線層14に接続される。

【0004】

【発明が解決しようとする課題】

上記した従来技術によると、TiN膜14dの下にTi膜14cを敷いたので、TiN膜14dを反応性スパッタ法で形成する際にAl又はAl合金膜14bの表面の窒化を防止することができ、配線層14、18間の接続部(層間接続部)の接続抵抗を大幅に低減することができる。

【0005】

ところが、発明者の研究によると、接続孔16Aの形成状況によっては層間接続部の接続抵抗が相当に大きくなることが判明した。また、接続抵抗が増大するのは、接続孔16Aの形成時にTiN膜14dの一部が除去されてTi膜14cが露呈した状態でO₂ アッシングによりレジスト層を除去するためTi膜14cの露呈部が酸化されることによるものと推測された。

【0006】

接続抵抗増大のメカニズムを知るため、図8に示すような試料を作成した。すなわち、図7に示したように半導体基板10の表面を覆う絶縁膜12の上に200nmの厚さのTi膜14cを形成した後、その上に層間絶縁膜16として500nmの厚さのシリコンオキサイド膜をプラズマCVD(ケミカル・ベーパー・デポジション)法により形成した。そして、レジスト層をマスクとする選択的なドライエッチング処理により絶縁膜16に接続孔16Aを形成した。このときのドライエッチング条件は、ガス流量CHF₃/CF₄/Ar=5/30/100sccm、高周波電力700W、ガス圧力26.7Pa(200mTorr)、処理時間182秒であった。この後、O₂ アッシングによりレジスト層を除去してから、接続孔16Aの底のTi膜14cをオージェで深さ方向(矢印dの方向)に元素分析した。

【0007】

図9は、オージェ分析の結果を示すもので、21は酸素(O)、22はチタン(Ti)、23はフッ素(F)の各分布を示し、Sは、図8に示すようにTi膜14cの表面位置を示す。

【0008】

図9の分析結果によれば、接続孔16A内でTi膜14cが酸化されていることがわかる。そして、ドライエッチング処理にはO₂ が用いられていないので、アッシング処理中に酸化が行なわれていると考えられる。

【0009】

この発明の目的は、層間接続部の接続抵抗及びそのばらつきを低減することができる新規な多層配線形成法を提供することにある。

【0010】

【課題を解決するための手段】

この発明は、

最も上から順に反射防止用のTiON膜、窒化防止用のTi膜及びAl又はAl合金膜を有する下方配線層を覆って層間絶縁膜を形成する工程と、
レジスト層をマスクとする選択エッチング処理により前記層間絶縁膜に前記下方配線層の一部に対応した接続孔を形成する工程と、

10

20

30

40

50

前記レジスト層を酸化性雰囲気中で除去した後、前記接続孔を介して前記下方配線層につながる上方配線層を形成する工程とを含む多層配線形成法において、前記接続孔を形成する工程では、前記接続孔の底を前記TiON膜中に位置させることを特徴とするものである。

【0011】

この発明の多層配線形成法によると、接続孔の底をTiON膜中に位置させるようにしたので、Ti膜が接続孔の底に存在しない。従って、レジスト層を酸化性雰囲気中で除去しても、Ti膜の酸化で層間接続状態が悪化することはない。

【0012】

【発明の実施の形態】

図1は、この発明の一実施形態に係る多層配線構造を示すもので、絶縁膜12は、図7に示したのと同様の半導体基板の表面を覆って設けられたものである。

【0013】

絶縁膜12の上には、1層目の配線層30を介して層間絶縁膜16を形成する。そして、CMP（化学・機械的研磨）法等により絶縁膜16の上面を平坦化する。この後、絶縁膜16の上に、2層目の配線層32A、32Bを形成する。

【0014】

配線層32A、32Bとしては、図2に示すような構造のものをを用いることができる。図2は、代表として配線層32Aの積層構造を示すもので、配線層32Aは、下から順にTiN膜14a、Al-Si-Cu合金膜14b、Ti膜14c及びTiON膜14dを積層した構造になっている。膜14a～14dの厚さを例示すると、14aは100nm、14bは350nm、14cは1～15nm、14dは40～50nmである。このような配線構造は、例えば次の表1に示すような条件でスパッタ処理を行なうことにより得られる。

【0015】

【表1】

膜	Al-Si-Cu	Ti	TiN	TiON
ターゲット	Al-Si-Cu	Ti	Ti	Ti
ガス	Ar (100%)	Ar (100%)	N ₂ (100%)	N ₂ (90%) O ₂ (10%)
ガス圧力 [mTorr]	2.0	5.0	4.0	4.0
基板温度 [°C]	150	150	150	150
成膜速度 [Å/sec]	185	14.2	19.1	16.9

ここで、TiN膜及びTiON膜については、反応性スパッタ処理となる。順次の膜形成は、真空を破ることなく連続的に行なってもよく、あるいは途中で大気開放しても構わない。成膜速度から成膜時間を決定する。

【0016】

配線層32A、32Bとしては、図3に示すような積層構造を用いてもよい。図3のものが図2のものと異なるのは、バリアメタル膜として、TiN膜14aの代りに、Ti膜14a₁及びTiON膜14a₂の積層を用いたことである。

【0017】

この場合、膜14a₁、14a₂の厚さは、それぞれ10nm、100nmとし、膜14b～4dの厚さは、それぞれ図2に関して前述したものと同様にすることができる。

【0018】

図2又は図3に示したような積層を絶縁膜16上に形成した後、該積層の上にレジストを塗布してホトリソグラフィ処理を施すことにより所望の配線パターンに対応したレジスト層を形成する。このときのレジストパターンニングは、積層の最上層に反射防止用のTiON膜14dを設けてあるため、微細加工が可能である。そして、レジスト層をマスクとして積層を選択エッチングすることにより配線層32A、32Bを得る。この後、レジスト層を除去する。

10

【0019】

次に、絶縁膜16の上に配線層32A、32Bを覆ってプラズマCVD法によりシリコンオキサイドからなる層間絶縁膜34を形成する。そして、CMP法等により絶縁膜34の上面を平坦化した後、レジスト層をマスクとする選択的なドライエッチング処理により配線層32A、32Bの各々の一部に対応した一定深さの接続孔34a、34bを絶縁膜34に形成する。このときのドライエッチング処理は、次の[I]、[II]に示するような2通りの条件で別々に行なった。

20

【0020】

[I] ガス流量 $\text{CHF}_3/\text{O}_2/\text{He}=20/3.5/88\text{ sccm}$ 、高周波電力500W、ガス圧力260Pa(1950mTorr)

[II] ガス流量 $\text{CHF}_3/\text{CF}_4/\text{Ar}=5/30/100\text{ sccm}$ 、高周波電力700W、ガス圧力26.7Pa(200mTorr)

次に、接続孔34a、34bの形成に用いたレジスト層を O_2 アッシングにより除去する。アッシング条件は、ガス流量 $\text{O}_2/\text{N}_2\text{O}=6/0.5\text{ slm}$ 、ガス圧力4Torr、処理時間120秒とした。

【0021】

この後、3層目の配線層36A、36Bを形成する。一例として、スパッタクリーニング処理(Arガス圧力2.5mTorr、高周波電力500W、処理時間60秒後)を行なった後、7nmの厚さのTi膜及び1000nmの厚さをAl-Si-Cu合金膜を順次にスパッタ処理により堆積し、その堆積層を所望の配線パターンに従ってパターンニングすることにより配線層36A、36Bを得た。配線層36a、36Bは、それぞれ接続孔34a、34bを介して配線層32A、32Bに接続される。

30

【0022】

この発明によれば、上記した接続孔形成工程において、接続孔34aは、図4(B)に示すように底がTi膜14c中に位置するようには形成せず、図4(A)に示すように底がTiN膜14d中に位置するようには形成する。この場合、絶縁膜16、34の上面がほぼ完全に平坦化されており、配線層32A、32Bの厚さがほぼ等しいので、接続孔34bも接続孔34aとほぼ等しい深さで図4(A)に示すように形成される。このように平坦化処理後に接続孔34a、34bを形成すると、各接続孔の底をTiON膜14d中に位置させるのが容易となる。なお、Ti膜14cの厚さは、成膜可能下限値でも窒化防止効果が得られる。

40

【0023】

図5は、図4(A)、(B)の構造をそれぞれ得るためのエッチング時間184秒、210秒に対応してビアチェーン抵抗の測定結果を示すものである。ビアチェーン抵抗の測定には、図6の試料が用いられた。

【0024】

50

一般に、層間接続部の接続抵抗（ビア抵抗）は、極めて低いので、単一の層間接続部のビア抵抗を測定するのではなく、図6に示すように多数の層間接続部を直列接続した状態でビアチェーン抵抗として測定するのが普通である。図6の試料では、下方の配線層 W_1 及び上方の配線層 W_2 に関する層間接続部 C_1 、 $C_2 \cdots C_n$ が直列接続された形で半導体基板の上面に配置され、層間接続部 C_1 及び C_n にそれぞれ接続した端子 T_1 及び T_2 の間の電気抵抗を測定するようになっている。

【0025】

図5の測定結果は、層間接続部の数 n を2000個にすると共にTi膜14cの厚さを15nmとし、前述したエッチング条件〔I〕で接続孔を形成した場合のものであるが、エッチング条件を前述した〔II〕のものに代えても図5と同様の測定結果が得られた。

10

【0026】

図5の測定結果によれば、図4（B）の層間接続部に比べて（A）の層間接続部の方がビアチェーン抵抗（接続抵抗）及びそのばらつきが大幅に低減されているのがわかる。

【0027】

【発明の効果】

以上のように、この発明によれば、層間接続状態が窒化防止用のTi膜の酸化で悪化するのを防ぐようにしたので、層間接続部の接続抵抗を低減すると共に接続抵抗のばらつきを低減することができ、配線形成歩留りが向上する効果が得られるものである。

【図面の簡単な説明】

【図1】 この発明の一実施形態に係る多層配線構造を示す断面図である。

20

【図2】 配線構造の一例を示す断面図である。

【図3】 配線構造の他の例を示す断面図である。

【図4】 2通りの接続孔状況を示す断面図である。

【図5】 接続孔形成のためのエッチング時間とビアチェーン抵抗との関係を示すグラフである。

【図6】 ビアチェーン抵抗測定試料の層間接続部配置を示す上面図である。

【図7】 従来の多層配線構造の一例を示す基板断面図である。

【図8】 オージェ分析用試料を示す断面図である。

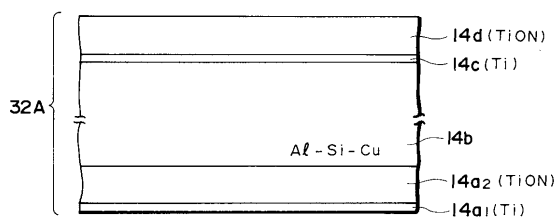
【図9】 オージェ分析結果を示すグラフである。

【符号の説明】

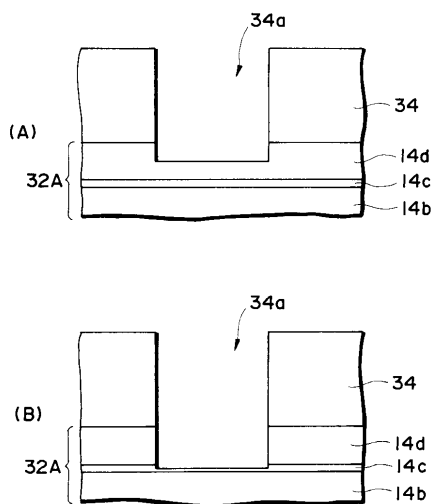
30

30、32A、32B、36A、36B：配線層、12、16、34：絶縁膜。

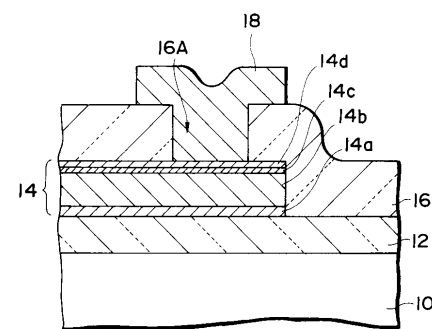
【 図 3 】



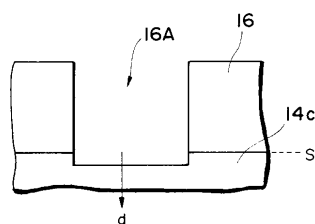
【图 4】



【图 7】



【图 8】



【図 9】

