

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成26年12月18日 (2014.12.18)

【公開番号】特開2013-219263(P2013-219263A)

【公開日】平成25年10月24日 (2013.10.24)

【年通号数】公開・登録公報2013-058

【出願番号】特願2012-89929(P2012-89929)

【国際特許分類】

H 0 1 L 33/48 (2010.01)

H 0 1 L 33/00 (2010.01)

【F I】

H 0 1 L 33/00 4 0 0

H 0 1 L 33/00 J

【手続補正書】

【提出日】平成26年11月5日 (2014.11.5)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

回路基板上に複数の L E D 素子と前記 L E D 素子を駆動するドライバー回路を実装した L E D モジュールにおいて、

前記 L E D 素子は直列接続して複数の部分 L E D 列を形成し、さらに前記部分 L E D 列は直列接続して L E D 列を形成し、

前記ドライバー回路は、ブリッジ整流回路と、前記部分 L E D 列同士に接続するバイパス回路と、前記 L E D 列の端部に接続する電流制限回路を含み、

前記 L E D 素子を実装する領域は前記ドライバー回路を実装する領域の周囲に配置され

、
前記ブリッジ回路は 4 個のダイオードからなり、

前記ダイオード同士を接続する配線の内側の領域に交流接続端子を備え、

前記ダイオード同士を接続する配線の外側の領域に前記ブリッジ回路以外のドライバー回路と前記 L E D 列が配置される

ことを特徴とする L E D モジュール。

【請求項 2】

前記バイパス回路は、第 1 電流入力端子と第 2 電流入力端子と電流出力端子を備え、前記第 1 電流入力端子が前記部分 L E D 列の接続部に接続し、前記第 2 電流入力端子から入力する電流により前記第 1 電流入力端子から入力する電流が制限されることを特徴とする請求項 1 に記載の L E D モジュール。

【請求項 3】

前記バイパス回路がディプレッション型の F E T と抵抗を含み、前記第 1 電流入力端子に前記 F E T のドレインが接続し、前記第 2 電流入力端子に前記 F E T のソースと前記抵抗の一端が接続し、前記電流出力端子に前記 F E T のゲートと前記抵抗の他端が接続していることを特徴とする請求項 2 に記載の L E D モジュール。

【請求項 4】

第 1 ダム材と第 2 ダム材を備え、前記第 1 ダム材が前記 L E D 列を囲み、前記第 2 ダム材が前記交流接続端子と前記ドライバー回路の間に配置され、前記第 1 ダム材と第 2 ダム材

材の間の領域に被覆部材を充填していることを特徴とする請求項 1 から 3 のいずれか一項に記載の L E D モジュール。

【請求項 5】

前記 L E D 素子、前記 F E T、前記抵抗及び前記ブリッジ整流回路を構成するダイオードがベアチップであることを特徴とする請求項 2 から 4 のいずれか一項に記載の L E D モジュール。

【請求項 6】

前記部分 L E D 列のうち一部の部分 L E D 列が他の部分 L E D 列を環状に囲むことを特徴とする請求項 1 から 5 のいずれか一項に記載の L E D モジュール。

【請求項 7】

前記 L E D 素子がチップサイズパッケージ L E D であることを特徴とする請求項 1 から 3 のいずれか一項に記載の L E D モジュール。

【請求項 8】

前記部分 L E D 列のうち一部の部分 L E D 列が他の部分 L E D 列を環状に囲み、前記一部の部分 L E D 列に配光分布の広いチップサイズパッケージ L E D が含まれることを特徴とする請求項 7 に記載の L E D モジュール。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 7

【補正方法】変更

【補正の内容】

【0 0 0 7】

本発明の L E D モジュールは、回路基板上に複数の L E D 素子と前記 L E D 素子を駆動するドライバー回路を実装した L E D モジュールにおいて、

前記 L E D 素子は直列接続して複数の部分 L E D 列を形成し、さらに前記部分 L E D 列は直列接続して L E D 列を形成し、

前記ドライバー回路は、ブリッジ整流回路と、前記部分 L E D 列同士に接続するバイパス回路と、前記 L E D 列の端部に接続する電流制限回路を含み、

前記 L E D 素子を実装する領域は前記ドライバー回路を実装する領域の周囲に配置され

、前記ブリッジ回路は 4 個のダイオードからなり、

前記ダイオード同士を接続する配線の内側の領域に交流接続端子を備え、

前記ダイオード同士を接続する配線の外側の領域に前記ブリッジ回路以外のドライバー回路と前記 L E D 列が配置される

ことを特徴とする。

前記バイパス回路は、第 1 電流入力端子と第 2 電流入力端子と電流出力端子を備え、前記第 1 電流入力端子が前記部分 L E D 列の接続部に接続し、前記第 2 電流入力端子から入力する電流により前記第 1 電流入力端子から入力する電流が制限されても良い。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 3

【補正方法】変更

【補正の内容】

【0 0 1 3】

前記 L E D 素子、前記 F E T、前記抵抗及び前記ブリッジ整流回路を構成するダイオードがベアチップであっても良い。