(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2008 年12 月11 日 (11.12.2008)

PCT

(10) 国際公開番号
WO 2008/149922 A1

(51) 国際特許分類:
H01L 29/78 (2006.01)

(21) 国際出願番号: PCT/JP2008/060348

(22) 国際出願日: 2008 年6 月5 日 (05.06.2008)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2007-150437 2007 年6 月6 日 (06.06.2007) JP
特願2007-153761 2007 年6 月11 日 (11.06.2007) JP

(71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD.) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町２１ Kyoto (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 高石 昌 (TAKAISHI, Masaru) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町２１ ローム株式会社内 Kyoto (JP).

(74) 代理人: 佐野 静夫 , 外 (SANO, Shizuo et al.); 〒5400032 大阪府大阪市中央区天満橋京町２－６天満橋八千代ビル別館 Osaka (JP).

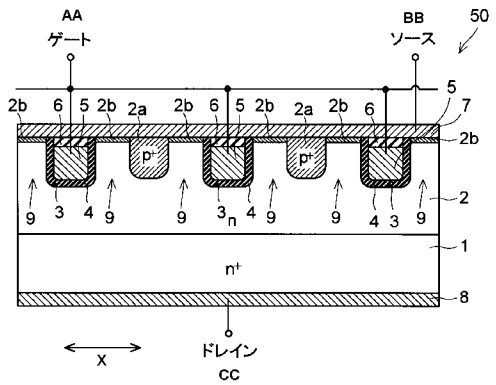
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

[図1]



AA GATE
BB SOURCE
CC DRAING

(57) Abstract: Provided is a semiconductor device based on a new operation principle which can significantly reduce the ON resistance. The semiconductor device (50) includes: an n-type epitaxial layer (2); a trench (3) formed on the n-type epitaxial layer (2) and having a built-in electrode (5); and a p+ type impurities region (2a) formed in a predetermined region of the upper surface of the n-type epitaxial layer (2) while keeping a predetermined distance from the trench (3). The region between the trench (3) and the p+ type impurities region (2a) serves as a channel (9). A current flowing in the channel (9) is cut off when the channel (9) is blocked off by a depletion layer (10b) formed in the peripheral portion of the trench (3) and a depletion layer (10a) formed in the peripheral portion of the p+ type impurities region (2a). On the other hand, when the depletion layer (10b) in the peripheral portion of the trench (3) disappears, the current flows via the channel (9).

(57) 要約: オン抵抗を大幅に低減することが可能な新しい動作原理に基づく半導体装置を提供する。この半導体装置（５０）は、ｎ型エピタキシャル層（２）と、このｎ型エピタキシャル層（２）に形成され、内部に埋め込み電極５が設けられたトレンチ（３）と、ｎ型エピタキシャル層（２）の上面側の所定領域に、平面的に見て、トレンチ（３）と所定の間隔を隔てて形成されたｐ$^{+}$型不純物領域（２ａ）とを備えている。

[続葉有]

WO 2008/149922 A1

SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

そして、トレンチ（３）とｐ$^{+}$型不純物領域（２ａ）との間の領域がチャネル（９）となり、トレンチ（３）の周辺に形成される空乏層（１０ｂ）とｐ$^{+}$型不純物領域（２ａ）の周辺に形成される空乏層（１０ａ）とで、チャネル（９）を塞ぐことにより、チャネル（９）を流れる電流が遮断される一方、トレンチ（３）の周辺の空乏層（１０ｂ）を消滅させることにより、チャネル（９）を介して電流が流れるように構成されている。

明 細 書

半導体装置

技術分野

[0001] この発明は、半導体装置に関し、特に、スイッチング機能を有する半導体装置に関する。

背景技術

[0002] 従来、スイッチング機能を有する半導体装置として、MOSFET(Metal Oxide Semiconductor Field Effect Transistor)が知られている(たとえば、特許文献1参照)。この特許文献1には、一導電型の半導体層に形成されたトレンチにゲート電極が埋め込まれたトレンチゲート型のMOSFET(半導体装置)が開示されている。

[0003] 図24は、上記特許文献1に開示された従来のMOSFET(半導体装置)の構造を示した断面図である。図24を参照して、従来のMOSFETでは、n^+型の半導体基板201の上面上に、エピタキシャル層202が形成されている。このエピタキシャル層202には、半導体基板201側から順に、n^-型不純物領域(ドレイン領域)202a、p型不純物領域202bおよびn^+型不純物領域(ソース領域)202cが形成されている。

[0004] また、エピタキシャル層202には、n^+型不純物領域202cおよびp型不純物領域202bを貫通してn^-型不純物領域202aの途中の深さにまで達するトレンチ203が形成されている。このトレンチ203の内部には、ゲート絶縁膜204を介して、ゲート電極205が形成されている。また、エピタキシャル層202の上面上の所定領域には、トレンチ203の開口を塞ぐ層間絶縁膜206が形成されている。

[0005] また、エピタキシャル層202の上面上には、層間絶縁膜206を覆うように、ソース電極207が形成されている。また、半導体基板201の裏面(下面)上には、ドレイン電極208が形成されている。

[0006] 上記のように構成された従来のMOSFETでは、ゲート電極205に対する印加電圧を変化させることによりオン/オフの制御が行われる。具体的には、ゲート電極205に対して所定の正電位を印加すると、p型不純物領域202bの少数キャリア(電子)がトレンチ203側に引き寄せられることによって、n^-型不純物領域(ドレイン領域)202a

とn^+型不純物領域（ソース領域）202cとを接続するような反転層209が形成される。これにより、反転層209を介して、ソース電極207とドレイン電極208との間に電流を流すことができる。その結果、MOSFETがオン状態となる。すなわち、従来のMOSFETでは、n^-型不純物領域（ドレイン領域）202aとn^+型不純物領域（ソース領域）202cとを接続するように形成される反転層209をチャネルとして機能させている。

[0007] その一方、ゲート電極205に対する所定の正電位の印加を解除すると、反転層（チャネル）209が消滅するので、ソース電極207とドレイン電極208との間における電流の流れを遮断することができる。その結果、MOSFETがオフ状態となる。

[0008] 特許文献1：特開2001－7149号公報

発明の開示

発明が解決しようとする課題

[0009] しかしながら、図24に示した従来の構造では、オン時に形成される反転層（チャネル）209が非常に薄いため、反転層（チャネル）209を流れる電流に対する抵抗を低減するのが困難であるという不都合がある。その結果、オン抵抗の改善を図るのが困難であるという問題点がある。

[0010] この発明は、上記のような課題を解決するためになされたものであり、この発明の目的は、オン抵抗を大幅に低減することが可能な新しい動作原理に基づく半導体装置を提供することである。

課題を解決するための手段

[0011] 上記目的を達成するために、この発明の第1の局面による半導体装置は、一導電型の半導体層と、半導体層に形成されたトレンチと、トレンチの内部に第1絶縁膜を介して形成された埋め込み電極と、半導体層の上面側の所定領域に、平面的に見て、トレンチと所定の間隔を隔てて形成され、埋め込み電極とは別個に電圧が印加される逆導電型の不純物領域とを備えている。そして、トレンチと不純物領域との間の領域がチャネルとなり、トレンチの周辺に形成される空乏層と不純物領域の周辺に形成される空乏層とでチャネルを塞ぐことにより、チャネルを流れる電流が遮断される一方、トレンチの周辺の空乏層を消滅させることにより、チャネルを介して電流が流れるように構成されている。なお、本発明の半導体層は、半導体基板を含む。

[0012] この第1の局面による半導体装置では、上記のように、一導電型の半導体層に、第1絶縁膜を介して埋め込み電極が内部に設けられたトレンチと、平面的に見て、トレンチと所定の間隔を隔てて配置された逆導電型の不純物領域とを形成するとともに、トレンチの周辺に形成される空乏層と不純物領域の周辺に形成される空乏層とでチャネルを塞ぐことにより、チャネルを流れる電流を遮断する一方、トレンチの周辺の空乏層を消滅させることにより、チャネルを介して電流が流れるように構成することによって、トレンチの周辺に形成される空乏層の形成状態は埋め込み電極に対する印加電圧に応じて変化するので、埋め込み電極に対する印加電圧を制御することにより、オフ状態(チャネルを流れる電流が遮断される状態)からオン状態(チャネルを介して電流が流れる状態)への切り替えを行うことができるとともに、その逆の切り替えも行うことができる。すなわち、半導体装置にスイッチング機能を持たせることができる。そして、上記した構成では、オン時において、トレンチと不純物領域との間の領域の空乏層が形成されていない領域の全てをチャネル(電流通路)として機能させることができるので、非常に薄い反転層をチャネル(電流通路)として機能させる従来の半導体スイッチ装置(MOSFET)と比べて、チャネルを流れる電流に対する抵抗を大幅に低減することが可能となる。これにより、従来の半導体スイッチ装置(MOSFET)と比べて、オン抵抗を大幅に低減することができる。

[0013] また、第1の局面による半導体装置では、上記のように、半導体層の上面側の所定領域に、平面的に見て、トレンチと所定の間隔を隔てて形成されるとともに、埋め込み電極とは別個に電圧が印加される逆導電型の不純物領域を備えることによって、不純物領域に電圧が印加された状態にしておくことにより、不純物領域の周辺には常に電界が働いている状態にしておくことができるので、その電界によって、不純物領域の周辺に常に空乏層が形成された状態にしておくことができる。一方、空乏層によってチャネルが塞がれた状態(オフ状態)では、トレンチの周辺に形成される空乏層の一部と、不純物領域の周辺に形成される空乏層の一部とが重なった状態となっているので、トレンチの周辺に形成される空乏層の一部は、不純物領域の周辺に働く電界中に位置した状態となっている。このため、オフ状態からオン状態に切り替える際に、不純物領域の周辺に働く電界に逆らって、トレンチの周辺に形成された空乏

層を消滅させなければならなくなるので、オフ状態からオン状態に切り替える際の閾値電圧（チャネルを流れる電流の遮断が解除されてオン状態になる時の埋め込み電極に対する印加電圧）を高くすることができる。その結果、オン／オフ制御時において、外来ノイズによる誤動作が発生し易くなるのを抑制することができる。なお、上記した構成では、不純物領域と半導体層との境界部分にpn接合が形成されるので、この不純物領域に電圧を印加することによって、不純物領域の周辺に形成される空乏層を大きくすることができる。すなわち、pn接合によって形成される空乏層は、電圧依存性が高いので、不純物領域に電圧を印加することによって、不純物領域の周辺に形成される空乏層を大きくすることができる。このため、トレンチの周辺に形成される空乏層と不純物領域の周辺に形成される空乏層とで、チャネルを塞ぐ際に、トレンチの周辺に形成される空乏層の一部と、不純物領域の周辺に形成される空乏層の一部とが重なる領域を大きくすることができる。これにより、閾値電圧を容易に高くすることができる。

[0014] さらに、第1の局面による半導体装置では、上記のように、一導電型の半導体層に逆導電型の不純物領域をトレンチと所定の間隔を隔てて形成することによって、上記したように、不純物領域の周辺に形成される空乏層を大きくすることができるので、トレンチと不純物領域との間の間隔を大きくした場合でも、容易に、トレンチの周辺に形成される空乏層と不純物領域の周辺に形成される空乏層とでチャネルを塞ぐことができる。これにより、トレンチと不純物領域との間隔に余裕を持たせることができるので、製造プロセスを容易にすることができる。

[0015] 上記第1の局面による半導体装置において、好ましくは、不純物領域の周辺には、オフ状態およびオン状態のいずれにおいても、空乏層が形成されている。このように構成すれば、容易に、閾値電圧を高くすることができるので、容易に、オン抵抗を大幅に低減しながら、信頼性を向上させることができる。

[0016] 上記第1の局面による半導体装置において、埋め込み電極の上面上に、第2絶縁膜を形成するとともに、第2絶縁膜を、その上面が半導体層の上面と同一面となるようにトレンチ内に形成することができる。

[0017] 上記第1の局面による半導体装置において、好ましくは、トレンチおよび不純物領

域は、半導体層の上面と平行な所定方向に、互いに平行に延びるように形成されている。このように構成すれば、トレンチと不純物領域との間の領域の平面積を大きくすることができるので、チャネルの平面積を大きくすることができる。これにより、チャネルに流れる電流量を大きくすることができるので、容易に、チャネルに流れる電流に対する抵抗を大幅に低減することができる。その結果、オン抵抗をより大幅に低減することができる。

[0018] 上記第1の局面による半導体装置において、好ましくは、トレンチおよび不純物領域は、それぞれ、複数形成されているとともに、平面的に見て、交互に配列されている。このように構成すれば、容易に、トレンチと不純物領域との間の領域の平面積(合計面積)を大きくすることができるので、容易に、チャネルの平面積を大きくすることができる。これにより、容易に、チャネルに流れる電流量を大きくすることができるので、より容易に、チャネルに流れる電流に対する抵抗を大幅に低減することができる。その結果、オン抵抗をさらに大幅に低減することができる。

[0019] 上記第1の局面による半導体装置において、好ましくは、半導体層の上面上には、電極層が形成されており、電極層は、少なくとも、不純物領域とオーミック接触している。このように構成すれば、オフ状態およびオン状態のいずれにおいても、不純物領域に電圧が印加された状態を容易に保持することができるので、容易に、不純物領域の周辺に空乏層が形成された状態にしておくことができる。このため、容易に、閾値電圧を高くすることができるので、容易に、オン抵抗を大幅に低減しながら、信頼性を向上させることができる。

[0020] この発明の第2の局面による半導体装置は、一導電型の半導体層と、半導体層に形成されたトレンチと、トレンチの内部に第1絶縁膜を介して形成された埋め込み電極と、半導体層の上面側の所定領域に、平面的に見て、トレンチと所定の間隔を隔てて形成され、埋め込み電極とは別個に電圧が印加される逆導電型の不純物領域と、半導体層の一部とショットキー接触するように形成された金属層とを備えている。そして、トレンチと不純物領域との間の領域がチャネルとなり、トレンチの周辺に形成される空乏層と不純物領域の周辺に形成される空乏層とで、チャネルを塞ぐことにより、チャネルを流れる電流が遮断される一方、トレンチの周辺の空乏層を消滅させるこ

とにより、チャネルを介して電流が流れるように構成されている。

[0021] この第2の局面による半導体装置では、上記のように、一導電型の半導体層に、第1絶縁膜を介して埋め込み電極が内部に設けられたトレンチと、平面的に見て、トレンチと所定の間隔を隔てて配置された逆導電型の不純物領域とを形成するとともに、トレンチの周辺に形成される空乏層と不純物領域の周辺に形成される空乏層とで、チャネルを塞ぐことにより、チャネルを流れる電流を遮断する一方、トレンチの周辺の空乏層を消滅させることにより、チャネルを介して電流が流れるように構成することによって、トレンチの周辺に形成される空乏層の形成状態は埋め込み電極に対する印加電圧に応じて変化するので、埋め込み電極に対する印加電圧を制御することにより、オフ状態(チャネルを流れる電流が遮断される状態)からオン状態(チャネルを介して電流が流れる状態)への切り替えを行うことができるとともに、その逆の切り替えも行うことができる。すなわち、半導体装置にスイッチング機能を持たせることができる。そして、上記した構成では、オン時において、トレンチと不純物領域との間の領域における空乏層が形成されていない領域の全てをチャネル(電流通路)として機能させることができるので、非常に薄い反転層をチャネル(電流通路)として機能させる従来の半導体スイッチ装置(MOSFET)と比べて、チャネルを流れる電流に対する抵抗を大幅に低減することが可能となる。これにより、従来の半導体スイッチ装置(MOSFET)と比べて、オン抵抗を大幅に低減することができる。

[0022] また、第2の局面による半導体装置では、上記のように、半導体層の上面側の所定領域に、平面的に見て、トレンチと所定の間隔を隔てて形成されるとともに、埋め込み電極とは別個に電圧が印加される逆導電型の不純物領域を備えることによって、不純物領域に電圧が印加された状態にしておくことにより、不純物領域の周辺には常に電界が働いている状態にしておくことができるので、その電界によって、不純物領域の周辺に常に空乏層が形成された状態にしておくことができる。一方、空乏層によってチャネルが塞がれた状態(オフ状態)では、トレンチの周辺に形成される空乏層の一部と、不純物領域の周辺に形成される空乏層の一部とが重なった状態となっているので、トレンチの周辺に形成される空乏層の一部は、不純物領域の周辺に働く電界中に位置した状態となっている。このため、オフ状態からオン状態に切り替える

際に、不純物領域の周辺に働く電界に逆らって、トレンチの周辺に形成された空乏層を消滅させなければならなくなるので、オフ状態からオン状態に切り替える際の閾値電圧(チャネルを流れる電流の遮断が解除されてオン状態になる時の埋め込み電極に対する印加電圧)が高くなる。その結果、オン/オフ制御時において、外来ノイズによる誤動作が発生し易くなるのを抑制することができる。なお、上記した構成では、不純物領域と半導体層との境界部分にpn接合が形成されるので、この不純物領域に電圧を印加することによって、不純物領域の周辺に形成される空乏層を大きくすることができる。すなわち、pn接合によって形成される空乏層は、電圧依存性が高いので、不純物領域に電圧を印加することによって、不純物領域の周辺に形成される空乏層を大きくすることができる。このため、トレンチの周辺に形成される空乏層と不純物領域の周辺に形成される空乏層とで、チャネルを塞ぐ際に、トレンチの周辺に形成される空乏層の一部と、不純物領域の周辺に形成される空乏層の一部とが重なる領域を大きくすることができる。これにより、閾値電圧を容易に高くすることができる。

[0023] さらに、第2の局面による半導体装置では、上記のように、半導体層の一部とショットキー接触するように形成された金属層を備えることによって、半導体装置にショットキーバリアダイオードを形成することができるので、閾値電圧を高くするために、半導体層に逆導電型の不純物領域を形成したとしても、スイッチング特性を向上させることができる。すなわち、半導体層に逆導電型の不純物領域を形成することによって、内部にpnダイオード(内蔵ダイオード)が形成される一方、上記のように構成することによって、内部に形成されたpnダイオード(内蔵ダイオード)と極性を同じくして並列にショットキーバリアダイオードを形成することができる。このショットキーバリアダイオードは、多数キャリアを利用するため、少数キャリアを利用するpnダイオード(内蔵ダイオード)に比べて、逆回復時間が速い。このため、半導体装置の逆回復時間を向上させることができるので、閾値電圧を高くしながら、スイッチング特性を向上させることができる。

[0024] 上記第2の局面による半導体装置において、好ましくは、トレンチは、半導体層の上面と平行な所定方向に延びるように複数形成されており、複数のトレンチは、平面的に見て、不純物領域を挟むように、互いに所定の間隔を隔てて配列されている。この

ように構成すれば、トレンチと不純物領域との間の領域を複数箇所に形成することができるので、トレンチと不純物領域との間の領域の平面積を大きくすることができる。このため、チャネルの平面積を大きくすることができるので、チャネルに流れる電流量を大きくすることができる。これにより、容易に、チャネルに流れる電流に対する抵抗を大幅に低減することができるので、オン抵抗をより大幅に低減することができる。

[0025] この場合において、好ましくは、不純物領域は、互いに隣り合うトレンチ間の各々の領域に配置されるように、複数形成されており、不純物領域の少なくとも1つは、トレンチに沿った方向に、断続的に延びるように形成されている。このように構成すれば、半導体層の不純物濃度を低くすることにより、半導体層の上面における不純物領域の断続部分から半導体層の不純物濃度の低い領域を露出させることができるので、この領域と金属層とを接触させることにより、容易に、金属層を半導体層とショットキー接触させることができる。これにより、半導体装置にショットキーバリアダイオードを容易に形成することができるので、容易に、スイッチング特性を向上させることができる。

[0026] さらに、この場合において、複数の不純物領域の各々を、トレンチに沿った方向に断続的に延びるように形成することができる。

[0027] 上記第2の局面による半導体装置において、好ましくは、金属層は、少なくとも、半導体層の上面と接触するバリアメタル層を含む。このように構成すれば、金属層を、半導体層と良好にショットキー接触させることができるので、半導体装置にショットキーバリアダイオードをより容易に形成することができる。これにより、さらに容易に、スイッチング特性を向上させることができる。

[0028] 上記第2の局面による半導体装置において、好ましくは、金属層は、半導体層の上面上に、半導体層の一部とショットキー接触する一方、不純物領域とはオーミック接触するように形成されている。このように構成すれば、容易に、pnダイオード(内蔵ダイオード)と極性を同じくして並列にショットキーバリアダイオードを形成することができる。

[0029] 上記第2の局面による半導体装置において、埋め込み電極の上面上に、第2絶縁膜を形成するとともに、この第2絶縁膜を、その上面が半導体層の上面と同一面となるようにトレンチ内に形成することができる。

発明の効果

[0030] 以上のように、本発明によれば、オン抵抗を大幅に低減することが可能な新しい動作原理に基づく半導体装置を得ることができる。

図面の簡単な説明

[0031] [図1]本発明の第1実施形態による半導体装置の一部を示した断面図である。

[図2]図1に示した第1実施形態による半導体装置の一部を示した平面図である。

[図3]本発明の第1実施形態による半導体装置の動作を説明するための断面図である。

[図4]本発明の第1実施形態による半導体装置の動作を説明するための断面図である。

[図5]本発明の第1実施形態による半導体装置の動作を説明するための断面図である。

[図6]図1に示した本発明の第1実施形態による半導体装置の製造プロセスを説明するための断面図である。

[図7]図1に示した本発明の第1実施形態による半導体装置の製造プロセスを説明するための断面図である。

[図8]図1に示した本発明の第1実施形態による半導体装置の製造プロセスを説明するための断面図である。

[図9]図1に示した本発明の第1実施形態による半導体装置の製造プロセスを説明するための断面図である。

[図10]図1に示した本発明の第1実施形態による半導体装置の製造プロセスを説明するための断面図である。

[図11]図1に示した本発明の第1実施形態による半導体装置の製造プロセスを説明するための断面図である。

[図12]図1に示した本発明の第1実施形態による半導体装置の製造プロセスを説明するための断面図である。

[図13]図1に示した本発明の第1実施形態による半導体装置の製造プロセスを説明するための断面図である。

[図14]本発明の第2実施形態による半導体装置の一部を示した断面斜視図である。

[図15]図14に示した本発明の第2実施形態による半導体装置の一部を示した平面図である。

[図16]図15の180－180線に沿った断面図である。

[図17]図14に示した本発明の第2実施形態による半導体装置の等価回路図である。

[図18]本発明の第2実施形態による半導体装置の動作を説明するための断面図である。

[図19]本発明の第2実施形態による半導体装置の動作を説明するための断面図である。

[図20]本発明の第2実施形態による半導体装置の動作を説明するための断面図である。

[図21]本発明の第2実施形態による半導体装置のショットキーバリアダイオードが形成されている領域の動作を説明するための断面図である。

[図22]本発明の第2実施形態による半導体装置のショットキーバリアダイオードが形成されている領域の動作を説明するための断面図である。

[図23]本発明の第2実施形態による半導体装置を用いたDC／DCコンバータの一例を示した回路図である。

[図24]特許文献1に開示された従来のMOSFET（半導体装置）の構造を示した断面図である。

符号の説明

[0032]

1、101	n^+型シリコン基板（一導電型の半導体基板）
2、102	n型エピタキシャル層（一導電型の半導体層）
2a、102a	p^+型不純物領域（逆導電型の不純物領域）
2b、102b	高濃度領域
3、103	トレンチ
4、104	シリコン酸化膜（第1絶縁膜）
5、105	埋め込み電極
6、106	層間絶縁膜（第2絶縁膜）

7、107	ソース電極（電極層、金属層）
107a	バリアメタル層
107b	Al層
8、108	ドレイン電極
9、109	チャネル
10、110	空乏層
11、111	蓄積層
121a	断続部分
121b	低濃度領域が露出した領域
50、150	半導体装置

発明を実施するための最良の形態

[0033] 以下、本発明を具体化した実施形態を、図面を参照して詳細に説明する。

[0034] （第1実施形態）

図1は、本発明の第1実施形態による半導体装置の一部を示した断面図である。図2は、図1に示した第1実施形態による半導体装置の一部を示した平面図である。まず、図1および図2を参照して、本発明の第1実施形態による半導体装置50の構造について説明する。なお、第1実施形態の半導体装置50は、ノーマリオフ型のスイッチ装置として機能するように構成されている。

[0035] 第1実施形態の半導体装置50は、図1に示すように、n^+型シリコン基板1の上面上に、約1μmから約10μmの厚みを有するn型シリコンからなるn型エピタキシャル層2が形成されている。n^+型シリコン基板1には、後述するドレイン電極8との間で良好なオーミック接触を得るために、n型不純物が高濃度（たとえば、約$1\times10^{20}cm^{-3}$）で導入されている。また、n型エピタキシャル層2には、n型不純物がn^+型シリコン基板1よりも低い濃度（たとえば、約$5\times10^{15}cm^{-3}$～約$1\times10^{18}cm^{-3}$）で導入されている。なお、n^+型シリコン基板1およびn型エピタキシャル層2は、本発明の「一導電型の半導体層」の一例である。

[0036] また、n型エピタキシャル層2は、その厚み方向に掘られた複数のトレンチ3を有している。この複数のトレンチ3は、n型エピタキシャル層2の所定領域がその上面（主表

面）側からエッチングされることによって形成されている。すなわち、複数のトレンチ3の各々の開口端は、n型エピタキシャル層2の上面側に位置している。また、複数のトレンチ3は、図2に示すように、その各々がn型エピタキシャル層2の上面に対して平行な所定方向（Y方向）に沿って延びるように細長状に形成されている。

[0037] また、複数のトレンチ3は、n型エピタキシャル層2の上面に対して平行で、かつ、トレンチ3が延びる方向（Y方向）と直交する方向（X方向）に互いに所定の間隔を隔てて配列されている。さらに、複数のトレンチ3の各々の溝深さは、図1に示すように、n型エピタキシャル層2の厚み（約1μm～約10μm）よりも小さくなるように、約0．5μm～約5μmに設定されている。また、複数のトレンチ3の各々のX方向の幅は、図2に示すように、約0．1μm～約1μmに設定されている。

[0038] また、複数のトレンチ3の各々の内部には、図1に示すように、n型エピタキシャル層2を構成するn型シリコンを熱酸化処理することによって得られるシリコン酸化膜4が約10nm～約100nmの厚みで形成されている。なお、シリコン酸化膜4は、本発明の「第1絶縁膜」の一例である。

[0039] また、複数のトレンチ3の各々の内面上には、シリコン酸化膜4を介して、p型ポリシリコンからなる埋め込み電極5が形成されている。この複数の埋め込み電極5の各々は、対応するトレンチ3の途中の深さまで埋め込まれている。また、複数のトレンチ3の各々において、埋め込み電極5が埋め込まれていない残りの部分（埋め込み電極5よりも上方の部分）には、シリコン酸化膜からなる層間絶縁膜6が形成されている。この複数の層間絶縁膜6の各々の厚みは、対応するトレンチ3において、埋め込み電極（ゲート電極）5が埋め込まれていない残りの部分（埋め込み電極5よりも上方の部分）の深さと同じになるように設定されている。したがって、複数の層間絶縁膜6の各々の上面は、n型エピタキシャル層2の上面に対して同一面となっている。なお、層間絶縁膜6は、本発明の「第2絶縁膜」の一例である。

[0040] ここで、第1実施形態では、n型エピタキシャル層2の上面側の所定領域に、p型不純物が導入されたp^+型不純物領域2aが複数形成されている。この複数のp^+型不純物領域2aの各々の厚み（イオン注入による拡散後の深さ）は、約0．5μm～約10μmに設定されている。また、複数のp^+型不純物領域2aの各々のX方向の幅は、約0

．１μｍ～約２μｍに設定されている。また、p^+型不純物領域2aの具体的な不純物濃度は、たとえば、約$1\times10^{17}cm^{-3}$～約$1\times10^{20}cm^{-3}$である。なお、p^+型不純物領域2aの各々は、後述するソース電極7との間で良好なオーミック接触を得るために、少なくとも、p^+型不純物領域2aの上面側の部分には、p型不純物が高濃度で導入されている。また、p^+型不純物領域2aは、本発明の「逆導電型の不純物領域」の一例である。

[0041] また、複数のp^+型不純物領域2aは、図2に示すように、それぞれ、上記したトレンチ3に沿って延びるように細長状に形成されているとともに、平面的に見て、X方向にトレンチ3と交互に配列されている。また、p^+型不純物領域2aの各々は、隣り合うトレンチ3と所定の間隔（たとえば、約０．０５μｍ～約０．４μｍ）を隔てて形成されている。なお、第1実施形態による半導体装置50では、n型エピタキシャル層2にp^+型不純物領域2aが形成されることによって、pn接合が形成されるので、このpn接合によって、耐圧の低下を抑制することが可能となる。

[0042] また、図1に示すように、n型エピタキシャル層2の上面側の部分（互いに隣り合うトレンチ3とp^+型不純物領域2aとの間の各領域の上端部）には、n型エピタキシャル層2の上面に低濃度領域が露出しないように、n型不純物が高濃度でイオン注入された高濃度領域2bが形成されている。このn型エピタキシャル層2の高濃度領域2bの濃度は、後述するソース電極7との間で良好なオーミック接触を得ることが可能なように設定されており、n型エピタキシャル層2の他の部分（低濃度領域）よりも高くなっている。また、n型エピタキシャル層2の高濃度領域2bの厚み（イオン注入による拡散後の深さ）は、層間絶縁膜6の厚みよりも小さくなるように設定されている。すなわち、n型エピタキシャル層2の高濃度領域2bの下端部は、埋め込み電極5の上端部よりも上方に位置していることになる。

[0043] また、n型エピタキシャル層2の上面上には、n型エピタキシャル層2の高濃度領域2b（互いに隣り合うトレンチ3とp^+型不純物領域2aとの間の各領域の上端部）とp^+型不純物領域2aとに接触するように、Al層からなるソース電極7が形成されている。このソース電極7は、n型エピタキシャル層2（p^+型不純物領域2aおよび高濃度領域2b）に対してオーミック接触している。すなわち、p^+型不純物領域2aは、ソース電極7と

同電位となるように電圧が印加される。なお、ソース電極7は、本発明の「電極層」の一例である。また、n^+型シリコン基板1の裏面（下面）上には、複数の金属層を含む多層構造体からなるドレイン電極8が形成されている。このドレイン電極8は、n^+型シリコン基板1に対してオーミック接触している。

[0044] 上記した構成では、ソース電極7とドレイン電極8との間に電圧を印加した場合に、ソース電極7とドレイン電極8との間を流れる電流（n型エピタキシャル層2の厚み方向に流れる電流）は、n型エピタキシャル層2の互いに隣り合うトレンチ3とp^+型不純物領域2aとの間の各領域を通過することになる。すなわち、上記した構成では、n型エピタキシャル層2の互いに隣り合うトレンチ3とp^+型不純物領域2aとの間の各領域がチャネル9として機能することになる。

[0045] また、トレンチ3内にそれぞれ形成された埋め込み電極（ゲート電極）5は、ソース電極7には電気的に接続されておらず、p^+型不純物領域2aとは別個に電圧が印加されるように構成されている。

[0046] 図3～図5は、本発明の第1実施形態による半導体装置の動作を説明するための断面図である。なお、図3には、スイッチ装置として機能する半導体装置がオフ状態となっている場合を図示しており、図4および図5には、スイッチ装置として機能する半導体装置がオン状態となっている場合を図示している。次に、図3～図5を参照して、第1実施形態のスイッチ装置として機能する半導体装置50の動作について説明する。

[0047] なお、以下の説明では、ソース電極7に負電位（－）が印加され、ドレイン電極8に正電位（＋）が印加されているとする。

[0048] まず、図3および図4に示すように、ソース電極7およびドレイン電極8の各々に負電位（－）および正電位（＋）が印加されると、p^+型不純物領域2aがソース電極7に電気的に接続されているために、p^+型不純物領域2aに対して負電位が印加されることになる。このため、p^+型不純物領域2aの周辺には、多数キャリアが減少した領域（空乏層）10aが形成される。一方、p^+型不純物領域2aは、n型エピタキシャル層2とは逆導電型（p^+型）であるため、p^+型不純物領域2aとn型エピタキシャル層2とによってpn接合が形成される。このため、p^+型不純物領域2aの周辺に形成された空乏層10

aは、電圧依存性が高くなるので、ソース電極7およびドレイン電極8に、それぞれ、負電位（－）および正電位（＋）が印加されると、p^+型不純物領域2aの周辺に形成された空乏層10aは、n^+型シリコン基板1の厚み方向（電圧が加わる方向）に延びるように広がった状態となる。

[0049] そして、スイッチ装置として機能する半導体装置50をオフ状態にする場合には、図3に示すように、埋め込み電極（ゲート電極）5に対して負電位（－）を印加する。これにより、埋め込み電極（ゲート電極）5が埋め込まれたトレンチ3の周辺にも空乏層10bが形成される。

[0050] この際、トレンチ3とp^+型不純物領域2aとの間の領域において、トレンチ3およびp^+型不純物領域2aの各々の周辺に形成された空乏層10の一部が互いに重なることにより、空乏層10aおよび10bが互いに連結された状態となる。これにより、トレンチ3とp^+型不純物領域2aとの間の領域が空乏層10aおよび10bによって塞がれる。すなわち、n型エピタキシャル層2のチャネル9が空乏層10aおよび10bによって塞がれるので、n型エピタキシャル層2のチャネル9における電流（ソース電極7とドレイン電極8との間を流れる電流）の流れを遮断することができる。その結果、n型エピタキシャル層2のチャネル9をオフ状態にすることが可能となる。

[0051] また、スイッチ装置として機能する半導体装置50をオン状態にする場合には、図4に示すように、埋め込み電極（ゲート電極）5に対して正電位（＋）を印加する。この場合、p^+型不純物領域2aの周辺では、図3に示した空乏層10aが形成された状態のまま保持される一方、トレンチ3の周辺では、図3に示した空乏層10bが消滅する。すなわち、n型エピタキシャル層2のチャネル9のトレンチ3側の部分を塞いでいた空乏層10bが消滅するので、n型エピタキシャル層2のチャネル9のトレンチ3側の部分を介して電流を流すことができる。その結果、n型エピタキシャル層2のチャネル9をオン状態にすることが可能となる。

[0052] この際、p^+型不純物領域2aの周辺には、空乏層10aを形成するための電界が働いているため、p^+型不純物領域2aの周辺に働く電界に逆らって、トレンチ3の周辺に形成された空乏層10bを消滅させる必要がある。このため、n型エピタキシャル層2のチャネル9をオン状態にするのに必要な電圧（閾値電圧）を高くすることが可能となる

。

[0053] そして、n型エピタキシャル層2のチャネル9がオン状態になると、ソース電極7とドレイン電極8との間の電圧が低くなるので、図5に示すように、p^+型不純物領域2aの周辺に形成された空乏層10aが小さくなる。すなわち、p^+型不純物領域2aの周辺に形成された空乏層10aは電圧依存性が高いので、n型エピタキシャル層2のチャネル9がオン状態になることによってソース電極7とドレイン電極8との間の電圧が低くなると、空乏層10aが小さくなる。これにより、チャネル9における電流が流れる領域が大きくなる。一方、埋め込み電極(ゲート電極)5に対して正電位(+)が印加されると、n型エピタキシャル層2の多数キャリアである電子がトレンチ3の周辺に引き寄せられるので、トレンチ3の周辺には、比較的電流が流れやすい層である蓄積層(多数キャリアである電子が蓄積された層)11が形成される。これにより、第1実施形態による半導体装置50では、n型エピタキシャル層2のチャネル9のトレンチ3側の部分を介して電流を流す場合でも、電流を流れ易くすることが可能となる。

[0054] 第1実施形態では、上記のように、n型エピタキシャル層2に、シリコン酸化膜4を介して埋め込み電極5が内部に設けられたトレンチ3と、平面的に見て、トレンチ3と所定の間隔を隔てて配置されたp^+型不純物領域2aとを形成するとともに、p^+型不純物領域2aの周辺に形成される空乏層10aとトレンチ3の周辺に形成される空乏層10bとで、チャネル9を塞ぐことにより、チャネル9を流れる電流を遮断する一方、トレンチ3の周辺の空乏層10bを消滅させることにより、チャネル9を介して電流が流れるように構成することによって、トレンチ3の周辺に形成される空乏層10bの形成状態は埋め込み電極5に対する印加電圧に応じて変化するので、埋め込み電極5に対する印加電圧を制御することにより、オフ状態(チャネル9を流れる電流が遮断される状態)からオン状態(チャネル9を介して電流が流れる状態)への切り替えを行うことができるとともに、その逆の切り替えも行うことができる。すなわち、半導体装置50にスイッチング機能を持たせることができる。そして、上記した構成では、オン時において、トレンチ3とp^+型不純物領域2aとの間の領域の空乏層10が形成されていない領域の全てをチャネル(電流通路)として機能させることができるので、非常に薄い反転層をチャネル(電流通路)として機能させる従来の半導体スイッチ装置(MOSFET)と比べて

、チャネル9を流れる電流に対する抵抗を大幅に低減することが可能となる。これにより、従来の半導体スイッチ装置（MOSFET）と比べて、オン抵抗を大幅に低減することができる。

[0055] また、第1実施形態では、n型エピタキシャル層2の上面側の所定領域に、平面的に見て、トレンチ3と所定の間隔を隔てて形成されるとともに、埋め込み電極5とは別個に電圧が印加されるp^+型不純物領域2aを備えることによって、p^+型不純物領域2aに電圧が印加された状態にしておくことにより、p^+型不純物領域2aの周辺には常に電界が働いている状態にしておくことができるので、その電界によって、p^+型不純物領域2aの周辺に常に空乏層10aが形成された状態にしておくことができる。一方、空乏層10によってチャネル9が塞がれた状態（オフ状態）では、p^+型不純物領域2aの周辺に形成される空乏層10aの一部と、トレンチ3の周辺に形成される空乏層10bの一部とが重なった状態となっているので、トレンチ3の周辺に形成される空乏層10bの一部は、p^+型不純物領域2aの周辺に働く電界中に位置した状態となっている。このため、オフ状態からオン状態に切り替える際に、p^+型不純物領域2aの周辺に働く電界に逆らって、トレンチ3の周辺に形成された空乏層10bを消滅させなければならなくなるので、オフ状態からオン状態に切り替える際の閾値電圧（チャネル9を流れる電流の遮断が解除されてオン状態になる時の埋め込み電極5に対する印加電圧）が高くなる。その結果、オン／オフ制御時において、外来ノイズによる誤動作が発生し易くなるのを抑制することができる。なお、上記した構成では、p^+型不純物領域2aとエピタキシャル層2との境界部分にpn接合が形成されるので、このp^+型不純物領域2aに電圧を印加することによって、p^+型不純物領域2aの周辺に形成される空乏層10aを大きくすることができる。すなわち、pn接合によって形成される空乏層10aは、電圧依存性が高いので、p^+型不純物領域2aに電圧を印加することによって、p^+型不純物領域2aの周辺に形成される空乏層10aを大きくすることができる。このため、p^+型不純物領域2aの周辺に形成される空乏層10aとトレンチ3の周辺に形成される空乏層10bとで、チャネル9を塞ぐ際に、p^+型不純物領域2aの周辺に形成される空乏層10aの一部と、トレンチ3の周辺に形成される空乏層10bの一部とが重なる領域を大きくすることができる。これにより、閾値電圧を容易に高くすることができる。

[0056] また、第1実施形態では、n型エピタキシャル層2にp^+型不純物領域2aを、トレンチ3と所定の間隔を隔てて形成することによって、上記したように、p^+型不純物領域2aの周辺に形成される空乏層10aを大きくすることができるので、トレンチ3とp^+型不純物領域2aとの間の間隔を大きくした場合でも、容易に、p^+型不純物領域2aの周辺に形成される空乏層10aとトレンチ3の周辺に形成される空乏層10bとで、チャネル9を塞ぐことができる。これにより、トレンチ3とp^+型不純物領域2aとの間隔に余裕を持たせることができるので、製造プロセスを容易にすることができる。

[0057] また、第1実施形態では、トレンチ3およびp^+型不純物領域2aを、n型エピタキシャル層2の上面と平行な所定方向に、互いに平行に延びるように形成することによって、トレンチ3とp^+型不純物領域2aとの間の領域の平面積を大きくすることができるので、チャネル9の平面積を大きくすることができる。これにより、チャネル9に流れる電流量を大きくすることができるので、容易に、チャネル9に流れる電流に対する抵抗を大幅に低減することができる。その結果、オン抵抗をより大幅に低減することができる。

[0058] また、第1実施形態では、トレンチ3およびp^+型不純物領域2aを、それぞれ、複数形成するとともに、平面的に見て、交互に配列させることによって、容易に、トレンチ3とp^+型不純物領域2aとの間の領域の平面積(合計面積)を大きくすることができるので、容易に、チャネル9の平面積を大きくすることができる。これにより、容易に、チャネル9に流れる電流量を大きくすることができるので、より容易に、チャネル9に流れる電流に対する抵抗を大幅に低減することができる。その結果、オン抵抗をさらに大幅に低減することができる。

[0059] 図6～図13は、図1に示した本発明の第1実施形態による半導体装置の製造プロセスを説明するための断面図である。次に、図1、図3および図6～図13を参照して、第1実施形態による半導体装置50の製造プロセスについて説明する。

[0060] まず、図6に示すように、n^+型シリコン基板1の上面上に、エピタキシャル成長法などによって、n型不純物がn^+型シリコン基板1よりも低い濃度(たとえば、約$5\times10^{15}cm^{-3}$～約$1\times10^{18}cm^{-3}$)で導入されたn型エピタキシャル層2を形成する。次に、図7に示すように、フォトリソグラフィ技術とエッチングとによって、n型エピタキシャル層2

に複数のトレンチ3を形成する。この際、複数のトレンチ3は、図2に示したように、その各々がn型エピタキシャル層2の上面に対して平行な所定方向（Y方向）に沿って延びるように細長状に形成する。また、複数のトレンチ3は、n型エピタキシャル層2の上面に対して平行で、かつ、トレンチ3が延びる方向（Y方向）と直交する方向（X方向）に互いに所定の間隔を隔てて形成する。さらに、複数のトレンチ3は、各々の溝深さが約0．5μm～約5μmとなるように設定するとともに、X方向の幅が約0．1μm～約1μmとなるように設定する。

[0061] そして、エッチングによってn型エピタキシャル層2に加わった欠陥を除去するために、犠牲酸化を行うとともに、その犠牲酸化により形成された表面酸化物（SiO_2：図示せず）をエッチングにより除去する。

[0062] 続いて、n^+型シリコン基板1を熱酸化処理することにより、図8に示すように、シリコン酸化物（SiO_2）層4aを成長させる。これにより、SiO_2からなるシリコン酸化膜4（図1参照）が、トレンチ3の内壁（底面および側面）を覆うように形成される。この際、シリコン酸化膜4は、約10nm～約100nmの厚みに成長させる。

[0063] 次に、図9に示すように、CVD法などを用いて、p型不純物の導入により導電化されたポリシリコン層5aを全面に形成する。そして、図10に示すように、エッチバックにより、ポリシリコン層5aの所定領域を除去する。これにより、各々のトレンチ3内におけるポリシリコン層5aの上面（エッチバック面）が、n型エピタキシャル層2の上面よりも下方に形成され、トレンチ3内に、p型ポリシリコンからなる埋め込み電極5が形成される。

[0064] その後、図11に示すように、SiO_2層6aを全面に形成するとともに、エッチバックにより、n型エピタキシャル層2の上面が露出するまで、SiO_2層6aおよび表面酸化物層4aを除去する。これにより、図12に示すように、埋め込み電極5の上面上に、その上面がn型エピタキシャル層2の上面と実質的に同一面となる層間絶縁膜6が形成されるとともに、n型エピタキシャル層2の上面が平坦化される。

[0065] 次に、図13に示すように、イオン注入法によりp型不純物を、たとえば、約$1\times10^{17}cm^{-3}$～約$1\times10^{20}cm^{-3}$の濃度でn型エピタキシャル層2に導入することによって、n型エピタキシャル層2の所定領域（隣り合うトレンチ3間）にp^+型不純物領域2aをそれぞれ形成する。この際、p^+型不純物領域2aの各々は、その厚み（イオン注入による

拡散後の深さ）が約0．5μｍ～約10μｍとなるように設定するとともに、X方向の幅が約0．1μｍ～約2μｍとなるように設定する。また、p^+型不純物領域2aの各々は、図2に示したように、n型エピタキシャル層2の上面に対して平行で、かつ、トレンチ3に沿って延びるように形成する。さらに、p^+型不純物領域2aの各々は、ソース電極7との間で良好なオーミック接触が得られるように設定する。

[0066] 次に、図13に示すように、n型エピタキシャル層2の上面側の部分であって、トレンチ3およびp^+型不純物領域2aが形成されていない領域（互いに隣り合うトレンチ3とp^+型不純物領域2aとの間の各領域の上端部）に、イオン注入法によりn型不純物を導入することによって、高濃度領域2bを形成する。この際、高濃度領域2bは、n型エピタキシャル層2の上面に低濃度領域が露出しないように形成するとともに、ソース電極7との間で良好なオーミック接触が得られるように設定する。

[0067] 最後に、n型エピタキシャル層2の上面上に、高濃度領域2bおよびp^+型不純物領域2aと接触するように、ソース電極7を形成するとともに、n^+型シリコン基板1の下面上に、ドレイン電極8を形成する。このようにして、図1に示した本発明の第1実施形態によるスイッチ装置として機能する半導体装置50が形成される。

[0068] （第2実施形態）

図14は、本発明の第2実施形態による半導体装置の一部を示した断面斜視図であり、図15は、図14に示した本発明の第2実施形態による半導体装置の一部を示した平面図である。図16は、図15の180－180線に沿った断面図であり、図17は、図14に示した本発明の第2実施形態による半導体装置の等価回路図である。まず、図14～図17を参照して、本発明の第2実施形態による半導体装置150の構造について説明する。なお、第2実施形態の半導体装置150は、ノーマリオフ型のスイッチ装置として機能するように構成されている。また、図17では、便宜上、MOSFETで一般的に用いられている回路記号を用いて、第2実施形態による半導体装置150の等価回路を図示している。

[0069] 第2実施形態の半導体装置150は、図14に示すように、n^+型シリコン基板101の上面上に、約1μｍ～約10μｍの厚みを有するn型シリコンからなるn型エピタキシャル層102が形成されている。n^+型シリコン基板101には、後述するドレイン電極108

との間で良好なオーミック接触を得るために、n型不純物が高濃度（たとえば、約1×$10^{20}cm^{-3}$）で導入されている。また、n型エピタキシャル層102には、n型不純物がn^{+}型シリコン基板101よりも低い濃度（たとえば、約5×$10^{15}cm^{-3}$～約1×$10^{18}cm^{-3}$）で導入されている。なお、n^{+}型シリコン基板101およびn型エピタキシャル層102は、本発明の「一導電型の半導体層」の一例である。

[0070] また、n型エピタキシャル層102は、その厚み方向に掘られた複数のトレンチ103を有している。この複数のトレンチ103は、n型エピタキシャル層102の所定領域が、その上面（主表面）側からエッチングされることによって形成されている。すなわち、複数のトレンチ103の各々の開口端は、n型エピタキシャル層102の上面側に位置している。また、複数のトレンチ103は、図14および図15に示すように、その各々がn型エピタキシャル層102の上面に対して平行な所定方向（Y方向）に沿って延びるように細長状に形成されている。

[0071] また、複数のトレンチ103は、n型エピタキシャル層102の上面に対して平行で、かつ、トレンチ103が延びる方向（Y方向）と直交する方向（X方向）に互いに所定の間隔を隔てて配列されている。さらに、複数のトレンチ103の各々の溝深さは、図14に示すように、n型エピタキシャル層102の厚み（約1μm～約10μm）よりも小さくなるように、約0．5μm～約5μmに設定されている。また、複数のトレンチ103の各々のX方向の幅は、約0．1μm～約1μmに設定されている。

[0072] また、複数のトレンチ103の各々の内部には、n型エピタキシャル層102を構成するn型シリコンを熱酸化処理することによって得られるシリコン酸化膜104が、約10nm～約100nmの厚みで形成されている。なお、シリコン酸化膜104は、本発明の「第1絶縁膜」の一例である。

[0073] また、複数のトレンチ103の各々の内面上には、シリコン酸化膜104を介して、p型ポリシリコンからなる埋め込み電極（ゲート電極）105が形成されている。この複数の埋め込み電極105の各々は、対応するトレンチ103の途中の深さまで埋め込まれている。また、複数のトレンチ103の各々において、埋め込み電極105が埋め込まれていない残りの部分（埋め込み電極105よりも上方の部分）には、シリコン酸化膜からなる層間絶縁膜106が形成されている。この層間絶縁膜106は、埋め込み電極（ゲート

電極）105と後述するソース電極107との間で絶縁を行うために設けられている。また、複数の層間絶縁膜106の各々の厚みは、対応するトレンチ103において、埋め込み電極105が埋め込まれていない残りの部分（埋め込み電極105よりも上方の部分）の深さと同じになるように設定されている。したがって、複数の層間絶縁膜106の各々の上面は、n型エピタキシャル層102の上面に対して同一面となっている。なお、層間絶縁膜106は、本発明の「第2絶縁膜」の一例である。

[0074] ここで、第2実施形態では、n型エピタキシャル層102の上面側の所定領域に、p型不純物が導入されたp^+型不純物領域102aが形成されている。なお、p^+型不純物領域102aは、本発明の「逆導電型の不純物領域」の一例である。このp^+型不純物領域102aは、図14および図15に示すように、上記したトレンチ103に沿って断続的に延びるように形成されている。このため、n型エピタキシャル層102の上面には、断続的に延びるp^+型不純物領域102aの各々の断続部分121a（途切れた部分）から、低濃度領域（n型エピタキシャル層102のn型不純物濃度の低い領域）が露出される。そして、図14および図16に示すように、n型エピタキシャル層102の上面に露出された低濃度領域は、後述するソース電極107とショットキー接触するように構成されている。なお、p^+型不純物領域102aが断続的に延びるように形成されることによって、低濃度領域が露出された領域121bは、n型エピタキシャル層102の上面に複数設けられている。

[0075] また、第2実施形態では、図14および図15に示すように、p^+型不純物領域102aの厚み（イオン注入による拡散後の深さ）は、約0．5μm～約10μmに設定されているとともに、p^+型不純物領域102aのX方向の幅は、約0．1μm～約2μmに設定されている。なお、p^+型不純物領域102aの具体的な不純物濃度は、たとえば、約$1\times10^{17}cm^{-3}$～約$1\times10^{20}cm^{-3}$である一方、後述するソース電極107との間で良好なオーミック接触を得るために、少なくとも、p^+型不純物領域102aの上面側の部分には、p型不純物が高濃度で導入されている。

[0076] また、第2実施形態では、断続的に延びるように形成されたp^+型不純物領域102aは、n型エピタキシャル層102に複数形成されている。この複数のp^+型不純物領域102aの各々は、平面的に見て、トレンチ103と交互に配列されている。すなわち、p^+

型不純物領域102aの各々は、上記したトレンチ103間に挟まれるようにn型エピタキシャル層102の所定領域に配置されている。このため、n型エピタキシャル層102の上面では、p^+型不純物領域102aの断続部分121a（低濃度領域が露出した領域121b）が分散された状態となっている。また、p^+型不純物領域102aの各々は、隣り合うトレンチ103と所定の間隔（たとえば、約0．05μm～約0．4μm）を隔てて配置されている。

[0077] なお、第2実施形態による半導体装置150では、n型エピタキシャル層102にp^+型不純物領域102aが形成されることによって、pn接合が形成されるので、このpn接合によって、内部にpnダイオード（内蔵ダイオード）（図16および図17参照）が形成されている。

[0078] また、図14に示すように、n型エピタキシャル層102の上面側の部分（互いに隣り合う、トレンチ103とp^+型不純物領域102aとの間の各領域の上端部）には、n型エピタキシャル層102の上面に低濃度領域が露出しないように、n型不純物が高濃度でイオン注入された高濃度領域102bが形成されている。このn型エピタキシャル層102の高濃度領域102bの濃度は、後述するソース電極107との間で良好なオーミック接触を得ることが可能なように設定されており、n型エピタキシャル層102の他の部分（低濃度領域）よりも高くなっている。また、n型エピタキシャル層102の高濃度領域102bの厚み（イオン注入による拡散後の深さ）は、層間絶縁膜106の厚みよりも小さくなるように設定されている。すなわち、n型エピタキシャル層102の高濃度領域102bの下端部は、埋め込み電極105の上端部よりも上方に位置している。

[0079] また、n型エピタキシャル層102の上面上には、複数のトレンチ103の各々の開口端を覆うように、ソース電極107が形成されている。このソース電極107は、TiNなどから構成される下層側（n型エピタキシャル層102側）のバリアメタル層107aと、上層側のAl層107bとから構成されている。また、n^+型シリコン基板101の下面（裏面）上には、複数の金属層を含む多層構造体からなるドレイン電極108が形成されている。このドレイン電極108は、n^+型シリコン基板101に対してオーミック接触している。

[0080] ここで、第2実施形態では、ソース電極107は、n型エピタキシャル層102の高濃度領域102b（互いに隣り合う、トレンチ103とp^+型不純物領域102aとの間の各領域の

上端部）とp^+型不純物領域102aとにオーミック接触するように構成されている。これにより、p^+型不純物領域102aは、ソース電極107と同電位となるように電圧が印加される。このように構成すれば、ソース電極107に対する印加電圧を制御することにより、p^+型不純物領域102aの周辺に空乏層を形成することが可能となる。

[0081] また、第2実施形態では、図16および図17に示すように、ソース電極107と低濃度領域が露出した領域121bとがショットキー接触することにより、ショットキーバリアダイオードが形成されている。このショットキーバリアダイオードは、図17に示すように、上記したpnダイオード（内蔵ダイオード）と極性を同じくして並列に形成されている。なお、ソース電極107は、本発明の「金属層」の一例である。

[0082] また、第2実施形態では、図16に示すように、p^+型不純物領域102aにおける各々の断続部分121aのY方向の距離Lは、p^+型不純物領域102aの周辺に空乏層を形成した時に、この空乏層によって、断続部分121aの領域を塞ぐことが可能な距離に構成されている。これにより、ショットキーバリアダイオードが形成された際に、ショットキーバリアダイオードのリーク電流の発生が抑制される。

[0083] 上記した構成では、ソース電極107とドレイン電極108との間に電圧を印加した場合に、ソース電極107とドレイン電極108との間を流れる電流（n型エピタキシャル層102の厚み方向に流れる電流）は、n型エピタキシャル層102の互いに隣り合う、トレンチ103とp^+型不純物領域102aとの間の各領域を通過することになる。すなわち、上記した構成では、n型エピタキシャル層102の互いに隣り合う、トレンチ103とp^+型不純物領域102aとの間の各領域がチャネル（電流通路）109として機能することになる。

[0084] また、トレンチ103内にそれぞれ形成された埋め込み電極（ゲート電極）105は、ソース電極107には電気的に接続されておらず、p^+型不純物領域102aとは別個に電圧が印加されるように構成されている。

[0085] 図18～図20は、本発明の第2実施形態による半導体装置の動作を説明するための断面図である。なお、図18には、スイッチ装置として機能する半導体装置がオフ状態となっている場合を図示しており、図19および図20には、スイッチ装置として機能する半導体装置がオン状態となっている場合を図示している。次に、図18～図20を

参照して、第2実施形態のスイッチ装置として機能する半導体装置150の動作について説明する。

[0086] なお、以下の説明では、ソース電極107に負電位(－)が印加され、ドレイン電極108に正電位(＋)が印加されているとする。

[0087] まず、図18および図19に示すように、ソース電極107およびドレイン電極108の各々に負電位(－)および正電位(＋)が印加されると、p^+型不純物領域102aがソース電極107に電気的に接続されているために、p^+型不純物領域102aに対して負電位が印加されることになる。このため、p^+型不純物領域102aの周辺には、多数キャリアが減少した領域(空乏層)110aが形成される。一方、p^+型不純物領域102aは、n型エピタキシャル層102とは逆導電型(p^+型)であるため、p^+型不純物領域102aとn型エピタキシャル層102とによってpn接合が形成される。このため、p^+型不純物領域102aの周辺に形成された空乏層110aは、電圧依存性が高くなるので、ソース電極107およびドレイン電極108に、それぞれ、負電位(－)および正電位(＋)が印加されると、p^+型不純物領域102aの周辺に形成された空乏層110aは、n^+型シリコン基板101の厚み方向(電圧が加わる方向)に延びるように広がった状態となる。

[0088] そして、スイッチ装置として機能する半導体装置150をオフ状態にする場合には、図18に示すように、埋め込み電極(ゲート電極)105に対して負電位(－)を印加する。これにより、埋め込み電極(ゲート電極)105が埋め込まれたトレンチ103の周辺にも空乏層110bが形成される。

[0089] この際、トレンチ103とp^+型不純物領域102aとの間の領域において、トレンチ103およびp^+型不純物領域102aの各々の周辺に形成された空乏層110の一部が互いに重なることにより、空乏層110aおよび110bが互いに連結された状態となる。これにより、トレンチ103とp^+型不純物領域102aとの間の領域が空乏層110aおよび110bによって塞がれる。すなわち、n型エピタキシャル層102のチャネル109が空乏層110aおよび110bによって塞がれるので、n型エピタキシャル層102のチャネル109における電流(ソース電極107とドレイン電極108との間を流れる電流)の流れを遮断することができる。その結果、n型エピタキシャル層102のチャネル109をオフ状態にすることが可能となる。

[0090] また、スイッチ装置として機能する半導体装置150をオン状態にする場合には、図19に示すように、埋め込み電極(ゲート電極)105に対して正電位(+)を印加する。この場合、p^+型不純物領域102aの周辺では、図18に示した空乏層110aが形成された状態のまま保持される一方、トレンチ103の周辺では、図18に示した空乏層110bが消滅する。すなわち、n型エピタキシャル層102のチャネル109のトレンチ103側の部分を塞いでいた空乏層110bが消滅するので、n型エピタキシャル層102のチャネル109のトレンチ103側の部分を介して電流を流すことができる。その結果、n型エピタキシャル層102のチャネル109をオン状態にすることが可能となる。

[0091] この際、p^+型不純物領域102aの周辺には、空乏層110aを形成するための電界が働いているため、p^+型不純物領域102aの周辺に働く電界に逆らって、トレンチ103の周辺に形成された空乏層110bを消滅させる必要がある。このため、n型エピタキシャル層102のチャネル109をオン状態にするのに必要な電圧(閾値電圧)を高くすることが可能となる。

[0092] そして、n型エピタキシャル層102のチャネル109がオン状態になると、ソース電極107とドレイン電極108との間の電圧が低くなるので、図20に示すように、p^+型不純物領域102aの周辺に形成された空乏層110aが小さくなる。すなわち、p^+型不純物領域102aの周辺に形成された空乏層110aは電圧依存性が高いので、n型エピタキシャル層102のチャネル109がオン状態になることによってソース電極107とドレイン電極108との間の電圧が低くなると、空乏層110aが小さくなる。これにより、チャネル109における電流が流れる領域が大きくなる。一方、埋め込み電極(ゲート電極)105に対して正電位(+)が印加されると、n型エピタキシャル層102の多数キャリアである電子がトレンチ103の周辺に引き寄せられるので、トレンチ103の周辺には、比較的電流が流れやすい層である蓄積層(多数キャリアである電子が蓄積された層)111が形成される。これにより、第2実施形態による半導体装置150では、n型エピタキシャル層102のチャネル109のトレンチ103側の部分を介して電流を流す場合でも、電流を流れ易くすることが可能となる。

[0093] 図21および図22は、本発明の第2実施形態による半導体装置のショットキーバリアダイオードが形成されている領域の動作を説明するための断面図である。なお、図2

1には、半導体装置のショットキーバリアダイオードが形成されている領域に逆方向バイアスが印加されている状態を図示しており、図22には、半導体装置のショットキーバリアダイオードが形成されている領域に順方向バイアスが印加されている状態を図示している。続いて、図21および図22を参照して、第2実施形態による半導体装置150のショットキーバリアダイオードが形成されている領域の動作について説明する。

[0094] まず、アノード電極(ソース電極)107とカソード電極(ドレイン電極)108との間に逆方向バイアスが印加されると、p^+型不純物領域102aがアノード電極(ソース電極)107に電気的に接続されているため、p^+型不純物領域102aに対して負電位が印加される。したがって、p^+型不純物領域102aの周辺は、常に多数キャリアが減少した状態となっている。すなわち、p^+型不純物領域102aの周辺には、空乏層110(110a)が形成された状態となっている。

[0095] この際、ショットキーバリアダイオードが形成されている領域は、p^+型不純物領域102aの周辺に形成された空乏層110aによって塞がれた状態となるので、ショットキーバリアダイオードにおけるリーク電流の発生が抑制される。

[0096] また、図22に示すように、アノード電極(ソース電極)107とカソード電極(ドレイン電極)108との間に順方向バイアスが印加されると、p^+型不純物領域102aがアノード電極(ソース電極)107に電気的に接続されているため、p^+型不純物領域102aに対して正電位が印加されることになる。このため、p^+型不純物領域102aの周辺に形成された空乏層110a(図21参照)が消滅する。これにより、ショットキーバリアダイオードが形成されている領域(ショットキーバリアダイオード)を介して、図22中の矢印方向に電流が流れる。

[0097] なお、第2実施形態による半導体装置150は、図23に示すように、DC/DCコンバータを構成する部品の一部として用いることができる。ここで、図23中の符号112は、コイルであり、符号113は、コンデンサである。

[0098] 第2実施形態では、上記のように、n型エピタキシャル層102に、シリコン酸化膜104を介して埋め込み電極105が内部に設けられたトレンチ103と、平面的に見て、トレンチ103と所定の間隔を隔てて配置されたp^+型不純物領域102aとを形成するとともに、p^+型不純物領域102aの周辺に形成される空乏層110aとトレンチ103の周辺に

形成される空乏層110bとで、チャネル109を塞ぐことにより、チャネル109を流れる電流を遮断する一方、トレンチ103の周辺の空乏層110bを消滅させることにより、チャネル109を介して電流が流れるように構成することによって、トレンチ103の周辺に形成される空乏層110bの形成状態は埋め込み電極105に対する印加電圧に応じて変化するので、埋め込み電極105に対する印加電圧を制御することにより、オフ状態（チャネル109を流れる電流が遮断される状態）からオン状態（チャネル109を介して電流が流れる状態）への切り替えを行うことができるとともに、その逆の切り替えも行うことができる。すなわち、半導体装置150にスイッチング機能を持たせることができる。そして、上記した構成では、オン時において、トレンチ103とp^+型不純物領域102aとの間の領域の空乏層110が形成されていない領域の全てをチャネル（電流通路）として機能させることができるので、非常に薄い反転層をチャネル（電流通路）として機能させる従来の半導体スイッチ装置（MOSFET）と比べて、チャネル109を流れる電流に対する抵抗を大幅に低減することが可能となる。これにより、従来の半導体スイッチ装置（MOSFET）と比べて、オン抵抗を大幅に低減することができる。

[0099] また、第2実施形態では、n型エピタキシャル層102の上面側の所定領域に、平面的に見て、トレンチ103と所定の間隔を隔てて形成されるとともに、埋め込み電極105とは別個に電圧が印加されるp^+型不純物領域102aを備えることによって、p^+型不純物領域102aに電圧が印加された状態にしておくことにより、p^+型不純物領域102aの周辺には常に電界が働いている状態にしておくことができるので、その電界によって、p^+型不純物領域102aの周辺に常に空乏層110aが形成された状態にしておくことができる。一方、空乏層110によってチャネル109が塞がれた状態（オフ状態）では、p^+型不純物領域102aの周辺に形成される空乏層110aの一部と、トレンチ103の周辺に形成される空乏層110bの一部とが重なった状態となっているので、トレンチ103の周辺に形成される空乏層110bの一部は、p^+型不純物領域102aの周辺に働く電界中に位置した状態となっている。このため、オフ状態からオン状態に切り替える際に、p^+型不純物領域102aの周辺に働く電界に逆らって、トレンチ103の周辺に形成された空乏層110bを消滅させなければならなくなるので、オフ状態からオン状態に切り替える際の閾値電圧（チャネル109を流れる電流の遮断が解除されてオ

ン状態になる時の埋め込み電極105に対する印加電圧）が高くなる。その結果、オン／オフ制御時において、外来ノイズによる誤動作が発生し易くなるのを抑制することができる。なお、上記した構成では、p^+型不純物領域102aとn型エピタキシャル層102との境界部分にpn接合が形成されるので、このp^+型不純物領域102aに電圧を印加することによって、p^+型不純物領域102aの周辺に形成される空乏層110aを大きくすることができる。すなわち、pn接合によって形成される空乏層110aは、電圧依存性が高いので、p^+型不純物領域102aに電圧を印加することによって、p^+型不純物領域102aの周辺に形成される空乏層110aを大きくすることができる。このため、p^+型不純物領域102aの周辺に形成される空乏層110aとトレンチ103の周辺に形成される空乏層110bとで、チャネル109を塞ぐ際に、p^+型不純物領域102aの周辺に形成される空乏層110aの一部と、トレンチ103の周辺に形成される空乏層110bの一部とが重なる領域を大きくすることができる。これにより、閾値電圧を容易に高くすることができる。

[0100] また、第2実施形態では、p^+型不純物領域102aを、トレンチ103に沿って断続的に延びるように形成することによって、n型エピタキシャル層102の上面に低濃度領域（n型エピタキシャル層102のn型不純物濃度の低い領域）を露出させることができるので、n型エピタキシャル層102の上面上にソース電極107を形成することにより、ソース電極107と低濃度領域が露出した領域121bとをショットキー接触させることができる。このため、低濃度領域が露出した領域121bにショットキーバリアダイオードを形成することができるので、閾値電圧を高くするために、n型エピタキシャル層102にp^+型不純物領域102aを形成したとしても、スイッチング特性を向上させることができる。すなわち、n型エピタキシャル層102にp^+型不純物領域102aを形成することによって、内部にpnダイオード（内蔵ダイオード）が形成される一方、上記のように構成することによって、内部に形成されたpnダイオード（内蔵ダイオード）と極性を同じくして並列にショットキーバリアダイオードを形成することができる。このショットキーバリアダイオードは、多数キャリアを利用するため、少数キャリアを利用するpnダイオード（内蔵ダイオード）に比べて、逆回復時間が速い。このため、半導体装置150の逆回復時間を向上させることができるので、閾値電圧を高くしながら、スイッチング特性を向上

させることができる。

[0101] また、第2実施形態では、ソース電極107を、TiNなどから構成される下層側(n型エピタキシャル層102側)のバリアメタル層107aと、上層側のAl層107bとから構成することによって、ソース電極107を、低濃度領域が露出した領域121bに良好にショットキー接触させることができるので、半導体装置150に良好なショットキーバリアダイオードを容易に形成することができる。

[0102] 第2実施形態のその他の効果は、上記第1実施形態と同様である。

[0103] なお、今回開示された実施形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

[0104] たとえば、上記第1および第2実施形態では、シリコン基板をn^+型に構成するとともに、そのシリコン基板の上面上に形成されるエピタキシャル層をn型に構成した例を示したが、本発明はこれに限らず、シリコン基板をp型(p^+型)に構成するとともに、そのシリコン基板の上面上に形成されるエピタキシャル層をp型に構成してもよい。すなわち、各導電型を、上記実施形態による半導体装置とは、逆の導電型にしてもよい。

[0105] また、上記第1および第2実施形態では、埋め込み電極を、導電化されたポリシリコンから構成した例を示したが、本発明はこれに限らず、埋め込み電極は、金属材料から構成してもよい。

[0106] また、上記第1および第2実施形態では、埋め込み電極の上面上に形成された層間絶縁膜を、その上面がエピタキシャル層の上面と同一面となるように形成した例を示したが、本発明はこれに限らず、埋め込み電極の上面上に形成された層間絶縁膜を、その上面がエピタキシャル層の上面から突出するように形成してもよいし、その上面がエピタキシャル層の上面よりも下方(トレンチ内部側)に位置するように形成してもよい。

[0107] また、上記第1および第2実施形態では、エピタキシャル層の厚みを、約1μm～約10μmに構成した例を示したが、本発明はこれに限らず、エピタキシャル層の厚みは、上記した厚み以外の厚みであってもよい。すなわち、エピタキシャル層の厚みは

、製造される半導体装置に求められる最終的な電気的特性によって設定すればよい。

[0108] また、上記第1および第2実施形態では、トレンチの溝深さがn型エピタキシャル層の厚みよりも小さくなるように構成したが、本発明はこれに限らず、トレンチがn型エピタキシャル層を貫通してn^+型シリコン基板にまで達するように構成してもよい。すなわち、トレンチの溝深さを、12μm程度に構成してもよい。

[0109] また、上記第1および第2実施形態では、イオン注入法によって、不純物領域および高濃度領域を形成した例を示したが、本発明はこれに限らず、イオン注入法以外の熱拡散法を用いて、不純物領域および高濃度領域を形成してもよい。

[0110] また、上記第1および第2実施形態では、n^+型シリコン基板上に形成されたn型エピタキシャル層にトレンチおよびp^+型不純物領域などを形成した例を示したが、本発明はこれに限らず、n^+型シリコン基板(半導体基板)上にn型エピタキシャル層を形成することなく、直接n^+型シリコン基板(半導体基板)にトレンチおよびp^+型不純物領域などを形成してもよい。また、n^+型シリコン基板上に形成されたn型エピタキシャル層にトレンチおよびp^+型不純物領域などを形成した後、n^+型シリコン基板を研磨等で除去するようにしてもよい。

[0111] また、上記第1および第2実施形態では、基板にシリコン基板を用いた例を示したが、本発明はこれに限らず、SiCなどから構成される基板(半導体基板)を用いるようにしてもよい。

[0112] また、上記第2実施形態では、ソース電極を、p^+型不純物領域の断続部分から露出する低濃度領域とショットキー接触するように構成した例を示したが、本発明はこれに限らず、ソース電極は、n型エピタキシャル層の一部とショットキー接触するように構成されていればよい。

請求の範囲

[1] 一導電型の半導体層と、

前記半導体層に形成されたトレンチと、

前記トレンチの内部に第1絶縁膜を介して形成された埋め込み電極と、

前記半導体層の上面側の所定領域に、平面的に見て、前記トレンチと所定の間隔を隔てて形成され、前記埋め込み電極とは別個に電圧が印加される逆導電型の不純物領域とを備え、

前記トレンチと前記不純物領域との間の領域がチャネルとなり、

前記トレンチの周辺に形成される空乏層と前記不純物領域の周辺に形成される空乏層とで前記チャネルを塞ぐことにより、前記チャネルを流れる電流が遮断される一方、前記トレンチの周辺の空乏層を消滅させることにより、前記チャネルを介して電流が流れるように構成されていることを特徴とする、半導体装置。

[2] 前記不純物領域の周辺には、オフ状態およびオン状態のいずれにおいても、空乏層が形成されていることを特徴とする、請求項1に記載の半導体装置。

[3] 前記埋め込み電極の上面上には、第2絶縁膜が形成されており、

前記第2絶縁膜は、その上面が前記半導体層の上面と同一面となるように前記トレンチ内に形成されていることを特徴とする、請求項1または2に記載の半導体装置。

[4] 前記トレンチおよび前記不純物領域は、前記半導体層の上面と平行な所定方向に、互いに平行に延びるように形成されていることを特徴とする、請求項1または2に記載の半導体装置。

[5] 前記トレンチおよび前記不純物領域は、それぞれ、複数形成されているとともに、平面的に見て、交互に配列されていることを特徴とする、請求項1または2に記載の半導体装置。

[6] 前記半導体層の上面上には、電極層が形成されており、

前記電極層は、少なくとも、前記不純物領域とオーミック接触していることを特徴とする、請求項1または2に記載の半導体装置。

[7] 一導電型の半導体層と、

前記半導体層に形成されたトレンチと、

前記トレンチの内部に第1絶縁膜を介して形成された埋め込み電極と、

前記半導体層の上面側の所定領域に、平面的に見て、前記トレンチと所定の間隔を隔てて形成され、前記埋め込み電極とは別個に電圧が印加される逆導電型の不純物領域と、

前記半導体層の一部とショットキー接触するように形成された金属層とを備え、

前記トレンチと前記不純物領域との間の領域がチャネルとなり、

前記トレンチの周辺に形成される空乏層と前記不純物領域の周辺に形成される空乏層とで、前記チャネルを塞ぐことにより、前記チャネルを流れる電流が遮断される一方、前記トレンチの周辺の空乏層を消滅させることにより、前記チャネルを介して電流が流れるように構成されていることを特徴とする、半導体装置。

[8] 前記トレンチは、前記半導体層の上面と平行な所定方向に延びるように複数形成されており、

前記複数のトレンチは、平面的に見て、前記不純物領域を挟むように、互いに所定の間隔を隔てて配列されていることを特徴とする、請求項7に記載の半導体装置。

[9] 前記不純物領域は、互いに隣り合うトレンチ間の各々の領域に配置されるように、複数形成されており、

前記不純物領域の少なくとも1つは、前記トレンチに沿った方向に、断続的に延びるように形成されていることを特徴とする、請求項8に記載の半導体装置。

[10] 前記複数の不純物領域の各々は、前記トレンチに沿った方向に断続的に延びるように形成されていることを特徴とする、請求項9に記載の半導体装置。

[11] 前記金属層は、前記半導体層の上面上に、前記半導体層の一部とショットキー接触する一方、前記不純物領域とはオーミック接触するように形成されていることを特徴とする、請求項7～9のいずれか1項に記載の半導体装置。

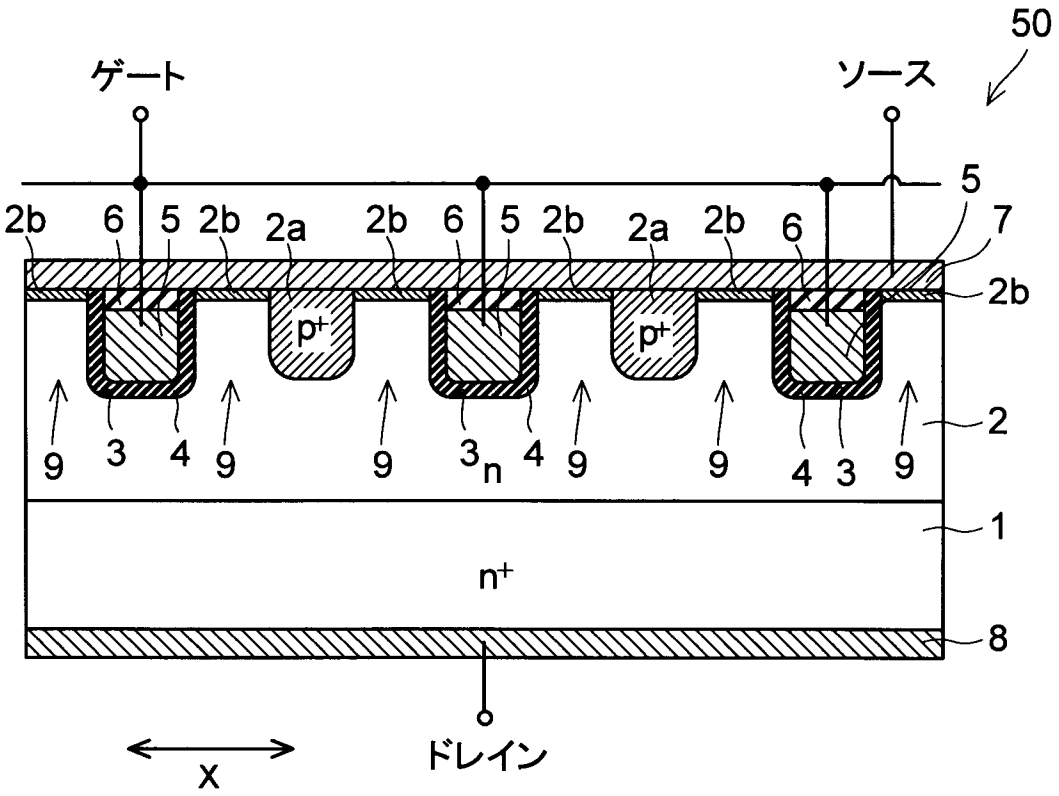
[12] 前記金属層は、少なくとも、前記半導体層の上面と接触するバリアメタル層を含むことを特徴とする、請求項7～9のいずれか1項に記載の半導体装置。

[13] 前記埋め込み電極の上面上には、第2絶縁膜が形成されており、

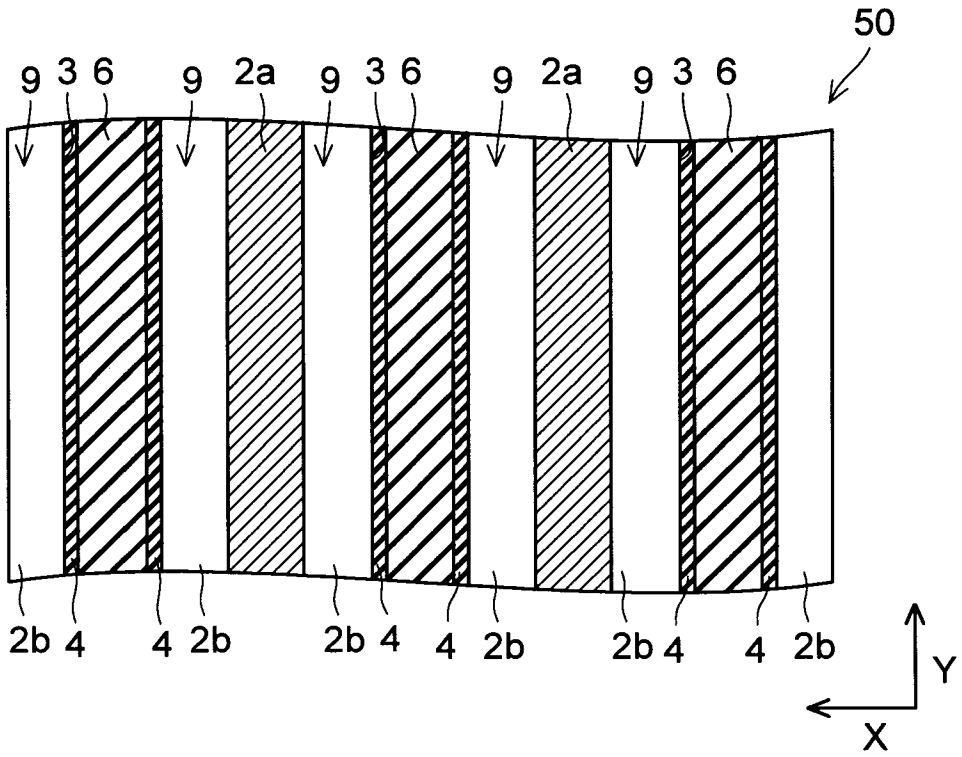
前記第2絶縁膜は、その上面が前記半導体層の上面と同一面となるように前記トレンチ内に形成されていることを特徴とする、請求項7～9のいずれか1項に記載の半

導体装置。

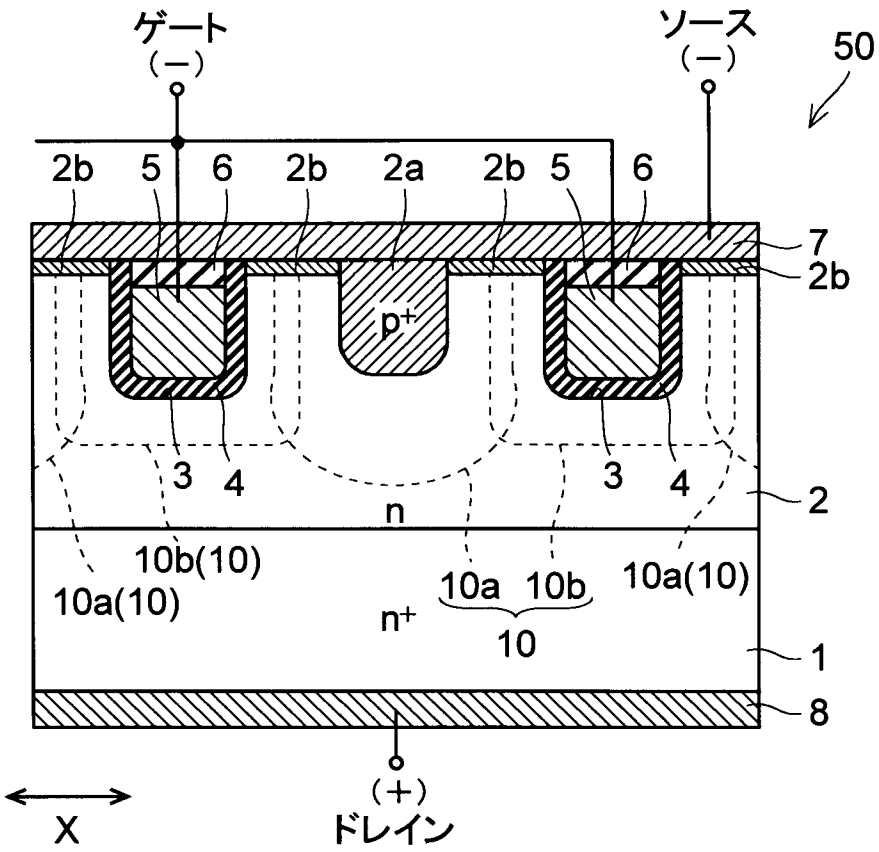
[図1]


50
ゲート
ソース
5
7
2b
6
5
2b
2a
2b
6
5
2b
2a
2b
6
p+
p+
2
9
3
4
9
9
3n
4
9
9
4
3
9
1
n+
8
X
ドレイン

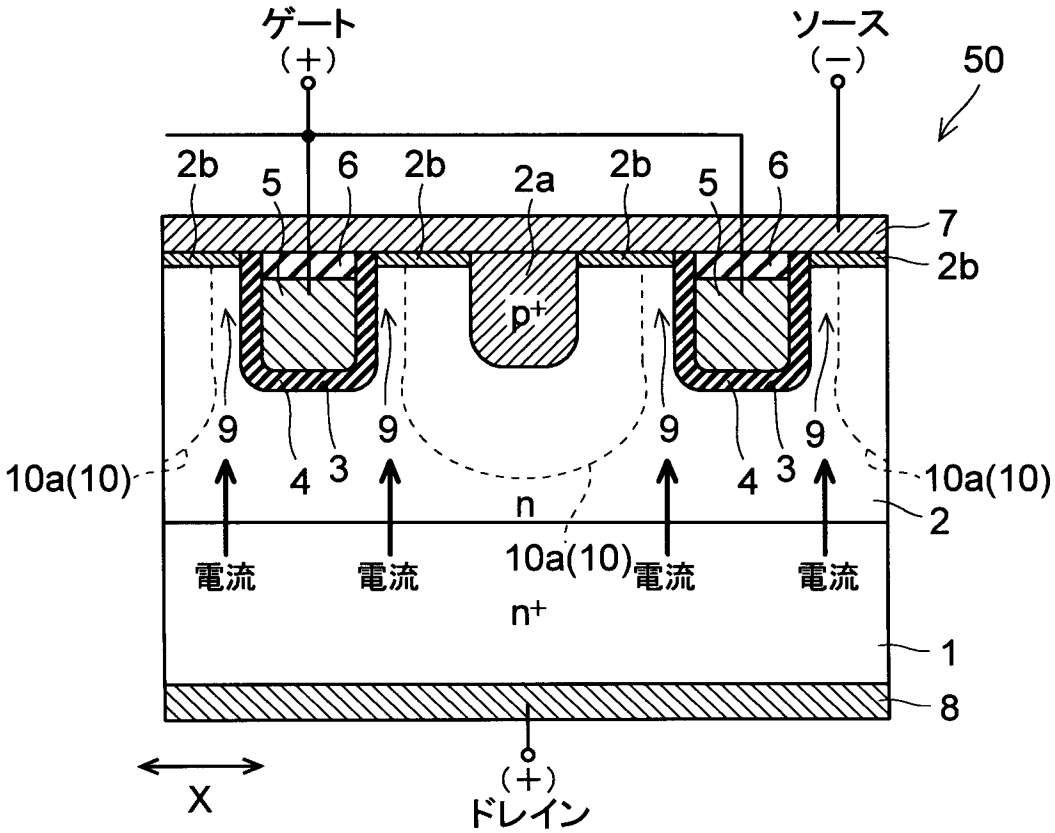
[図2]


50
9
3
6
9
2a
9
3
6
9
2a
9
3
6
2b
4
4
2b
2b
4
4
2b
2b
4
4
2b
Y
X

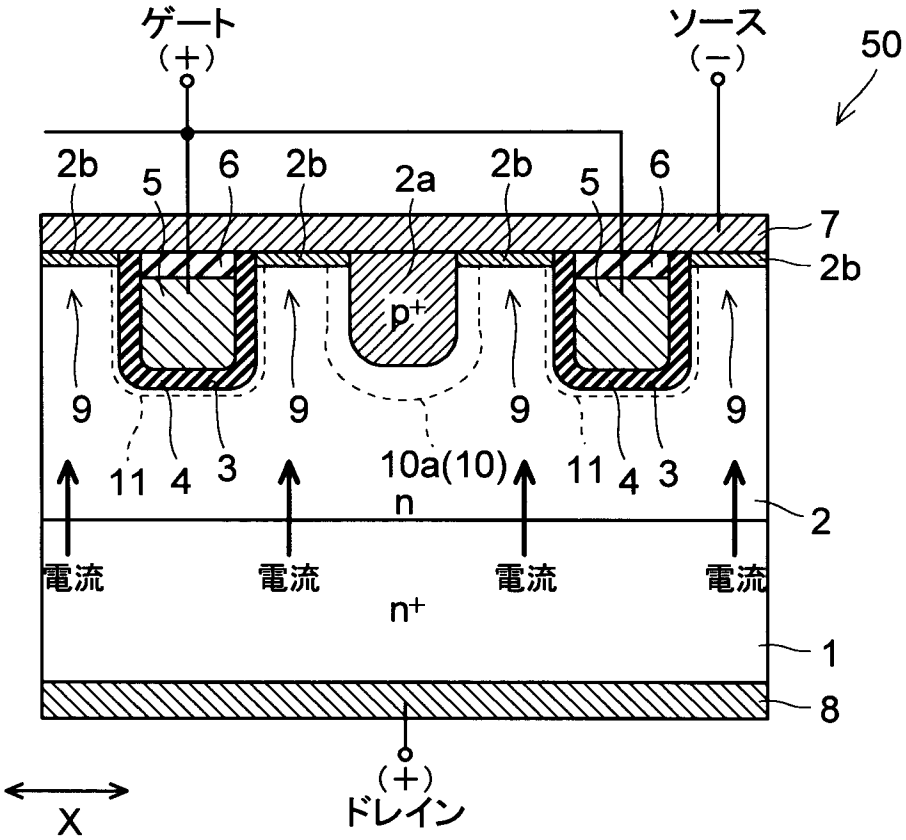
[図3]


ゲート
(−)
ソース
(−)
50
2b
5
6
2b
2a
2b
5
6
7
2b
p+
3
4
3
4
2
n
10b(10)
10a(10)
10a(10)
10a
10b
10a(10)
n+
10
1
8
(+)
ドレイン
X

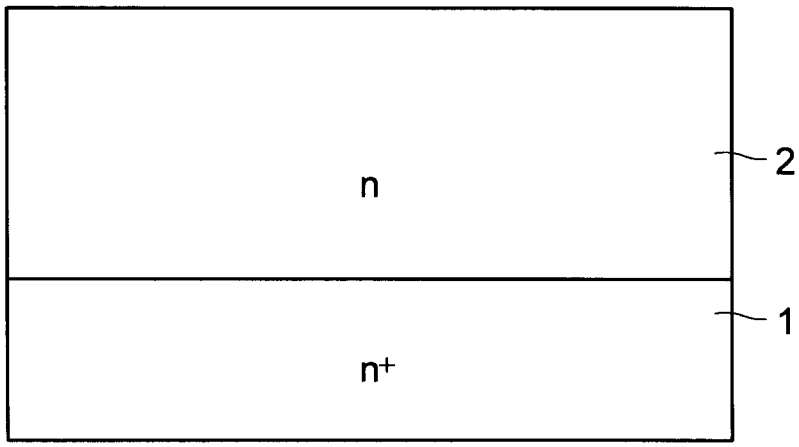
[図4]


ゲート
(+)
ソース
(−)
50
2b
5
6
2b
2a
2b
5
6
7
2b
p+
9
9
9
9
10a(10)
4
3
4
3
10a(10)
n
2
電流
電流
10a(10)
電流
電流
n+
1
8
(+)
ドレイン
X

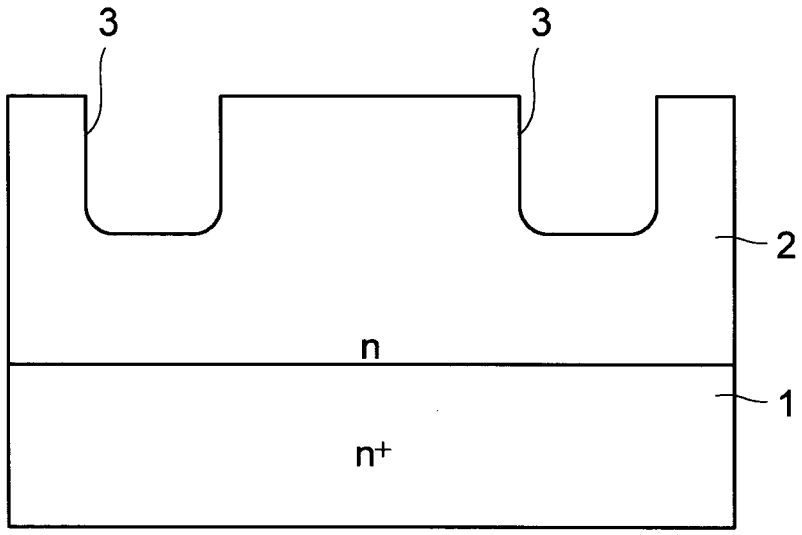
[図5]


ゲート
(+)
ソース
(−)
50
2b
5
6
2b
2a
2b
5
6
7
2b
p+
9
9
9
9
11
4
3
10a(10)
n
11
4
3
2
電流
電流
電流
電流
n+
1
8
(+)
ドレイン
X

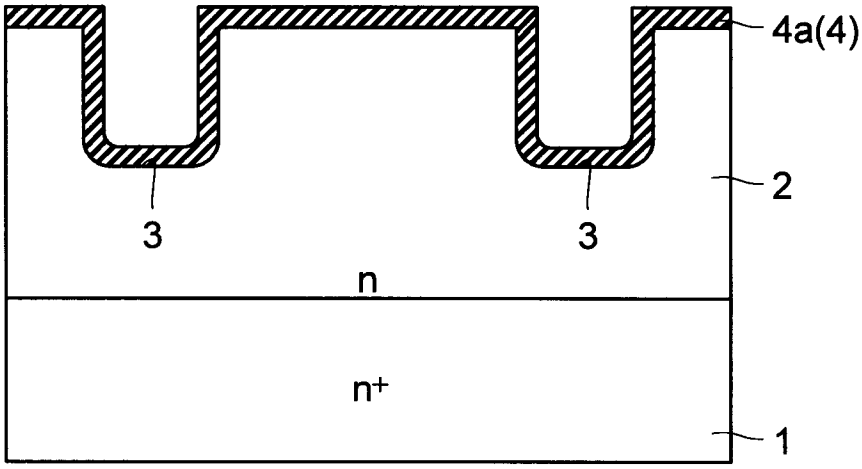
[図6]


n
2
1
n+

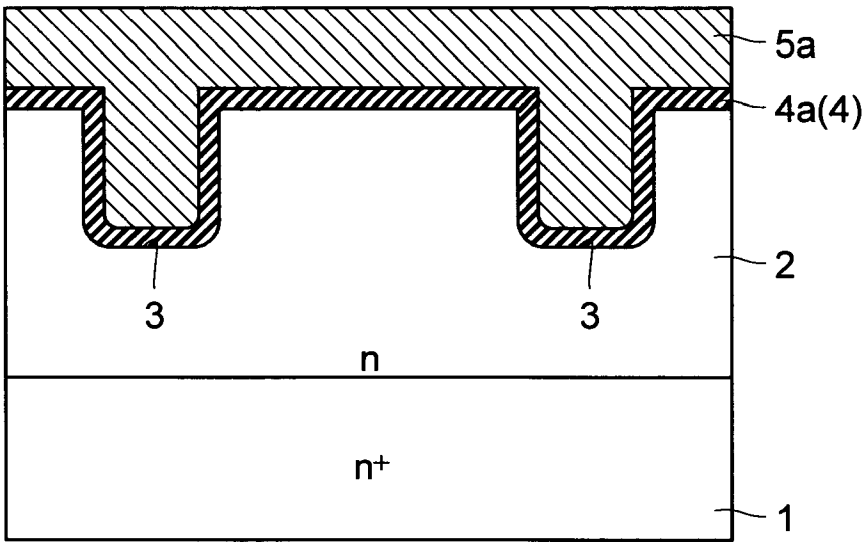
[図7]



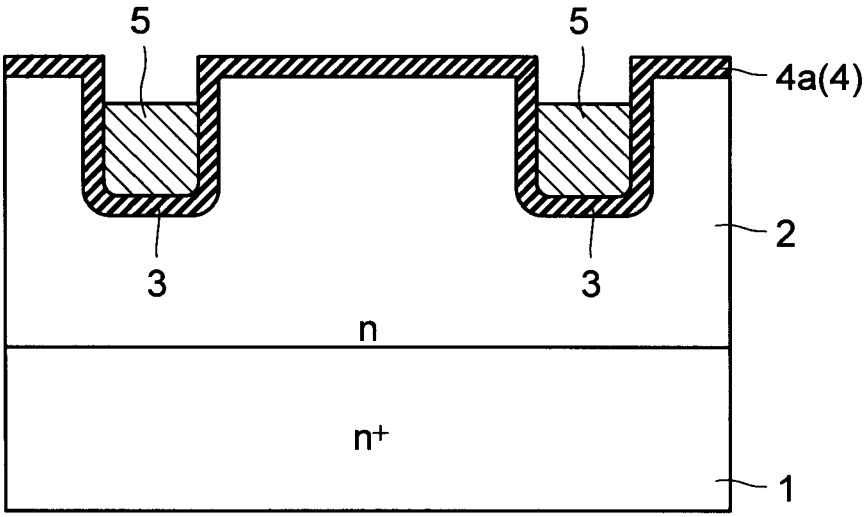
[図8]



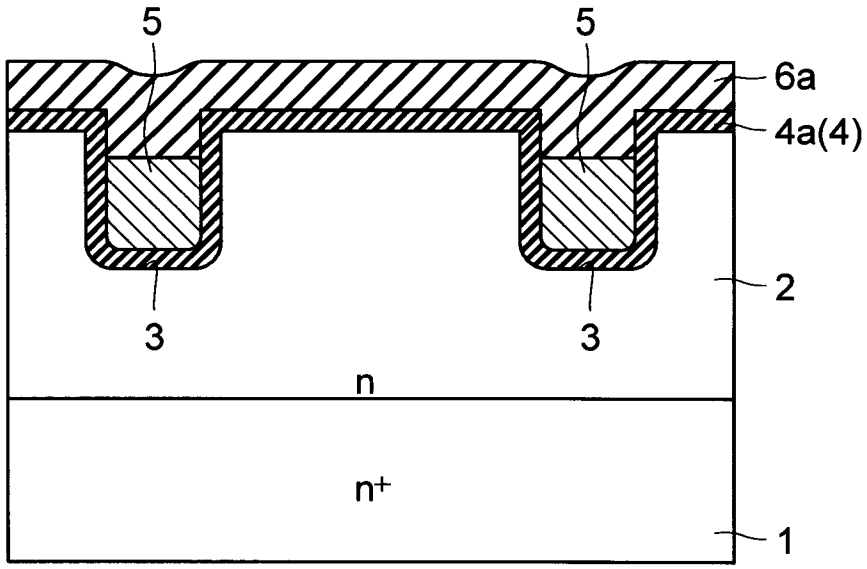
[図9]



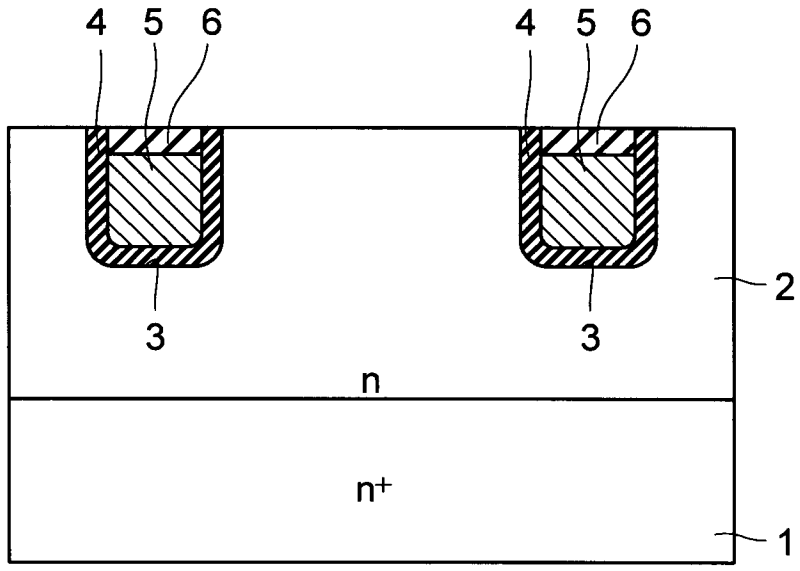
[図10]



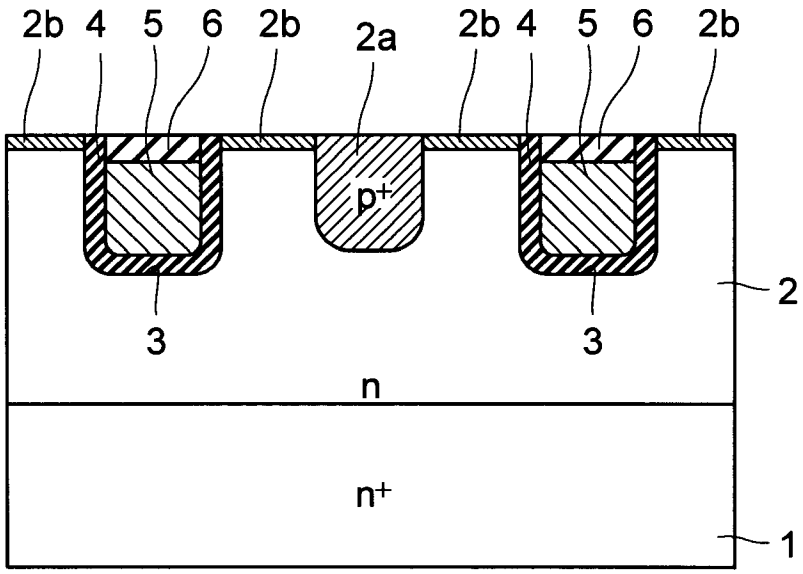
[図11]



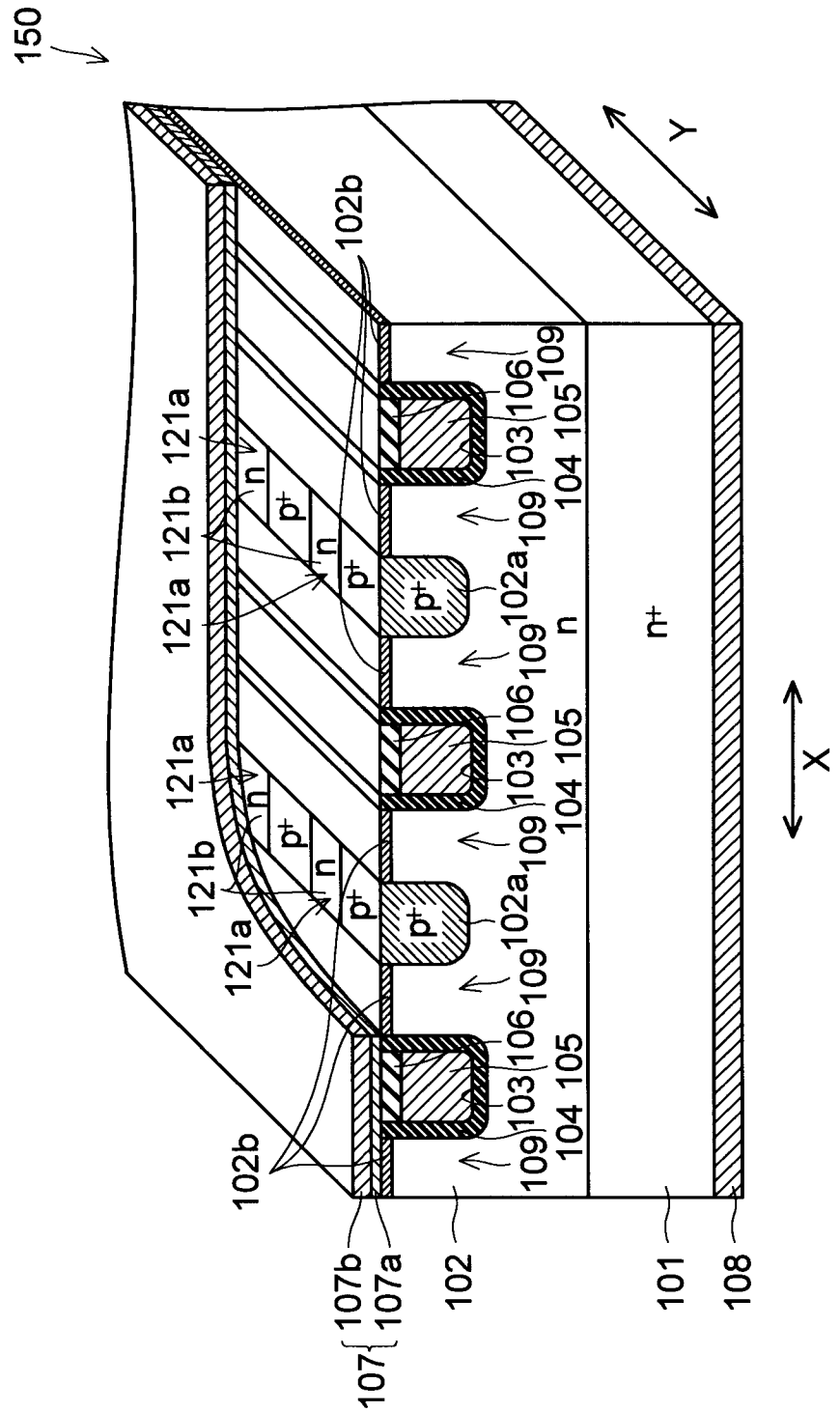
[図12]



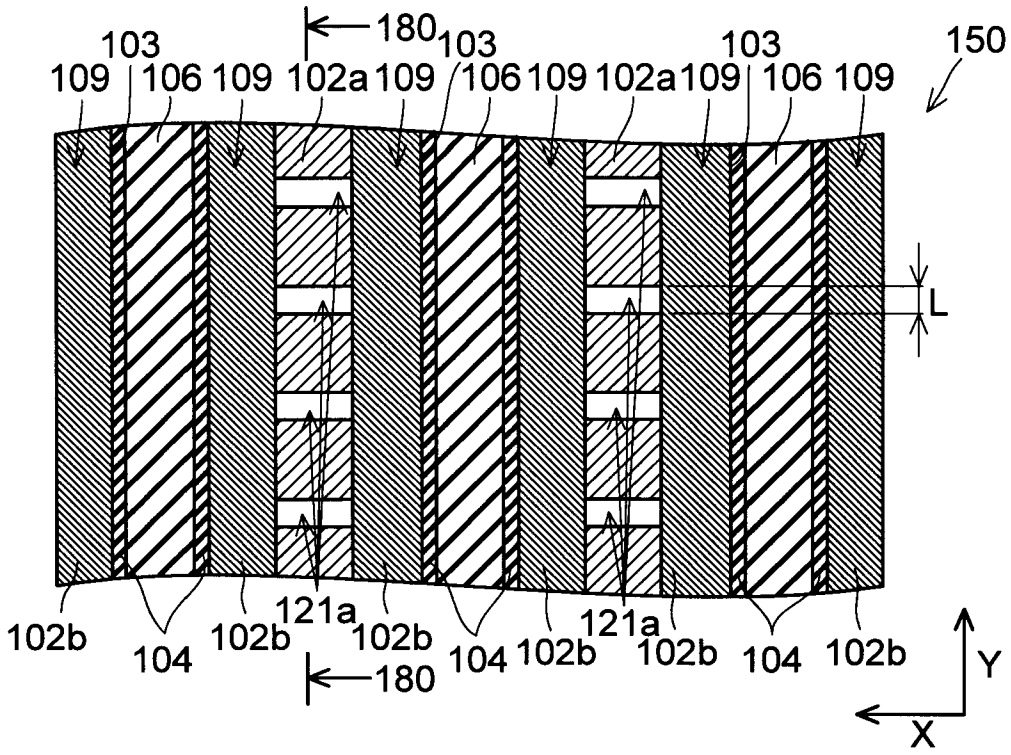
[図13]



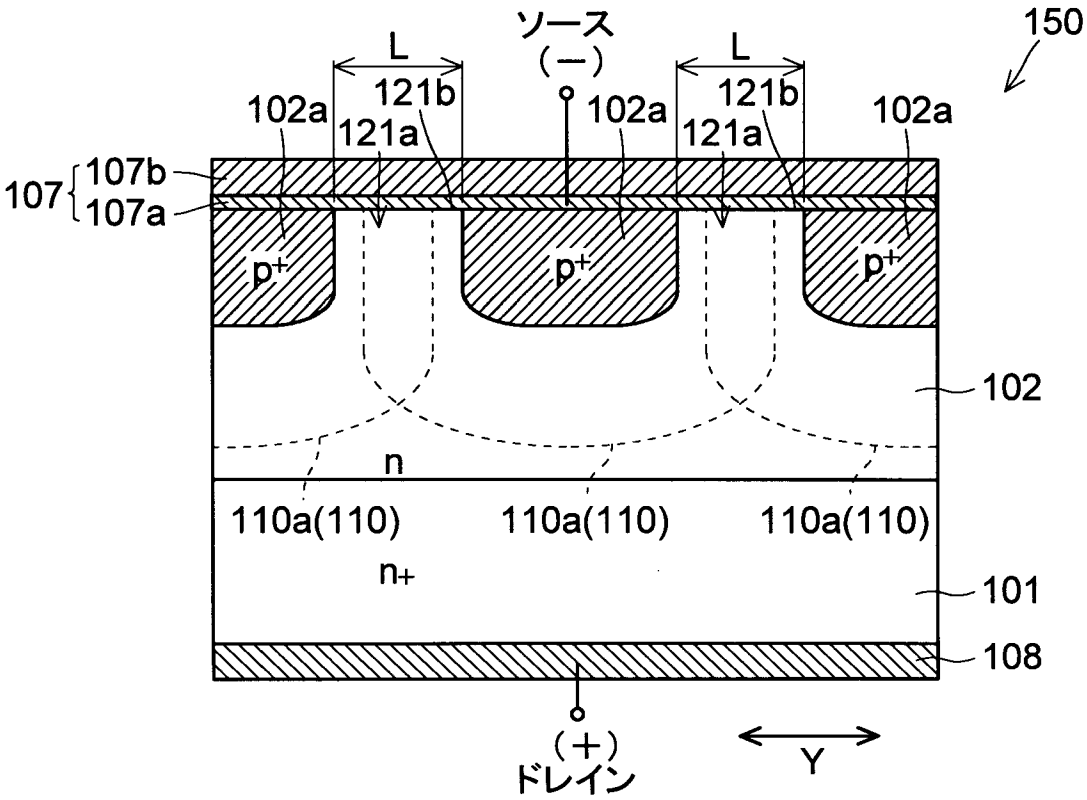
[図14]


150
Y
X
102b
121a
121b
n
p+
102a
103
104
105
106
109
n+
107b
107a
107
102
101
108

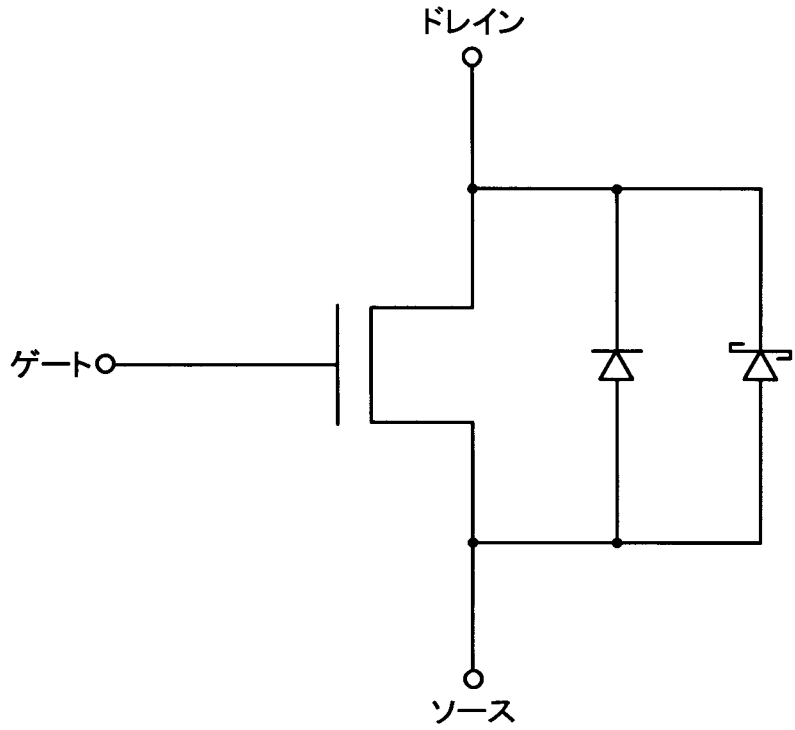
[図15]


180
103
109
106
109
102a
109
103
106
109
102a
109
103
106
109
150
L
102b
104
102b
121a
102b
104
102b
121a
102b
104
102b
180
Y
X

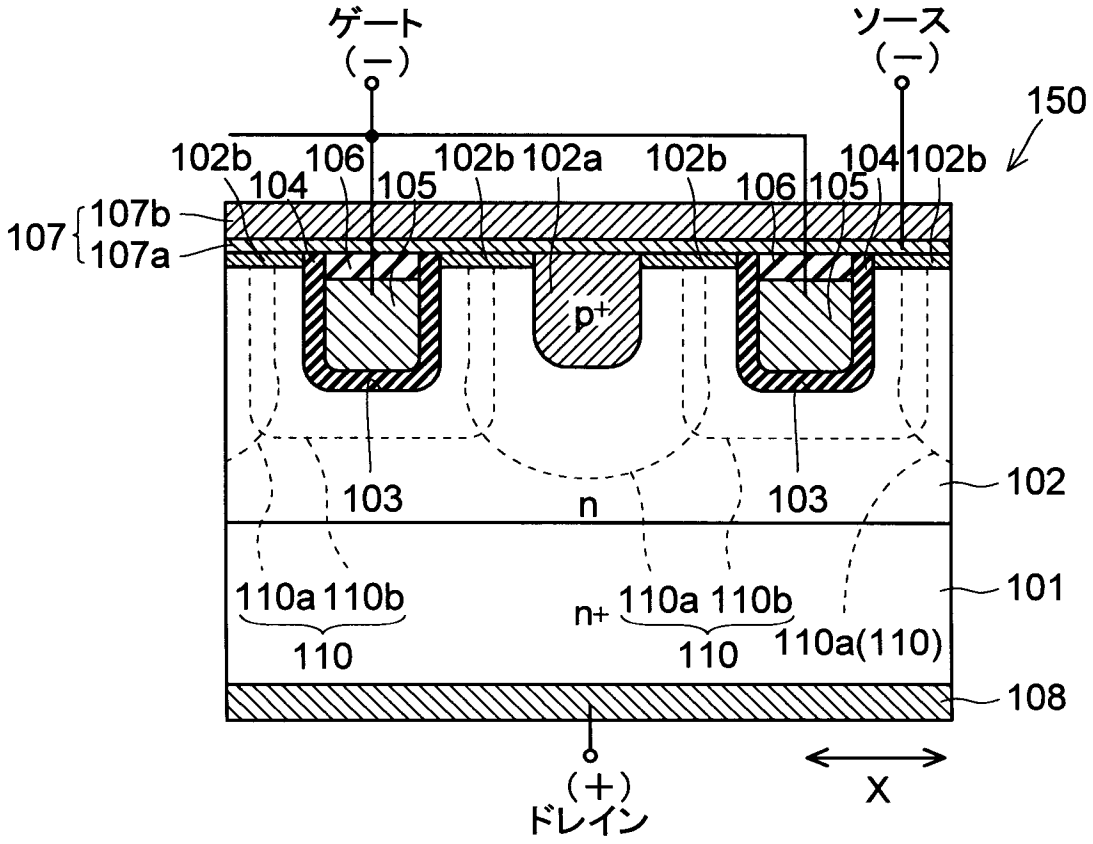
[図16]


ソース
(−)
L
L
121b
121b
102a
121a
102a
121a
102a
150
107
107b
107a
p+
p+
p+
102
n
110a(110)
110a(110)
110a(110)
n+
101
108
(+)
ドレイン
Y

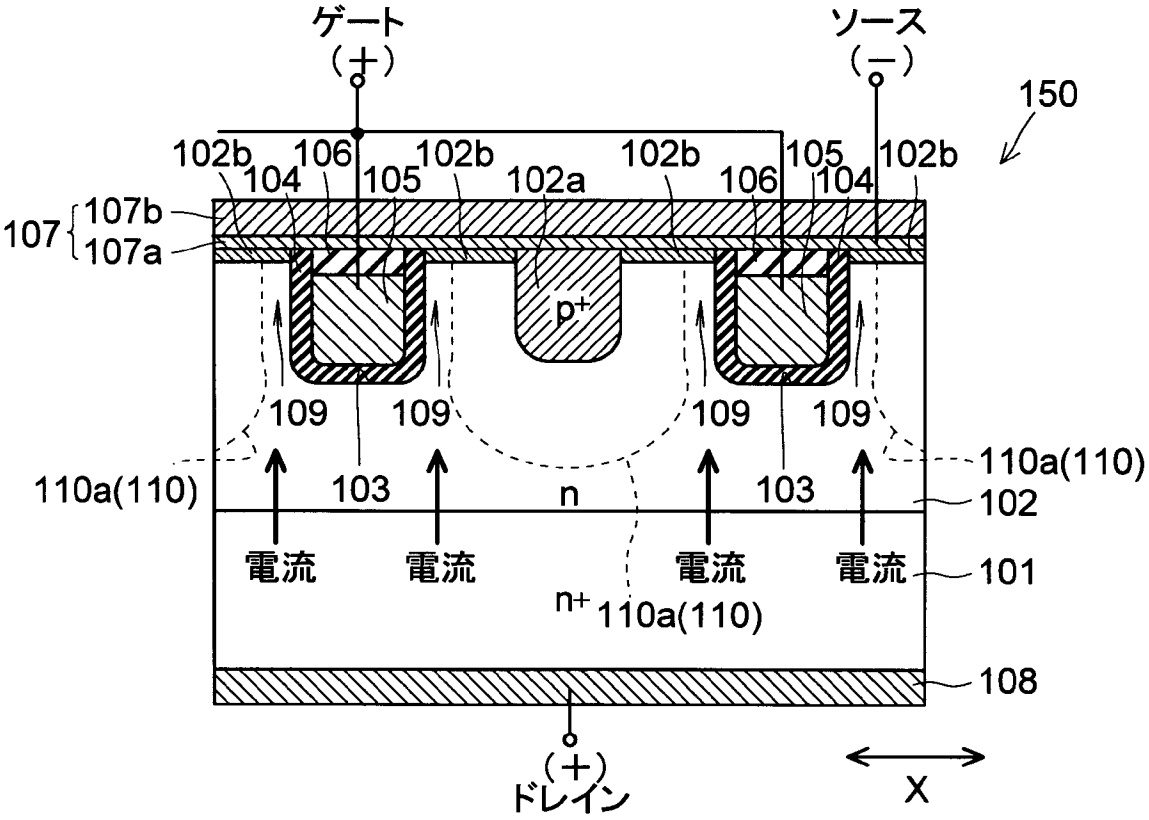
[図17]


ドレイン
ゲート
ソース

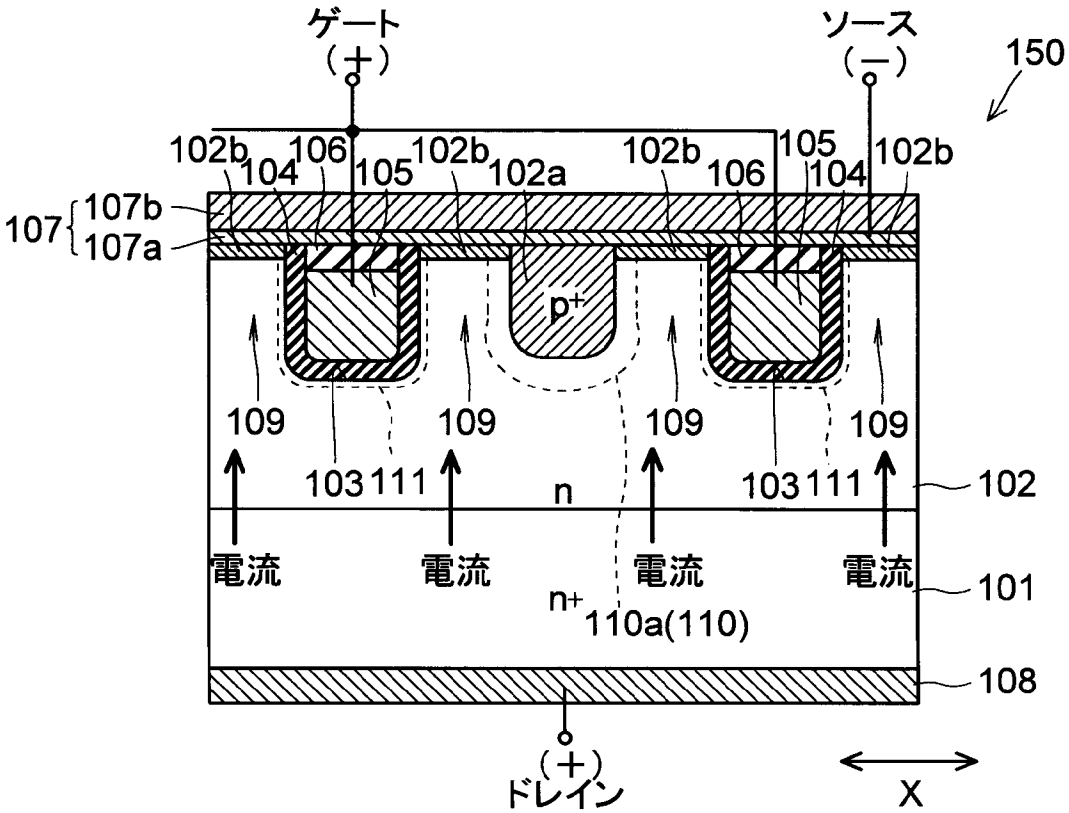
[図18]


ゲート
(−)
ソース
(−)
150
102b
104
106
105
102b
102a
102b
106
105
104
102b
107
107b
107a
p+
103
n
103
102
101
110a
110b
110
n+
110a
110b
110
110a(110)
108
(+)
ドレイン
X

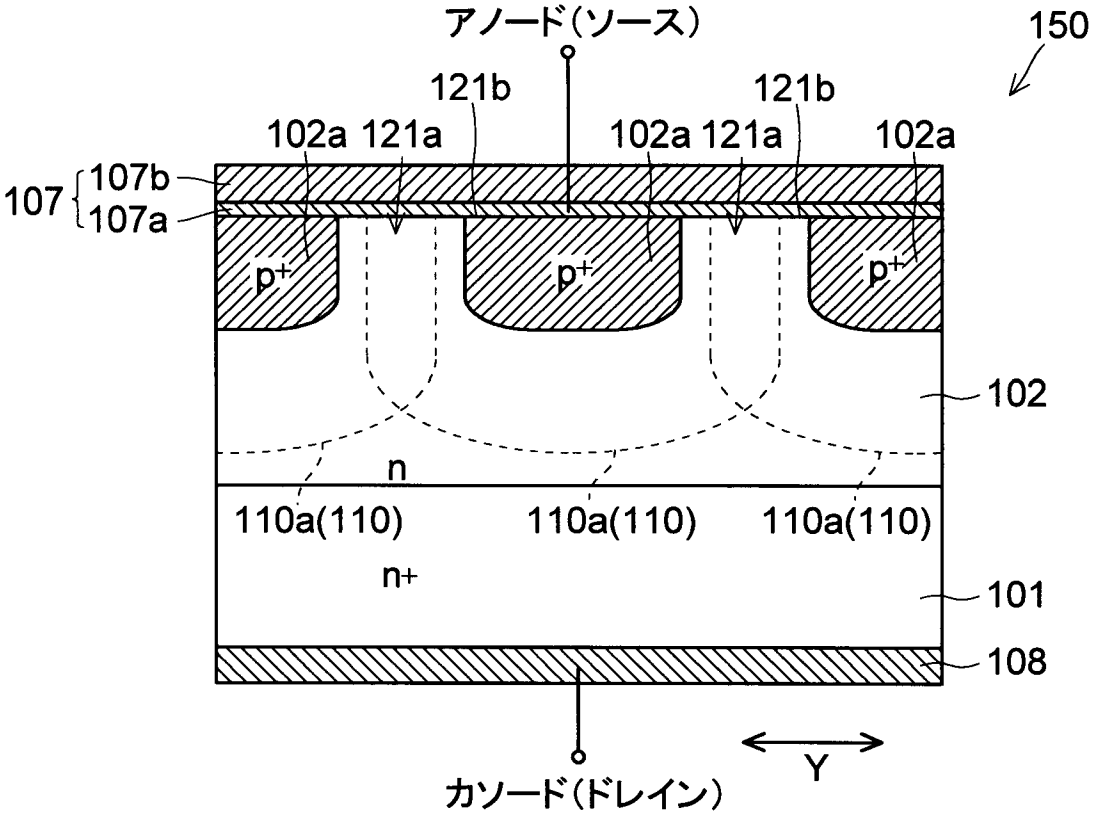
[図19]


ゲート
(+)
ソース
(−)
150
102b
106
104
105
102b
102a
102b
106
105
104
102b
107
107b
107a
p+
109
109
109
109
110a(110)
103
n
103
110a(110)
102
電流
電流
電流
電流
101
n+
110a(110)
108
(+)
ドレイン
X

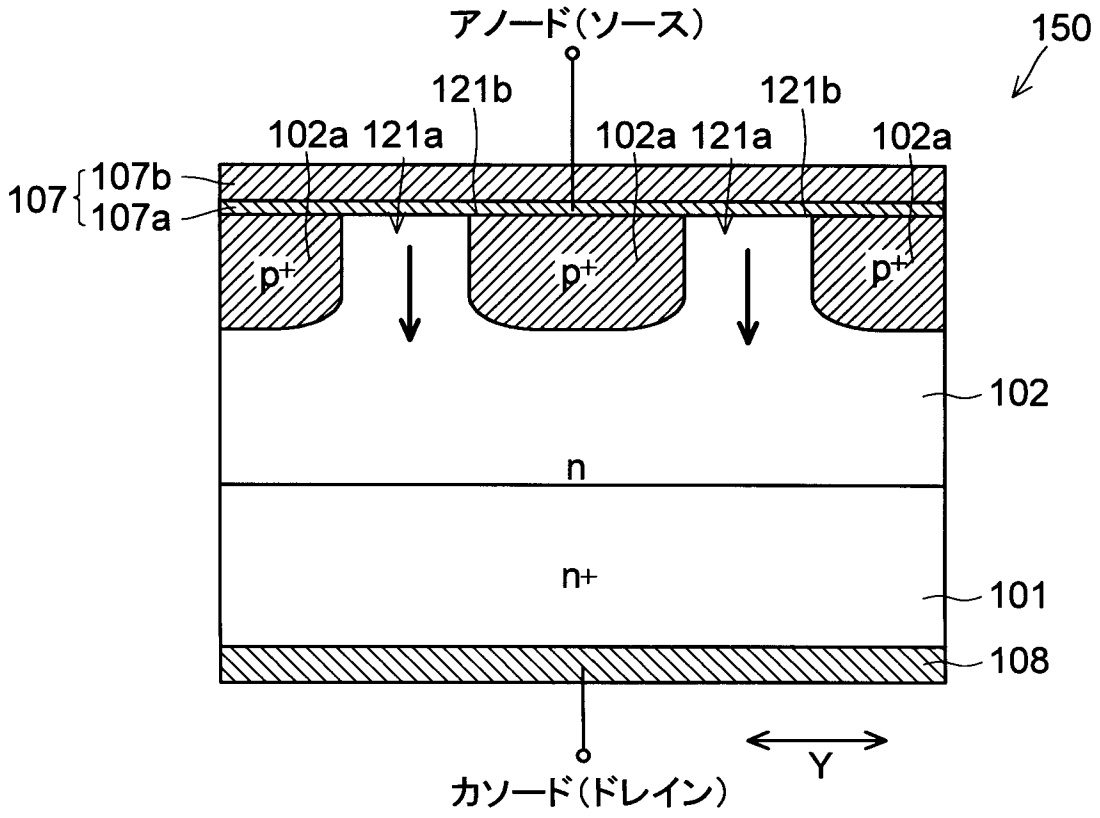
[図20]


ゲート
(+)
ソース
(−)
150
102b
106
104
105
102b
102a
102b
106
105
104
102b
107
107b
107a
p+
109
109
109
109
103
111
n
103
111
102
電流
電流
電流
電流
101
n+
110a(110)
108
(+)
ドレイン
X

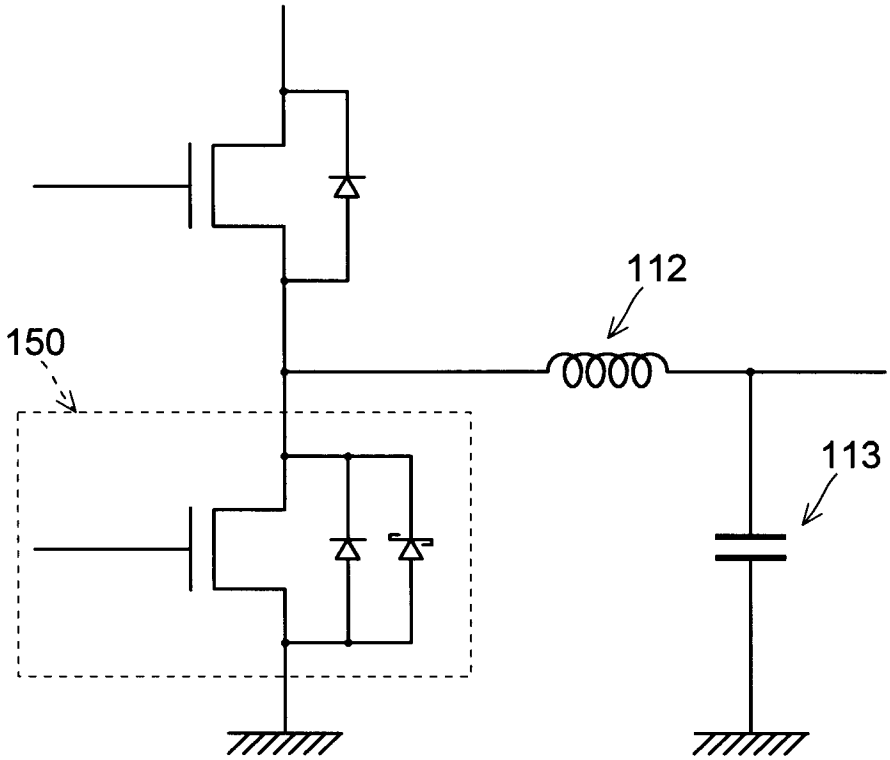
[図21]


アノード(ソース)
150
121b
121b
102a 121a
102a 121a
102a
107
107b
107a
p+
p+
p+
102
n
110a(110)
110a(110)
110a(110)
n+
101
108
Y
カソード(ドレイン)

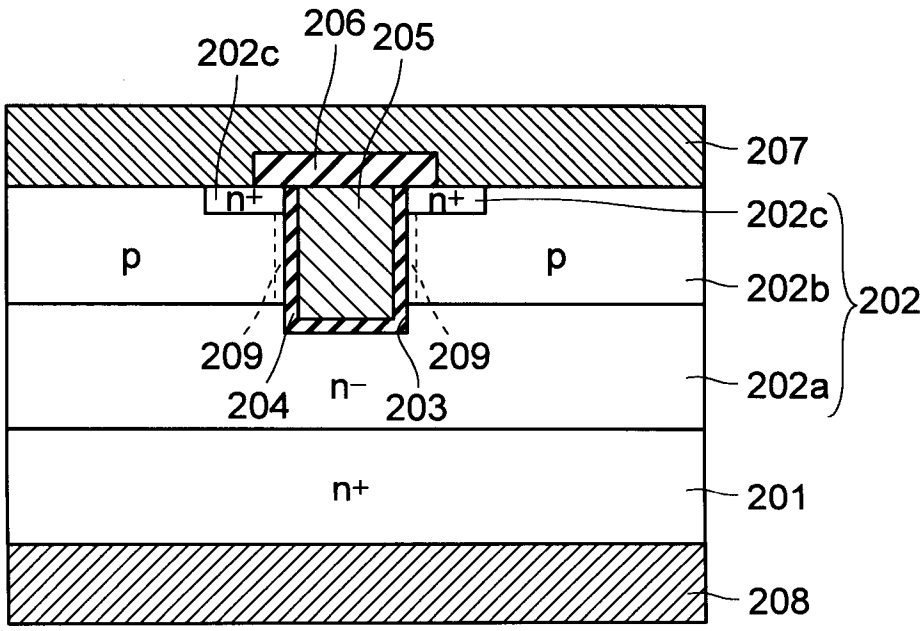
[図22]


アノード(ソース)
150
121b
121b
102a 121a
102a 121a
102a
107
107b
107a
p+
p+
p+
102
n
n+
101
108
Y
カソード(ドレイン)

[図23]


112
150
113

[図24]


206
205
202c
207
n+
n+
202c
p
p
202b
202
209
209
204
n−
203
202a
n+
201
208

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2008/060348

A. CLASSIFICATION OF SUBJECT MATTER
H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2008
Kokai Jitsuyo Shinan Koho 1971-2008 Toroku Jitsuyo Shinan Koho 1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2000-332239 A (Nissan Motor Co., Ltd.), 30 November, 2000 (30.11.00), Par. Nos. [0018] to [0022]; Fig. 1 (Family: none)	1-6 7,8,11-13 9,10
Y	JP 04-261065 A (Mitsubishi Electric Corp.), 17 September, 1992 (17.09.92), Par. Nos. [0001] to [0004], [0009], [0014] to [0028]; Fig. 1 (Family: none)	7,8,11-13
A	JP 2006-190807 A (Hitachi, Ltd.), 20 July, 2006 (20.07.06), Par. Nos. [0029] to [0034]; Fig. 4 (Family: none)	7,8,12,13

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
15 August, 2008 (15.08.08)	26 August, 2008 (26.08.08)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2008/060348

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

See extra sheet.

1. ☒ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

the

☐ The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee.

☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.

☒ No protest accompanied the payment of additional search fees.

Continuation of Box No.III of continuation of first sheet(2)

The inventions of claims 1-13 have a common technical feature relating to "a configuration including a minus conductive type semiconductor layer, a trench formed in the semiconductor layer, an embedded electrode formed in the trench via a first insulation film, and an inverse conductive type impurities region which is formed in a predetermined region of the upper surface side of the semiconductor layer while keeping a predetermined distance from the trench in a plan view and to which a voltage is applied separately from the embedded electrode, wherein the region between the trench and the impurities region serves as a channel and a current flowing in the channel is cut off when the channel is blocked off by a depletion layer formed in the peripheral portion of the trench and a depletion layer formed in the peripheral portion of the impurities region while the current flows via the channel when the depletion layer in the peripheral portion of the trench disappears."

However, the technical feature is well known since it is disclosed in JP 2000-332239 A, paragraphs [0018]-[0022], Fig. 1.

Accordingly, there is no technical relationship among the inventions of claims 1-13 involving one or more of the same or corresponding special technical features.

Consequently, the inventions of claims 1-13 are not so linked as to form a single general inventive concept.

The International Search Authority considers that the scope of inventions which satisfy the unity of inventions is as follows:

Claims 1-6

The International Search Authority considers that the scope of the main group of inventions is as follows:

Claims 1-6

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００８／０６０３４８

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/78(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００８年
日本国実用新案登録公報	１９９６－２００８年
日本国登録実用新案公報	１９９４－２００８年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
X Y	JP 2000-332239 A（日産自動車株式会社）2000.11.30, 段落【００１８】-【００２２】，図１（ファミリーなし）	１－６ ７，８， １１－１３
A		９，１０
Y	JP 04-261065 A（三菱電機株式会社）1992.09.17, 段落【０００１】-【０００４】，【０００９】， 【００１４】-【００２８】，図１（ファミリーなし）	７，８， １１－１３

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日 １５．０８．２００８	国際調査報告の発送日 ２６．０８．２００８
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　４Ｍ　４０３９ 恩田　春香 電話番号　０３－３５８１－１１０１　内線　３４６２

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ａ	JP 2006-190807 A（株式会社日立製作所）2006.07.20, 段落【００２９】-【００３４】，図４（ファミリーなし）	７，８， １２，１３

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００８／０６０３４８

第Ⅱ欄　請求の範囲の一部の調査ができないときの意見（第１ページの２の続き）

法第8条第3項（ＰＣＴ17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

１．☐ 請求の範囲＿＿＿＿＿＿＿＿は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、

２．☐ 請求の範囲＿＿＿＿＿＿＿＿は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、

３．☐ 請求の範囲＿＿＿＿＿＿＿＿は、従属請求の範囲であってＰＣＴ規則6.4(a)の第２文及び第3文の規定に従って記載されていない。

第Ⅲ欄　発明の単一性が欠如しているときの意見（第１ページの３の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。
特別ページ参照。

１．☑ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。

２．☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。

３．☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。

４．☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。

☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。

☑ 追加調査手数料の納付はあったが、異議申立てはなかった。

請求の範囲１－１３に係る発明は半導体装置の発明は、いずれも「一導電型の半導体層と、前記半導体層に形成されたトレンチと、前記トレンチの内部に第１絶縁膜を介して形成された埋め込み電極と、前記半導体層の上面側の所定領域に、平面的に見て、前記トレンチと所定の間隔を隔てて形成され、前記埋め込み電極とは別個に電圧が印加される逆導電型の不純物領域とを備え、前記トレンチと前記不純物領域との間の領域がチャネルとなり、前記トレンチの周辺に形成される空乏層と前記不純物領域の周辺に形成される空乏層とで前記チャネルを塞ぐことにより、前記チャネルを流れる電流が遮断される一方、前記トレンチの周辺の空乏層を消滅させることにより、前記チャネルを介して電流が流れるように構成されている」という技術的特徴を有する点で共通する。

しかしながら、当該技術的特徴はJP2000-332239Aの段落【００１８】-【００２２】、図１に記載されているように公知である。

したがって、請求の範囲１－１３に係る発明は相互に同一の又は対応する特別の技術的特徴によって表現された技術的相互関連性を有しているとは認められない。

よって、請求の範囲１－１３に係る発明は単一の一般的発明概念を形成するように関連している一群の発明とすることはできない。

国際調査機関が発明の単一性の要件を満たすと考える範囲は、次のとおりである。

請求の範囲１－６

国際調査機関が発明の主発明に関すると考える範囲は、次のとおりである。

請求の範囲１－６