

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 12 月 8 日 (08.12.2005)

PCT

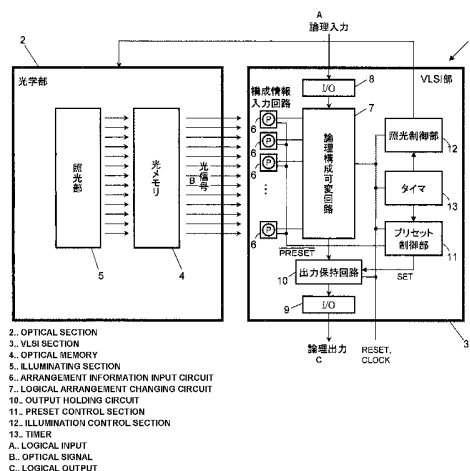
(10) 国際公開番号
WO 2005/117262 A1

- (51) 国際特許分類: H03K 19/173, (72) 発明者; および
H01L 21/82, 21/822, 27/04 (75) 発明者/出願人 (米国についてのみ): 渡邊 実 (WATANABE, Minoru) [JP/JP]; 〒8200053 福岡県飯塚市伊岐須 1-4-403 Fukuoka (JP). 小林 史典 (KOBAYASHI, Fuminori) [JP/JP]; 〒8114141 福岡県宗像市大谷 2-1-1 Fukuoka (JP).
- (21) 国際出願番号: PCT/JP2005/008612
- (22) 国際出願日: 2005 年 5 月 11 日 (11.05.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2004-156769 2004 年 5 月 26 日 (26.05.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): 独立行政法人科学技術振興機構 (JAPAN SCIENCE AND TECHNOLOGY AGENCY) [JP/JP]; 〒3320012 埼玉県川口市本町 4-1-8 Saitama (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR,

[続葉有]

(54) Title: OPTICALLY REARRANGEABLE LOGIC CIRCUIT

(54) 発明の名称: 光再構成可能論理回路



(57) Abstract: An optically rearrangeable logic circuit capable of realizing a high gate density by minimizing the mounting area of an optical circuit. The optically rearrangeable logic circuit (1) comprises an arrangement information input circuit (6) for converting an optical signal including logical circuit arrangement information into an electric signal and holding/outputting the electric signal and a logical arrangement changing circuit (7) for performing logical arrangement according to the logical circuit arrangement information. The arrangement information input circuit (6) holds the logical circuit arrangement information by the quantity of charge through the junction capacitance of a photoconductive device (P) and the stray capacitance, and a binarization circuit binarizes the voltage between the terminals of the photoconductive device (P) to output a circuit arrangement signal. The logic arrangement changing circuit (7) executes logic operation before the voltage between the terminals of the photoconductive device (P) drops below the logical threshold level of the binarization circuit due to a leak current.

(57) 要約: 光学回路の実装面積を可能な限り小さくし、高いゲート密度を実現することを可能とする光再構成可能論理回路を提供する。論理回路構成情報を含む光信号を電気信号に変換しこの電気信号を保持し出力する構成情報入力回路 6、及び論理回路構成情報に従って論理構成が行われる論理構成可変回路 7 を備えた光再構成可能論理回路 1 において、構成情報入力回路 6 は、光導電デバイス P の接合容量及び浮遊容量のキャパシタにより論理回路構成情報を電荷量で保持し、二値化回路により光導電デバイス P の端子間電圧を二値化して回路

[続葉有]



LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ,
NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC,
SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

- (84) 指定国 (表示のない限り、全ての種類の広域保護
が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA,
SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,
BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU,

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

明 細 書

光再構成可能論理回路

技術分野

- [0001] 本発明は、論理回路構成情報を含む光信号を入力することによって内部回路の論理構造の再構成を行うことが可能な光再構成可能論理回路に関し、特に、動的に回路構成情報を保持することにより内部回路のゲート密度を高めることが可能な光再構成可能論理回路に関する。

背景技術

- [0002] 外部から論理回路構成情報を入力することによって、回路の論理構造を再構成することが可能なデバイスとしては、フィールド・プログラマブル・ゲートアレイ(Field Programmable Gate Array:以下、「FPGA」という。)が広く使用されている。更に、ゲートアレイの稼働率を最大限に上げて回路の実装面積を小さくするため、近年では、動的に再構成可能なデバイスの研究開発が進められ、高速に再構成が可能なデバイスの需要が増してきている。
- [0003] しかしながら、FPGAのように、ゲートアレイVLSIとメモリとが異なるチップに分離され、それらの間を金属配線により接続した構成を用いて、高速に再構成可能なデバイスを実現することは困難である。例えば、再構成可能デバイスの動作周波数が100 MHz、再構成ビット全体の数が100, 000ビットとした場合、再構成可能デバイスと外部メモリとが単一配線により接続されているとすれば、転送速度は10Tbpsとする必要がある。この転送速度は、現在の標準のCMOSプロセスを使って実現することはできない。種々の配線上の工夫をしたとしても、使用可能なパッケージにおける接続パットの数が数千個に制限されることから、高速化には限界がある。従って、再構成可能デバイスの電氣的な再構成帯域は、再構成ビット数に対して十分に大きいものであるとはいえない。
- [0004] 一方で、例えば、DAP/DNA (Digital Application Processor/Distributed Network Architecture) チップやDRP (Dynamically reconfigurable processor) のような、高速に再構成することが可能なプロセッサが開発されている(非特許文献11, 12

参照)。これらは、1つのチップ上に再構成メモリとマイクロプロセッサ・アレイとをパッケージしたものである。チップ内部の再構成メモリは、3～16バンクの再構成コンテキストを記憶する。これらのバンクは、各クロックごとに切り替えられる。このプロセスは、いわゆるコンテキスト切替法(context switching method)である。これらのデバイスの算術論理演算ユニット(Arithmetic and Logical Unit:ALU)は、数ナノ秒の周期のクロックごとに再構成させることが可能である。しかしながら、これらのデバイスでは、ゲート密度を維持しながら再構成メモリを増加させることが極めて困難であるという弱点がある。

[0005] そこで、これらの弱点を補う為、種々の光学的・電気的手法を組み合わせた新しいデバイスが提案・開発されている(非特許文献7～10参照)。斯かるデバイスのなかで、従来のFPGAの再構成時間を特に短縮することが可能なものとして、光再構成可能ゲートアレイ(Optically Reconfigurable Gate Array:以下、「ORGA」という。)(特許文献1, 2, 非特許文献1～3, 6参照)と光差分再構成可能ゲートアレイ(Optically Differential Reconfigurable Gate Array:以下、「ODRGA」という。)(特許文献3, 非特許文献4, 5参照)が知られている。これらのデバイスは、FPGAに類似するが、外部の光学的メモリからの光信号の入力によってゲートアレイの論理構造を再構成する点で、FPGAとは異なる。以下、ORGAやODRGAのように、光信号の入力により論理回路の再構成を行うことが可能なデバイスを総称して、「光再構成可能論理回路」という。

[0006] 図18は光再構成可能論理回路の構成を表す図である。光再構成可能論理回路100は、光学的部分101及びVLSI部分102から構成される。光学的部分101は、VLSI部分102に対して、論理回路構成情報を含む光信号を照射する光学系を有する(特許文献1～5、非特許文献1～5参照)。

[0007] 光学的部分101は、論理回路構成情報が記憶されたホログラム・メモリ(holographic memory)や空間光変調器(spatial light modulator)等の光学的記憶素子と、光学的記憶素子から論理回路構成情報を読み出すための照射光を出力するレーザ、LED等の発光素子を備えている(特許文献2, 4, 5、非特許文献2参照)。発光素子から出力される光により光学的記憶素子から論理回路構成情報が光信号として読み出さ

れる。

- [0008] VLSI部分102は、光学的部分101から入力される光信号を検出する受光素子を備えた構成情報入力回路、構成情報入力回路に入力された光信号により与えられる論理回路構成情報に基づいて論理構造の構成が行われる論理構成可変回路、論理構成可変回路に対して外部信号の入出力を行う入出力回路、及び光再構成可能論理回路100全体の動作制御を行うコントローラ等が搭載されている(特許文献1～3, 5参照)。
- [0009] 図19は従来の光再構成可能論理回路における構成情報入力回路の一例を示した図である(特許文献3参照)。図19では、ODRGAにおいて使用される構成情報入力回路が示されている。
- [0010] この構成情報入力回路105は、フォトダイオードD、PMOSTランジスタM、及びTフリップ・フロップ(triggered flip-flop: 以下、「TFF」という。)を備えている。フォトダイオードDは、逆方向バイアス接続されており、アノードが接地されている。フォトダイオードDのカソードは、PMOSTランジスタMを介して電源に接続されている。PMOSTランジスタMのゲートには、プリセット信号nPRESETが入力される(ここで、記号「n」は負論理を表す。図面においては、負論理は上線(overline)で示す。以下同じ。)。nPRESETは負論理であり、nPRESETが0のときに、フォトダイオードDのカソードには電源電圧V_cが印加される。
- [0011] フォトダイオードDとPMOSTランジスタMとの共通ノードN1は、TFFのトリガ入力端子nTに接続されている。TFFのクロック端子にはクロック信号(CLOCK)が入力され、TFFのクリア端子nCLRには、クリア信号(nCLEAR)が入力される。CLEARは負論理の信号である。TFFの出力端子Qから、1ビットの回路構成信号(CONFIG)が出力される。回路構成信号は、論理構成可変回路の論理回路構成情報を表す信号である。
- [0012] TFFは、CLOCKの立ち上がりにおいて、トリガ入力端子nTの入力が1の場合にはCONFIGの論理値を反転させ、トリガ入力端子nTの入力が0の場合にはCONFIGの論理値を維持する。また、TFFは、nCLEARが0のときには、強制的にCONFIGを0とする。

[0013] 論理構成可変回路の再構成を行う場合、

(1)まず、nPRESETを0として、フォトダイオードDの端子間に電源電圧V_cを印加した後、nPRESETを1とする。これにより、逆バイアスされたフォトダイオードDの接合容量により、ノードN1はHレベルとされる。

(2)次に、光学的部分101から光信号を入力する。ここで、フォトダイオードDに光照射がされた場合には、フォトダイオードDに電流が流れる。従って、ノードN1の電位はLレベルとなる。フォトダイオードDに光照射がされない場合には、ノードN1はHレベルに維持される。

(3)光学的部分101から光信号の入力が終わった後に、CLOCKの立ち上がりで、ノードN1がLレベルのときはCONFIGの値は維持され、ノードN1がHレベルのときはCONFIGの値は反転する。これにより、論理構成可変回路の論理構成の切り替えが行われる。

[0014] 上記(1)～(3)の動作のことを、以下では「リフレッシュ」という。

[0015] 以上の構成はODRGAに使用される構成情報入力回路の一例であるが、ORGAに使用する場合には、図19のTFFの代わりにDフリップ・フロップやラッチ、メモリ等が使用される。

特許文献1:特開2002-353317号公報

特許文献2:米国特許第6057703号明細書

特許文献3:特開2004-064017号公報

特許文献4:米国特許第6222755号明細書

特許文献5:米国特許第6072608号明細書

非特許文献1:J. V. Campenhout, H. V. Marck, J. Depreitere, and J. Dambre, "Optoelectronic FPGAs", IEEE J. Sel. Top. Quantum Electron, Vol. 5, pp. 306-315, 1999.

非特許文献2:J. Mumbru, G. Panotopoulos, D. Psaltis, X. An, F. Mok, S. Ay, S. Barna, and E. R. Fossum, "Optically Programmable Gate Array", Proc. SPIE -Int. Soc. Opt. Eng., Vol. 4089, pp. 763-771, 2000.

非特許文献3:J. Mumbru, G. Zhou, X. An, W. Liu, G. Panotopoulos, F. Mok, and

D. Psaltis, "Optical memory for computing and information processing", Proc. SPIE -Int. Soc. Opt. Eng., Vol. 3804, pp. 14-24, 1999.

非特許文献4:M. Watanabe, F. Kobayashi, "An optically differential reconfigurable gate array and its power consumption estimation", IEEE International Conference on Field-Programmable Technology, pp. 197-202, 2002.

非特許文献5:M. Watanabe, F. Kobayashi, "An Optically Differential Reconfigurable Gate Array with dynamic reconfiguration circuit", 10th Reconfigurable Architectures Workshop, p. 188, 2003.

非特許文献6:J. Depreitere, H. Neefs, H. V. Marck, J. V. Campenhout, R. Baets, B.Dhoedt, H. Thienpont, and I. Veretennicoff, "An optoelectronic 3-D field programmable gate array", FPL '94. Proc., pp.352-360, 1994.

非特許文献7:Ted H. Szymanski, Martin Saint-Laurent, Victor Tyan, Albert Au, and Boonchuay Supmonchai, "Field-Programmable Logic Devices with Optical Input Output", Applied Optics, vol. 39, Issue 5, pp.721-732, February 2000.

非特許文献8:Sherif S. Sherif, Stefan K. Griebel, Albert Au, Dennis Hui, Ted H. Szymanski, and H. Scott Hinton, "Field-Programmable Smart-Pixel Arrays: Design, VLSI Implementation, and Applications", Applied Optics, Volume 38, Issue 5, pp.838-846 February 1999.

非特許文献9:Majd F. Sakr, Steven P. Levitan, C. Lee Giles, and Donald M. Chiarulli, "Reconfigurable processor employing optical channels", Proceedings of the 1998 International Topical Meeting on Optics in Computing (OC'98), Proceedings of the SPIE, Vol.3490, p. 564-567, 1998.

非特許文献10:M. Watanabe, J. Ohtsubo, "Digital associative memory neural network with optical learning capability", Optics Communications, Vol.113, pp.31-38, 1994.

非特許文献11:中野裕隆, 新藤猛, 風見哲夫, 本村真人, 「動的構成プロセッサLSIの開発」, NEC技報, 日本電気株式会社, 2003年4月, Vol.56, No.4, pp.99-102

非特許文献12:U. Tangen, J. S. McCaskill, "Hardware evolution with a massively

parallel dynamically reconfigurable computer: POLYP", Evolvable Systems: From Biology to Hardware. Second International Conference, ICES 98 Proc., pp.364-371, 1998.

発明の開示

発明が解決しようとする課題

- [0016] 上記従来の光再構成可能論理回路では、光信号入力による論理構造の再構成手段を採用する。そのため、従来の光再構成可能論理回路のVLSI部分102は、通常のFPGAと同様に、論理構成可変回路と、多数の構成情報入力回路とを有している。すなわち、従来のORGA, ODRGAは、FPGAのゲートアレイ上に光学回路を追加したものであると考えることができる。
- [0017] 各構成情報入力回路は、光学的な論理回路構成情報を検出するフォトダイオード、一時的に論理回路構成情報を記憶するラッチ、フリップ・フロップ、又はメモリ、及びいくつかのトランジスタを必要とする。
- [0018] しかしながら、例えば、 $0.35\mu\text{m}$ プロセスで、フォトダイオードの実装サイズが $25\mu\text{m}^2$ 、ゲート数が65kGとすると、ODRGAのVLSIチップの実装領域における光学回路が占める割合は約47%にも達すると試算される。このように光学回路が実装領域に占める割合が大きいと、高ゲート密度のORGA又はODRGAを実現することができない。
- [0019] 一方、上記従来の構成においては、光学的部分101とVLSI部分102の両サイドにメモリ機能が存在する。従って、従来の光再構成可能論理回路は、全体として重複してメモリ機能を有していると考えられる。
- [0020] VLSI部分102のメモリ機能は、フォトダイオードをリフレッシュする間に、構成情報入力回路の出力値を保持するという重要な機能を有している。しかしながら、もしこのVLSI部分102のメモリ機能を除去することができたならば、構成情報入力回路の実装面積が大幅に減少する。そして、これにより光再構成可能論理回路のゲート密度を極めて大きくすることが可能であると考えられる。
- [0021] そこで、本発明の目的は、光学回路の実装面積を可能な限り小さくし、高いゲート密度を実現することを可能とする光再構成可能論理回路を提供することにある。

課題を解決するための手段

- [0022] 本発明に係る光再構成可能論理回路の第1の構成は、光の照射入力により導通／遮断する光導電デバイスを有し、論理回路構成情報を含む光信号を前記光導電デバイスにより電氣的な回路構成信号に変換し出力する構成情報入力回路と、前記回路構成信号に従って、内部回路の論理構成が行われる論理構成可変回路と、を備えた光再構成可能論理回路において、前記光信号から入力される論理回路構成情報を回路構成信号として前記光導電デバイスの非導通状態における端子間の寄生容量(以下「入力キャパシタ」という。)に保持し、保持された前記回路構成信号がリーク放電により消失する前に前記入力キャパシタをプリセットして次の光信号を入力することによって論理回路構成情報を動的に前記入力キャパシタに保持させる制御を行うことを特徴とする。
- [0023] この構成によれば、論理回路構成情報の書き込みを行う場合、光導電デバイスの寄生容量(光導電デバイスの接合容量及びその他の浮遊容量からなる。)で構成される入力キャパシタに電荷が充電された状態で、光再構成可能論理回路に対して、論理回路構成情報を含む光信号を入力する。
- [0024] このとき、光信号が入力されない光導電デバイスでは、その入力キャパシタの電荷が保持されたままの状態に維持される。一方、光信号が入力された光導電デバイスでは、空乏層にキャリアが生じ入力キャパシタの電荷が放電される。これにより、光信号の論理回路構成情報が電荷量(すなわち、光導電デバイスの端子間電圧)に変換される。そして、光信号の入力後は、光導電デバイスの入力キャパシタに、論理回路構成情報が電荷量(すなわち、光導電デバイスの端子間電圧)として保持される。光導電デバイスの端子間電圧は、回路構成信号として出力される。
- [0025] 回路構成信号に従って、論理構成可変回路の論理再構成が行われる。一般に論理構成可変回路の入力段は高入力インピーダンスなので、光信号が入力されていない期間における光導電デバイスの端子間電圧の降下は、リーク電流による電圧降下以外には殆ど生じない。従って、回路構成信号は、比較的長時間にわたり安定的に維持される。論理構成可変回路は、構成情報入力回路の出力値が変化しない間に、回路構成信号に基づき構成された論理回路により、目的とする論理演算処理を行

う。

- [0026] このように、本構成では、構成情報入力回路において、論理回路構成情報を保持するための、ラッチ、フリップ・フロップ、メモリ等の記憶回路を別途設けることなく、光導電デバイスの接合容量及び浮遊容量で構成される入力キャパシタにより論理回路構成情報を保持することとした。これにより、過剰なメモリ機能が省略され、構成情報入力回路の実装面積・消費電力を、従来に比べて大幅に縮小することができる。
- [0027] また、入力キャパシタに保持された回路構成情報は、リーク放電によって消失する前に、入力キャパシタをプリセット及び次の光信号の入力によってリフレッシュされる。そのため、入力キャパシタの回路構成情報は継続的に動的に保持された状態が保つことができる。
- [0028] ここで、「光導電デバイス」としては、フォトダイオード、フォトランジスタ、光導電セルなどを使用することができる。尚、「論理回路構成情報を動的に保持する」とは、論理回路構成情報を定期的にリフレッシュすることによって、論理回路構成情報が保持された状態を継続させることを意味する。
- [0029] 本発明に係る光再構成可能論理回路の第2の構成は、前記第1の構成において、前記光導電デバイスは逆方向バイアス接続されたフォトダイオードであることを特徴とする。
- [0030] この構成によれば、光導電デバイスとしてフォトダイオードを使用することにより、実装面積をもっとも小さくすることができ、光再構成可能論理回路を最大限高ゲート数化することができる。
- [0031] ここで、「フォトダイオード」としては、PNフォトダイオード、PINフォトダイオード、ショットキー・フォトダイオード、アバランジェ・フォトダイオード等を使用することができる。特に、製造工程を簡略化し実装面積を小さくする点からは、PNフォトダイオードを使用するのが有効である。
- [0032] 本発明に係る光再構成可能論理回路の第3の構成は、前記第1又は2の構成において、前記構成情報入力回路は、前記光導電デバイスの端子間電圧を量子化して論理出力値として出力する論理出力回路を備え、前記論理出力回路は、前記光導電デバイスが前記光信号を変換して出力する電気信号を量子化して、回路構成信

号として出力することを特徴とする。

[0033] この構成によれば、光導電デバイスの出力を論理出力回路で量子化することにより、回路構成信号として安定した信号を出力することができる。

[0034] ここで、「論理出力回路」としては、CMIS (Complementary Metal Insulator Semiconductor) インバータ回路、比較回路等を使用することができる。実装面積を小さくする点からは、CMISインバータ回路を使用するのが好適である。

[0035] 本発明に係る光再構成可能論理回路の第4の構成は、前記第1乃至3の何れか一の構成において、前記光導電デバイスにプリセット電圧を逆バイアス方向に印加することで、前記入力キャパシタを充電するプリセット制御を行うプリセット制御手段と、前記プリセット制御により前記入力キャパシタが充電された後に、前記光信号を一定時間オン状態として前記光信号に従って照光される前記光導電デバイスを導通させることで前記構成情報入力回路に論理回路構成情報の書き込む照光制御を行う照光制御手段と、前記照光制御により前記構成情報入力回路に前記論理回路構成情報の書き込みがされた後、所定の遅延時間をもって、前記プリセット制御手段に対しプリセットタイミング信号を出力するタイミング生成手段と、を備え、前記プリセット制御手段は、前記プリセットタイミング信号が入力された場合に前記プリセット制御を実行することを特徴とする。

[0036] この構成によれば、構成情報入力回路が保持する論理回路構成情報の更新を行う場合、まず、プリセット制御手段は光導電デバイスの両極間に逆バイアスでプリセット電圧を印加する。これにより、光導電デバイスの寄生容量で構成される入力キャパシタに電荷が充電される。次に、プリセット制御手段はプリセット電圧の印可を止める。そして照光制御手段は、光再構成可能論理回路に対して論理回路構成情報を含む光信号を入力するように制御を行う。これにより、構成情報入力回路が保持する論理回路構成情報の更新をすることができる。尚、この一連の論理回路構成情報の更新操作を「リフレッシュ」という。

[0037] 上述のように、光信号が入力されていない期間における光導電デバイスの端子間電圧の降下は、リーク電流による電圧降下以外には殆ど生じない。従って、回路構成信号は、比較的長時間にわたり安定的に維持される。プリセット制御手段及び照光

制御手段は、リーク電流により入力キャパシタの両端電圧が論理出力回路の論理閾値以下に降下する前にリフレッシュを行うため、構成情報入力回路には論理回路構成情報が継続的に保持される。論理構成可変回路は、論理回路構成情報の更新が行われてから次の論理回路構成情報の更新が行われるまでの間に、目的とする論理演算処理を行う。

[0038] このように、本構成では、プリセット制御手段及び照光制御手段により、構成情報入力回路の論理回路構成情報を動的に更新することで、リーク放電による論理回路構成情報の消失により論理構成可変回路の論理構成が予期せず不確定となることを防止することができる。

[0039] ここで、タイミング生成手段がプリセットタイミング信号を出力する際の「所定の遅延時間」は、光信号の入力後、入力キャパシタの回路構成情報がリーク放電により消失するより前までの時間間隔より短い時間に適宜設定される。

[0040] 本発明に係る光再構成可能論理回路の第5の構成は、前記第4の構成において、前記タイミング生成手段は、前記プリセット制御により前記プリセット電圧にプリセットされた前記光導電デバイスの端子間電圧がリーク放電により所定の論理閾値以下に降下する期間よりも短い遅延時間をもって、前記プリセット制御手段に対してプリセットタイミング信号を出力することを特徴とする。

[0041] このように、プリセット後に光導電デバイスの端子間電圧が所定の論理閾値以下に降下するまでの間に、タイミング生成手段が再びプリセット制御手段に対してプリセットタイミング信号を出力することにより、入力キャパシタの回路構成情報の更新が実行される。これにより、入力キャパシタの回路構成情報を動的に保持することができる。

[0042] ここで、「所定の論理閾値」は、光再構成可能論理回路を構成する半導体回路で決められる論理閾値電圧をいう。

[0043] 本発明に係る光再構成可能論理回路の第6の構成は、前記第4乃至5の何れか一の構成において、前記構成情報入力回路は、光導電デバイスの両極間に印加するプリセット電圧のオンオフを行うプリセット・スイッチング素子を備えており、前記プリセット制御手段は、前記プリセット・スイッチング素子をオン状態とするプリセット信号を所定の期間だけアサートするものであることを特徴とする。

- [0044] この構成により、プリセット信号によりプリセット・スイッチング素子がオン状態とされた間に光導電デバイスの両極間にプリセット電圧が印可され、入力キャパシタはプリセットされる。その後、光導電デバイスに入力信号を照射入力することによって、入力キャパシタに回路構成情報を書き込むことが可能となる。
- [0045] ここで、「プリセット・スイッチング素子」としては、MISFET (Metal Insulator Semiconductor Field Effect Transistor)、バイポーラ・トランジスタ等のスイッチング素子を使用することができる。また、プリセット・スイッチング素子は、光導電デバイスに対して正極側に接続してもよいし、負極側に接続してもよい。また、プリセット信号をアサートする「所定の期間」は、入力キャパシタの電圧がプリセット電圧まで飽和するのに十分な期間に設定される。
- [0046] 本発明に係る光再構成可能論理回路の第7の構成は、前記第3乃至5の何れか一の構成において、前記プリセット制御により前記プリセット電圧に充電された前記入力キャパシタがリーク放電することにより前記光導電デバイスの端子間電圧が所定の論理閾値以下に降下する時刻よりも前のタイミングで、前記論理構成可変回路の論理出力値を保持する論理出力保持手段を備えていることを特徴とする。
- [0047] この構成によれば、構成情報入力回路の論理回路構成情報の更新を行う間は、論理構成可変回路の出力信号を外部出力記憶手段により一時的に保持する。従って、論理回路構成情報の更新を行う間に論理構成可変回路の内部回路の論理構造が不確定となっても、論理構成可変回路の論理出力値が不確定となることは防止できる。
- [0048] 論理出力保持手段を付加した場合、その分だけ追加的に実装面積が必要とされる。しかし、一般に、論理構成可変回路の論理出力数は、すべての論理回路構成情報のビット数に比べて遙かに少ない。従って、従来のようにすべての光導電デバイスに対応して記憶素子を実装した場合に比べると、遙かに実装面積を縮小することができる。
- [0049] ここで、「論理出力保持手段」としては、ラッチ、フリップ・フロップ、レジスタ等の通常用いられる記憶素子を使用することができる。
- [0050] 本発明に係る光再構成可能論理回路の第8の構成は、前記第7の構成において、

前記構成情報入力回路は、光導電デバイスの両極間に印加するプリセット電圧のオンオフを行うプリセット・スイッチング素子を備えており、前記プリセット制御手段は、前記プリセット・スイッチング素子をオン状態とするプリセット信号を所定の期間だけアサートするものであり前記論理出力保持手段は、前記プリセット制御手段が前記プリセット信号をアサートする前のタイミングで、前記論理構成可変回路の論理出力値を保持することを特徴とする。

[0051] この構成によれば、論理出力保持手段は、入力キャパシタに回路構成情報が保持された後に、プリセットによって入力キャパシタがプリセットされる前に論理構成可変回路の論理出力値を保持することにより、入力キャパシタの回路構成情報が更新されている間も、従前の回路構成情報を保持し、論理構成可変回路の論理構成を維持する。従って、論理回路構成情報の更新を行う間に論理構成可変回路の内部回路の論理構造が不確定となっても、論理構成可変回路の論理出力値が不確定となることを防止できる。

[0052] 本発明に係る光再構成可能論理回路の第9の構成は、前記第4乃至6の何れか一の構成において、前記構成情報入力回路から出力される回路構成信号を前記論理構成可変回路に入力するための回路構成信号伝送線の導通／遮断を行うパストランジスタと、前記光信号の照射中は前記パストランジスタを遮断状態とすることにより、前記回路構成信号を、前記回路構成信号伝送線乃至前記回路構成信号伝送線が接続された前記論理構成可変回路の入力回路の寄生容量(以下「出力キャパシタ」という。)に保持する制御を行うパストランジスタ制御手段とを備えたことを特徴とする。

[0053] この構成によれば、プリセット及び光信号の照射入力により入力キャパシタの回路構成情報の更新が行われている期間(以下「リフレッシュ期間」という。)、回路構成信号を出力キャパシタに保持することにより、リフレッシュ期間においても論理構成可変回路の論理構成を保ち実行することが可能となる。

[0054] また、出力キャパシタとして回路構成信号伝送線乃至回路構成信号伝送線が接続された論理構成可変回路の入力回路の寄生容量を利用することで、構成情報入力回路に追加される素子はパストランジスタのみとなるため、実装面積が小さく、高ゲー

ト数化を図ることが可能となる。

- [0055] 本発明に係る光再構成可能論理回路の第10の構成は、前記第8の構成において、パストランジスタ制御手段は、前記光信号の照射後、前記プリセット制御により前記プリセット電圧に充電された前記入力キャパシタがリーク放電することにより前記光導電デバイスの端子間電圧が所定の論理閾値以下に降下する時刻よりも前に、少なくとも論理構成可変回路の論理再構成が完了するまでの期間は前記パストランジスタを導通状態とするとともに、前記光信号の照射中は前記パストランジスタを遮断状態とする制御を行うことを特徴とする。
- [0056] これにより、論理構成可変回路が、入力キャパシタに保持された回路構成情報に従って確実に論理構成されることが保証される。
- [0057] 本発明に係る光再構成可能論理回路の第11の構成は、前記第4乃至10の何れかの構成において、前記構成情報入力回路に対し、前記論理回路構成情報を含む光信号を照射する光信号入力手段を備え、前記照光制御手段は、前記光信号入力手段が出力する前記光信号の選択及び照射のオンオフを制御することを特徴とする。
- [0058] この構成により、光信号入力手段は、光信号の選択を行いながら論理回路構成情報の更新を繰り返す操作を行い、動的に論理構成が変化する光再構成可能論理回路を実現することができる。
- [0059] 本発明に係る光再構成可能論理回路の第12の構成は、前記第11の構成において、少なくとも2つの前記論理構成可変回路が、論理変数の入出力端子を共通とするように並列接続されており、前記光信号入力手段は、前記各論理構成可変回路に対応する前記構成情報入力回路に対して、独立に論理回路構成情報を含む光信号を入力することが可能なものであり、前記論理構成可変回路の出力段に設けられたオープン・コレクタ回路と、並列接続された前記各論理構成可変回路のうち、同一時刻に、少なくとも一の前記論理構成可変回路に対応する前記構成情報入力回路には光信号が照射されない状態となるように切り替えながら、前記各論理構成可変回路に対して同一の論理回路構成情報を含む光信号を入力するように前記光信号入力手段の制御を行う再構成制御手段と、を備えていることを特徴とする。

[0060] この構成により、それぞれの前記論理構成可変回路ごとに再構成を行うことができる。従って、並列接続された論理構成可変回路のそれぞれを同一の回路構成とする。そして、論理構成可変回路の再構成を行う場合、並列接続された論理構成可変回路のうち、少なくとも一つの論理回路の構成を維持した状態で、他の論理構成可変回路の再構成を行う。このとき、各論理構成可変回路の出力段はオープン・コレクタ回路であるため、出力端子には、論理回路の構成が維持された論理構成可変回路の出力値が出力される。従って、論理構成可変回路の内部の論理回路を再構成する間に、論理構成可変回路の出力値が不確定となることを防止できる。

[0061] 本発明に係る光再構成可能論理回路の第6の構成は、前記第1乃至5の何れか一の構成において、前記光導電デバイスは逆方向バイアスがされるフォトダイオードであり、構成情報入力回路は、前記フォトダイオードの接合容量及び浮遊容量で構成される入力キャパシタにより前記論理回路構成情報を電荷として保持することを特徴とする。

[0062] この構成によれば、光導電デバイスにフォトダイオードを使用することにより、光導電デバイスの実装面積を特に小さくし、構成情報入力回路の実装面積を縮小することができる。

発明の効果

[0063] 以上のように、本発明によれば、構成情報入力回路において、光導電デバイスの接合容量及び浮遊容量で構成される入力キャパシタにより論理回路構成情報を保持する構成としたので、構成情報入力回路の実装面積・消費電力を、従来より大幅に縮小することができる。その結果、光学回路の実装面積が縮小され、高いゲート密度を実現することが可能となる。

図面の簡単な説明

[0064] [図1]本発明の実施例1に係る光再構成可能論理回路全体の機能構成を表すブロック図である。

[図2]論理構成可変回路の構成の一例を表す回路図である。

[図3]図2の論理ブロックの構成の一例を表す図である。

[図4]図2のスイッチング・マトリックスの構成の一例を表す図である。

[図5]構成情報入力回路の構成例を示す回路図である。

[図6]構成情報入力回路の動作を表すタイミング図である。

[図7]出力保持回路の構成を表す図である。

[図8]出力保持回路の動作を説明するタイミング図である。

[図9]出力保持回路の他の構成を表す図である。

[図10]本発明の実施例2に係る光再構成可能論理回路全体の機能構成を表すブロック図である。

[図11]出力回路の構成を表す図である。

[図12]実施例3に係る光再構成可能論理回路全体の機能構成を表すブロック図である。

[図13]構成情報入力回路をトランジスタレベルで表示したものである。(a)は図5(a)の構成情報入力回路であり、(b)は実施例3に係る構成情報入力回路である。

[図14]実施例1に係る光再構成可能論理回路の再構成操作と論理構成可変回路の実行とのスケジュールを表すタイミング図である。

[図15]実施例3に係る光再構成可能論理回路の再構成操作と論理構成可変回路の実行とのスケジュールを表すタイミング図である。

[図16]実施例3に係る部分的な再構成を行う動的な光再構成アレイの回路図である。

[図17]図16の動的な光再構成アレイにおける動的な再構成操作と論理構成可変回路の実行との操作スケジュールを洗わずタイミング図である。

[図18]光再構成可能論理回路の構成を表す図である。

[図19]従来の光再構成可能論理回路における構成情報入力回路の一例を示した図である。

符号の説明

- [0065]
- 1, 1' 光再構成可能論理回路
 - 2 光学部
 - 3 VLSI部
 - 4 光メモリ
 - 5 照光部

- 6, 6b 構成情報入力回路
- 6a 光再構成指示回路
- 7, 7', 7a, 7b 論理構成可変回路
- 8, 9 入出力回路
- 10 出力保持回路
- 11 プリセット制御部
- 12 照光制御部
- 13 タイマ
- 14 I/Oブロック
- 15 論理ブロック
- 16 スイッチング・マトリックス
- 16a 接続切替回路
- 16b アナログ・スイッチ
- 17 接続配線
- 18 入力変数選択回路
- 19 ルックアップ・テーブル
- 19a マルチプレクサ
- 20 Dフリップ・フロップ (DFF)
- 21 出力変数選択回路
- 22 出力配線選択回路
- 22a トライステート・バッファ
- 23 クリア信号選択回路
- 25 Dフリップ・フロップ (DFF)
- 26 トランスミッション・ゲート
- 27 ラッチ
- 30 出力回路
- 31 オープン・コレクタ回路
- 40 パストランジスタ制御部

41 入力バッファ
42 回路構成信号伝送線
43 パストランジスタ付論理出力回路
P フォトダイオード
M プリセット・スイッチング素子
M2 パストランジスタ
DIG 論理出力回路
C 入力キャパシタ
C' 出力キャパシタ

発明を実施するための最良の形態

[0066] 以下、本発明を実施するための最良の形態について、図面を参照しながら説明する。

実施例 1

[0067] 図1は本発明の実施例1に係る光再構成可能論理回路全体の機能構成を表すブロック図である。光再構成可能論理回路1は、光学部2(光信号入力手段)及びVLSI部3を備えている。光学部2は、論理回路構成情報を光信号として出力する部分である。VLSI部3は、光学部2から入力される光信号に含まれた論理回路構成情報に基づいて、内部回路の論理構成を構築し、演算処理を行う部分である。

[0068] 光学部2は、光メモリ4と照光部5を備えている。光メモリ4は、論理回路構成情報を光学的に記憶するメモリである。照光部5は、光メモリ4に記憶された論理回路構成情報を読み出すための光を照射する発光素子を備えている。照光部5から照射された光(以下、「参照光」という。)は、光メモリ4を透って論理回路構成情報を含むパターン光である光信号となる。この光信号が、VLSI部3に照射される。

[0069] 光メモリ4としては、ホログラムメモリ、空間光変調器(液晶空間光変調器等)等が使用される。照光部5としては、半導体レーザアレイ等が使用される。照光部5から光メモリ4に照射する参照光の角度を変えたり、光メモリ4の光変調特性を空間的に変化させることによって、光メモリ4から読み出される論理回路構成情報が切り替えられる。

[0070] 尚、光学部2については、特許文献2, 4, 5等に記載されたようなものなど、従来か

ら種々のものが公知であるため、ここでは詳細な説明は省略する。

- [0071] VLSI部3は、複数の構成情報入力回路6、論理構成可変回路7、入出力回路8、9、出力保持回路10、プリセット制御部11、照光制御部12、及びタイマ13を備えている。これらは、1個のVLSIチップ上に搭載される。
- [0072] 構成情報入力回路6は、光導電デバイス的一种であるフォトダイオードPを備えている。後述するように、このフォトダイオードPは、逆方向バイアス接続されており、寄生容量(接合容量及び浮遊容量)からなるキャパシタ(以下「入力キャパシタ」という。)Cとして機能する。構成情報入力回路6は、光学部2から照射される光信号を、フォトダイオードPにより電気信号に変換する。そして、この論理回路構成情報を含んだ電気信号を一時的に保持し、電圧信号として出力する。この際、論理回路構成情報は、フォトダイオードPの入力キャパシタCに電荷量として保持される。そして、高入力インピーダンスの論理出力回路DIG(図5参照)によって、フォトダイオードPの端子間電圧が二値化されて出力される。
- [0073] 論理構成可変回路7は、各構成情報入力回路6から出力される論理回路構成情報に従って、内部の論理回路の構成を行う。そして、この構成された論理回路により、論理構成可変回路7は論理演算処理を実行する。
- [0074] 尚、図1では、機能的構成を説明する便宜上、各構成情報入力回路6と論理構成可変回路7とは分離して記載されているが、物理的には、後述するように、各構成情報入力回路6は論理構成可変回路7の各所に分散して組み込まれている。
- [0075] 入出力回路8、9は、外部回路からVLSI部3への論理変数の入力、及びVLSI部3から外部回路への論理変数の出力を制御するインタフェースである。
- [0076] 出力保持回路10は、論理構成可変回路7の論理の再構成が行われる間に、論理構成可変回路7の出力を一時的に保持するための回路である。
- [0077] プリセット制御部11は、各構成情報入力回路6のプリセットを行うためのプリセット信号nPRESETを、不定期的・間歇的に出力する。但し、プリセット制御部11がプリセット信号nPRESETを出力する時間間隔は、少なくとも、各構成情報入力回路6のフォトダイオードPの入力キャパシタCに充電された電荷がリーク電流によって放電(リーク放電)し、フォトダイオードPの端子間電圧が論理出力回路DIGの論理閾値以下となる

までの時間よりも短い時間とされる。プリセット信号nPRESETが出力される時間は、各構成情報入力回路6のフォトダイオードPの入力キャパシタCの飽和時間程度に設定される。これらの時間は、タイマ13(タイミング生成手段)によって計測される。すなわち、タイマ13はプリセットを行う時間を計測し、プリセット制御部11に対し定期的にプリセットタイミング信号を出力する。プリセット制御部11は、このプリセットタイミング信号に従ってプリセット信号nPRESETを出力する。

[0078] 通常、フォトダイオードPの端子間電圧がリーク放電によって降圧する減衰時間は、数十ミリ秒程度と長い。従って、プリセット制御部11がプリセット信号nPRESETを出力する時間間隔は、論理構成可変回路7が1つのタスクについての演算処理を行う時間に比べると、十分に長い時間間隔に設定することができる。

[0079] 照光制御部12は、プリセット制御部11がプリセット信号nPRESETを出力し終えた後、光学部2の照光部5が所定の時間だけ光信号を出力するように光学部2の制御を行う。

[0080] 図2は、論理構成可変回路7の構成の一例を表す回路図である。論理構成可変回路7は、論理回路構成情報の入力部分を除くと、一般的なFPGAと同様の構成を有する。論理構成可変回路7は、4つのI/Oブロック14、4つの論理ブロック15、5つのスイッチング・マトリックス16、及び接続配線17を備えている。各論理ブロック15及び各スイッチング・マトリックス16の内部の各所には、構成情報入力回路6が内蔵されている。

[0081] 4つのI/Oブロック14は、論理構成可変回路7に対する入力変数を各接続配線17に配分し、論理構成可変回路7の出力変数を外部出力線へ出力するための信号配分を行う回路である。

[0082] 4つの論理ブロック15は、それぞれ方形の頂点に配置されている。論理ブロック15は、構成情報入力回路6から出力される論理回路構成情報に従って論理構造の構築を行う論理演算処理回路である。

[0083] 各スイッチング・マトリックス16は、4つの論理ブロック15を取り囲む方形の4辺の中点位置、及びその方形の中心位置に配置されている。また、各スイッチング・マトリックス16間、各スイッチング・マトリックス16と各論理ブロック15間、及び各論理ブロック

15間は、複数の接続配線17によって接続されている。スイッチング・マトリックス16は、構成情報入力回路6から出力される論理回路構成情報に従って、接続配線17の接続方向の切り替えを行うスイッチ回路である。

- [0084] また、4つの論理ブロック15を取り囲む方形の4辺の midpoint に位置する4つのスイッチング・マトリックス16のそれぞれに対応して、4つのI/Oブロック14は設けられている。これらの4つのスイッチング・マトリックス16は、それぞれ、複数の接続配線17により、対応するI/Oブロック14に接続されている。そして、これらのI/Oブロック14を通して、外部回路との間で論理変数の入出力が行われる。
- [0085] 図3は、図2の論理ブロック15の構成の一例を表す図である。この例に示した論理ブロック15は、4つの入力変数選択回路18、ルックアップ・テーブル19、Dフリップ・フロップ（以下、「DFF」という。）20、出力変数選択回路21、8つの出力配線選択回路22、及びクリア信号選択回路23を備えている。
- [0086] 各入力変数選択回路18は、それぞれが異なる接続配線17に接続された5本の入力線と、論理0、論理1が入力される2本の入力線とを有し、これらの入力線のうちの1つを選択するマルチプレクサにより構成されている。この入力変数選択回路18には、3つの構成情報入力回路6が備えられている。各構成情報入力回路6からは、1ビットの論理回路構成情報が出力される。入力変数選択回路18は、各構成情報入力回路6から出力される論理回路構成情報に従って、7本の入力線のうちの1本を選択する。選択された入力線から入力される論理値は、出力線に出力される。
- [0087] ルックアップ・テーブル19は、4つの入力変数選択回路18から入力される4ビットの選択信号に従って、16ビットの被選択信号のうちの1つを選択して出力する。ルックアップ・テーブル19は、16個の構成情報入力回路6と、各構成情報入力回路6の出力の内の1つを選択するマルチプレクサ19aを備えている。16個の構成情報入力回路6は、それぞれ被選択信号を出力する。マルチプレクサ19aは、入力変数選択回路18から入力される4ビットの選択信号に従って被選択信号の選択を行う。
- [0088] DFF20は、ルックアップ・テーブル19の出力値を一時的に保持する。ルックアップ・テーブル19の出力値は、DFF20の入力端子Dに入力される。DFF20は、クロック端子から入力されるクロックCLKの立ち上がりにおいて、ルックアップ・テーブル19の

出力値を取り込んで記憶する。DFF20は、保持した論理値を出力端子Qから出力する。また、その反転値を、出力端子nQから出力する。

[0089] 出力変数選択回路21は、3入力1出力のマルチプレクサにより構成されている。出力変数選択回路21の入力端子のうちの2つは、DFF20の出力端子Q、nQに接続されている。出力変数選択回路21の入力端子の残りの1つは、DFF20をバイパスして、直接ルックアップ・テーブル19の出力端子に接続されている。出力変数選択回路21には、2つの構成情報入力回路6が内蔵されている。そして、この2つの構成情報入力回路6から出力される2ビットの論理回路構成情報に従って、出力変数選択回路21は、3つの入力端子からの入力の一つを選択して、出力端子に出力する。

[0090] また、DFF20のクリア端子CLRには、クリア信号選択回路23の出力値が入力される。クリア信号選択回路23は、4入力1出力マルチプレクサにより構成されている。クリア信号選択回路23の入力端子のうちの2つは、それぞれ異なる接続配線17に接続されている。クリア信号選択回路23の入力端子のうち残りの2つには、論理0、論理1が入力されている。クリア信号選択回路23には、2つの構成情報入力回路6が内蔵されている。そして、この2つの構成情報入力回路6から出力される2ビットの論理回路構成情報に従って、クリア信号選択回路23は、4つの入力端子からの入力の一つを選択して、出力端子に出力する。

[0091] 出力配線選択回路22は、それぞれの接続配線17に一対一対応して設けられた複数のトライステート・バッファ(tri-state buffer)22aを備えている。また、それぞれのトライステート・バッファ22aに一対一対応して、構成情報入力回路6が設けられている。各構成情報入力回路6の出力は、それに対応するトライステート・バッファ22aのストロブ入力端子に入力されている。各トライステート・バッファ22aのデータ入力端子には、出力変数選択回路21の出力変数が入力される。各トライステート・バッファ22aのデータ出力端子は、それに対応する接続配線17に接続されている。

[0092] 図4は、図2のスイッチング・マトリックス16の構成の一例を表す図である。スイッチング・マトリックス16は、接続配線17が交差する位置に設けられている。接続配線17の交点において、6つのアナログ・スイッチ16bを備えた接続切替回路16aが設けられている。これにより、接続切替回路16aに接続された4本の接続配線17を、任意の2

本ずつの組に分け、各組の接続配線17同士を接続することが可能となる。

- [0093] それぞれのアナログ・スイッチ16bに一対一対応するように、構成情報入力回路6が設けられている。各構成情報入力回路6の出力により、それに対応するアナログ・スイッチ16bのオン／オフが行われる。
- [0094] 以上のように、本実施例では、接続配線17で接続された各論理ブロック15及び各スイッチング・マトリクス16が論理構成可変回路7をなしている。そして、これらの回路に内蔵された構成情報入力回路6に光信号を入力することによって、論理構成可変回路7の論理構成を変更することができる。
- [0095] 図5は、構成情報入力回路6の構成例を示す回路図である。
- [0096] 図5(a)の構成情報入力回路6は、フォトダイオードP、プリセット・スイッチング素子M、及び論理出力回路DIGを備えている。本実施例では、フォトダイオードPには、PNフォトダイオードが使用されている。フォトダイオードPは、逆方向バイアス接続されている。フォトダイオードPのアノードは接地されており、カソードはプリセット・スイッチング素子Mを介して電源に接続されている。光が照射されないときには、フォトダイオードPは、接合容量と浮遊容量からなる入力キャパシタCとして機能する。
- [0097] プリセット・スイッチング素子Mは、通常のPMOSTランジスタである。このプリセット・スイッチング素子Mのゲートには、プリセット制御部11からのプリセット信号nPRESETが入力される。nPRESETは負論理である。nPRESETが0のときには、フォトダイオードPのカソードには、電源電圧(プリセット電圧) V_c が印加される。光が照射されていなければ、電源電圧 V_c が印加されると、フォトダイオードPの入力キャパシタCが充電される。nPRESETが1のときには、フォトダイオードPのカソードと電源とは分離される。
- [0098] 論理出力回路DIGは、フォトダイオードPのカソード電圧(すなわち、フォトダイオードPの端子間電圧)を所定の閾値電圧と比較することにより、二値化して出力する回路である。閾値電圧は、通常は電源電圧 V_c の半分程度の値に設定される。図5(a)の例では、論理出力回路DIGとして、通常のインバータ回路を使用している。この論理出力回路DIGの出力が、回路構成信号CONFIGとして、論理構成可変回路7内の各部に出力される。
- [0099] この回路の動作を、図6を参照して簡単に説明する。図6(a)は、プリセット後に構成

情報入力回路6に光信号が入力された場合であり、図6(b)は、プリセット後に構成情報入力回路6に光信号が入力されなかった場合を示している。

- [0100] 時刻 t_1 でプリセット信号nPRESETがアサートされると、プリセット・スイッチング素子Mがオン状態となる。それに伴い、フォトダイオードPは逆方向バイアスがされ、空乏層の拡大によって接合容量が大きくなる。そして、プリセット・スイッチング素子Mを通して入力キャパシタCが充電され、フォトダイオードPのアノードの電圧Voutは電源電圧Vcとなる。このとき、論理出力回路DIGから出力される回路構成信号CONFIGは0にプリセットされる。そして、時刻 t_2 において、プリセット信号nPRESETがネゲートされ、フォトダイオードPのカソードと電源とは切り離される。
- [0101] 次に、図6(a)では、時刻 t_4 から t_5 にかけて、構成情報入力回路6に光信号が入力される。これにより、フォトダイオードPのカソードからアノードに電流が流れ、入力キャパシタCは放電する。そして、最終的には、フォトダイオードPのカソード電圧Voutは接地電位となる。このとき、論理出力回路DIGから出力される回路構成信号CONFIGは1となる。光信号の入力が終了した後も、回路構成信号CONFIGは1に保持される。
- [0102] 図6(b)では、プリセット信号nPRESETがネゲートされた後も、構成情報入力回路6に光信号は入力されない。この場合、入力キャパシタCは充電されたままの状態を保ち、回路構成信号CONFIGは0に維持される。入力キャパシタCは、リーク電流によって数十ミリ秒かけて徐々に放電し、フォトダイオードPのカソード電圧Voutは電源電圧Vcから徐々に降下する。しかし、フォトダイオードPのカソード電圧Voutが論理出力回路DIGの論理閾値電圧よりも高い期間は、回路構成信号CONFIGは0に保持される。
- [0103] このようにして、光信号により入力される論理回路構成情報は、フォトダイオードPの入力キャパシタCに保持される。
- [0104] 図5(b)の構成情報入力回路6は、図5(a)の構成情報入力回路6において、プリセット・スイッチング素子MとフォトダイオードPの位置を入れ替えたものである。このような回路によっても、図5(a)の場合と同様に、光信号により入力される論理回路構成情報を、フォトダイオードPの入力キャパシタCに保持し、回路構成信号CONFIGとして出力することができる。

- [0105] 尚、図5(b)の回路では、構成情報入力回路6に光信号が入力された場合には、回路構成信号CONFIGは0に設定され、光信号が入力されない場合には、回路構成信号CONFIGは1に設定される。
- [0106] 図7は、出力保持回路10の構成の一例を表す図である。出力保持回路10は、論理構成可変回路7の各出力線OUTに対し、1個のDFF25を備えている。DFF25は、クロックCLOCKの立ち上がりにおいて、論理構成可変回路7の出力値OUTを取り込んで保持する。DFF25は、保持した出力値を、入出力回路9に出力する。この出力保持回路10は、論理構成可変回路7が、内部回路の論理構造の再構成を行う間に、出力が不確定となることを防止するために備えられたものである。
- [0107] 以上のように構成された本実施例に係る光再構成可能論理回路について、以下その動作を説明する。
- [0108] まず、論理構成可変回路7の内部回路の論理構造を構築する。最初に、プリセット制御部11は、プリセット信号nPRESETを一定の期間アサートし、各構成情報入力回路6のフォトダイオードPの入力キャパシタCを充電する。充電が完了すると、照光制御部12は、照光部5を制御して、照光部5から参照光を所望の角度で光メモリ4に照射する。これにより、光メモリ4に記録された論理回路構成情報が光信号として取り出される。この光信号は、各構成情報入力回路6のフォトダイオードPに入力される。光が照射されたフォトダイオードPでは、上述のようにフォトダイオードPの入力キャパシタCに充電された電荷が急速に放電される。光が照射されなかったフォトダイオードPは、そのフォトダイオードPの入力キャパシタCに充電された電荷は保持される。このような論理構成可変回路7の内部回路の論理構造の再構築の動作を「リフレッシュ動作」と呼ぶ。リフレッシュ動作は、1クロック周期の期間内に即座に完了する。
- [0109] そして、論理構成可変回路7は、以上のようなリフレッシュ動作が終わると、その論理回路により論理演算処理を実行する。
- [0110] 一方、光が照射されなかったフォトダイオードPにおいては、そのフォトダイオードPの入力キャパシタCに充電された電荷が、リーク電流により徐々に放電される。そして、ある所定の時間が経過すると、そのフォトダイオードPの両端子間の電圧が論理出力回路DIGの論理閾値以下となり、論理回路構成情報が失われる。しかしながら、リ

ーク電流により論理回路構成情報が失われるまでの期間は、論理構成可変回路7の状態は維持される。

[0111] そして、リーク電流により論理回路構成情報が失われる前に、上記リフレッシュ動作が再び実行され、論理構成可変回路7の内部回路の論理構造を再構築がされる。このように、論理構成可変回路7の内部回路の論理構造を動的に再構成することにより、論理構成可変回路7は常に所望の論理構造に維持される。

[0112] 尚、フォトダイオードPの入力キャパシタCに電荷が維持されている間に、論理回路の組み替えが生じない場合には、入力キャパシタCの電荷が完全に放電する前に、同一の論理回路構成情報によりリフレッシュ動作を行う必要がある。しかしながら、リフレッシュ動作間の周期は、一般には数十ミリ秒と比較的長い。そのため、同一の論理回路構成情報によりリフレッシュ動作を行う必要が生じる場合はまれであり、もちろん、そのようなリフレッシュ動作が光再構成可能論理回路1の使用に影響を及ぼすことはない。

[0113] このように、構成情報入力回路6において論理回路構成情報を保持するのに、専用の記憶素子を使用することなくフォトダイオードPの入力キャパシタCを利用し、動的にリフレッシュ動作を繰り返しながら使用することで、光再構成可能論理回路1の動作に影響を及ぼすことなく、構成情報入力回路6の実装面積を従来に比べて大幅に削減することが可能となる。

[0114] [例1]

一例として、光再構成可能論理回路1のVLSIチップを、(表1)に示すような、 $0.35\mu\text{m}$ のCMOS標準プロセスを使って設計した。コア電圧とI/Oのセル電圧は3.3Vに統一した。フォトダイオードPのセルサイズは $25.5\mu\text{m} \times 25.5\mu\text{m}$ 、プリセット・スイッチング素子M及び論理出力回路DIGを含むセルのサイズは $40.5 \times 33.0\mu\text{m}$ とした。フォトダイオードPは、pnフォトダイオードを使用し、NウェルとP基板間で構成した。フォトダイオードセルは、二次元上に $99\mu\text{m}$ おきに配置した。フォトダイオードPの総数は605とした。このような条件で光再構成可能論理回路1を設計したところ、従来のODRGAの再構成回路の実装面積が $618.75\mu\text{m}^2$ であったのに対して、本実施例による再構成回路の実装面積は $74.25\mu\text{m}^2$ に減少させることができた。

(例終わり)

[0115] [表1]

Technology	0.35 μm double-poly triple-metal CMOS process
Chip size	4.9 $\times$ 4.9 [mm]
Supply Voltage	Core 3.3V, I/O 3.3V
Photodiode size	25.5 $\times$ 25.5 [μm]
Interval between Photodiodes	h=99 v= 99 [μm]
Number of Photodiodes	605
Number of Logic Blocks	4
Number of Switching Matrices	5
Number of I/O bits	16

[0116] 再構成回路の実装面積Iは(数1)により定義される。

[0117] [数1]

$$I = (P + R) \times N$$

[0118] ここで、Pはフォトダイオードの実装面積、Rはフリップ・フロップ、ラッチ、インバータ、及び他のトランジスタを含む他の回路部品の実装面積を表す。Nはプログラミング素子の数を表す。上記(例1)の設計において、フォトダイオードPは、VLSI部3と光学部2との間の位置合わせを容易とするために、大きなサイズに設計している。しかしながら、位置合わせ精度を高めれば、このサイズは $25 \mu m^2$ よりも小さくすることができると考えられる。そのとき、 $P < R$ の関係があるため、実装面積Iを減少させるにはRを減少させることが極めて重要となる。

[0119] 本実施例による光再構成可能論理回路1は、従来のものに比べて、実装面積が1／8以下に縮小される。このサイズは、ゲート密度を増大させるのに極めて有効である。

[0120] 最後に、出力保持回路10の動作に関して補足的に説明する。図8は、論理構成可変回路7のリフレッシュ動作の前後における、各クロックと出力保持回路10の出力値

との関係を示したタイミング図である。図8において、再構成クロックは、プリセット制御部11、照光制御部12、及びタイマ13に入力されるクロックを表す。ここでは、出力保持回路10に入力されるクロックと再構成クロックとは同一のクロックCLOCKが用いられている。

[0121] 時刻 t_1 から t_2 のクロック周期の間に、上述のリフレッシュ動作が行われ、論理構成可変回路7は回路Aから回路Bに再構成される。これにより、時刻 t_1 から t_2 の間では、論理構成可変回路7の出力値OUTは一時的に不確定となる。一方、出力保持回路10は、クロックCLOCKの立ち上がりで、論理構成可変回路7の出力値OUTを取り込んで保持し、それを入出力回路9へ出力する。従って、時刻 t_1 におけるクロックCLOCKの立ち上がりで、出力保持回路10は、回路Aの出力値を保持したまま、時刻 t_2 までその値を出力し続ける。そして、時刻 t_2 のクロックCLOCKの立ち上がりで、出力保持回路10は、回路Bの出力値を保持し、それを出力する。これにより、時刻 t_1 から t_2 の間に、光再構成可能論理回路1の出力値が不確定となることが防止される。

[0122] 尚、図7では、出力保持回路10として、DFF25を使用した例を示したが、出力保持回路10の構成としては、図9に示したような、トランSMission・ゲート26とラッチ27を用いて構成してもよい。

[0123] 以上のように、本実施例における光再構成可能論理回路1では、従来のORGAやODRGAを有していたVLSI部の余分なメモリ機能を排除した。すなわち、従来のORGAやODRGAは、メモリ機能(ここでいう「メモリ機能」とは、定常的に情報を保持する機能をいい、一時的に保持する機能をいうものではない。)が、光学部とVLSI部との両方に重複して存在していた。本実施例の光再構成可能論理回路1では、この重複するVLSI部のメモリ機能を取り除いた。そして、光学部から入力される論理回路構成情報を、フォトダイオードの接合容量及び浮遊容量を用いて一時的に保持する方法を採った。そして、フォトダイオードの接合容量及び浮遊容量に保持された論理回路構成情報が、リーク電流により消失する時間よりも短い時間間隔で、リフレッシュ動作を繰り返すことにより、光学部に保持された論理回路構成情報を逐次VLSI部に転写してVLSI部の論理回路構成を維持させるようにした。このような動的方法を採用することによって、余分なメモリ機能を取り去り、VLSI部の実装面積を大幅に縮

小することが可能となった。

実施例 2

[0124] 図10は、本発明の実施例2に係る光再構成可能論理回路全体の機能構成を表すブロック図である。本実施例の光再構成可能論理回路1'は、基本的には図1に示した光再構成可能論理回路1と同様であるが、VLSI部3において、同様な構成を有する2つの論理構成可変回路7a, 7bを備えており、さらに、出力保持回路10の代わりに、オープン・コレクタ回路からなる出力回路30を設けている。また、照光部5は、各論理構成可変回路7a, 7bに対して、それぞれ独立に光信号を入力することが可能とされている。また、照光制御部12は、同一時刻に、論理構成可変回路7a, 7bのいずれか一方にのみ光信号が照射されるように切り替えながら論理再構成の制御を行う再構成制御手段としても機能する。

[0125] 図11は、出力回路30の構成を表す図である。論理構成可変回路7a, 7bは、論理変数の入出力線が共通となるように、並列に接続されている。出力回路30は、論理回路7a, 7bの各出力線に対して、オープン・コレクタ回路31を備えている。

[0126] 論理構成可変回路7a, 7bには、同一の論理回路構成情報が入力され、同一の論理構成が構築される。

[0127] このような構成において、リフレッシュ動作を行う場合、照光制御部12は、最初に、論理構成可変回路7aに対して、光学部2により光信号を入力する制御を行う。このとき、論理構成可変回路7bには光信号は入力されないため、もとの論理構成を保ったままの状態にある。従って、論理構成可変回路7aの論理回路が構築されている間は、光再構成可能論理回路1'の出力値は論理構成可変回路7bにより保証されている。

[0128] 論理構成可変回路7aの論理回路の再構成が終了すると、続いて、照光制御部12は、光学部2によって、論理構成可変回路7bに同一の論理回路構成情報の光信号を入力し、論理構成可変回路7bの論理回路の再構成をする制御を行う。このとき、論理構成可変回路7aには光信号は入力されないため、新たに構築された論理構成を保ったままの状態にある。従って、論理構成可変回路7bの論理回路が構築されている間は、光再構成可能論理回路1'の出力値は論理構成可変回路7aにより保証さ

れている。

[0129] このように、本実施例によれば、論理構成可変回路7a, 7bの出力段にオープン・コレクタ回路31を設け、リフレッシュ動作の際には、何れか一方の論理構成可変回路の構成を保持したまま、他方の論理回路の再構成を行うようにすることで、論理回路のリフレッシュ動作の間に光再構成可能論理回路1'の出力値が不確定となることを防止することができる。

[0130] 尚、本実施例では、2つの論理構成可変回路7a, 7bを使用してリフレッシュ動作の切り替えを行う構成としたが、3つ以上の論理構成可変回路を使用してリフレッシュ動作の切り替えを行うようにしてもよい。

実施例 3

[0131] 図12は、実施例3に係る光再構成可能論理回路1全体の機能構成を表すブロック図である。本実施例の光再構成可能論理回路1は、実施例1の光再構成可能論理回路1(図1参照)と比較すると、出力保持回路10が省略されている点、論理構成可変回路7が論理構成可変回路7'に置き換えられている点、及び新たにパストランジスタ制御部40が追加されている点で異なり、他の構成は同様である。論理構成可変回路7'は、図2～図4で説明した構成は同様であるが、構成情報入力回路6(図5)の構造が実施例1とは異なっている。

[0132] 実施例1の構成情報入力回路6の構成と本実施例3の構成情報入力回路6の構成との相違を図13に示す。

[0133] 図13(a)は、図5(a)の構成情報入力回路6をトランジスタレベルで表示したものである。各回路要素の符号は、図5(a)と対応している。図13(a)において、中央の一点鎖線よりも左側が構成情報入力回路6を表し、一点鎖線よりも右側は論理構成可変回路7(ゲートアレイ回路)を表す。図13(a)では、論理構成可変回路7については入力バッファ41のみ記し、他の部分は省略している。このように論理出力回路DIGは、2個のPMOSからなる通常のインバータ回路によって構成される。

[0134] 上述のように、この回路では、論理構成可変回路7の構成情報は、フォトダイオードPの接合容量である入力キャパシタCに格納される。図13(a)の構成情報入力回路6の最小構成要素は、フォトダイオードPとプリセット・スイッチング素子Mのみ(論理出

力回路DIGは必要に応じて付加すればよい。)であるため、高ゲート数の光再構成可能論理回路を容易に作るというメリットがある。

[0135] 図13(a)の構成情報入力回路6を用いた実施例1の光再構成可能論理回路1の再構成手順は次の通りである。まず、プリセット制御部11によりプリセット信号nPRESETが一定時間アサートされてプリセット・スイッチング素子Mが導通状態となる。これにより、論理構成可変回路7のプログラミング状態は、一旦クリアされる。フォトダイオードPの接合容量(すなわち入力キャパシタC)が完全に充電された後、光学部2から光信号が照射入力される。これにより、各フォトダイオードPに回路構成情報が書き込まれて入力キャパシタCに情報が保持される。

[0136] この再構成手順が行われている間は、論理構成可変回路7は論理回路が不確定な状態にあるため動作することができないので、論理構成可変回路7は再構成手順が終了するのを待って実行される。図14は、実施例1に係る光再構成可能論理回路1の再構成操作と論理構成可変回路7の実行とのタイミングを表すタイミング図である。図14に示すように、論理回路再構成操作と論理構成可変回路7の実行とは並行して行われることはない。光再構成可能論理回路1を動的に再構成されるようなアプリケーションに適用する場合には、このオーバーヘッドは無視することはできない長さとなる。

[0137] これに対して、図13(b)は、実施例3に係る構成情報入力回路6をトランジスタレベルで表示したものである。図13(b)においても、中央の一点鎖線よりも左側が構成情報入力回路6を表し、一点鎖線よりも右側は論理構成可変回路7(ゲートアレイ回路)を表す。また、論理構成可変回路7については入力バッファ41のみ記し、他の部分は省略している。図13(b)を図13(a)と比較すると、本実施例の構成情報入力回路6は、論理出力回路DIGの出力段に、パストランジスタM2を新たに設けたことを特徴としている。パストランジスタM2は、構成情報入力回路6から論理構成可変回路7へ回路構成信号を出力するための回路構成信号伝送線42の導通/遮断を行う。このパストランジスタM2のゲート端子には、パストランジスタ制御部40から出力される構成イネーブル信号(Configuration Enable signal) CEが入力される。これにより、パストランジスタ制御部40の断通は、パストランジスタ制御部40により制御される。

- [0138] 図13(b)に示した実施例3に係る構成情報入力回路6は、入力キャパシタCの回路構成信号を更新する間に、従前の回路構成信号を、回路構成信号伝送線42乃至回路構成信号伝送線42が接続された論理構成可変回路7の入力段の寄生容量(以下「出力キャパシタC'」という。)に保持させる。論理構成可変回路7の入力段は、通常は、インバータ・ゲート、NANDゲート、トランスミッション・ゲート等によって構成されており、これらの入力段が有する出力キャパシタC'は、入力キャパシタCの回路構成信号を更新する間に従前の回路構成信号を保持させておくのに十分な容量を有する。従って、パストランジスタM2を遮断した後に、回路構成信号は出力キャパシタC'に保持され、入力キャパシタCの回路構成信号を更新される間も論理構成可変回路7の論理構成を維持させることができる。
- [0139] 図15は、実施例3に係る光再構成可能論理回路1の再構成操作と論理構成可変回路7の実行とのタイミングを表すタイミング図である。論理構成可変回路7のプログラミングのための光信号が入力された後、構成イネーブル信号CEが一定時間アサートされることによって、回路構成信号が論理構成可変回路7及び出力キャパシタC'に入力される。構成イネーブル信号CEがアサートされるパルス幅は、少なくとも論理構成可変回路7の論理再構成期間より長い幅に設定される。これにより、再構成周期はプリセットnPRESETのパルス幅、光信号の照射期間、及び構成イネーブル信号CEのパルス幅の合計となる。イネーブル信号CEがネゲートされている期間は、光信号の照射期間であっても回路構成情報は出力キャパシタC'に保持されるので、論理構成可変回路7の実行と、光再構成可能論理回路1の再構成操作を並行して行うことができるため、動的な再構成とゲートアレイの実行とを加速させることができる。
- [0140] さらに、図16に示すように、部分的な再構成を行う回路を容易に構成することができる。図16において、パストランジスタ付論理出力回路43は、図13(b)の論理出力回路DIGとパストランジスタM2とをまとめて表したものである。動的な光再構成アレイは1つの光再構成指示回路6aに対して複数の構成情報入力回路6bが並列接続されている。各光再構成指示回路6a、6bは図13(b)に示したものと同様の構成である。各光再構成指示回路6aのプリセット・スイッチング素子Mには、プリセット制御部11からのプリセット信号nPRESETが入力される。また、各構成情報入力回路6bのプリセ

ット・スイッチング素子Mには、光再構成指示回路6aのパストランジスタ付論理出力回路43の出力が入力される。そして、各構成情報入力回路6bのパストランジスタ付論理出力回路43の出力が回路構成信号として論理構成可変回路7に入力される。

- [0141] この部分的な再構成を行う動的な光再構成アレイの動的な再構成と論理構成可変回路7の実行とのスケジューリングは図17に示したようになる。図2のそれぞれの論理ブロック15、スイッチング・マトリックス16、及びI/Oブロック14に、光再構成指示回路6aが備えられる。各ブロック内の他の各構成情報入力回路6bのプリセット信号nPRESETは、そのブロックの光再構成指示回路6aによって駆動される。まず、最初に、再構成されるべきであるブロックの光再構成指示回路6aに光信号が入力される。次に、光信号が照射された光再構成指示回路6aを含むブロックの回路は再構成される。最後に、再構成されたゲートアレイの回路が実行される。このように、各ブロックごとの操作を図17のようにパイプライン的に実行することが可能となる。

産業上の利用可能性

- [0142] 本発明は、光学的に論理構成の書き換えが可能なプログラマブル論理回路として、種々の電気機器産業において有用である。

請求の範囲

- [1] 光の照射入力により導通／遮断する光導電デバイスを有し、論理回路構成情報を含む光信号を前記光導電デバイスにより電氣的な回路構成信号に変換し出力する構成情報入力回路と、

前記回路構成信号に従って、内部回路の論理構成が行われる論理構成可変回路と、

を備えた光再構成可能論理回路において、

前記光信号から入力される論理回路構成情報を回路構成信号として前記光導電デバイスの非導通状態における端子間の寄生容量(以下「入力キャパシタ」という。)に保持し、保持された前記回路構成信号がリーク放電により消失する前に前記入力キャパシタをプリセットして次の光信号を入力することによって論理回路構成情報を動的に前記入力キャパシタに保持させる制御を行うことを特徴とする光再構成可能論理回路。

- [2] 前記光導電デバイスは逆方向バイアス接続されたフォトダイオードであることを特徴とする請求項1記載の光再構成可能論理回路。

- [3] 前記構成情報入力回路は、前記光導電デバイスの端子間電圧を量子化して論理出力値として出力する論理出力回路を備え、前記論理出力回路は、前記光導電デバイスが前記光信号を変換して出力する電気信号を量子化して、回路構成信号として出力することを特徴とする請求項1又は2記載の光再構成可能論理回路。

- [4] 前記光導電デバイスにプリセット電圧を逆バイアス方向に印加することで、前記入力キャパシタを充電するプリセット制御を行うプリセット制御手段と、

前記プリセット制御により前記入力キャパシタが充電された後に、前記光信号を一定時間オン状態として前記光信号に従って照光される前記光導電デバイスを導通させることで前記構成情報入力回路に論理回路構成情報の書き込む照光制御を行う照光制御手段と、

前記照光制御により前記構成情報入力回路に前記論理回路構成情報の書き込みがされた後、所定の遅延時間をもって、前記プリセット制御手段に対しプリセットタイミング信号を出力するタイミング生成手段と、

を備え、

前記プリセット制御手段は、前記プリセットタイミング信号が入力された場合に前記プリセット制御を実行することを特徴とする請求項1乃至3の何れか一記載の光再構成可能論理回路。

- [5] 前記タイミング生成手段は、前記プリセット制御により前記プリセット電圧にプリセットされた前記光導電デバイスの端子間電圧がリーク放電により所定の論理閾値以下に降下する期間よりも短い遅延時間をもって、前記プリセット制御手段に対してプリセットタイミング信号を出力すること

を特徴とする請求項4記載の光再構成可能論理回路。

- [6] 前記構成情報入力回路は、光導電デバイスの両極間に印加するプリセット電圧のオンオフを行うプリセット・スイッチング素子を備えており、

前記プリセット制御手段は、前記プリセット・スイッチング素子をオン状態とするプリセット信号を所定の期間だけアサートするものであること

を特徴とする請求項4乃至5の何れか一に記載の光再構成可能論理回路。

- [7] 前記プリセット制御により前記プリセット電圧に充電された前記入力キャパシタがリーク放電することにより前記光導電デバイスの端子間電圧が所定の論理閾値以下に降下する時刻よりも前のタイミングで、前記論理構成可変回路の論理出力値を保持する論理出力保持手段を備えていることを特徴とする請求項3乃至5の何れか一記載の光再構成可能論理回路。

- [8] 前記構成情報入力回路は、光導電デバイスの両極間に印加するプリセット電圧のオンオフを行うプリセット・スイッチング素子を備えており、

前記プリセット制御手段は、前記プリセット・スイッチング素子をオン状態とするプリセット信号を所定の期間だけアサートするものであり

前記論理出力保持手段は、前記プリセット制御手段が前記プリセット信号をアサートする前のタイミングで、前記論理構成可変回路の論理出力値を保持することを特徴とする請求項7記載の光再構成可能論理回路。

- [9] 前記構成情報入力回路から出力される回路構成信号を前記論理構成可変回路に入力するための回路構成信号伝送線の導通／遮断を行うパストランジスタと、

前記光信号の照射中は前記パストランジスタを遮断状態とすることにより、前記回路構成信号を、前記回路構成信号伝送線乃至前記回路構成信号伝送線が接続された前記論理構成可変回路の入力回路の寄生容量(以下「出力キャパシタ」という。)に保持する制御を行うパストランジスタ制御手段と
を備えたことを特徴とする請求項4乃至6の何れかーに記載の光再構成可能論理回路。

- [10] パストランジスタ制御手段は、前記光信号の照射後、前記プリセット制御により前記プリセット電圧に充電された前記入力キャパシタがリーク放電することにより前記光導電デバイスの端子間電圧が所定の論理閾値以下に降下する時刻よりも前に、少なくとも論理構成可変回路の論理再構成が完了するまでの期間は前記パストランジスタを導通状態とするとともに、前記光信号の照射中は前記パストランジスタを遮断状態とする制御を行うことを特徴とする請求項8に記載の光再構成可能論理回路。

- [11] 前記構成情報入力回路に対し、前記論理回路構成情報を含む光信号を照射する光信号入力手段を備え、

前記照光制御手段は、前記光信号入力手段が出力する前記光信号の選択及び照射のオンオフを制御すること
を特徴とする請求項4乃至10の何れかーに記載の光再構成可能論理回路。

- [12] 少なくとも2つの前記論理構成可変回路が、論理変数の入出力端子を共通とするように並列接続されており、

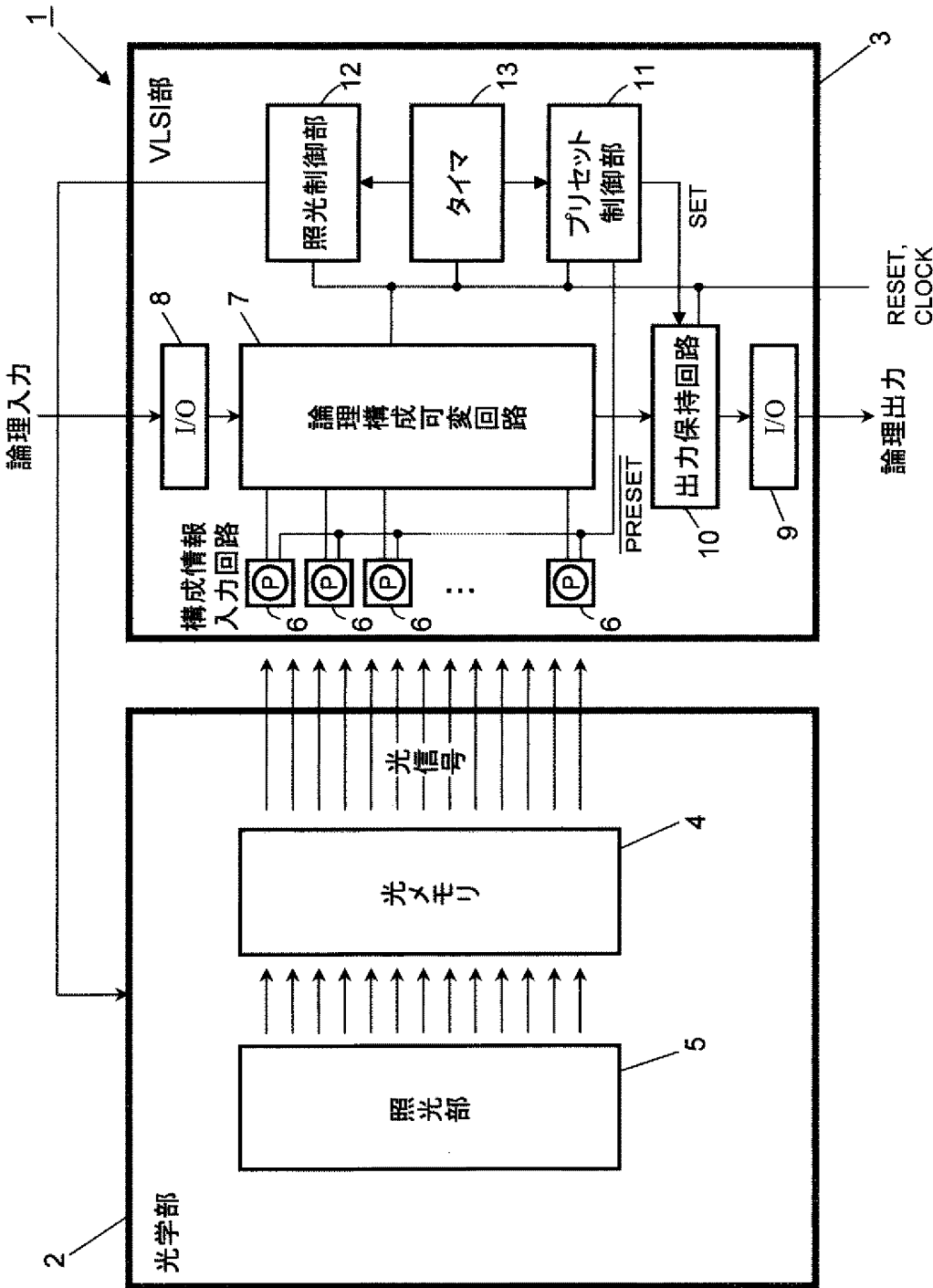
前記光信号入力手段は、前記各論理構成可変回路に対応する前記構成情報入力回路に対して、独立に論理回路構成情報を含む光信号を入力することが可能なものであり、

前記論理構成可変回路の出力段に設けられたオープン・コレクタ回路と、

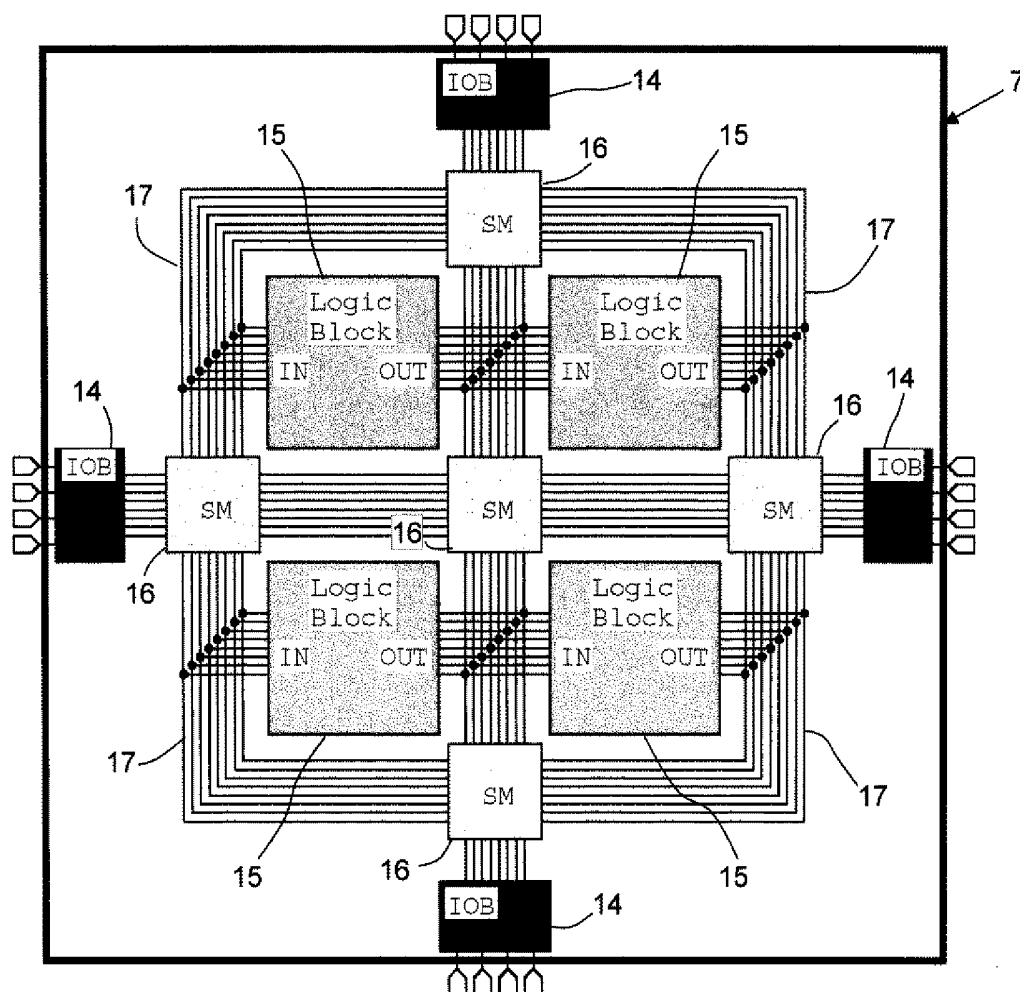
並列接続された前記各論理構成可変回路のうち、同一時刻に、少なくとも一の前記論理構成可変回路に対応する前記構成情報入力回路には光信号が照射されない状態となるように切り替えながら、前記各論理構成可変回路に対して同一の論理回路構成情報を含む光信号を入力するように前記光信号入力手段の制御を行う再構成制御手段と、

を備えていることを特徴とする請求項11記載の光再構成可能論理回路。

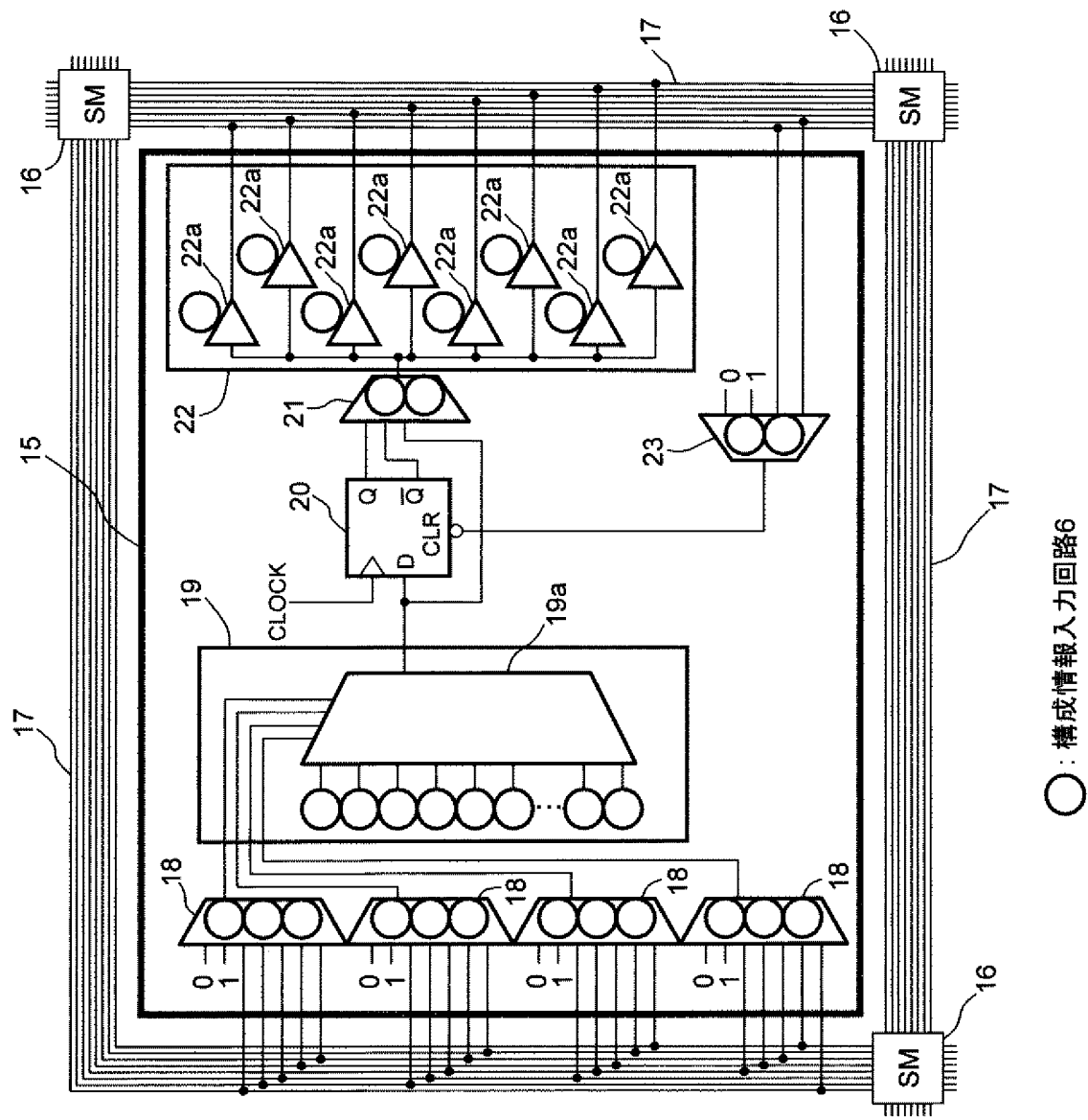
[図1]



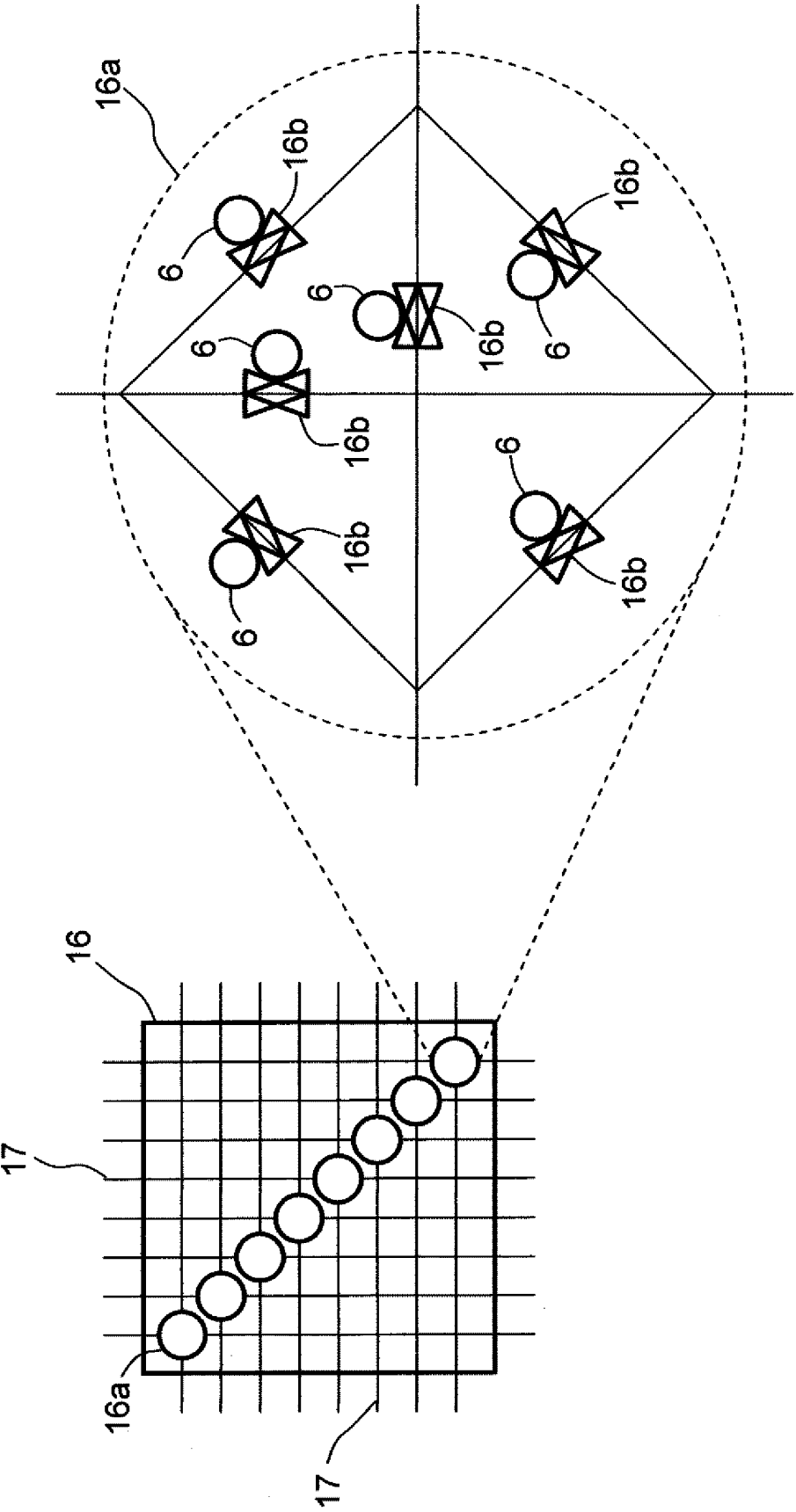
[図2]



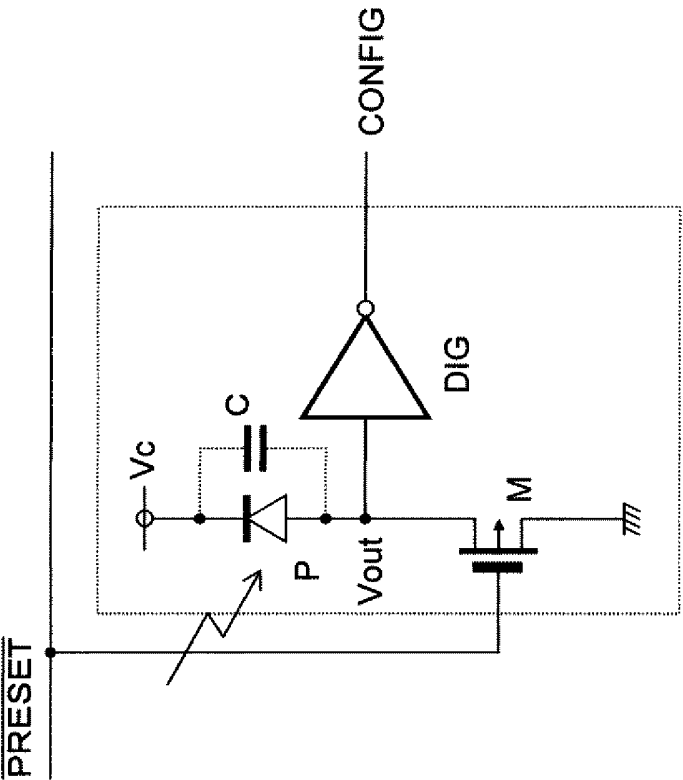
[図3]



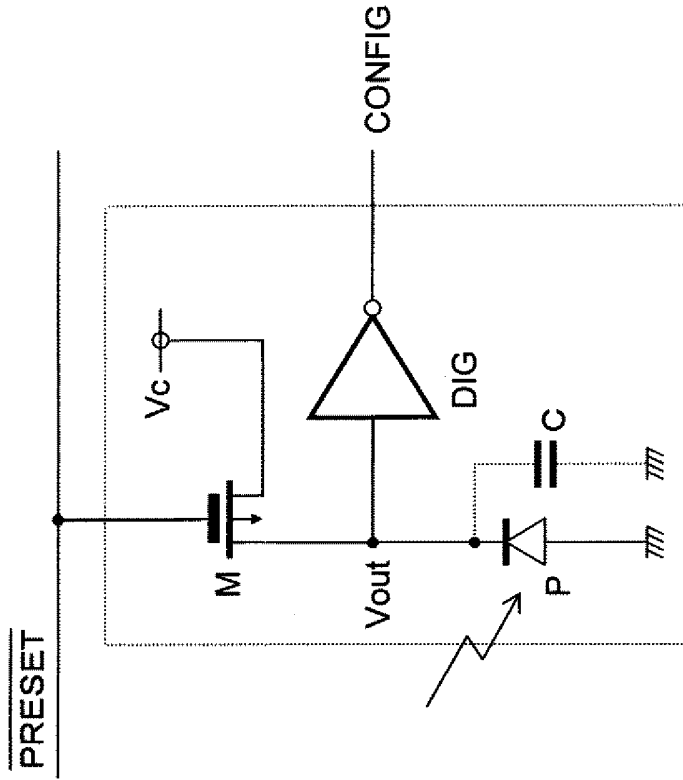
[図4]



[図5]

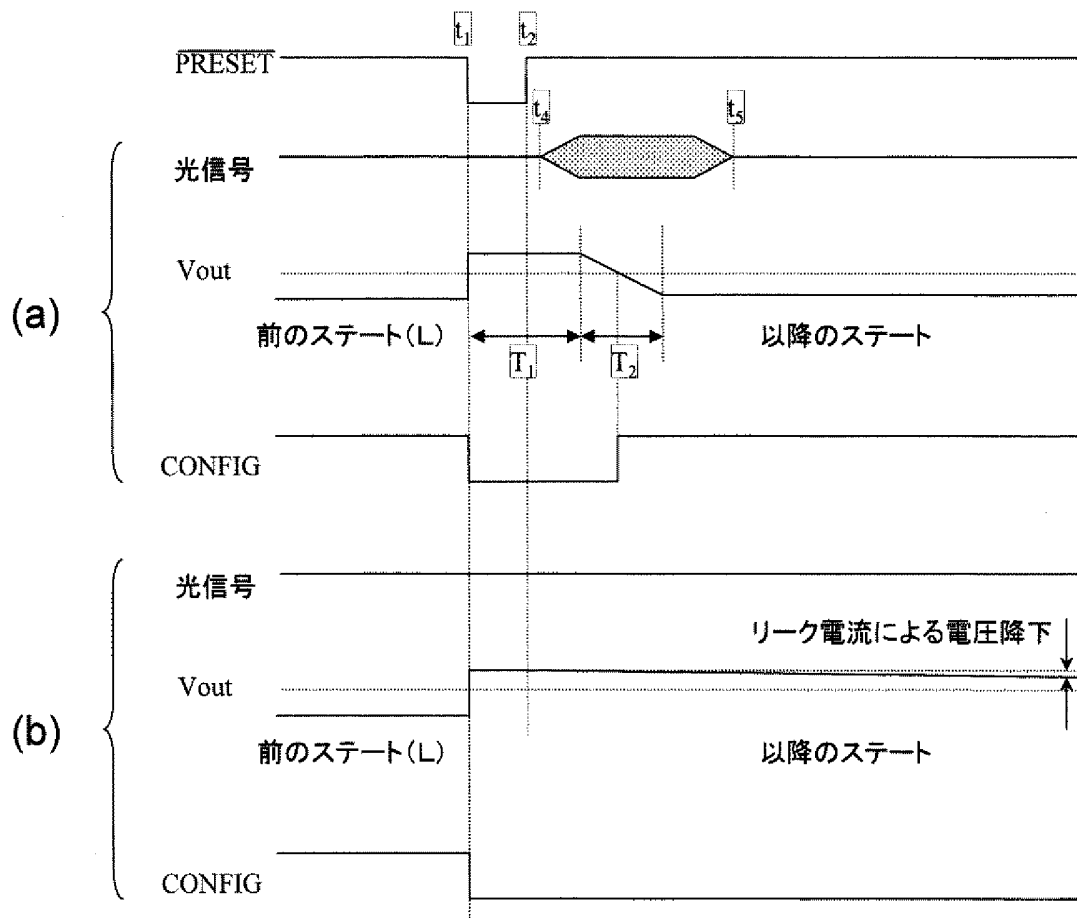


(b)

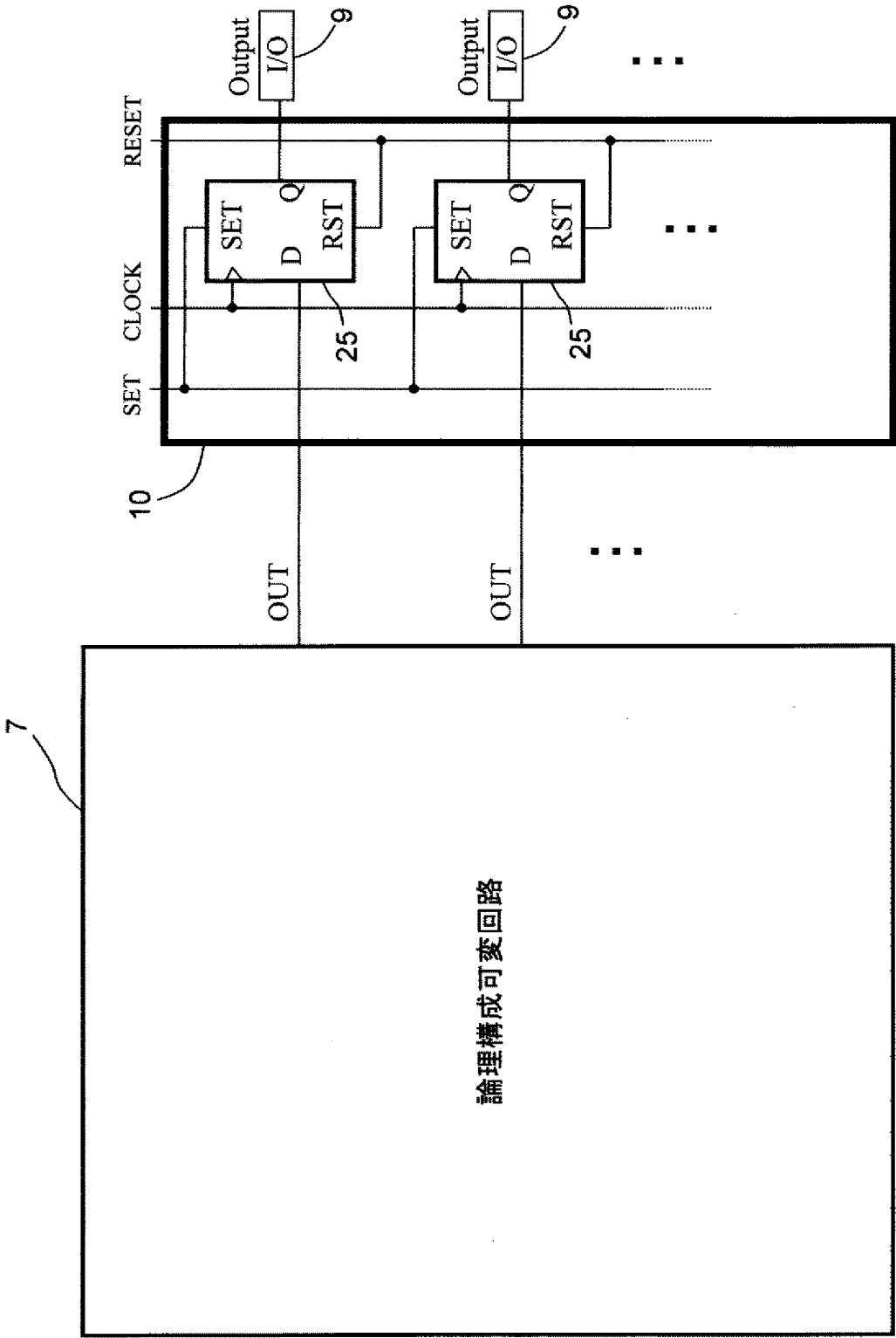


(a)

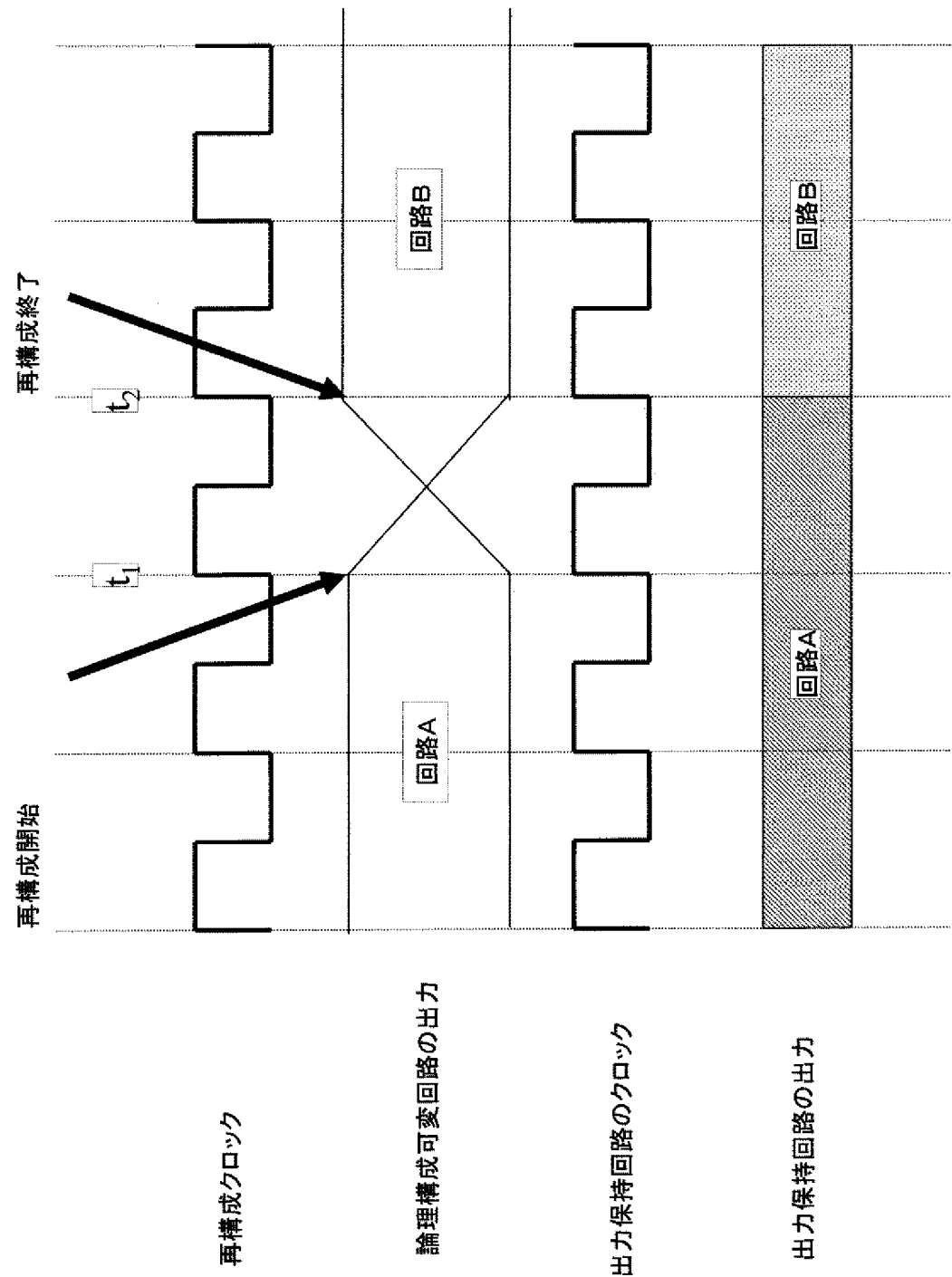
[図6]



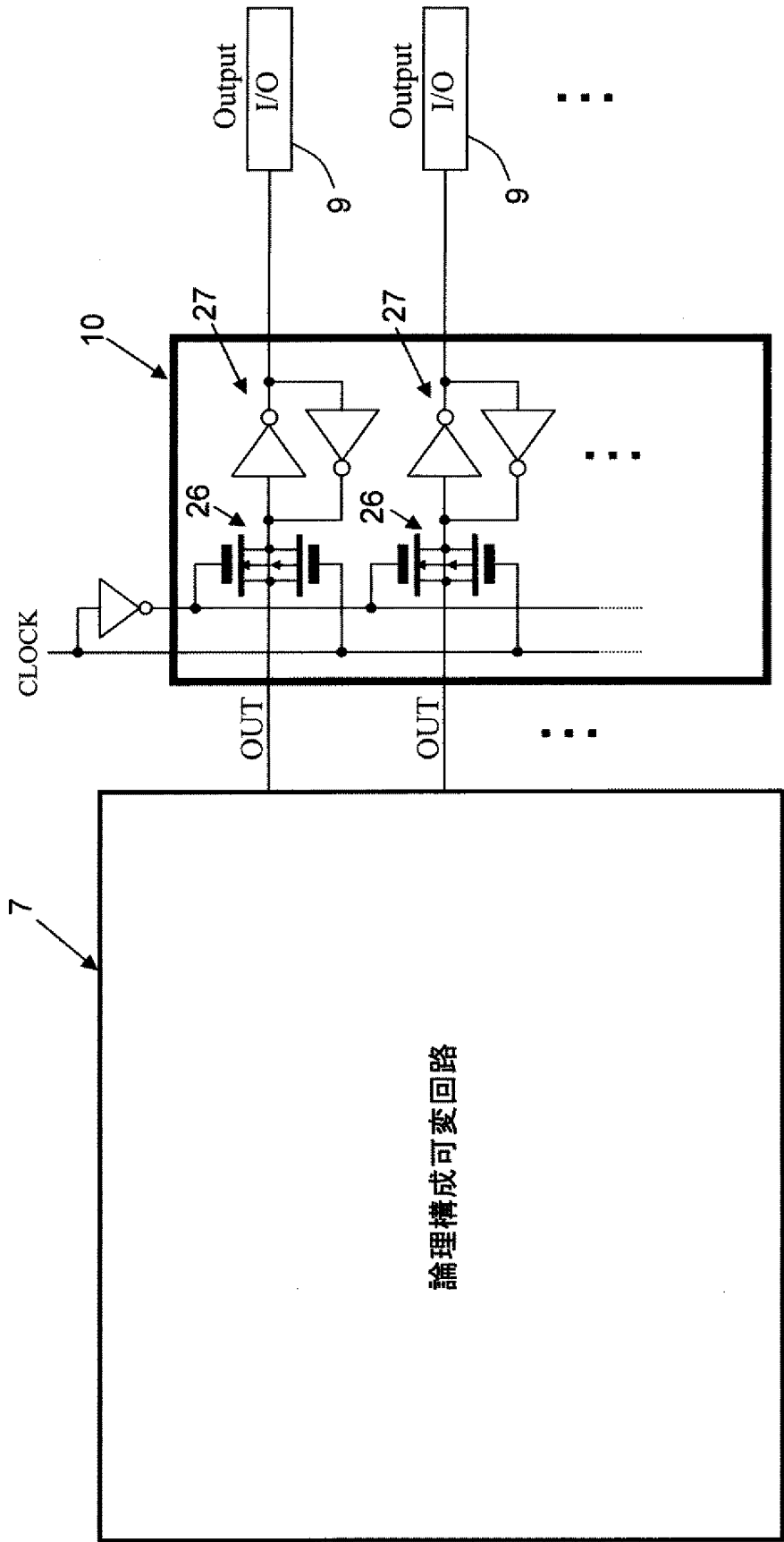
[図7]



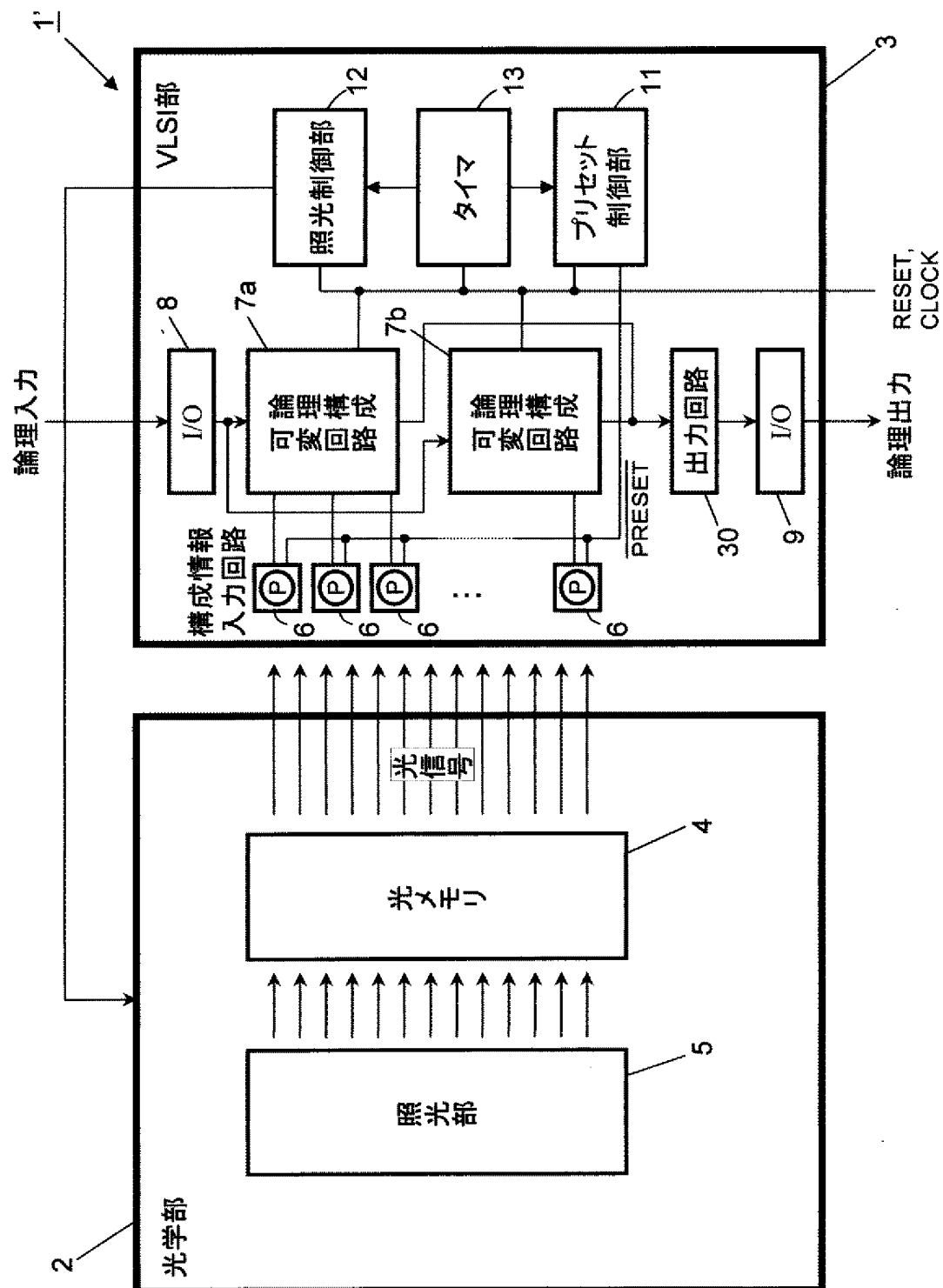
[図8]



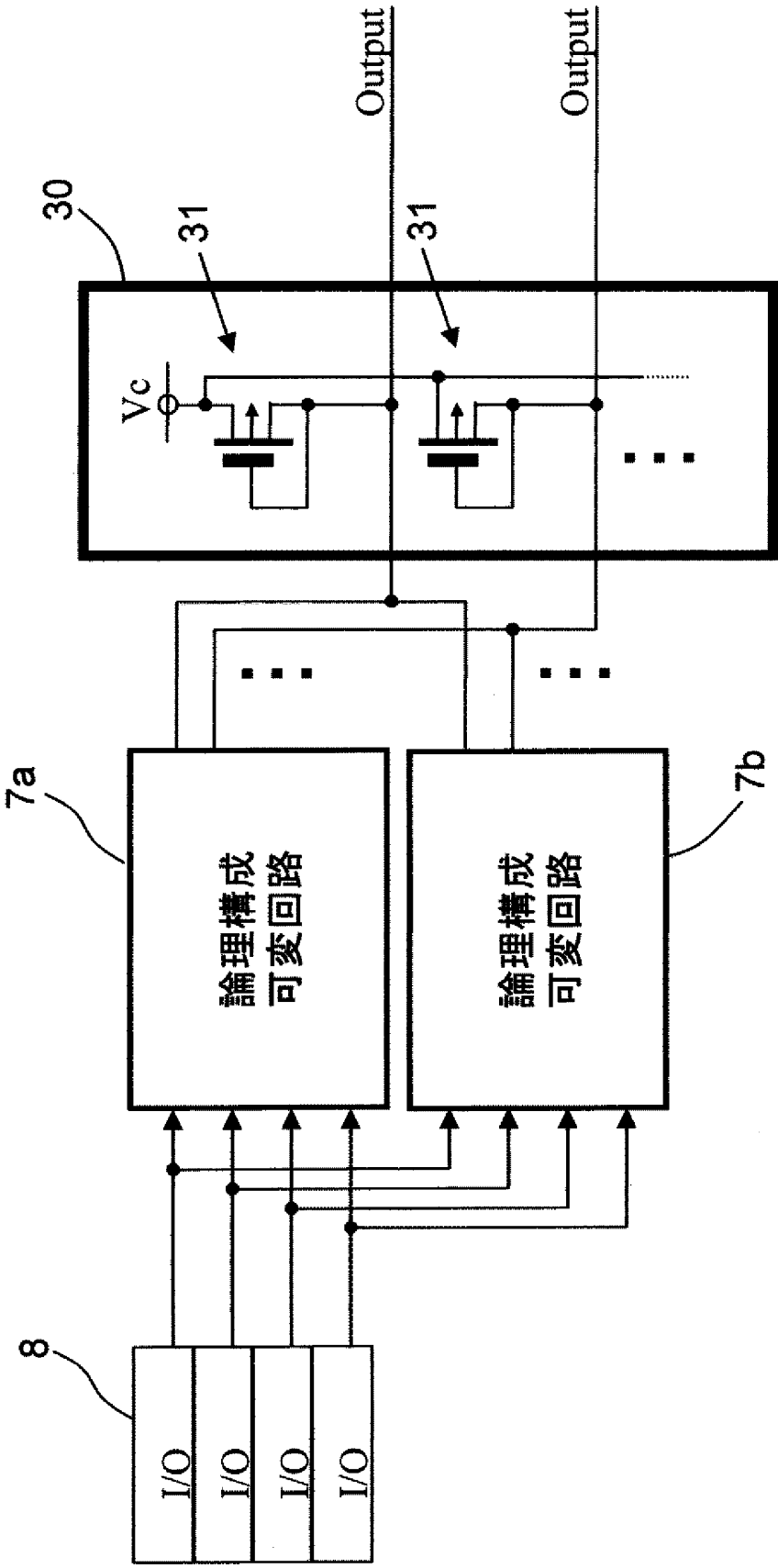
[図9]



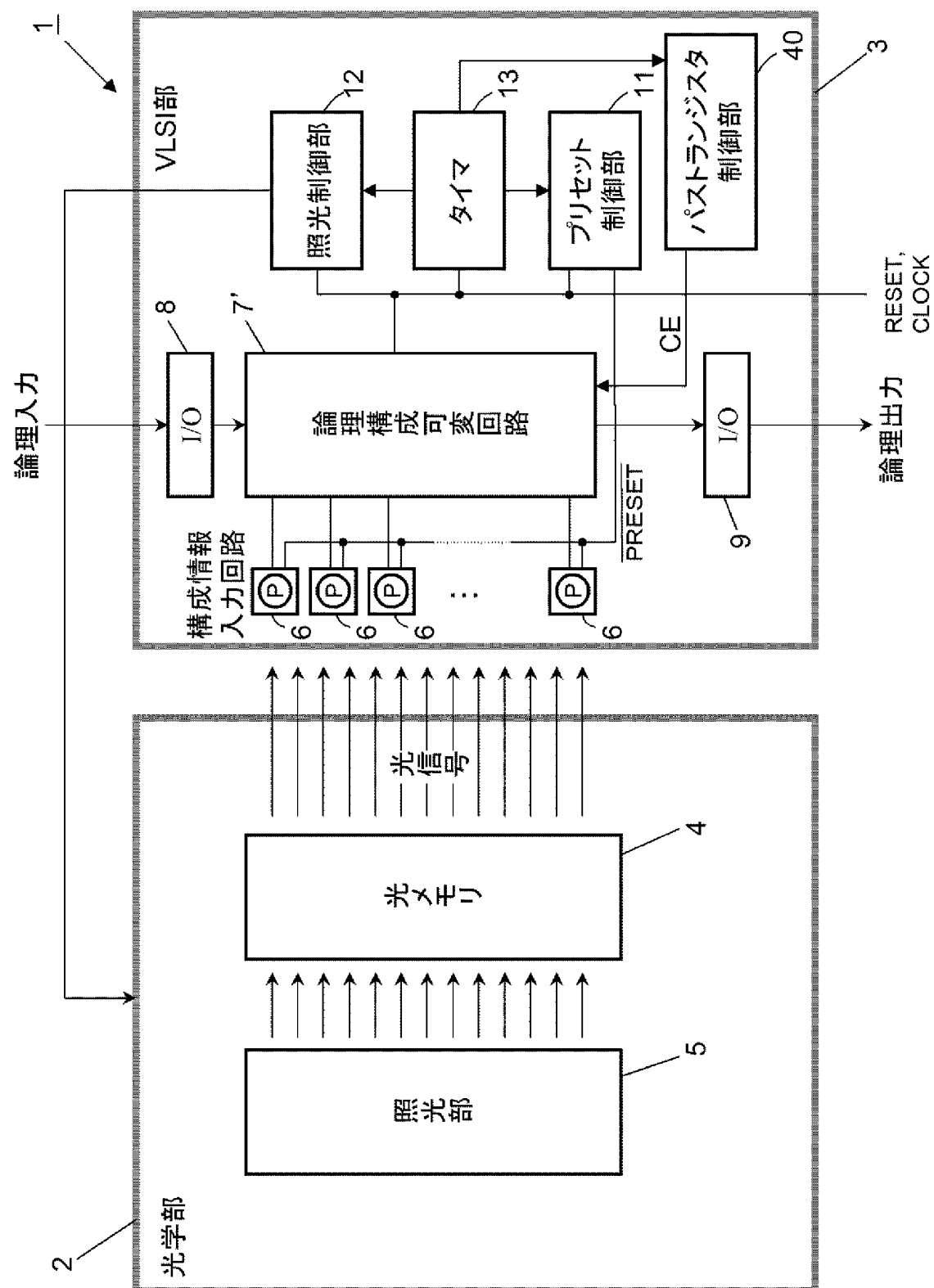
[図10]



[図11]



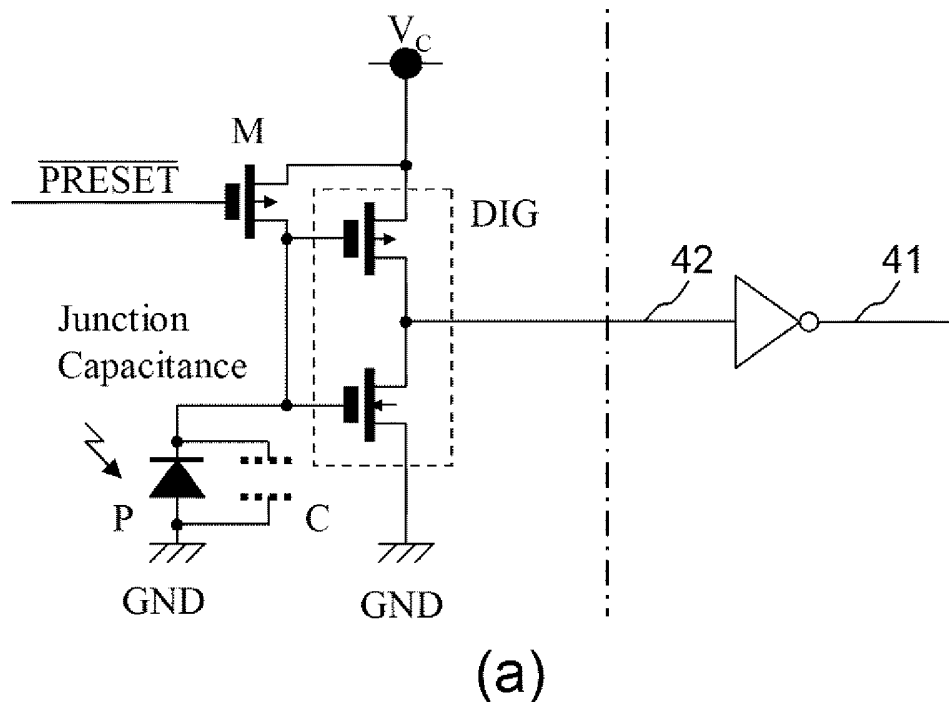
[図12]



[図13]

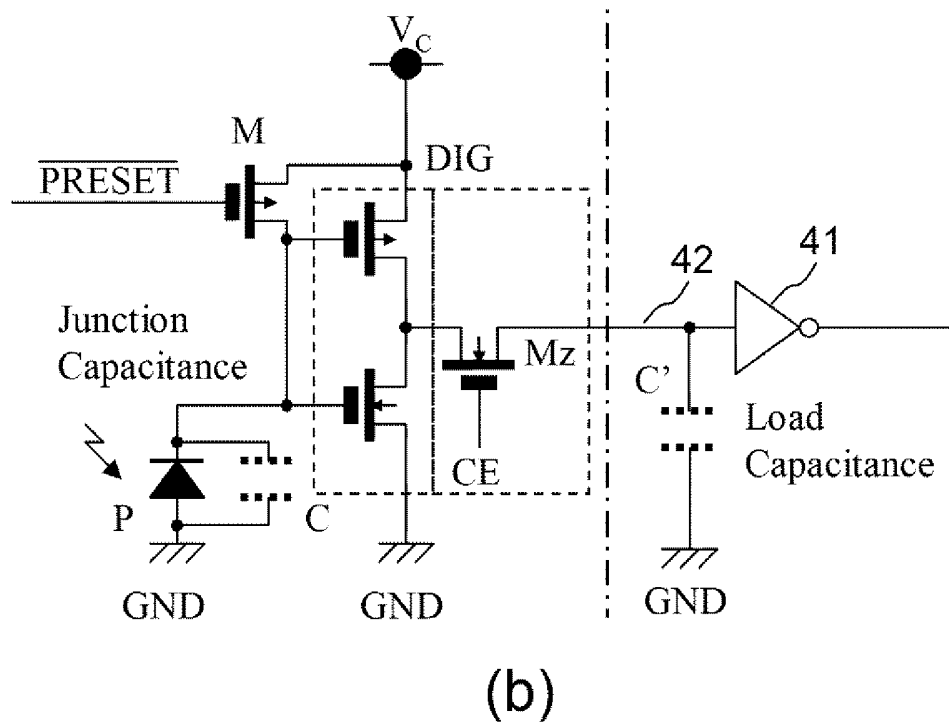
構成情報入力回路6

論理構成可変回路7

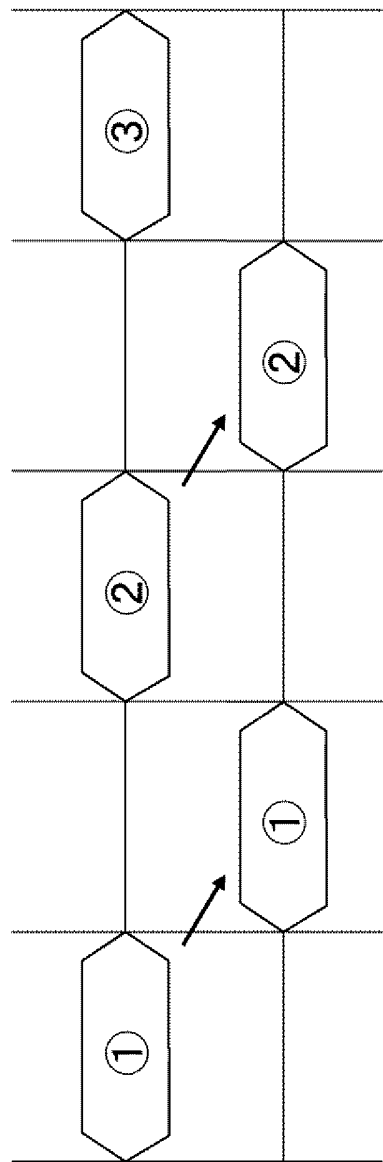


構成情報入力回路6

論理構成可変回路7



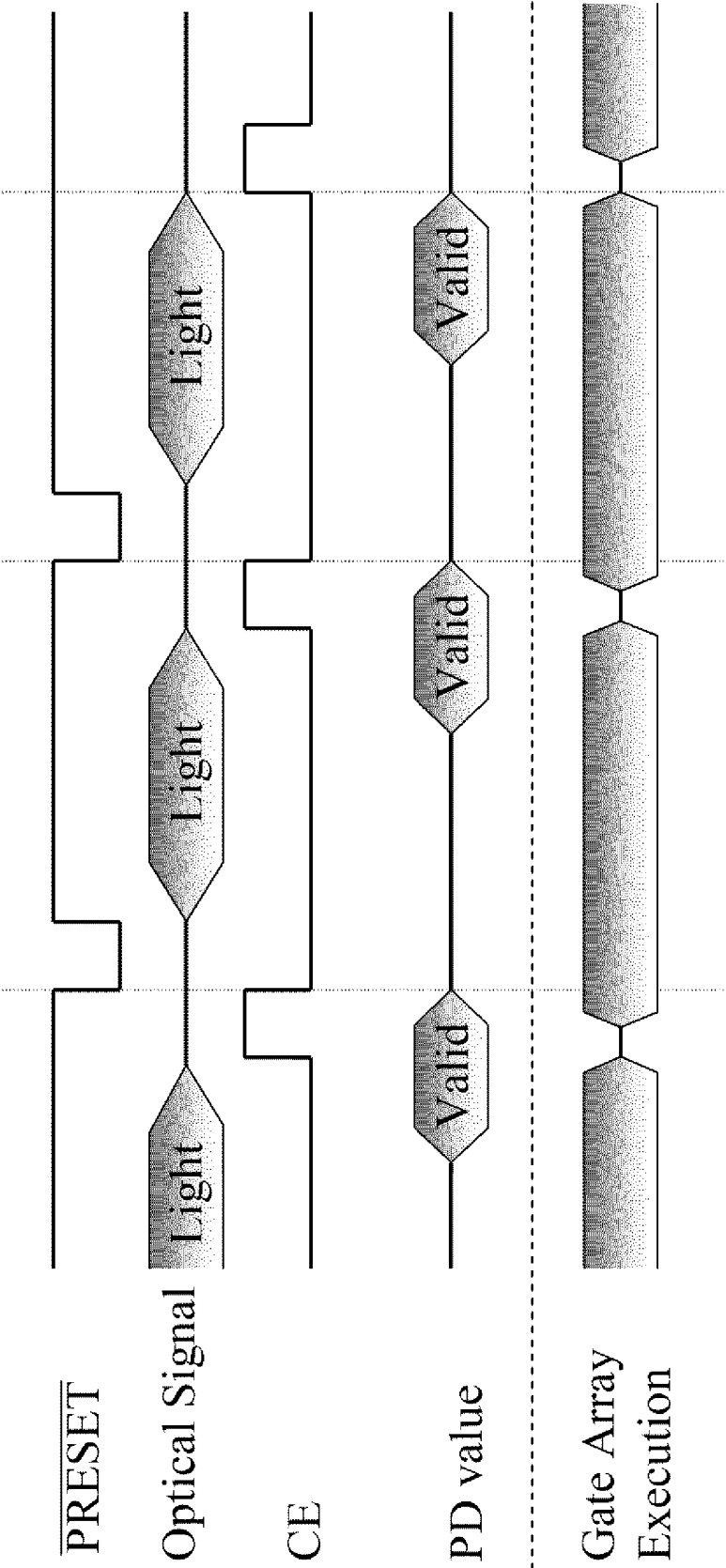
[図14]



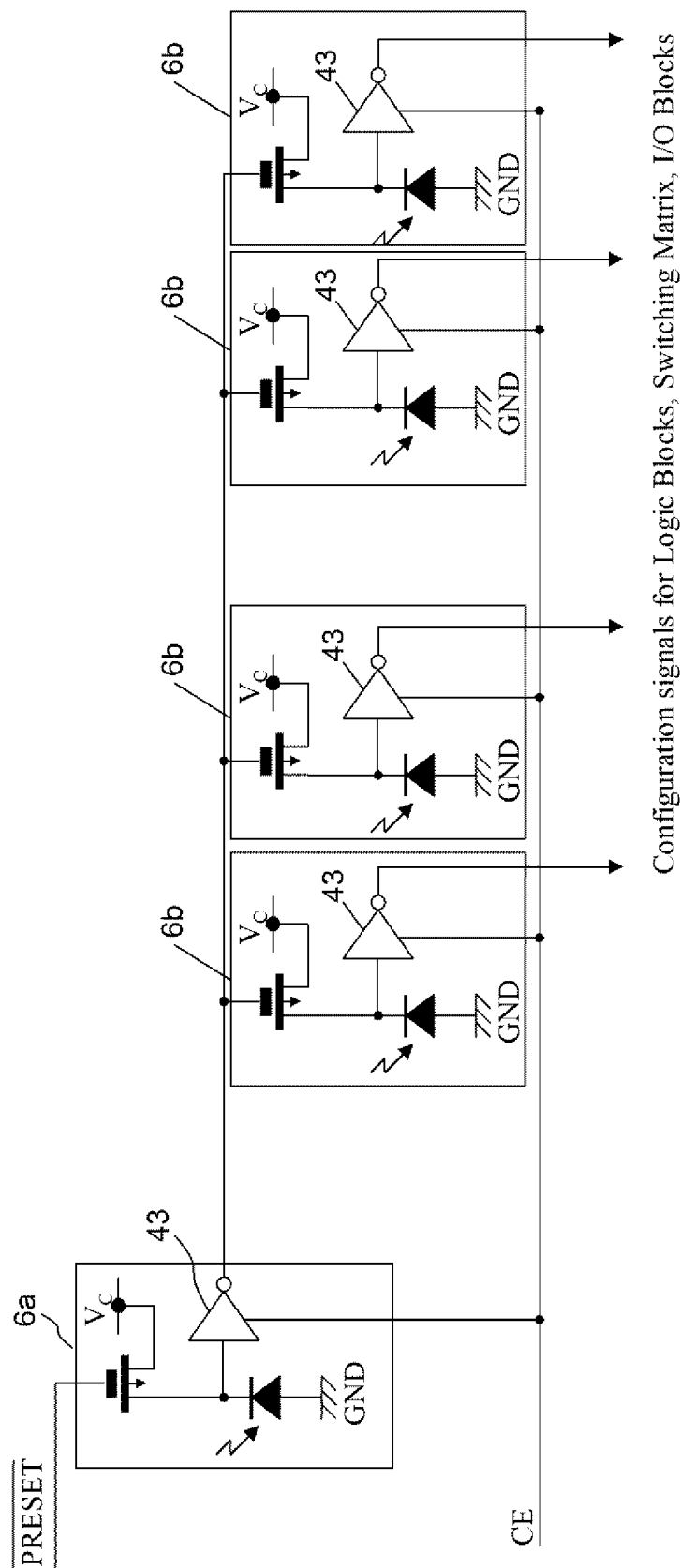
Reconfiguration
Operation

Gate Array
Execution

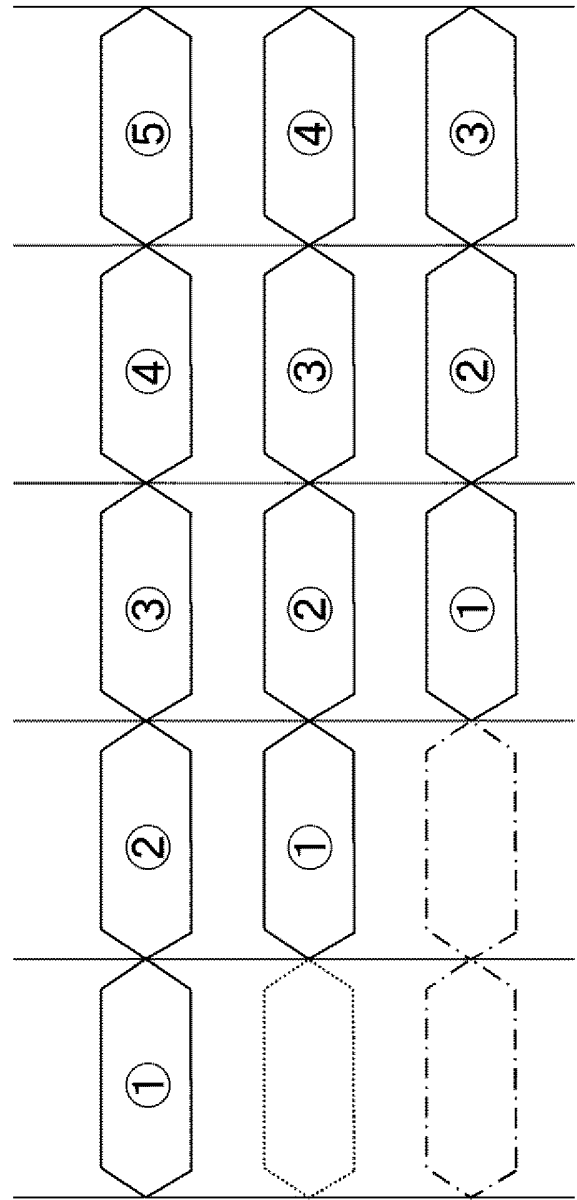
[図15]



[図16]



[図17]

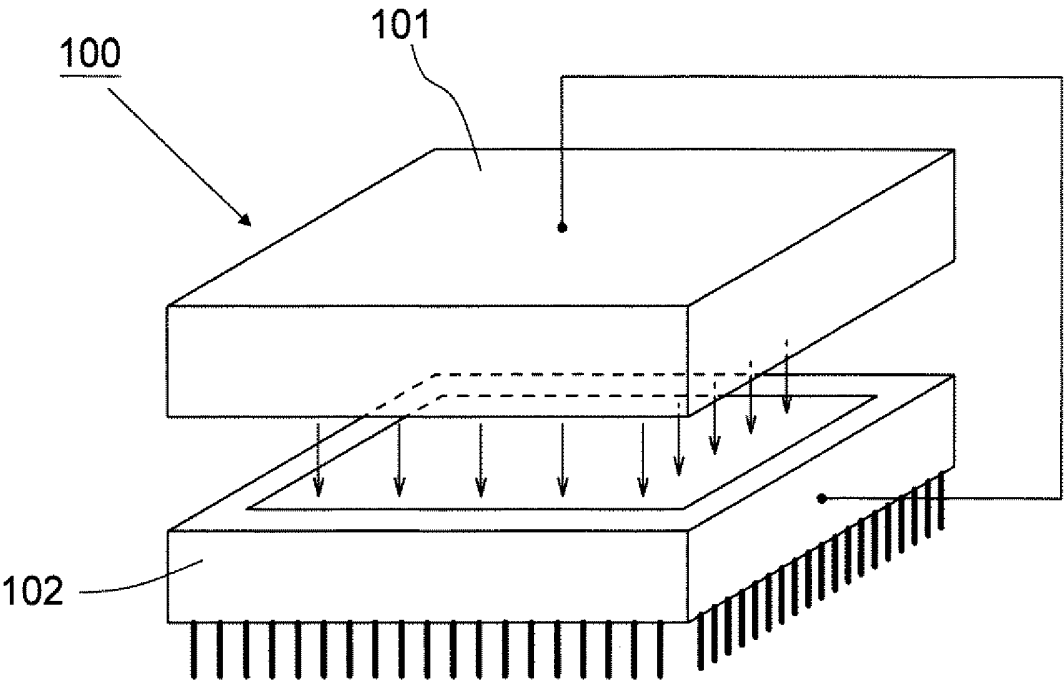


Block Reconfiguration
Indication

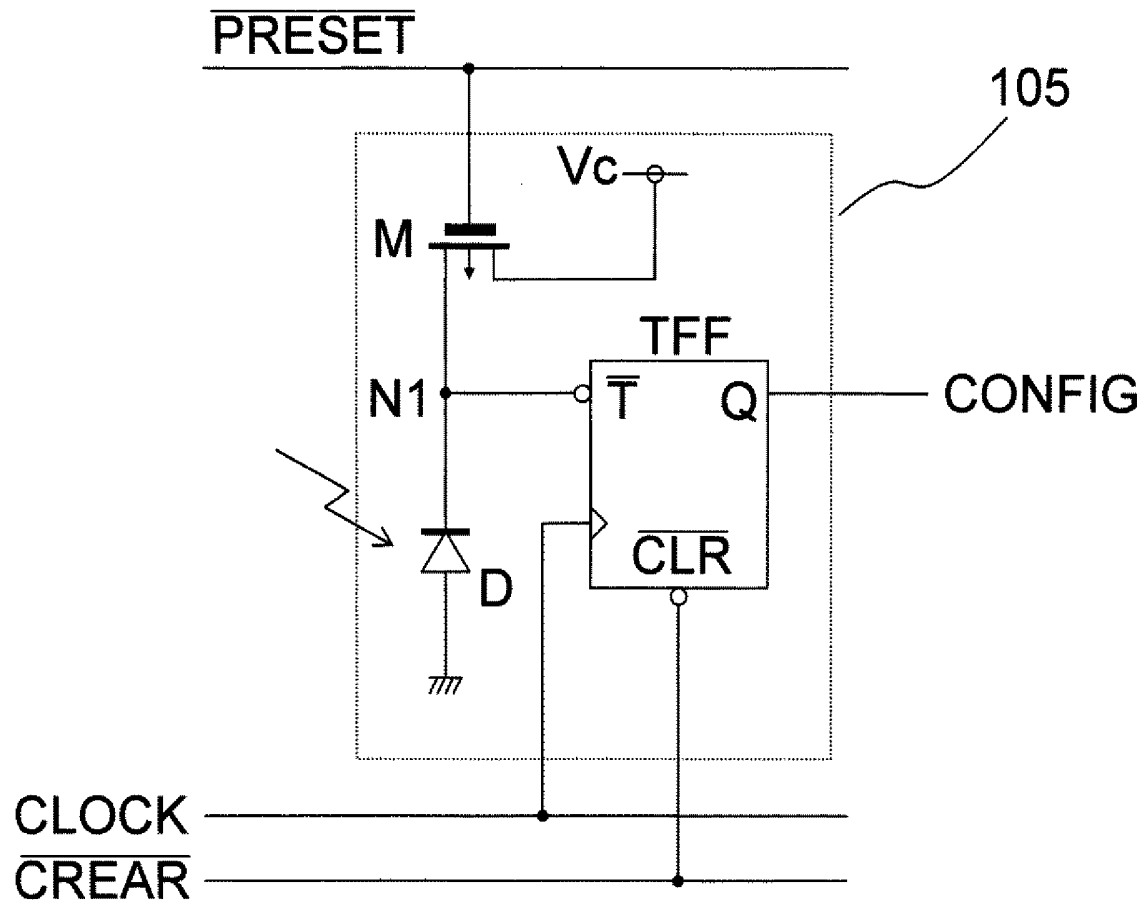
Reconfiguration
Operation

Gate Array
Execution

[図18]



[図19]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/008612

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl. ⁷ H03K19/173, H01L21/82, 21/822, 27/04		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) Int.Cl. ⁷ H03K19/173, H01L21/82, 21/822, 27/04		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005 Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) IEEE, Xplore		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WATANABE M., KOBAYASHI F., An Optically Differential Reconfigurable Gate Array with a dynamic reconfiguration circuit, Proceedings of Parallel and Distributed Processing Symposium, 26 April, 2003 (26.04.03), ISSN: 1530-2075, 3.2.Dynamic configuration circuit	1-12
A	US 6057703 A (Holoplex Inc.), 02 May, 2002 (02.05.02), Column 3, lines 4 to 12 (Family: none)	1-12
☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 25 May, 2005 (25.05.05)		Date of mailing of the international search report 07 June, 2005 (07.06.05)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ H03K19/173, H01L21/82, 21/822, 27/04

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ H03K19/173, H01L21/82, 21/822, 27/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

IEEE Xplore

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	WATANABE M, KOBAYASHI F, An Optically Differential Reconfigurable Gate Array with a dynamic reconfiguration circuit, Proceedings of Parallel and Distributed Processing Symposium, 2003.04.26, ISSN:1530-2075, 3.2.Dynamic configuration circuit 欄	1-12
A	US 6057703 A (Holoplex Inc.) 2002.05.02, 第3欄第4-12行 (ファミリーなし)	1-12

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

25.05.2005

国際調査報告の発送日

07.6.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

清水 稔

電話番号 03-3581-1101 内線 3596

5 X

8525