

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7516210号
(P7516210)

(45)発行日 令和6年7月16日(2024.7.16)

(24)登録日 令和6年7月5日(2024.7.5)

(51)国際特許分類

F I

H 0 1 L	21/336 (2006.01)	H 0 1 L	29/78	6 1 6 L
H 0 1 L	29/786 (2006.01)	H 0 1 L	29/78	6 1 8 B
H 0 1 L	21/28 (2006.01)	H 0 1 L	29/78	6 1 6 T
H 0 1 L	29/417 (2006.01)	H 0 1 L	21/28	3 0 1 B
G 0 9 F	9/30 (2006.01)	H 0 1 L	29/50	M

請求項の数 8 (全15頁) 最終頁に続く

(21)出願番号 特願2020-181414(P2020-181414)
 (22)出願日 令和2年10月29日(2020.10.29)
 (65)公開番号 特開2022-72129(P2022-72129A)
 (43)公開日 令和4年5月17日(2022.5.17)
 審査請求日 令和5年9月7日(2023.9.7)

(73)特許権者 502356528
株式会社ジャパンディスプレイ
東京都港区西新橋三丁目7番1号
 (74)代理人 110001737
弁理士法人スズエ国際特許事務所
 (72)発明者 花田 明紘
東京都港区西新橋三丁目7番1号 株式
会社ジャパンディスプレイ内
 (72)発明者 海東 拓生
東京都港区西新橋三丁目7番1号 株式
会社ジャパンディスプレイ内
 (72)発明者 小野寺 涼
東京都港区西新橋三丁目7番1号 株式
会社ジャパンディスプレイ内
 (72)発明者 岡田 隆史

最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【特許請求の範囲】

【請求項1】

ゲート電極を形成し、
 前記ゲート電極を覆う第1絶縁膜を形成し、
 前記ゲート電極の上方において、前記第1絶縁膜に接する島状の酸化物半導体を形成し、
 前記酸化物半導体を覆う第2絶縁膜を形成し、
 前記第2絶縁膜において、前記酸化物半導体まで貫通した第1開口及び第2開口を形成し、

前記第1開口において前記酸化物半導体に接するソース電極を形成し
 前記第2開口において前記酸化物半導体に接するドレイン電極を形成し、
 前記ソース電極及び前記ドレイン電極を覆う第3絶縁膜を形成し、
 前記ソース電極と前記ドレイン電極との間において、前記第3絶縁膜から前記第2絶縁膜を介して前記酸化物半導体に酸素を供給し、チャンネル領域を形成する、半導体装置の製造方法。

【請求項2】

さらに、前記酸化物半導体のうち、前記第1開口と前記第2開口との間における前記第2絶縁膜及び前記ソース電極の積層体と重畳する領域、及び、前記第1開口と前記第2開口との間における前記第2絶縁膜及び前記ドレイン電極の積層体と重畳する領域において、前記第3絶縁膜から前記第2絶縁膜を介して前記酸化物半導体に酸素を供給し、前記チャンネル領域よりも低抵抗の低抵抗領域を形成する、請求項1に記載の半導体装置の製造方

10

20

法。

【請求項 3】

前記チャネル領域の形成、及び、前記低抵抗領域の形成は、前記第 3 絶縁膜を形成した後のベークによって行う、請求項 2 に記載の半導体装置の製造方法。

【請求項 4】

前記第 2 絶縁膜及び前記第 3 絶縁膜は、シリコン酸化物によって形成されている、請求項 3 に記載の半導体装置の製造方法。

【請求項 5】

前記第 1 絶縁膜のうち、少なくとも前記酸化物半導体の下面に接する薄膜は、シリコン酸化物によって形成されている、請求項 4 に記載の半導体装置の製造方法。

10

【請求項 6】

前記第 1 開口と前記第 2 開口との間における前記第 2 絶縁膜及び前記ソース電極の積層体の長さ、及び、前記第 1 開口と前記第 2 開口との間における前記第 2 絶縁膜及び前記ドレイン電極の積層体の長さは、 $1.5 \mu\text{m}$ 以上である、請求項 2 に記載の半導体装置の製造方法。

【請求項 7】

前記低抵抗領域の長さは、 $1.5 \mu\text{m}$ 以上である、請求項 6 に記載の半導体装置の製造方法。

【請求項 8】

前記酸化物半導体の膜厚は、 60nm 以上である、請求項 7 に記載の半導体装置の製造方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、半導体装置の製造方法に関する。

【背景技術】

【0002】

液晶表示装置において、表示領域の画素回路に酸化物半導体を備えたトランジスタが設けられ、且つ、周辺領域の駆動回路にシリコン半導体を備えたトランジスタが設けられる技術が提案されている。

30

【先行技術文献】

【特許文献】

【0003】

【文献】特開 2017-183312 号公報

【文献】特開 2020-129635 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

本実施形態の目的は、信頼性を向上することが可能な半導体装置の製造方法を提供することにある。

40

【課題を解決するための手段】

【0005】

本実施形態の半導体装置の製造方法は、

ゲート電極を形成し、前記ゲート電極を覆う第 1 絶縁膜を形成し、前記ゲート電極の上方において、前記第 1 絶縁膜に接する島状の酸化物半導体を形成し、前記酸化物半導体を覆う第 2 絶縁膜を形成し、前記第 2 絶縁膜において、前記酸化物半導体まで貫通した第 1 開口及び第 2 開口を形成し、前記第 1 開口において前記酸化物半導体に接するソース電極を形成し、前記第 2 開口において前記酸化物半導体に接するドレイン電極を形成し、前記ソース電極及び前記ドレイン電極を覆う第 3 絶縁膜を形成し、前記ソース電極と前記ドレイン電極との間において、前記第 3 絶縁膜から前記第 2 絶縁膜を介して前記酸化物半導体

50

に酸素を供給し、チャンネル領域を形成する。

【図面の簡単な説明】

【0006】

【図1】図1は、本実施形態に係る表示装置DSPの構成を示す平面図である。

【図2】図2は、図1に示した画素PXを含む表示装置DSPの断面図である。

【図3】図3は、トランジスタTRの一例を示す断面図である。

【図4】図4は、図3に示したトランジスタTRの製造方法を説明するための図である。

【図5】図5は、絶縁膜12を形成する工程を説明するための断面図である。

【図6】図6は、ソース電極SE及びドレイン電極DEを形成する工程を説明するための断面図である。

10

【図7】図7は、絶縁膜13を形成する工程を説明するための断面図である。

【図8】図8は、チャンネル領域C1と低抵抗領域LS1及びLD1とを形成する工程を説明するための断面図である。

【図9】図9は、絶縁膜14を形成する工程を説明するための断面図である。

【図10】図10は、酸化半導体トランジスタの信頼性試験の結果を示す図である。

【図11】図11は、低抵抗領域LS1及びLD1の長さとしフト量Vthとの関係を示す図である。

【図12】図12は、酸化半導体SCの膜厚としフト量Vthとの関係を示す図である。

【発明を実施するための形態】

20

【0007】

以下、本実施形態について、図面を参照しながら説明する。なお、開示はあくまで一例に過ぎず、当業者において、発明の主旨を保つての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は、説明をより明確にするため、実際の態様に比べて、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する詳細な説明を適宜省略することがある。

【0008】

なお、図面には、必要に応じて理解を容易にするために、互いに直交するX軸、Y軸、及び、Z軸を記載する。X軸に沿った方向を第1方向Xと称し、Y軸に沿った方向を第2方向Yと称し、Z軸に沿った方向を第3方向Zと称する。X軸及びY軸によって規定される面をX-Y平面と称し、X-Y平面を見ることを平面視という。

30

【0009】

本実施形態においては、半導体装置を用いた表示装置の一例として、電気泳動表示装置について説明する。なお、本実施形態にて開示する主要な構成は、液晶表示装置の他に、有機エレクトロルミネッセンス(EL)素子、マイクロLED、ミニLEDなどの自発光型の発光素子を備えた表示装置などにも適用可能である。

【0010】

図1は、本実施形態に係る表示装置DSPの構成を示す平面図である。表示装置DSPは、画像を表示する表示領域DAと、表示領域DAの周囲の周辺領域(非表示領域)SAと、を備えている。図1に示す例では、周辺領域SAは、表示領域DAを囲む額縁状に形成されている。

40

【0011】

表示装置DSPは、周辺領域SAにおいて、ゲートドライバGD1及びGD2と、ソースドライバSDと、を備えている。ゲートドライバGD1及びGD2の各々は、複数のシフトレジスタSRを備えている。シフトレジスタSRは、第1トランジスタTR1を備えている。このように、ゲートドライバGD1及びGD2は、表示領域DAの各要素とともに、同一基板上に形成される。

【0012】

50

表示装置 D S P は、表示領域 D A において、複数の画素 P X と、複数のゲート線 G L と、複数のソース線 S L と、複数の容量配線 C W と、共通電極 C E と、を備えている。複数の画素 P X は、第 1 方向 X 及び第 2 方向 Y において、マトリクス状に配列されている。

【 0 0 1 3 】

複数のゲート線 G L は、それぞれ第 1 方向 X に沿って延出し、間隔をおいて第 2 方向 Y に並んでいる。なお、ゲート線 G L は、走査線と称する場合がある。ゲート線 G L は、ゲートドライバ G D 1 及び G D 2 と電氣的に接続されている。例えば、奇数番目のゲート線 G L はゲートドライバ G D 1 のシフトレジスタ S R と接続され、偶数番目のゲート線 G L はゲートドライバ G D 2 のシフトレジスタ S R と接続されている。ゲート線 G L の各々は、ゲートドライバ G D 1 及び G D 2 によって駆動される。

10

【 0 0 1 4 】

複数のソース線 S L は、それぞれ第 2 方向 Y に沿って延出し、間隔をおいて第 1 方向 X に並んでいる。なお、ソース線 S L は、信号線と称する場合がある。表示領域 D A において、複数のソース線 S L は、複数のゲート線 G L と交差している。ソース線 S L は、ソースドライバ S D と電氣的に接続されている。ソース線 S L の各々は、ソースドライバ S D によって駆動される。

【 0 0 1 5 】

複数の容量配線 C W は、第 1 方向 X または第 2 方向 Y に沿って延出している。複数の容量配線 C W は、例えば周辺領域 S A において束ねられ、所定電圧が供給される電圧供給部 V p c に接続されている。

20

共通電極 C E は、複数の画素 P X に亘って配置されている。共通電極 C E は、所定電圧が供給される電圧供給部 V c o m に接続されている。

【 0 0 1 6 】

各画素 P X は、図 1 において拡大して示すように、第 2 トランジスタ T R 2、及び、画素電極 P E を備えている。後述するが、第 1 トランジスタ T R 1 及び第 2 トランジスタ T R 2 は、例えば薄膜トランジスタ (T F T) によって構成されている。第 2 トランジスタ T R 2 は、ゲート線 G L 及びソース線 S L と電氣的に接続されている。ゲート線 G L は、第 1 方向 X に並んだ画素 P X の各々における第 2 トランジスタ T R 2 と電氣的に接続されている。ソース線 S L は、第 2 方向 Y に並んだ画素 P X の各々における第 2 トランジスタ T R 2 と電氣的に接続されている。

30

【 0 0 1 7 】

画素電極 P E は、第 2 トランジスタ T R 2 と電氣的に接続されている。画素電極 P E の各々は、共通電極 C E と対向している。容量 C S 1 は、画素電極 P E と容量配線 C W との間に形成される。容量 C S 2 は、共通電極 C E と画素電極 P E との間に形成される。

【 0 0 1 8 】

これらの第 1 トランジスタ T R 1 及び第 2 トランジスタ T R 2、各種配線、及び、各種電極を備えた基板を半導体装置と称する。

【 0 0 1 9 】

図 2 は、図 1 に示した画素 P X を含む表示装置 D S P の断面図である。第 1 基板 S U B 1 は、絶縁基板 1 0 と、絶縁膜 1 1 乃至 1 4 と、第 2 トランジスタ T R 2 と、容量配線 C W と、画素電極 P E と、を備えている。なお、第 2 トランジスタ T R 2 の構造については、簡略化して図示している。また、絶縁膜 1 1 乃至 1 4 の各々も簡略化して図示している。

40

【 0 0 2 0 】

絶縁基板 1 0 は、樹脂、ガラス等の絶縁性の材料によって形成されている。第 2 トランジスタ T R 2 の詳細については後述するが、第 2 トランジスタ T R 2 は、ゲート線 G L と一体の第 2 ゲート電極 G E 2 と、ソース線 S L と一体の第 2 ソース電極 S E 2 と、第 2 ドレイン電極 D E 2 と、第 2 酸化物半導体 S C 2 と、を備えている。本明細書においては、ソース線 S L と電氣的に接続される側の電極を第 2 ソース電極 S E 2 と称し、画素電極 P E と電氣的に接続される側の電極を第 2 ドレイン電極 D E 2 と称している。

【 0 0 2 1 】

50

絶縁膜 1 1 は、第 2 ゲート電極 G E 2 と第 2 酸化物半導体 S C 2 との間に介在している。絶縁膜 1 2 は、第 2 酸化物半導体 S C 2 と第 2 ソース電極 S E 2 との間、及び、第 2 酸化物半導体 S C 2 と第 2 ドレイン電極 D E 2 との間にそれぞれ介在している。絶縁膜 1 3 は、第 2 ソース電極 S E 2 及び第 2 ドレイン電極 D E 2 を覆っている。なお、絶縁膜 1 1、及び、絶縁膜 1 2 は、無機絶縁膜であるが、単層体であってもよいし、複数種類の無機絶縁膜からなる積層体であってもよい。絶縁膜 1 3 は、例えば、1 種類以上の無機絶縁膜と、有機絶縁膜との積層体である。絶縁膜 1 3 に含まれる 1 つの無機絶縁膜は、第 2 ソース電極 S E 2 及び第 2 ドレイン電極 D E 2 を直接覆っている。

【 0 0 2 2 】

容量配線 C W は、絶縁膜 1 3 の上に配置され、絶縁膜 1 4 によって覆われている。画素電極 P E は、絶縁膜 1 4 の上に配置されている。画素電極 P E は、第 2 ドレイン電極 D E 2 に接し、第 2 トランジスタ T R 2 と電氣的に接続されている。

10

【 0 0 2 3 】

第 2 基板 S U B 2 は、絶縁基板 2 0 と、共通電極 C E と、電気泳動素子 2 1 と、を備えている。絶縁基板 2 0 は、樹脂、ガラス等の絶縁性の材料によって形成されている。共通電極 C E は、絶縁基板 2 0 と電気泳動素子 2 1 との間に位置している。電気泳動素子 2 1 は、画素電極 P E と共通電極 C E との間に位置している。電気泳動素子 2 1 は、ほとんど隙間なく配列された複数のマイクロカプセル 3 0 によって形成されている。

【 0 0 2 4 】

第 1 基板 S U B 1 及び第 2 基板 S U B 2 は、粘着層 4 0 によって貼合されている。図示した例では、粘着層 4 0 は、画素電極 P E と電気泳動素子 2 1 との間に位置している。

20

【 0 0 2 5 】

マイクロカプセル 3 0 は、例えば 2 0 μm ~ 7 0 μm 程度の粒径を有している。1 つの画素電極 P E と共通電極 C E との間には、複数のマイクロカプセル 3 0 が配置されている。マイクロカプセル 3 0 は、分散媒 3 1 と、複数の黒色粒子 3 2 と、複数の白色粒子 3 3 とを備えている。黒色粒子 3 2 及び白色粒子 3 3 は、電気泳動粒子と称される場合もある。

【 0 0 2 6 】

マイクロカプセル 3 0 の外殻 3 4 は、例えば、アクリル樹脂等の透明な樹脂によって形成されている。分散媒 3 1 は、マイクロカプセル 3 0 内において、黒色粒子 3 2 及び白色粒子 3 3 を分散させる液体である。黒色粒子 3 2 及び白色粒子 3 3 は、互いに逆極性の電荷を有している。例えば、黒色粒子 3 2 は正に帯電し、白色粒子 3 3 は負に帯電している。

30

【 0 0 2 7 】

上記構成の電気泳動素子 2 1 において、画素 P X が黒を表示する場合、画素電極 P E が共通電極 C E よりも相対的に高電位に保持される。すなわち、共通電極 C E の電位を基準電位としたとき、画素電極 P E が正極性に保持される。これにより、正に帯電した黒色粒子 3 2 が共通電極 C E に引き寄せられる一方、負に帯電した白色粒子 3 3 が画素電極 P E に引き寄せられる。その結果、第 2 基板 S U B 2 の上方から画素 P X を観察すると、黒色が視認される。

【 0 0 2 8 】

一方、画素 P X が白を表示する場合、画素電極 P E が共通電極 C E よりも相対的に低電位に保持される。すなわち、共通電極 C E の電位を基準電位としたとき、画素電極 P E が負極性に保持される。これにより、負に帯電した白色粒子 3 3 が共通電極 C E 側へ引き寄せられる一方、正に帯電した黒色粒子 3 2 が画素電極 P E に引き寄せられる。その結果、画素 P X を観察すると白色が視認される。

40

なお、ここで説明した電気泳動表示装置は、モノクロ仕様には限定されるわけではなく、赤色粒子、緑色粒子、青色粒子を含む複数のカラー粒子を電気泳動法で動作させるカラー仕様にも適用できる。特にカラー仕様の場合、高い電圧を印加することで、元々遅い電気泳動速度を向上でき、カラー画面の高速書換えが可能となる利点がある。

【 0 0 2 9 】

図 3 は、トランジスタ T R の一例を示す断面図である。ここで説明するトランジスタ T

50

Rは、上記の第1トランジスタTR1及び第2トランジスタTR2のいずれにも適用可能である。トランジスタTRは、ゲート電極GEと、酸化物半導体SCと、ソース電極SEと、ドレイン電極DEと、を備えている。

【0030】

ゲート電極GEは、絶縁基板10の上方に配置されている。図3に示す例では、ゲート電極GEは、絶縁基板10に接しているが、絶縁基板10とゲート電極GEとの間に他の絶縁膜が介在していてもよい。

【0031】

絶縁膜11は、無機絶縁膜であり、ゲート電極GEを覆っている。図3に示す例では、絶縁膜11は、薄膜11Aと、薄膜11Bとの積層体である。薄膜11Aは、シリコン窒化物(SiN)によって形成され、絶縁基板10及びゲート電極GEを直接覆っている。薄膜11Bは、シリコン酸化物(SiO)によって形成され、薄膜11Aの上に直接積層されている。例えば、薄膜11Bの膜厚は、薄膜11Aの膜厚より薄い。例えば、薄膜11Aの膜厚は50~400nmであり、薄膜11Bの膜厚は20~300nmである。絶縁膜11の膜厚は、300nm以上である。なお、絶縁膜11は、シリコン酸化物によって形成された薄膜の単層体であってもよい。

【0032】

酸化物半導体SCは、ゲート電極GEの上方に配置され、絶縁膜11に接している。つまり、酸化物半導体SCの下面SCBは、シリコン酸化物である絶縁膜11に接している。

【0033】

絶縁膜12は、酸化物半導体SC及び絶縁膜11を直接覆っている。絶縁膜12は、シリコン酸化物(SiO)によって形成された無機絶縁膜である。つまり、酸化物半導体SCの上面SCT及び側面SCSは、シリコン酸化物である絶縁膜12に接している。

【0034】

ソース電極SE及びドレイン電極DEは、絶縁膜12の上に配置され、絶縁膜12に接している。また、ソース電極SEは、ドレイン電極DEから離間している。

ソース電極SEは、絶縁膜12の第1開口CH1において、酸化物半導体SCに接している。ドレイン電極DEは、絶縁膜12の第2開口CH2において、酸化物半導体SCに接している。

【0035】

絶縁膜13は、ソース電極SE及びドレイン電極DEを直接覆っている。絶縁膜13は、例えば、シリコン酸化物(SiO)によって形成された無機絶縁膜である。また、絶縁膜13は、ソース電極SEとドレイン電極DEとの間において、絶縁膜12に接している。

【0036】

ゲート電極GE、ソース電極SE、及び、ドレイン電極DEは、例えば、アルミニウム(Al)、チタン(Ti)、モリブデン(Mo)、タングステン(W)、銀(Ag)、Cu(銅)、Cr(クロム)などの金属材料や、これらの金属材料を組み合わせた合金などによって形成される。

【0037】

酸化物半導体SCは、チャンネル領域C1と、低抵抗領域LS1及びLD1と、ソース領域S1と、ドレイン領域D1と、を有している。低抵抗領域LS1及びLD1は、チャンネル領域C1に隣接している。低抵抗領域LS1は、チャンネル領域C1とソース領域S1との間に位置している。低抵抗領域LD1は、チャンネル領域C1とドレイン領域D1との間に位置している。

【0038】

チャンネル領域C1は、酸化物半導体SCにおいて最も高抵抗の領域であり、ソース電極SEとドレイン電極DEとの間隙(あるいは、絶縁膜13が絶縁膜12に直接積層された部分)に重畳している。

【0039】

低抵抗領域LS1及びLD1は、チャンネル領域C1よりも低抵抗の領域である。低抵抗

10

20

30

40

50

領域 $LS1$ は、第1開口 $CH1$ と第2開口 $CH2$ との間において、絶縁膜12及びソース電極 SE の積層体 LMS に重畳している。低抵抗領域 $LD1$ は、第1開口 $CH1$ と第2開口 $CH2$ との間において、絶縁膜12及びドレイン電極 DE の積層体 LMD に重畳している。

【0040】

ソース領域 $S1$ は、低抵抗領域 $LS1$ よりも低抵抗の領域であり、第1開口 $CH1$ において、ソース電極 SE に接している。ドレイン領域 $D1$ は、低抵抗領域 $LD1$ よりも低抵抗の領域であり、第2開口 $CH2$ において、ドレイン電極 DE に接している。

【0041】

酸化物半導体 SC のうち、少なくともチャネル領域 $C1$ 及び低抵抗領域 $LS1$ 及び $LD1$ は、ゲート電極 GE の直上に位置している。また、積層体 LMS 及び LMD も、ゲート電極 GE の直上に位置している。図3に示す例では、ソース領域 $S1$ 及びドレイン領域 $D1$ を含む酸化物半導体 SC のほぼ全体がゲート電極 GE の直上に位置している。

10

【0042】

積層体 LMS の長さ $L1S$ は、低抵抗領域 $LS1$ の長さ $L11S$ と同等である。積層体 LMD の長さ $L1D$ は、低抵抗領域 $LD1$ の長さ $L11D$ と同等である。また、一例では、長さ $L1S$ は長さ $L1D$ と同等であり、長さ $L11S$ は長さ $L11D$ と同等である。

【0043】

但し、酸化物半導体 SC の膜厚によっては、必ずしも長さ $L1S$ と長さ $L11S$ とが一致するとは限らず、また、必ずしも長さ $L1D$ と長さ $L11D$ とが一致するとは限らない。例えば、酸化物半導体 SC の膜厚が50nm以下の場合には、長さ $L1S$ は長さ $L11S$ より大きい場合があり得るし、同様に、長さ $L1D$ は長さ $L11D$ より大きい場合があり得る。

20

【0044】

本明細書において、例えば、絶縁膜11は第1絶縁膜（あるいは第1無機絶縁膜）に相当し、絶縁膜12は第2絶縁膜（あるいは第2無機絶縁膜）に相当し、絶縁膜13は第3絶縁膜（あるいは第3無機絶縁膜）に相当する。

【0045】

次に、上記のトランジスタ TR の製造方法の一例について説明する。上記の第1トランジスタ $TR1$ 及び第2トランジスタ $TR2$ は、ここで説明するトランジスタ TR の製造方法によって製造することができる。

30

【0046】

図4は、トランジスタ TR の製造方法を説明するための図である。

【0047】

まず、絶縁基板10の上に、導電膜を形成し、この導電膜をパターニングすることにより、ゲート電極 GE を形成する（ステップ $ST1$ ）。なお、ここでのパターニングでは、ゲート電極 GE と同時に、ゲート線 GL も形成する。

【0048】

続いて、絶縁基板10及びゲート電極 GE の上に、シリコン窒化物を堆積した後にシリコン酸化物を堆積して、薄膜11A及び薄膜11Bの積層体である絶縁膜11を形成する（ステップ $ST2$ ）。

40

【0049】

続いて、絶縁膜11の上（シリコン酸化物によって形成された薄膜11Bの上）に、酸化物半導体膜を形成し、この酸化物半導体膜をパターニングすることにより、ゲート電極 GE の直上に、島状の酸化物半導体 SC を形成する（ステップ $ST3$ ）。

【0050】

続いて、酸化物半導体 SC まで形成されたワークをベークする（ステップ $ST4$ ）。このベークにより、酸化物半導体 SC に含まれる酸素の分布を均一化するとともに、絶縁膜11に含まれる水素の放出を促進する。

【0051】

50

続いて、絶縁膜 1 1 及び酸化物半導体 S C の上に、シリコン酸化物を堆積して、絶縁膜 1 2 を形成する（ステップ S T 5）。これにより、図 5 に示すように、絶縁膜 1 1 及び酸化物半導体 S C が絶縁膜 1 2 によって覆われる。また、このとき、酸化物半導体 S C の表面に近い部分は、絶縁膜 1 2 を形成する際のシランガスに含まれる水素によって還元される。このため、酸化物半導体 S C がわずかに低抵抗化される。

【 0 0 5 2 】

続いて、絶縁膜 1 2 に、酸化物半導体 S C まで貫通した第 1 開口 C H 1 及び第 2 開口 C H 2 を形成する（ステップ S T 6）。

【 0 0 5 3 】

続いて、絶縁膜 1 2 の上に、導電膜を形成し、この導電膜をパターニングすることにより、ソース電極 S E 及びドレイン電極 D E を形成する（ステップ S T 7）。なお、ここでのパターニングでは、ソース電極 S E と同時に、ソース線 S L も形成する。

10

【 0 0 5 4 】

これにより、図 6 に示すように、ソース電極 S E は第 1 開口 C H 1 において酸化物半導体 S C に接し、ドレイン電極 D E は第 2 開口 C H 2 において酸化物半導体 S C に接する。また、第 1 開口 C H 1 と第 2 開口 C H 2 との間においては、絶縁膜 1 2 が酸化物半導体 S C に接し、また、絶縁膜 1 2 及びソース電極 S E の積層体 L M S、及び、絶縁膜 1 2 及びドレイン電極 D E の積層体 L M D が形成される。

【 0 0 5 5 】

酸化物半導体 S C のうち、第 1 開口 C H 1 においてソース電極 S E と接する部分は、ソース電極 S E によって酸素が吸収されるため、さらに低抵抗化される。同様に、酸化物半導体 S C のうち、第 2 開口 C H 2 においてドレイン電極 D E に接する部分は、ドレイン電極 D E によって酸素が吸収されるため、さらに低抵抗される。

20

【 0 0 5 6 】

続いて、絶縁膜 1 2、ソース電極 S E、及び、ドレイン電極 D E の上に、シリコン酸化物を堆積して、絶縁膜 1 3 を形成する（ステップ S T 8）。これにより、図 7 に示すように、ソース電極 S E 及びドレイン電極 D E が絶縁膜 1 3 によって覆われ、しかも、ソース電極 S E とドレイン電極 D E との間における絶縁膜 1 2 が絶縁膜 1 3 によって覆われる。

【 0 0 5 7 】

続いて、絶縁膜 1 3 まで形成されたワークをバークする（ステップ S T 9）。このバークにより、絶縁膜 1 3 に含まれる酸素が絶縁膜 1 2 を介して、酸化物半導体 S C に供給される。

30

【 0 0 5 8 】

図 8 に示すように、ソース電極 S E とドレイン電極 D E との間においては、絶縁膜 1 3 から絶縁膜 1 2 を介して酸化物半導体 S C に酸素が供給される。これにより、酸化物半導体 S C のうち、ソース電極 S E とドレイン電極 D E との間隙に重畳する領域が十分に酸化され、チャンネル領域 C 1 が形成される。

【 0 0 5 9 】

また、このとき、チャンネル領域 C 1 に隣接する領域では、ソース電極 S E 及びドレイン電極 D E がそれぞれマスクとなり、絶縁膜 1 3 から酸化物半導体 S C への酸素供給量が減少する。このため、酸化物半導体 S C のうち、ソース電極 S E 及びドレイン電極 D E にそれぞれ重畳する領域の酸化が制限される。これにより、酸化物半導体 S C のうち、絶縁膜 1 2 及びソース電極 S E の積層体と重畳する領域、及び、絶縁膜 1 2 及びドレイン電極 D E の積層体と重畳する領域には、酸素が供給されるものの、チャンネル領域 C 1 よりも低抵抗となる低抵抗領域 L S 1 及び L D 1 が形成される。

40

【 0 0 6 0 】

続いて、絶縁膜 1 3 の上に、シリコン窒化物を堆積して、絶縁膜 1 4 を形成する（ステップ S T 1 0）。これにより、図 9 に示すように、絶縁膜 1 3 が絶縁膜 1 4 によって覆われる。この絶縁膜 1 4 は、例えば水分ブロック層として機能するが、省略してもよい。

【 0 0 6 1 】

50

ところで、半導体として酸化物半導体SCを備える構成のトランジスタ（酸化物半導体トランジスタと称する）においては、ソース・ドレイン間に高電圧が印加されることに起因してホットキャリア劣化が生じ、しきい値電圧が大きくシフトすることがある。

【0062】

本実施形態では、酸化物半導体SCは、チャネル領域C1に隣接した低抵抗領域LS1及びLD1を有している。このため、酸化物半導体SCのホットキャリア劣化を抑制することができる。したがって、しきい値電圧のシフトが抑制され、信頼性を向上することができる。

【0063】

このような低抵抗領域LS1及びLD1は、上記の通り、チャネル領域C1を形成する際の酸素供給量の差によって、チャネル領域C1と同時に形成されるものである。すなわち、ソース電極SEとドレイン電極DEとの間では、酸化物半導体SCの上に絶縁膜12及び13が積層され、これらの絶縁膜12及び13から酸素が供給されることでチャネル領域C1が形成される。

一方で、チャネル領域C1に隣接する領域では、ソース電極SE及びドレイン電極DEが酸素供給路における障壁となるため、ソース電極SEとドレイン電極DEとの間の領域と比較して、酸素供給量が低減される。このため、酸化物半導体SCのうち、チャネル領域C1に隣接する領域では、チャネル領域C1よりも酸化の度合いが小さく制限され、低抵抗領域LS1及びLD1が形成される。したがって、信頼性の高い酸化物半導体トランジスタを容易に形成することができる。

【0064】

低抵抗領域LS1の長さL11Sは、第1開口CH1と第2開口CH2との間に延出するソース電極SEの長さ（あるいは絶縁膜12及びソース電極SEの積層体LMSの長さL1S）によって調整することができる。また、低抵抗領域LD1の長さL11Dは、第1開口CH1と第2開口CH2との間に延出するドレイン電極DEの長さ（あるいは絶縁膜12及びドレイン電極DEの積層体LMDの長さL1D）によって調整することができる。

【0065】

次に、発明者は、酸化物半導体トランジスタに関する信頼性試験を行った。酸化物半導体トランジスタに与えるストレスの条件は以下の通りである。ゲート電極GEの印加電圧を ± 3.8 Vとし、ソース電極SE・ドレイン電極DE間の印加電圧を ± 2.8 Vとし、60の環境において1000 secの間、電圧を印加し続けた。

【0066】

信頼性試験では、ストレスを付与する前の初期状態での $V_g - I_d$ 特性と、ストレスを付与した後の $V_g - I_d$ 特性とを比較した。なお、 V_g とはゲート電極GEに印加する電圧（V）であり、 I_d とはドレイン電極DEから出力される電流（A）である。電圧 V_g を横軸とし、電流 I_d を縦軸として、信頼性試験の結果をグラフにした。

【0067】

$V_g - I_d$ 特性としては、ストレス付与前及びストレス付与後のそれぞれにおいて、ソース・ドレイン間の電圧を0.1 Vに設定した場合（A）と、ソース・ドレイン間の電圧を1.5 Vに設定した場合（B）と、ソース・ドレイン間の電圧を3.0 Vに設定した場合（C）と、をそれぞれグラフにしている。

【0068】

図10は、酸化物半導体トランジスタの信頼性試験の結果を示す図である。試験対象の酸化物半導体トランジスタにおいては、酸化物半導体SCの膜厚を30 nmとした。

ストレス付与前とストレス付与後とで $V_g - I_d$ 特性を比較すると、ドレイン電流が出力されるゲート電圧（しきい値電圧）が大きくシフトしていることが確認された。ここで、ソース・ドレイン間の電圧を3.0 Vに設定した場合（C）の $V_g - I_d$ 特性に着目し、ストレス付与前とストレス付与後におけるしきい値電圧の差をシフト量 V_{th} と定義する。

10

20

30

40

50

【 0 0 6 9 】

次に、酸化物半導体 S C の膜厚を一定とし、低抵抗領域 L S 1 及び L D 1 の長さをパラメータとして、上記の信頼性試験を行い、低抵抗領域 L S 1 及び L D 1 の長さとしフト量 V_{th} との関係について検討した。

【 0 0 7 0 】

図 1 1 は、低抵抗領域 L S 1 及び L D 1 の長さとしフト量 V_{th} との関係を示す図である。なお、酸化物半導体トランジスタにおいて、低抵抗領域 L S 1 の長さ L 1 1 S 及び低抵抗領域 L D 1 の長さ L 1 1 D は同等とした。図の横軸は低抵抗領域の長さ (L 1 1 S または L 1 1 D) であり、図の縦軸はシフト量 V_{th} である。

【 0 0 7 1 】

図示したように、低抵抗領域の長さが $1.2 \mu\text{m}$ 以上の場合に、シフト量 V_{th} が極めて小さくなり、また、低抵抗領域の長さが $1.5 \mu\text{m}$ 以上の場合にはシフト量 V_{th} がほぼゼロになることが確認された。したがって、本実施形態においては、シフト量 V_{th} の低減の観点から、低抵抗領域 L S 1 の長さ L 1 1 S (あるいは積層体 L M S の長さ L 1 S)、及び、低抵抗領域 L D 1 の長さ L 1 1 D (あるいは積層体 L M D の長さ L 1 D) は、いずれも $1.5 \mu\text{m}$ 以上とすることが望ましい。

【 0 0 7 2 】

酸化物半導体トランジスタは、オフリーク電流が極めて小さいといった特性を有している。このため、酸化物半導体トランジスタは、画素容量に書き込んだ電荷を長時間保持することができ、所望の電圧を保持し続けることが可能であり、画素 P X のスイッチング素子 (第 2 トランジスタ T R 2) として好適である。

【 0 0 7 3 】

一方、ゲートドライバ G D 1 及び G D 2 のシフトレジスタ S R に含まれる第 1 トランジスタ T R 1 としては、移動度が高く、且つ、高耐電圧特性を有することが要求される。そこで、本実施形態においては、第 1 トランジスタ T R 1 として、酸化物半導体トランジスタを適用している。しかも、酸化物半導体トランジスタにおいては、 $1.5 \mu\text{m}$ 以上の長さの低抵抗領域 L S 1 及び L D 1 が設けられている。このため、酸化物半導体トランジスタは、ソース - ドレイン間に印加されうる高電圧に関して、高い耐電圧特性を得ることができる。

【 0 0 7 4 】

また、酸化物半導体トランジスタは、酸化物半導体 S C と絶縁基板 1 0 との間にゲート電極 G E を備えるボトムゲート構造を有している。加えて、低抵抗領域 L S 1 及び L D 1 は、ゲート電極 G E の直上に位置している。しかも、ゲート電極 G E と酸化物半導体 S C との間に介在する絶縁膜 1 1 は、 300nm 以上の膜厚を有している。このため、酸化物半導体トランジスタは、ゲート電極 G E に印加されうる高電圧に関して、高い耐電圧特性を得ることができる。

【 0 0 7 5 】

なお、発明者は、本実施形態で説明したエッチストップ構造の酸化物半導体トランジスタと、絶縁膜 1 2 を備えていないチャンネルエッチ構造の酸化物半導体トランジスタとについて、上記した信頼性試験を行った。この結果、エッチストップ構造の酸化物半導体トランジスタにおいては、シフト量 V_{th} が 0.5V であった。これに対して、チャンネルエッチ構造の酸化物半導体トランジスタにおいては、シフト量 V_{th} が 14.1V であった。

【 0 0 7 6 】

また、酸化物半導体トランジスタに付随する容量の大きさをパラメータとして、上記の信頼性試験を行った。この結果、エッチストップ構造の酸化物半導体トランジスタにおいては、容量の大きさにかかわらず、シフト量 V_{th} に大きな変化はなかった。これに対して、チャンネルエッチ構造の酸化物半導体トランジスタにおいては、容量の大きさが増加するのに伴って、シフト量 V_{th} も大きくなる傾向が確認された。

【 0 0 7 7 】

10

20

30

40

50

これらの信頼性試験の結果に基づくと、本実施形態で説明したエッチストップ構造の酸化半導体トランジスタは、チャンネルエッチ構造の酸化半導体トランジスタと比較して高い信頼性を得られることが確認された。

【0078】

次に、複数の第1基板SUB1を一括して形成可能なマザー基板において、その中央部に形成された酸化半導体トランジスタと、その周辺部に形成された酸化半導体トランジスタとについて、上記の信頼性試験を行った。ここでは、低抵抗領域の長さを一定とし、酸化半導体SCの膜厚をパラメータとして、上記の信頼性試験を行い、酸化半導体SCの膜厚とシフト量 V_{th} との関係について検討した。

【0079】

図12は、酸化半導体SCの膜厚とシフト量 V_{th} との関係を示す図である。図の横軸は酸化半導体SCの膜厚であり、図の縦軸はシフト量 V_{th} である。図中の四角はマザー基板の周辺部に形成された酸化半導体トランジスタの試験結果を示し、図中の丸はマザー基板の中央部に形成された酸化半導体トランジスタの試験結果を示している。

【0080】

図示したように、酸化半導体SCの膜厚が30nm以上の場合において、マザー基板の中央部の酸化半導体トランジスタは、シフト量 V_{th} の変化がほとんどなく(約2V以下)、しかも、シフト量 V_{th} が極めて小さいことが確認された。一方で、マザー基板の周辺部の酸化半導体トランジスタは、膜厚が増加するのに伴ってシフト量 V_{th} が小さくなることが確認された。

【0081】

酸化半導体SCの膜厚が50nm以上、より望ましくは膜厚が60nm以上の場合、マザー基板の中央部及び周辺部の酸化半導体トランジスタは、いずれも、シフト量 V_{th} が同等となり、シフト量 V_{th} が極めて小さくなる(約2V以下)ことが確認された。したがって、本実施形態においては、マザー基板に形成された酸化半導体トランジスタのシフト量 V_{th} の低減、及び、マザー基板の面内におけるシフト量 V_{th} の均一性を向上する観点では、酸化半導体SCの膜厚は、60nm以上とすることが望ましい。

【0082】

以上説明したように、本実施形態によれば、信頼性を向上することが可能な半導体装置の製造方法を提供することができる。

【0083】

なお、この発明は、上記実施形態そのものに限定されるものではなく、その実施の段階ではその要旨を逸脱しない範囲で構成要素を変形して具体化できる。また、上記実施形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。更に、異なる実施形態に亘る構成要素を適宜組み合わせてもよい。

尚、本実施形態では、要求される駆動電圧の高い電気泳動表示装置について説明したが、本発明は、通常の液晶ディスプレイより高い印加電圧が必要とされる液晶ディスプレイや、高速応答用の液晶ディスプレイとして、ポリマー分散型液晶やそれを用いた高速駆動ディスプレイへの適用も可能である。

【符号の説明】

【0084】

DSP...表示装置

10...絶縁基板 11...絶縁膜(第1絶縁膜) 12...絶縁膜(第2絶縁膜)

13...絶縁膜(第3絶縁膜)

TR...トランジスタ(酸化半導体トランジスタ)

GE...ゲート電極 SE...ソース電極 DE...ドレイン電極

SC...酸化半導体 C1...チャンネル領域 LS1、LD1...低抵抗領域

CH1...第1開口 CH2...第2開口

10

20

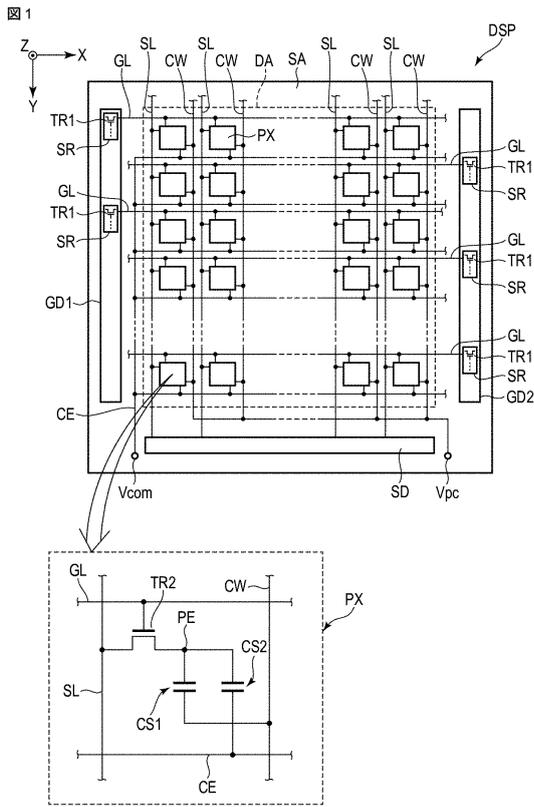
30

40

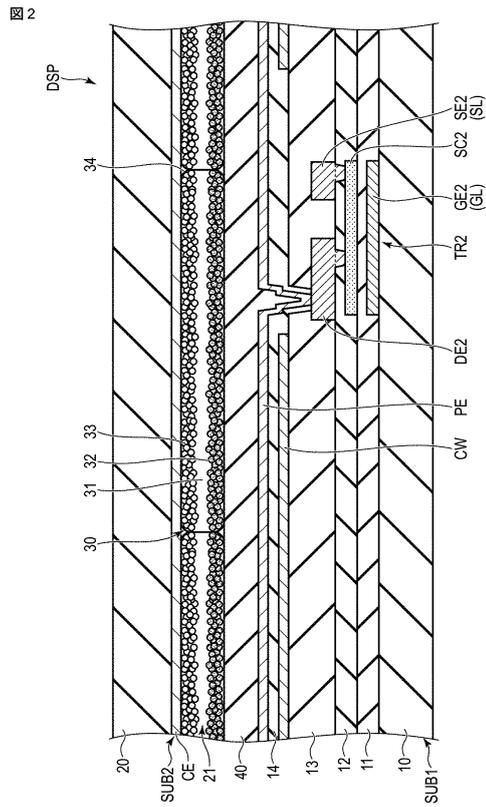
50

【図面】

【図1】



【図2】

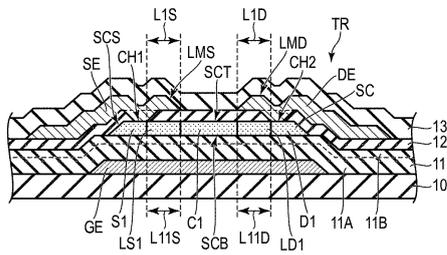


10

20

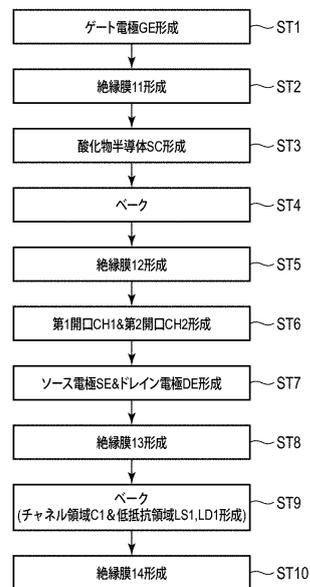
【図3】

図3



【図4】

図4

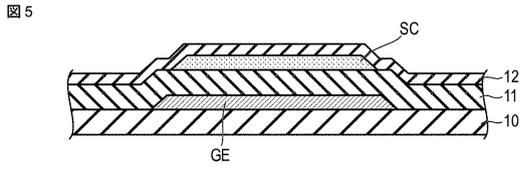


30

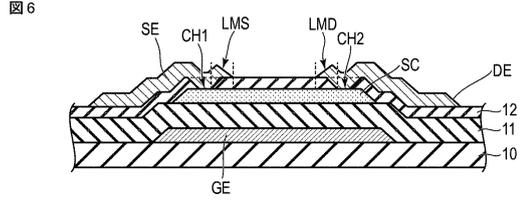
40

50

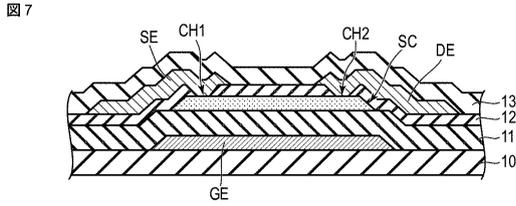
【 図 5 】



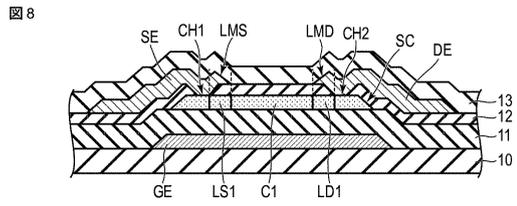
【 図 6 】



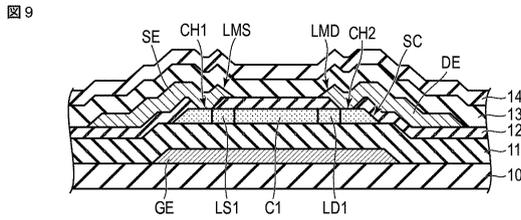
【 図 7 】



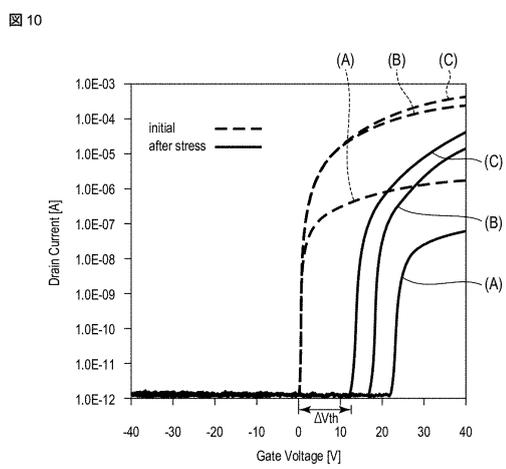
【 図 8 】



【 図 9 】



【 図 10 】



10

20

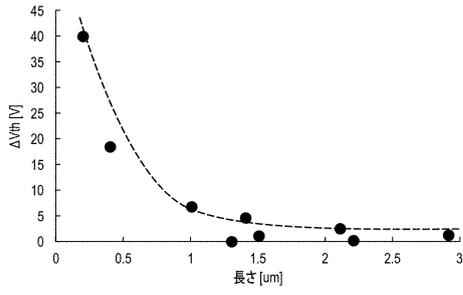
30

40

50

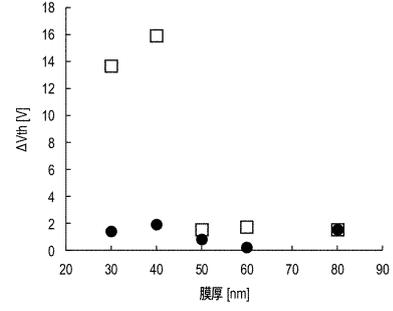
【 1 1 】

図 11



【 1 2 】

図 12



10

20

30

40

50

フロントページの続き

(51)国際特許分類		F I		
<i>G 0 9 F</i>	<i>9/00 (2006.01)</i>	<i>G 0 9 F</i>	<i>9/30</i>	<i>3 3 8</i>
<i>G 0 2 F</i>	<i>1/1368(2006.01)</i>	<i>G 0 9 F</i>	<i>9/30</i>	<i>3 6 5</i>
<i>G 0 2 F</i>	<i>1/167(2019.01)</i>	<i>G 0 9 F</i>	<i>9/00</i>	<i>3 3 8</i>
<i>G 0 2 F</i>	<i>1/16757(2019.01)</i>	<i>G 0 2 F</i>	<i>1/1368</i>	
<i>G 0 2 F</i>	<i>1/16766(2019.01)</i>	<i>G 0 2 F</i>	<i>1/167</i>	
		<i>G 0 2 F</i>	<i>1/16757</i>	
		<i>G 0 2 F</i>	<i>1/16766</i>	

東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内

(72)発明者 伊藤 友幸

東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内

(72)発明者 金子 寿輝

東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内

審査官 市川 武宜

(56)参考文献 特開2017-084435(JP,A)
 特開2020-167188(JP,A)
 特開2018-185397(JP,A)
 特開2020-113779(JP,A)

(58)調査した分野 (Int.Cl., DB名)

H 0 1 L 2 1 / 3 3 6
 H 0 1 L 2 1 / 2 8
 H 0 1 L 2 9 / 4 1 7
 H 0 1 L 2 9 / 7 8 6
 G 0 9 F 9 / 0 0
 G 0 9 F 9 / 3 0
 G 0 2 F 1 / 1 3 6 8
 G 0 2 F 1 / 1 6 7
 G 0 2 F 1 / 1 6 7 5 7
 G 0 2 F 1 / 1 6 7 6 6