

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6664896号
(P6664896)

(45) 発行日 令和2年3月13日 (2020.3.13)

(24) 登録日 令和2年2月21日 (2020.2.21)

(51) Int. Cl.	F I
G O 2 F 1/1343 (2006.01)	G O 2 F 1/1343
G O 2 F 1/1333 (2006.01)	G O 2 F 1/1333
G O 6 F 3/041 (2006.01)	G O 6 F 3/041 4 1 0
G O 6 F 3/044 (2006.01)	G O 6 F 3/044 1 2 6

請求項の数 4 (全 18 頁)

(21) 出願番号	特願2015-145085 (P2015-145085)	(73) 特許権者	502356528
(22) 出願日	平成27年7月22日 (2015.7.22)		株式会社ジャパンディスプレイ
(65) 公開番号	特開2017-26816 (P2017-26816A)		東京都港区西新橋三丁目7番1号
(43) 公開日	平成29年2月2日 (2017.2.2)	(74) 代理人	110001737
審査請求日	平成30年7月10日 (2018.7.10)		特許業務法人スズエ国際特許事務所
		(72) 発明者	前出 優次
			東京都港区西新橋三丁目7番1号 株式会
			社ジャパンディスプレイ内
		(72) 発明者	廣澤 仁
			東京都港区西新橋三丁目7番1号 株式会
			社ジャパンディスプレイ内
		(72) 発明者	山口 英将
			東京都港区西新橋三丁目7番1号 株式会
			社ジャパンディスプレイ内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

信号線と、走査線と、前記信号線を覆う第1絶縁膜と、前記信号線に沿って形成されたスリットにより分割された第1共通電極と第2共通電極と、前記信号線に沿って形成された第1金属層と第2金属層と、前記第1絶縁膜上の第2絶縁膜と、を備える第1基板と、

スペーサを備え、前記第1基板に対向配置された第2基板と、

前記第1基板と前記第2基板との間に封入された液晶層と

を具備し、

前記第1金属層、前記第2金属層、前記第1共通電極及び前記第2共通電極は前記第1絶縁膜と前記第2絶縁膜との間に位置し、

前記第1金属層は、前記第1共通電極に接する第1部分と、前記スリットと重なる位置において前記第1絶縁膜に接する第2部分と、を有し、前記第2共通電極に接しておらず、

前記第2金属層は、前記第2共通電極に接し、

前記信号線は、前記スリットと前記第1金属層の第2部分に重なり、

前記スペーサは、前記信号線及び前記走査線と重なる位置において前記第1基板と接触し、

前記第1金属層は、前記スペーサが前記第1基板と接触する位置に分断部を有し、前記分断部において前記第1金属層が形成されていない、

液晶表示装置。

【請求項 2】

前記第 1 金属層の、前記スペーサが前記第 1 基板と接触する位置における前記分断部は、前記第 1 金属層の前記信号線が延出する方向の一方側の第 1 端部と、他方側の第 2 端部により分断された領域であり、前記第 1 端部は前記走査線に重ならず、前記第 2 端部は前記走査線に重なる、請求項 1 に記載の液晶表示装置。

【請求項 3】

前記第 1 基板は、

前記第 2 絶縁膜上に位置し、前記第 1 共通電極もしくは前記第 2 共通電極に対向する複数の画素電極と、

前記画素電極と同層において前記画素電極と同一材料で形成され、前記スリット及び前記第 1 金属層の前記第 2 部分を覆う導電層と、

前記複数の画素電極及び前記導電層を覆う配向膜とをさらに備え、

前記導電層の幅中心は、前記第 1 金属層の幅中心と重ならない、請求項 1 又は請求項 2 に記載の液晶表示装置。

【請求項 4】

前記第 1 共通電極及び前記第 2 共通電極に対して、表示領域に画像を表示するための電圧、又は、前記表示領域に近接する物体を検出するための駆動信号を選択的に供給するドライバモジュールと、

前記第 1 共通電極及び前記第 2 共通電極に対向する検出電極と、

前記第 1 共通電極及び前記第 2 共通電極に前記駆動信号が供給された際に、前記検出電極から得られる信号に基づき、前記表示領域に近接する物体を検出する検出モジュールと、

をさらに備える、請求項 1 乃至請求項 3 のいずれか 1 項に記載の液晶表示装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明の実施形態は、液晶表示装置に関する。

【背景技術】**【0002】**

近年、平面表示装置が盛んに開発されており、中でも液晶表示装置は、軽量、薄型、低消費電力等の利点から特に注目を集めている。特に、各画素にスイッチング素子を組み込んだアクティブマトリクス型液晶表示装置においては、画素電極と共通電極の双方をアレイ基板に設け、これら電極を絶縁膜を介して対向させた構造が注目されている。

一般に、共通電極は、複数に分割して設けられる。共通電極の分割の態様としては、例えば、隣り合う共通電極の境界を形成するスリットを、画素に映像信号を供給する信号線に沿うように設けることが考えられる。

【0003】

上述したスリットが設けられることにより、スリットの近傍に位置する信号線と画素電極との間に電界が発生し、この電界の一部が液晶層に漏れてしまう可能性がある。液晶層に漏れた電界は、例えば画面にクロストーク状のスジを発生させる等、液晶表示装置の表示品位を低下させ得る。

【先行技術文献】**【特許文献】****【0004】**

【特許文献 1】特開 2014 - 149816 号公報

【発明の概要】**【発明が解決しようとする課題】****【0005】**

実施形態の一態様における目的は、表示品位に優れた液晶表示装置を提供することである。

10

20

30

40

50

【課題を解決するための手段】

【0006】

実施形態に係る液晶表示装置は、第1基板と、第2基板と、液晶層とを備える。上記第1基板は、信号線と、走査線と、上記信号線を覆う第1絶縁膜と、上記信号線に沿って形成されたスリットにより分割された第1共通電極と第2共通電極と、上記信号線に沿って形成された第1金属層と第2金属層と、上記第1絶縁膜上の第2絶縁膜と、を備える。上記第2基板は、スペーサを備え、上記第1基板に対向配置される。上記液晶層は、上記第1基板と上記第2基板との間に封入される。上記第1金属層、上記第2金属層、上記第1共通電極及び上記第2共通電極は上記第1絶縁膜と上記第2絶縁膜との間に位置する。上記第1金属層は、上記第1共通電極に接する第1部分と、上記スリットと重なる位置において上記第1絶縁膜に接する第2部分と、を有し、上記第2共通電極に接していない。上記第2金属層は、上記第2共通電極に接する。上記信号線は、上記スリットと上記第1金属層の第2部分に重なる。上記スペーサは、上記信号線及び上記走査線と重なる位置において上記第1基板と接触する。上記第1金属層は、上記スペーサが上記第1基板と接触する位置に分断部を有し、上記分断部において上記第1金属層が形成されていない。

10

【図面の簡単な説明】

【0007】

【図1】図1は、第1の実施形態に係る液晶表示装置の概略的な構成を示す平面図である。

【図2】図2は、表示領域に接触或いは近接する物体を検出する原理の一例を示す図である。

20

【図3】図3は、第1の実施形態に係る液晶表示装置において、画像表示に関わる概略的な等価回路を示す図である。

【図4】図4は、第1の実施形態に係る液晶表示装置において、アレイ基板に形成された3つの副画素からなる1つの画素に対向基板の側から見た概略平面図である。

【図5】図5は、第1の実施形態に係る液晶表示装置において、アレイ基板に形成される多数の副画素に対向基板の側から見た概略平面図である。

【図6】図6は、図5の線A - A'に沿った液晶表示装置の一部を示す断面図である。

【図7】図7は、第1の実施形態に係る液晶表示装置の比較例となる液晶表示装置の一部を示す断面図である。

30

【図8】図8は、図7に示す断面図の一部を拡大した図である。

【図9】図9は、第2の実施形態に係る液晶表示装置において、アレイ基板に形成される多数の副画素に対向基板の側から見た概略平面図である。

【図10】図10は、図9の線B - B'に沿った液晶表示装置の一部を示す断面図である。

【図11】図11は、第3の実施形態に係る液晶表示装置が備える各スイッチ群のタッチ検出期間における状態を示す図である。

【発明を実施するための形態】

【0008】

いくつかの実施形態につき、図面を参照しながら説明する。

40

なお、開示はあくまで一例に過ぎず、当業者において、発明の主旨を保っての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有される。また、図面は、説明をより明確にするため、実際の態様に比べて模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。各図において、連続して配置される同一又は類似の要素については符号を省略することがある。また、本明細書と各図において、既出の図に関して前述したものと同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する詳細な説明を省略することがある。

【0009】

各実施形態においては、表示装置の一例として、液晶表示素子を用いた表示パネルを備え、タッチ検出機能を有した表示装置を開示する。ただし、各実施形態は、液

50

晶表示素子以外の表示素子を用いた表示装置に対する、各実施形態にて開示される個々の技術的思想の適用を妨げるものではない。液晶表示素子以外の表示素子としては、有機エレクトロルミネッセンス表示素子等を有する自発光型の表示パネル、或いは電気泳動素子等を有する電子ペーパー型の表示パネルなどが想定される。

【0010】

<第1の実施形態>

図1は、第1の実施形態に係る液晶表示装置1の概略的な構成を示す平面図である。液晶表示装置1は、例えば、スマートフォン、タブレット端末、携帯電話端末、パーソナルコンピュータ、テレビ受像装置、車載装置、ゲーム機器等の種々の装置に用いることができる。

10

【0011】

液晶表示装置1は、液晶表示パネル2と、複数の駆動電極TX (TX1 ~ TXn) と、各駆動電極TXと対向する複数の検出電極RX (RX1 ~ RXm) と、ドライバモジュールとして機能するドライバIC3と、検出モジュールとして機能するタッチ検出IC4とを備えている。n及びmは、例えば2以上の整数である。駆動電極は、共通電極と呼ばれる場合もある。

【0012】

液晶表示パネル2は、矩形形状のアレイ基板AR (第1基板) と、このアレイ基板ARよりも外形が小さい矩形形状の対向基板CT (第2基板) とを備えている。図1の例において、アレイ基板AR及び対向基板CTは、3辺を重ねて貼り合わされている。アレイ基板ARは、対向基板CTと対向しない端子領域NA (非対向領域) を有している。

20

【0013】

アレイ基板AR及び対向基板CTが対向する領域において、液晶表示パネル2は、画像を表示する表示領域 (アクティブエリア) DAと、表示領域DAと液晶表示パネル2の端部との間の周辺領域FAとを有している。図1の例において、表示領域DAは、端子領域NA側の第1辺E1と、第1辺E1の反対側の第2辺E2と、第1辺E1及び第2辺E2を繋ぐ第3辺E3及び第4辺E4とを有した長方形形状である。以下の説明においては、第1辺E1及び第2辺E2と平行な方向を第1方向Xと呼び、第3辺E3及び第4辺E4と平行な方向を第2方向Yと呼ぶ。本実施形態においては、第1方向X及び第2方向Yが垂直に交わるが、第1方向X及び第2方向Yは他の角度で交わっても良い。

30

【0014】

表示領域DAにおいて、駆動電極TX1 ~ TXnは、第1辺E1から第2辺E2に至るまで第2方向Yに延びると共に第1方向Xに並んでいる。駆動電極TX1 ~ TXnは、例えばインジウム・ティン・オキサイド (ITO) 等の透明導電膜で形成することができる。駆動電極TX1 ~ TXnは、例えば液晶表示パネル2の内部、つまり、アレイ基板ARに形成されている。

【0015】

表示領域DAにおいて、検出電極RX1 ~ RXmは、第3辺E3から第4辺E4に至るまで第1方向Xに延びると共に第2方向Yに並んでいる。検出電極RX1 ~ RXmは、ITO等の透明導電膜や、金属線を用いた導電パターンによって形成することができる。検出電極RX1 ~ RXmは、例えば対向基板CTのアレイ基板ARと対向する面とは反対側の表面に形成されている。

40

【0016】

ドライバIC3は、画像表示に関する制御を実行するものであり、端子領域NAに実装されている。ドライバICは、例えばCOG (Chip On Glass) 方式により実装されているが、第1フレキシブル配線基板6に実装されたものであっても良い。

端子領域NAには、実装端子5が形成されている。実装端子5には、画像データを液晶表示パネル2に供給する第1フレキシブル配線基板6が接続されている。

【0017】

端子領域NAに沿う対向基板CTの端部には、実装端子7が形成されている。実装端子

50

7 には、検出電極 $R X 1 \sim R X m$ からの検出信号を出力する第 2 フレキシブル配線基板 8 が接続されている。図 1 の例において、タッチ検出 IC 4 は、第 2 フレキシブル配線基板 8 に実装されている。

【0018】

検出電極 $R X 1 \sim R X m$ は、例えば周辺領域 FA において対向基板 CT の表面に形成された検出配線 DL を介して実装端子 7 と接続されている。

【0019】

続いて、駆動電極 TX 及び検出電極 RX により表示領域 DA に接触或いは近接する物体を検出する原理の一例につき、図 2 を用いて説明する。

互いに対向する駆動電極 TX と検出電極 RX との間には、容量 Cc が存在する。駆動電極 TX に駆動信号 Stx が供給されると、容量 Cc を介して検出電極 RX に電流が流れるため、検出電極 RX から検出信号 Srx が得られる。駆動信号 Stx は例えば矩形パルスであり、検出信号 Srx は駆動信号 Stx に対応した電圧の矩形パルスである。

【0020】

液晶表示装置 1 にユーザの指等の導体である物体 O が近づくと、物体 O に近接する検出電極 RX と物体 O との間に容量 Cx が生じる。駆動電極 TX に駆動信号 Stx が供給されたとき、物体 O に近接する検出電極 RX から得られる検出信号 Srx の波形は、容量 Cx の影響を受けて変化する。すなわち、各検出電極 RX から得られる検出信号 Srx に基づけば、タッチ検出 IC 4 は、表示装置 1 に接触或いは近接する物体 O を検出することができる。また、各駆動電極 TX に駆動信号 Stx を時分割で順次供給した際に各時相にて各検出電極 RX から得られる検出信号 Srx に基づけば、タッチ検出 IC 4 は、物体 O の第 1 方向 X 及び第 2 方向 Y における位置を検出することができる。以上説明した方式は、相互容量方式、又は、ミューチャル検出方式等と呼ばれる。

【0021】

次に、液晶表示装置 1 による画像表示について説明する。図 3 は、画像表示に関わる概略的な等価回路を示す図である。液晶表示装置 1 は、複数のゲート配線（走査線）G と、これらゲート配線 G に交差する複数のソース配線（信号線）S と、第 1 ゲートドライバ GD1 と、第 2 ゲートドライバ GD2 と、セレクトラ（RGB スイッチ）SD とを備えている。セレクトラ SD は、複数のビデオ線 VL を介してドライバ IC 3 と接続されている。

【0022】

各ゲート配線 G は、表示領域 DA において第 1 方向 X に延びると共に第 2 方向 Y に並んでいる。各ソース配線 S は、表示領域 DA において第 2 方向 Y に延びると共に第 1 方向 X に並んでいる。各ゲート配線 G 及び各ソース配線 S は、アレイ基板 AR に形成されている。各ゲート配線 G は、第 1 ゲートドライバ GD1 及び第 2 ゲートドライバ GD2 に接続されている。各ソース配線 S は、セレクトラ SD に接続されている。

【0023】

図 3 の例においては、各ゲート配線 G 及び各ソース配線 S によって区画された領域が 1 つの副画素 SPX に相当する。例えば、本実施形態においては、赤色に対応する副画素 SPXR と、緑色に対応する副画素 SPXG と、青色に対応する副画素 SPXB とで 1 つの画素 PX が構成される。画素 PX は、白色に対応する副画素 SPXW 等を更に備えても良い。

【0024】

各副画素 SPX は、アレイ基板 AR に形成された薄膜トランジスタ TFT（スイッチング素子）を備えている。薄膜トランジスタ TFT は、ゲート配線 G、ソース配線 S 及び画素電極 PE と電氣的に接続されている。表示に際して、駆動電極 TX は共通電位に設定され、いわゆる共通電極として機能する。

【0025】

第 1 ゲートドライバ GD1 及び第 2 ゲートドライバ GD2 は、各ゲート配線 G に対して走査信号を順次供給する。セレクトラ SD は、ドライバ IC 3 に制御されて、各ソース配線 S に対して映像信号を選択的に供給する。ある薄膜トランジスタ TFT に接続されたゲート

10

20

30

40

50

ト配線 G に走査信号が供給され、かつこの薄膜トランジスタ TFT に接続されたソース配線 S に映像信号が供給されると、この映像信号に応じた電圧が画素電極 PE に印加される。このとき、画素電極 PE と駆動電極 TX との間に生じる電界によって、アレイ基板 AR と対向基板 CT との間に封入された液晶層 LC の液晶分子の配向が、電圧の印加されていない初期配向状態から変化する。このような動作により、表示領域 DA に画像が表示される。

【0026】

図4は、アレイ基板 AR に形成された X 方向に連続する3つの副画素 $SPXR$, $SPXG$, $SPXB$ からなる1つの画素 PX を対向基板 CT の側から見た概略平面図である。

副画素 $SPXR$ は、隣接する2本のゲート配線 Gi , $Gi+1$ (i は正の整数) と、隣接する2本のソース配線 Sj , $Sj+1$ (j は正の整数) とによりその領域が区画される画素であって、当該画素内に1つの画素電極 PE を備える。副画素 $SPXR$ は赤色 (R) を表示するための画素である。

10

【0027】

副画素 $SPXG$ は、隣接する2本のゲート配線 Gi , $Gi+1$ と、隣接する2本のソース配線 $Sj+1$, $Sj+2$ とによりその領域が区画される画素であって、当該画素内に1つの画素電極 PE を備える。副画素 $SPXG$ は緑色 (G) を表示するための画素である。

【0028】

副画素 $SPXB$ は、隣接する2本のゲート配線 Gi , $Gi+1$ と、隣接する2本のソース配線 $Sj+2$, $Sj+3$ とによりその領域が区画される画素であって、当該画素内に1つの画素電極 PE を備える。副画素 $SPXB$ は青色 (B) を表示するための画素である。

20

図4の例において、各副画素 $SPXR$, $SPXG$, $SPXB$ に配置された画素電極 PE は、いずれも1本のスリット PSL を有している。画素電極 PE は、例えばITOなどの透明導電膜によって形成されている。

【0029】

図4においては、各副画素 $SPXR$, $SPXG$, $SPXB$ と向かい合うように対向基板 CT に設けられるブラックマトリクス BM (遮光層) と、アレイ基板 AR 及び対向基板 CT の間に設けられる(液晶層 LC に突出する)柱状のスペーサ PS とを破線で示している。スペーサ PS は、例えば対向基板 CT に設けられ、先端部がアレイ基板 AR に当接する。ブラックマトリクス BM は、ゲート配線 Gi , $Gi+1$ と重なって X 方向に延びる第1部分 BMa を有する。更に、ブラックマトリクス BM は、ソース配線 $Sj \sim Sj+3$ と重なるように Y 方向に延びる第2部分 BMb を有する。この各第2部分 BMb の両端部がそれぞれ各第1部分 BMa に接続されて、各副画素 $SPXR$, $SPXG$, $SPXB$ に対応する開口部 AP が形成されている。

30

【0030】

スペーサ PS は、ブラックマトリクス BM の第1部分 BMa と重なる位置に設けられる。図4の例においては、ゲート配線 $Gi+1$ とソース配線 Sj とが重なる位置と、ゲート配線 $Gi+1$ とソース配線 $Sj+3$ とが重なる位置とにスペーサ PS が設けられているが、第1部分 BMa と重なる他の位置にスペーサ PS が設けられてもよい。また、図4の例においては、3つの副画素 $SPXR$, $SPXG$, $SPXB$ 、つまり、1つの画素 PX に対して1つの割合でスペーサ PS が設けられている場合を例示しているが、例えば4以上の副画素 SPX に対して1つの割合でスペーサ PS が設けられてもよい。

40

【0031】

図5は、アレイ基板 AR に形成される多数の副画素 SPX を対向基板 CT の側から見た概略平面図である。

図5においては、第2方向 Y に沿って屈曲しながら延びる5本のソース配線 Sj , $Sj+1$, $Sj+2$, $Sj+3$, $Sj+4$ と、第1方向 X に沿って延びる3本のゲート配線 Gi , $Gi+1$, $Gi+2$ とを含む平面を示している。

【0032】

ゲート配線 Gi , $Gi+1$ の間に形成される副画素 SPX と、ゲート配線 $Gi+1$, G

50

$i + 2$ の間に形成される副画素 SPX とは、主に画素電極 PE 及びソース配線 S の形状において異なっている。具体的には、ゲート配線 $Gi + 1$, $Gi + 2$ の画素電極 PE 及びソース配線 S は、ゲート配線 Gi , $Gi + 1$ の間の画素電極 PE 及びソース配線 S の形状に対し、第 2 方向 Y に関して線対称な形状になっている。このような 2 通りの形状の画素電極 PE が、第 2 方向 Y に交互に並ぶ。なお、図 5 においては、ゲート配線 Gi , $Gi + 1$ の間に形成される画素電極 PE と、ゲート配線 $Gi + 1$, $Gi + 2$ の間に形成される画素電極 PE とを 1 つずつ示し、他の画素電極 PE を省略している。

【 0 0 3 3 】

図 1 等にした駆動電極 TX は、ITO などの透明導電膜で形成された複数の分割電極 DE によって構成されている。各分割電極 DE は、第 1 方向 X に並ぶ所定数の副画素 SPX に亘って配置され、これら副画素 SPX の画素電極 PE と対向している。図 5 の例において、各分割電極 DE は、それぞれ隣り合うゲート配線 G の間で第 1 方向 X に沿って帯状に延びている。なお、図 5 においては少なくとも 4 つ以上の副画素 SPX に亘って延びる分割電極 DE を示しているが、分割電極 DE は、1 つの画素 PX を構成する 3 つの副画素 $SPXR$, $SPXG$, $SPXB$ に亘る長さであっても良い。また、第 2 方向 Y に並ぶ分割電極 DE は、ゲート配線 G と重なる位置で分離されずに、連続していても良い。

第 1 方向 X に隣り合う分割電極 DE の境界には、スリット SL が形成されている。スリット SL は、各分割電極 DE の境界近傍のソース配線 S (図 5 においてはソース配線 Sj) に沿って、一定の間隔で延びている。例えば、当該ソース配線 S は、一方の分割電極 DE の端部と平面視で重なり、他方とは重ならない。

【 0 0 3 4 】

各ソース配線 $Sj \sim Sj + 4$ に沿って金属層 ML (金属線) が形成されている。金属層 ML は、各ソース配線 $Sj \sim Sj + 4$ と平面視で重なり、ソース配線 $Sj \sim Sj + 4$ と同じく屈曲しながら第 2 方向 Y に延びている。金属層 ML は、モリブデン、タングステン、アルミニウム、チタン、銅などの金属材料或いはこれらの金属材料を含む合金等によって形成されている。金属層 ML は、単層構造であっても良いし、多層構造であっても良い。

金属層 ML は、第 2 方向 Y に並ぶ各分割電極 DE を電氣的に接続する。これにより、第 2 方向に並ぶ各分割電極 DE が同電位となり、図 1 に示したような第 2 方向 Y に延びる駆動電極 TX が構成される。金属層 ML は、ITO などの透明導電膜よりも低抵抗であるために、金属層 ML によって各分割電極 DE を接続することで、駆動電極 TX の抵抗値を低く抑えることができる。

【 0 0 3 5 】

図 5 の例において、金属層 ML は、対向基板 CT に形成されたスペーサ PS の先端部がアレイ基板 AR に当接する部分 (以下、スペーサ接地部分と呼ぶ) には形成されていない。表示領域 DA の他のスペーサ接地部分についても同様である。

例えば、各スペーサ PS の高さは同一である。したがって、仮に表示領域 DA において、金属層 ML が存在するスペーサ接地部分と存在しないスペーサ接地部分とが混在していれば、金属層 ML の有無により、金属層 ML の厚さ分だけセルギャップにばらつきが生じ得る。このようなばらつきが生じれば、液晶層 LC を形成するためにアレイ基板 AR と対向基板 CT との間に滴下される液晶の量を正確に定めることが困難となる。

これに対し、本実施形態のように、いずれのスペーサ接地部分にも金属層 ML が存在しない構成とすれば、金属層 ML に起因したセルギャップのばらつきが生じない。したがって、液晶の滴下量を正確に定めることができる。なお、いずれのスペーサ接地部分においても金属層 ML が存在する構成を採用した場合であっても、金属層 ML に起因したセルギャップのばらつきが防がれるので、同様の効果を得ることができる。

【 0 0 3 6 】

図 6 は、図 5 の線 $A - A'$ に沿った液晶表示装置 1 の一部を示す断面図である。

【 0 0 3 7 】

アレイ基板 AR と対向基板 CT とは、上述のセルギャップがスペーサ PS により形成された状態で貼り合わされている。このセルギャップにより形成される空間に、液晶層 LC

10

20

30

40

50

が封入されている。

【 0 0 3 8 】

アレイ基板 A R は、ガラス基板や樹脂基板などの光透過性を有する第 1 絶縁基板 1 0 を備えている。アレイ基板 A R は、第 1 絶縁基板 1 0 の対向基板 C T に対向する側に、ソース配線 S、駆動電極 T X (分割電極 D E)、画素電極 P E、金属層 M L、第 1 絶縁膜 1 1、第 2 絶縁膜 1 2、第 3 絶縁膜 1 3 及び第 1 配向膜 A L 1などを備えている。

【 0 0 3 9 】

第 1 絶縁膜 1 1 は、第 1 絶縁基板 1 0 の対向基板 C T に対向する側の面に形成されている。第 2 絶縁膜 1 2 は、ソース配線 S 及び第 1 絶縁膜 1 1 を覆っている。分割電極 D E は、第 2 絶縁膜 1 2 の上に形成されている。

10

【 0 0 4 0 】

分割電極 D E の上には、上述したように、各ソース配線 S と対向する金属層 M L が形成されている。第 3 絶縁膜 1 3 は、分割電極 D E、金属層 M L、及びスリット S L から露出した第 2 絶縁膜 1 2 を覆っている。画素電極 P E は、第 3 絶縁膜 1 3 の上に形成されている。各画素電極 P E は、第 3 絶縁膜 1 3 を介して分割電極 D E と対向している。第 1 配向膜 A L 1 は、画素電極 P E 及び第 3 絶縁膜 1 3 を覆っている。

【 0 0 4 1 】

一方、対向基板 C T は、ガラス基板や樹脂基板などの光透過性を有する第 2 絶縁基板 2 0 を備えている。対向基板 C T は、第 2 絶縁基板 2 0 のアレイ基板 A R に対向する側に、ブラックマトリクス B M、カラーフィルタ C F R、C F G、C F B、オーバーコート層 O C 及び第 2 配向膜 A L 2などを備えている。

20

【 0 0 4 2 】

ブラックマトリクス B M 及びカラーフィルタ C F R、C F G、C F B は、第 2 絶縁基板 2 0 のアレイ基板 A R と対向する側の面に形成されている。カラーフィルタ C F R、C F G、C F B の境界は、ブラックマトリクス B M と重なっている。

【 0 0 4 3 】

オーバーコート層 O C は、カラーフィルタ C F R、C F G、C F B を覆っている。第 2 配向膜 A L 2 は、オーバーコート層 O C を覆っている。

【 0 0 4 4 】

検出電極 R X は、第 2 絶縁基板 2 0 の表面 (外面 E S) に形成されている。

30

第 1 方向 X に隣り合う 2 つの分割電極 D E の境界近傍に位置する金属層 M L (以下、金属層 M L C と呼ぶ) は、これら分割電極 D E の間のスリット S L にも延び、スリット S L の一部を覆っている。

【 0 0 4 5 】

図 6 の例において、金属層 M L C は、スリット S L を介して隣り合う 2 つの分割電極 D E のうち、一方の分割電極 D E の端部を覆っている。これにより、金属層 M L C は、当該一方の分割電極 D E と接触しているが、他方の分割電極 D E には接触していない。なお、図 6 の例においては、青色のカラーフィルタ C F B に対向する分割電極 D E と、赤色のカラーフィルタ C F R に対向する分割電極 D E との境界にスリット S L が形成され、金属層 M L C が接触する分割電極 D E が青色のカラーフィルタ C F B に対向する分割電極 D E である場合を例示している。しかしながら、金属層 M L C が接触する分割電極 D E は、他のカラーフィルタに対向する分割電極 D E であっても良い。例えば、分割電極 D E の境界毎に形成されるスリット S L に設けられる金属層 M L C は、あるスリット S L においては青色のカラーフィルタ C F B に対向する分割電極 D E に接触し、このスリット S L の隣りのスリット S L においては赤色のカラーフィルタ C F R に対向する分割電極 D E に接触しても良い。

40

【 0 0 4 6 】

スリット S L を介して隣り合う 2 つの分割電極 D E のうちの一方に接触し、他方に接触しないように金属層 M L C が形成されることで、これら 2 つの分割電極 D E の短絡を防ぎつつも、当該スリット S L 間に金属層 M L C を配置することができる。この金属層 M L C

50

の厚みは、バックライトや反射板等からの光が当該金属層MLCの側面にて反射しないようにするために、例えば $0.1\mu\text{m}$ 以下であることが好ましい。また、金属層MLCは、図6に示すように、スリットSLの下方に位置するソース配線Sjと（少なくとも部分的に）対向し、当該金属層MLCも含めた金属層MLは、図6に示すように、第1方向Xにおいて等間隔になっていても良い。また、金属層MLCは、ソース配線Sjを全体的に覆うように形成されても良いし、ソース配線Sjを部分的に覆うように形成されても良い。更に、金属層MLCは、図5に示すように、平面視においてソース配線Sjの中心軸（第1方向Xに隣り合う副画素SPXの境界）に関して対称となる形状（ソース配線Sj及び金属層MLCの中心軸が一致する形状）に形成されても良いし、非対称な形状に形成されても良い。また、金属層MLCの第1方向Xにおける幅は、他の金属層MLの第1方向Xにおける幅と同一であっても良いし、他の金属層MLよりも小さい幅、例えばスリットSLの下方に位置するソース配線Sjを少なくとも部分的に覆うことが可能な幅だけを有していても良い。

10

【0047】

ここで、本実施形態に係る液晶表示装置1と、図7に示す断面構造の液晶表示装置100とを比較して、本実施形態から得られる効果について説明する。図7に示す液晶表示装置100は、スリットSLに金属層MLCが形成されておらず、かつ、スリットSLの真上に位置する第3絶縁膜13の上に、共通電位の導電層PECが形成されている点で、本実施形態に係る液晶表示装置1と相違する。

【0048】

20

ここで、図7中の右側からユーザが画面を覗いた場合を想定すると、上記したように液晶表示装置100のスリットSLには金属層MLCが形成されていないので、当該スリットSLを介して隣り合う2つの分割電極DEのうち、図中右側の分割電極DEに対向するカラーフィルタCFRの開口幅WA1と、カラーフィルタCFG、CFBの開口幅WA2、WA3とは違いが生じてしまう。これによれば、カラーフィルタCFRの開口面積がカラーフィルタCFG、CFBの開口面積より大きくなるため、カラーフィルタCFRは、他のカラーフィルタCFG、CFBよりも、バックライトや反射板等からの光を多く透過することになり、目的とする色とは異なる色が表示されてしまう、所謂色シフトが発生し得る。

【0049】

30

また、液晶表示装置100のスリットSLに金属層MLCが形成されていないと、バックライトや反射板等からの光が当該スリットSLの下方に位置するソース配線Sjの側面にて反射した場合に、この反射光を遮光することができない。これによれば、図7に破線矢印で示すように、本来であれば不要な光が例えばカラーフィルタCFRを透過することになるので、コントラストが低下する恐れがある。更に、液晶表示装置100のスリットSLに金属層MLCが形成されていないと、バックライトや反射板等からの光のうちの不要な光を遮光することができない。具体的には、例えば図7中に実線矢印で示すように、赤色のカラーフィルタCFRの側からの光が青色のカラーフィルタCFBを通過し得る。これによれば、左右視覚での混色が悪化する恐れがある。

【0050】

40

さらに、スリットSLの近傍においては、ソース配線S（図7においてはソース配線Sj）と画素電極PEとの間に電位差が生じた際に、これらソース配線S及び画素電極PEの間に電界が生じ、この電界の一部が液晶層LCに漏れてしまう可能性がある。この電界の漏れにより液晶層LCの液晶分子の配向が乱れると、表示画像にクロストーク状のスジが発生し得るなど、表示品位の低下を招く。

【0051】

図7の例においては、上記したように、スリットSLに金属層MLCを形成する代わりに、スリットSLの真上に位置する第3絶縁膜13の上に、共通電位の導電層PECが画素電極PEと同一の透明導電材料にて形成されている。これによれば、ソース配線Sjと画素電極PEとの間に発生する電界が液晶層LCに漏れることを防ぎ、ひいては、液晶層

50

LCに当該電界が漏れることに起因したスジむらの発生を防ぐことができる。

【0052】

しかしながら、導電層PECは画素電極PEと同一の透明導電材料（例えば、ITO等）によって形成されるため、金属層MLCのようにバックライトや反射板等からの光を遮光することができない。このため、上記した色シフトの発生、コントラストの低下、左右視覚での混色の悪化を防ぐことができない。

また、スリットSLの真上に位置する第3絶縁膜13の上に共通電位の導電層PECを形成する場合、図8に示すように、スリットSLの幅W1、導電層PECの幅W2、スリットSLから導電層PECまでの第1方向Xの距離M1、スリットSLから画素電極PEまでの第1方向Xの距離M2、導電層PECから画素電極PEまでの第1方向Xの距離M3等、種々様々な距離や幅を考慮した上で、導電層PECを形成する必要がある。これに伴い、加工技術上の理由などから、画素電極PEに設けられるスリットPSLやスリットPSLを介して隣り合う櫛歯の数が制限され、結果的に、透過率の低下やスジむらの発生等、液晶表示装置の表示品位を損ねる可能性もある。

【0053】

これに比べて、本実施形態に係る液晶表示装置1によれば、第1方向Xに隣り合う分割電極DEの境界に形成されるスリットSLに金属層MLCを備えた構成となっているので、スリットSLの下方に位置するソース配線SjとスリットSLの上方に位置する画素電極PEとの間に発生し得る電界を遮蔽し、当該発生した電界を液晶層LCに漏らさないようにすると共に、バックライトや反射板等からの光のうち不要な光を遮光して、当該不要な光をカラーフィルタに漏らさないようにすることができる。さらには、本実施形態に係る液晶表示装置1は図7の比較例に示した導電層PECを備えていないので、画素電極PEに設けられるスリットPSLの数が制限されることもない。

【0054】

なお、本実施形態では、図6に示すように、分割電極DE（駆動電極TX）よりも画素電極PEが液晶層LC側に位置する液晶表示装置1を例にとって説明したが、例えば、画素電極PEよりも分割電極DE（駆動電極TX）が液晶層LC側に位置する液晶表示装置であったとしても、スリットSL部分に金属層MLCを形成することは可能であり、上記した効果を得ることができる。

【0055】

<第2の実施形態>

以下、第2の実施形態について説明する。なお、本実施形態では、既述した金属層MLCに加えて、図9及び図10に示す導電層PECがさらに形成されている場合について説明する。以下の説明においては、主に第1の実施形態との相違点に着目し、同一の構成については同一の符号を付して説明を省略することがある。

【0056】

図9は、第2の実施形態に係る液晶表示装置1において、アレイ基板ARに形成される副画素SPXの一部を対向基板CTの側から見た概略平面図であり、図10は、図9の線B-B'に沿った液晶表示装置1の一部を示す断面図である。

なお、本実施形態においては、図9及び図10に示すように、金属層MLCが第1方向Xに隣り合う副画素SPXの境界に関して非対称な形状に形成されている（すなわち、金属層MLCがソース配線Sjと部分的に重なるように形成されている）場合を想定している。これによれば、金属層MLCがソース配線Sj全体と重なっていないため、ソース配線Sjと画素電極PEとの間に発生する電界を金属層MLCにて遮蔽しきれず、当該発生した電界が液晶層LCに漏れ、液晶表示装置1の表示品位を損ねる可能性がある。

【0057】

そこで、本実施形態では、図9及び図10に示すように、金属層MLCの真上に位置する第3絶縁膜13の上に、共通電位の導電層PECがさらに形成されている。この導電層PECは、例えばITO等の透明導電膜により形成される。この導電層PECによれば、ソース配線Sjと画素電極PEとの間に発生する電界を金属層MLCにて遮蔽しきれな

ったとしても、当該導電層 P E C により遮蔽しきれなかった電界を遮蔽することができる。したがって、ソース配線 S j と画素電極 P E との間に発生する電界が液晶層 L C に漏れることを防ぐことができる。

【 0 0 5 8 】

以上説明した第 2 の実施形態によれば、金属層 M L C によって防ぐことができない電界を導電層 P E C により遮蔽し、この電界が液晶層 L C に漏れることを防ぐことができる。これにより、表示品位の優れた液晶表示装置を提供することができる。

【 0 0 5 9 】

< 第 3 の実施形態 >

以下、第 3 の実施形態について説明する。なお、本実施形態では、第 1 の実施形態において既述した図 6 の構成、又は、第 2 の実施形態において既述した図 1 0 の構成を備えた液晶表示装置 1 に設けられ、駆動電極 T X を利用した画像表示及びタッチ検出時に動作する回路について説明する。以下の説明においては、第 1 の実施形態及び第 2 の実施形態において既述した同一の構成については同一の符号を付して説明を省略することができる。

【 0 0 6 0 】

図 1 1 は、液晶表示装置 1 において、駆動電極 T X を利用した画像表示及びタッチ検出に必要な要素等を概略的に示す図である。この図に示す液晶表示装置 1 は、既述の要素に加えて、第 1 スイッチ群 S W G 1 と、第 2 スイッチ群 S W G 2 と、第 3 スイッチ群 S W G 3 と、第 4 スイッチ群 S W G 4 と、第 5 スイッチ群 S W G 5 と、第 1 供給線 3 0 と、第 2 供給線 4 0 とを備えている。なお、第 3 スイッチ群 S W G 3 は、セレクトア S D に含まれるもので、マルチプレクサと呼ばれることもある。

【 0 0 6 1 】

例えば、各スイッチ群 S W G 1 ~ S W G 5 は、いずれもアレイ基板 A R と対向基板 C T とが対向する領域において、液晶表示パネル 2 に形成されている。

【 0 0 6 2 】

図 1 1 の例において、第 1 スイッチ群 S W G 1 、セレクトア S D (第 3 スイッチ群 S W G 3) 及び第 4 スイッチ群 S W G 4 は、図 1 に示した表示領域 D A の第 1 辺 E 1 と端子領域 N A 側の対向基板 C T の端部との間に配置されている。また、第 2 スイッチ群 S W G 2 及び第 5 スイッチ群 S W G 5 は、図 1 に示した表示領域 D A の第 2 辺 E 2 と表示パネル 2 の端部 (図中上側の端部) との間に配置されている。

【 0 0 6 3 】

第 1 供給線 3 0 には、画像表示のための共通電圧 V C O M が印加されている。第 1 供給線 3 0 は、端子領域 N A の、ドライバ I C 3 の両側から第 1 スイッチ群 S W G 1 に向けて延びている。また、第 1 供給線 3 0 は途中で分岐し、第 2 スイッチ群 S W G 2 に接続されている。

【 0 0 6 4 】

第 2 供給線 4 0 は、タッチ検出のための駆動信号を供給する。本実施形態において、第 2 供給線 4 0 は、第 1 電圧 V T P L が印加された低電圧線 4 1 と、第 1 電圧 V T P L よりも高い第 2 電圧 V T P H が印加された高電圧線 4 2 とを含んでいる。低電圧線 4 1 及び高電圧線 4 2 は、端子領域 N A のドライバ I C 3 の両側から第 1 スイッチ群 S W G 1 に向けて延びている。

【 0 0 6 5 】

例えば、第 1 供給線 3 0 、低電圧線 4 1 及び高電圧線 4 2 は、実装端子 5 と第 1 フレキシブル配線基板 6 とを介してタッチ検出 I C 4 に接続されている。第 1 供給線 3 0 、低電圧線 4 1 及び高電圧線 4 2 は、ドライバ I C 3 に接続されても良い。第 1 スイッチ群 S W G 1 は、駆動電極 T X 1 ~ T X n の接続先を、第 1 供給線 3 0 と第 2 供給線 4 0 (低電圧線 4 1 又は高電圧線 4 2) との間で切り替える。

【 0 0 6 6 】

第 3 スイッチ群 S W G 3 及びドライバ I C 3 は、複数のビデオ線 V L によって接続されている。各ビデオ線 V L は、ドライバ I C 3 から表示領域 D A に形成されたソース配線 S

10

20

30

40

50

を介して各副画素 S P X の画素電極 P E に供給される映像信号を伝達する。

【 0 0 6 7 】

第 3 スイッチ群 S W G 3 は、ドライバ I C 3 から供給される映像信号を、表示領域 D A に形成された複数のソース配線 S に分配する。

【 0 0 6 8 】

第 1 スイッチ群 S W G 1 は、駆動電極 T X 1 ~ T X n の各々に対して設けられた複数の第 1 スイッチ S W 1 を備えている。第 1 スイッチ S W 1 は、駆動電極 T X の接続先を第 1 供給線 3 0 と第 2 供給線 4 0 (低電圧線 4 1 又は高電圧線 4 2) との間で切り換える。具体的には、第 1 スイッチ S W 1 は、駆動電極 T X と第 1 供給線 3 0 とを接続 (オン) 又は遮断 (オフ) する共通電圧スイッチ S W C と、駆動電極 T X と低電圧線 4 1 とを接続 (オン) 又は遮断 (オフ) する低電圧スイッチ S W L と、駆動電極 T X と高電圧線 4 2 とを接続 (オン) 又は遮断 (オフ) する高電圧スイッチ S W H とを含んでいる。共通電圧スイッチ S W C 、低電圧スイッチ S W L 及び高電圧スイッチ S W H は、いずれもドライバ I C 3 からの信号によりオンオフされる。

10

【 0 0 6 9 】

第 2 スイッチ群 S W G 2 は、駆動電極 T X 1 ~ T X n の各々に対して設けられた複数の第 2 スイッチ S W 2 を備えている。第 2 スイッチ S W 2 は、駆動電極 T X と第 1 供給線 3 0 とを接続 (オン) 又は遮断 (オフ) する。例えば、第 2 スイッチ S W 2 は、ドライバ I C 3 の制御の下でオンオフされる。

【 0 0 7 0 】

20

第 3 スイッチ群 S W G 3 は、表示領域 D A に設けられた複数の信号線 S の各々に対して設けられた複数の第 3 スイッチ S W 3 を備えている。第 3 スイッチ S W 3 は、ドライバ I C 3 から延出するビデオ線 V L の一端に設けられており、表示領域 D A の各ソース配線 S とドライバ I C 3 とを接続 (オン) 又は遮断 (オフ) する。例えば、第 3 スイッチ S W 3 は、ドライバ I C 3 から供給される制御信号に基づき、ドライバ I C からビデオ線 V L を介して時分割で供給される映像信号を各ソース配線 S に順次供給するようにオンオフされる。

【 0 0 7 1 】

第 4 スイッチ群 S W G 4 は、ソース配線 S に対して設けられた複数の第 4 スイッチ S W 4 を備えている。第 4 スイッチ S W 4 は、ソース配線 S と駆動電極 T X とを接続 (オン) 又は遮断 (オフ) する。例えば、第 4 スイッチ S W 4 は、ドライバ I C 3 から供給される制御信号に基づき、オンオフされる。

30

【 0 0 7 2 】

第 5 スイッチ群 S W G 5 は、信号線 S に対して設けられた複数の第 5 スイッチ S W 5 を備えている。第 5 スイッチ S W 5 は、信号線 S と駆動電極 T X とを接続 (オン) 又は遮断 (オフ) する。例えば、第 5 スイッチ S W 5 は、ドライバ I C 3 から供給される制御信号に基づき、オンオフされる。

【 0 0 7 3 】

ここで、図 1 1 を参照して、表示領域 D A に接触或いは近接する物体を検出するタッチ検出期間における各スイッチ群 S W G 1 ~ S W G 5 の状態について説明する。

40

タッチ検出期間においては、例えば、駆動電極 T X 1 ~ T X n に駆動信号が順次供給される。駆動信号の供給対象 (以下、駆動対象という) の駆動電極 T X と残りの駆動電極 T X とで第 1 スイッチ S W 1 の接続態様が異なる。

【 0 0 7 4 】

図 1 1 の例においては、駆動電極 T X 2 が駆動対象である場合を想定している。駆動対象である駆動電極 T X 2 の共通電圧スイッチ S W C はオフされ、残りの駆動電極 T X の共通電圧スイッチ S W C はいずれもオンされている。各第 2 スイッチ S W 2 及び各第 3 スイッチ S W 3 は全てオフされ、各第 4 スイッチ S W 4 及び各第 5 スイッチ S W 5 は全てオンされている。

【 0 0 7 5 】

50

駆動対象である駆動電極 $T X 2$ の接続先は、低電圧線 $4 1$ 及び高電圧線 $4 2$ でスウィングされる。すなわち、駆動電極 $T X 2$ の低電圧スイッチ $S W L$ 及び高電圧スイッチ $S W H$ が交互にオンオフされ、これにより第 1 電圧 $V_{T P L}$ と第 2 電圧 $V_{T P H}$ との間でトグルする駆動信号 $S t x$ が生成されて、この駆動信号 $S t x$ が駆動電極 $T X 2$ に供給される。この駆動信号 $S t x$ に対して検出電極 $R X 1 \sim R X m$ から得られる検出信号（上述の検出信号 $S r x$ ）に基づき、タッチ検出 $I C 4$ が表示領域 $D A$ に接触或いは近接する物体の位置を検出する。

【 0 0 7 6 】

各第 4 スイッチ $S W 4$ 及び各第 5 スイッチ $S W 5$ がオンされているので、各ソース配線 S は、それぞれに対向する駆動電極 $T X$ と同電位となる。これにより、各ソース配線 S と各駆動電極 $T X$ との間の容量形成を防ぎ、タッチ検出の精度を高めることができる。本実施形態では、駆動電極 $T X$ 及びソース配線 S の延出方向（第 2 方向 Y ）の両端部において駆動電極 $T X$ とソース配線 S とを接続するので、駆動電極 $T X$ 及びソース配線 S を全体に亘り安定して同電位とすることができる。

【 0 0 7 7 】

タッチ検出期間において、ドライバ $I C 3$ と第 3 スイッチ群 $S W G 3$ との間の各ビデオ線 $V L$ はいずれもフローティングとなり、各ビデオ線 $V L$ に起因した不要な容量形成が軽減される。なお、タッチ検出期間において、全て或いは一部の第 4 スイッチ $S W 4$ と第 5 スイッチ $S W 5$ とをオフとし、これにより全て或いは一部のソース配線 S をフローティングとしても良い。

【 0 0 7 8 】

駆動対象の駆動電極 $T X$ は、駆動電極 $T X 1$ から駆動電極 $T X n$ に向けて順番に選定されても良いし、他の順に選定されても良い。また、複数の駆動電極 $T X$ が同時に駆動対象として選定されても良い。さらに、1 回のタッチ検出期間において駆動電極 $T X 1 \sim T X n$ が 1 通り駆動対象として選定されるようにしても良いし、2 回以上のタッチ検出期間に分散して駆動電極 $T X 1 \sim T X n$ が駆動対象として選定されるようにしても良い。

【 0 0 7 9 】

画像を表示する表示期間においては、各第 1 スイッチ $S W 1$ の共通電圧スイッチ $S W C$ 、各第 2 スイッチ $S W 2$ 及び各第 3 スイッチ $S W 3$ がオンされ、各第 4 スイッチ $S W 4$ 及び各第 5 スイッチ $S W 5$ がオフされる。これにより、各駆動電極 $T X 1 \sim T X n$ には共通電圧 $V_{C O M}$ が印加される。さらに、ドライバ $I C 3$ から各ソース配線 S に映像信号が供給される。

【 0 0 8 0 】

以上のような構成の回路において、スリット $S L$ の近傍に位置するソース配線 S については、第 4 スイッチ $S W 4$ 及び第 5 スイッチ $S W 5$ による接続先を、このスリット $S L$ を介して隣り合う 2 つの駆動電極 $T X$ （分割電極 $D E$ ）のうち当該ソース配線 S との容量結合が大きい一方に定めることが好ましい。仮に容量結合が小さい駆動電極 $T X$ が接続先となれば、タッチ検出期間において、当該駆動電極 $T X$ に供給される駆動信号 $S t x$ に応じたノイズが、ソース配線 S を介して容量結合が大きい他方の駆動電極 $T X$ に混入し、検出性能が低下し得る。

【 0 0 8 1 】

例えば図 5 及び図 6 の例において、スリット $S L$ の近傍に配置されたソース配線 $S j$ は、金属層 $M L C$ 及びこの金属層 $M L C$ が接触する分割電極 $D E$ と対向する面積が大きい。したがって、ソース配線 $S j$ は、この分割電極 $D E$ を含む駆動電極 $T X$ との容量結合が大きくなるため、第 4 スイッチ $S W 4$ 及び第 5 スイッチ $S W 5$ による接続先をこの駆動電極 $T X$ に定めることができる。

【 0 0 8 2 】

以上、本発明のいくつかの実施形態を説明したが、これらの実施形態は例として提示したものであり、発明の範囲を限定することは意図していない。これらの新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、

10

20

30

40

50

種々の省略、置き換え、変更を行うことができる。これらの実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【0083】

例えば、表示領域DAに形成される各スリットSLは、必ずしもその全てが駆動電極TXの境界を形成するものである必要はない。すなわち、第1方向Xに並ぶ複数の分割電極DEが同一の駆動電極TXを構成しても良い。これら複数の分割電極DEは、例えば表示領域DAの外側において互いに電氣的に接続されても良いし、表示領域DAにおいて互いに電氣的に接続されても良い。これら複数の分割電極DEの間に形成されるスリットSLにおいては、金属層MLCが当該スリットSLを介して隣り合う分割電極DEの双方に接しても良い。

10

【0084】

また、金属層MLは、分割電極DEの下側、すなわち分割電極DEと第2絶縁膜12との間に形成されても良い。この場合であっても、各実施形態と同様の効果を得ることができる。

【0085】

検出電極RXは金属で形成されていてもよい。検出電極RXは対向基板CTの液晶側に設けてもよいし、アレイ基板ARに設けてもよい。検出電極RXをアレイ基板ARに透明導電膜で形成する場合、検出電極RXに本願発明を適用することも可能である。また、OLEDに適用する場合、本願明細書の構造を、特に制限することなく、OLEDのカソード電極に対して適用することも可能である。

20

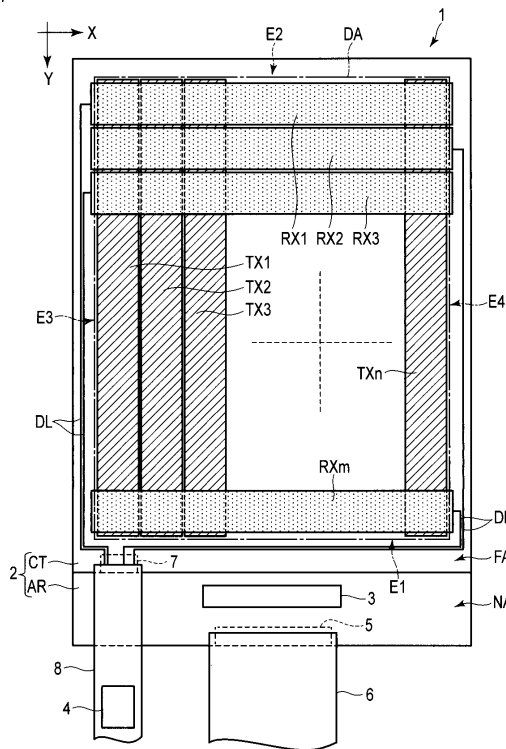
【符号の説明】

【0086】

1...液晶表示装置、2...液晶表示パネル、10...第1絶縁基板、11...第1絶縁膜、12...第2絶縁膜、13...第3絶縁膜、20...第2絶縁基板、AR...アレイ基板、S...ソース配線、DE...分割電極、TX...駆動電極、ML, MLC...金属層、SL...スリット、AL1...第1配向膜、AL2...第2配向膜、PE...画素電極、PEC...導電層、PX...画素、LC...液晶層、OC...オーバーコート層、CFR, CFG, CFB...カラーフィルタ、BM...ブラックマトリクス、CT...対向基板、RX...検出電極、ES...外面。

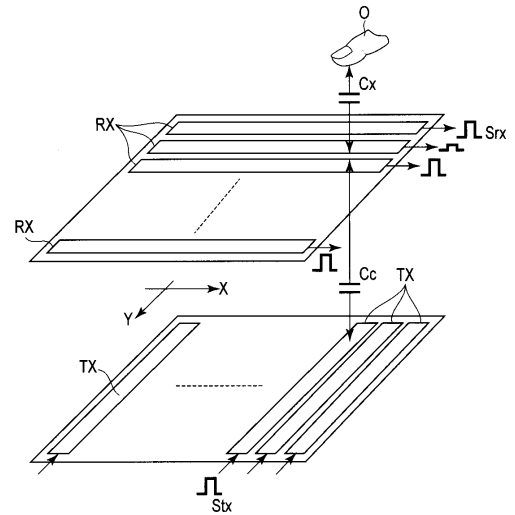
【図 1】

図 1



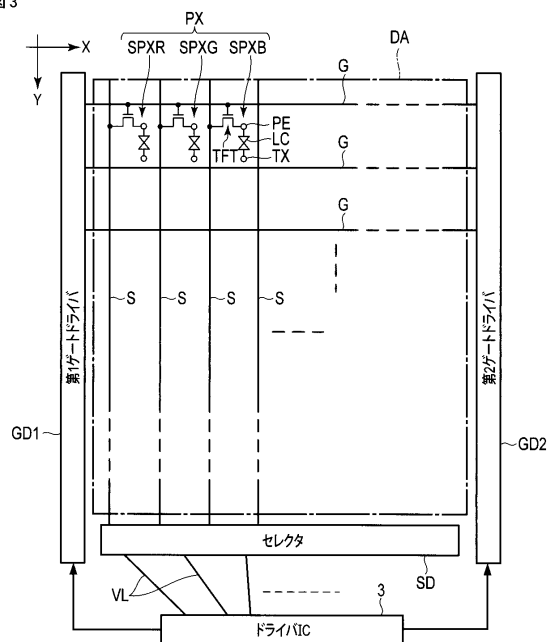
【図 2】

図 2



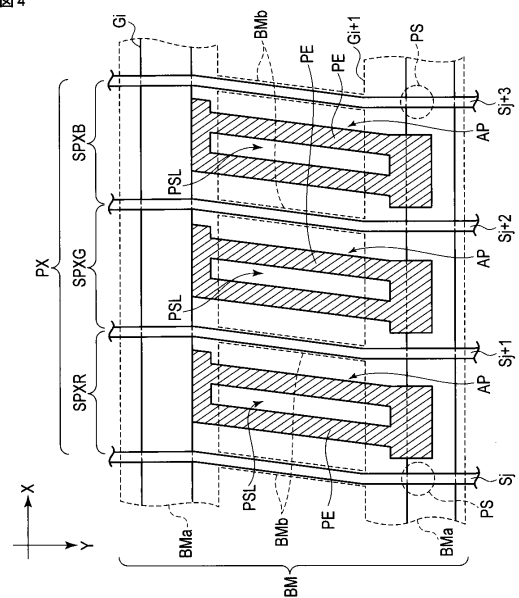
【図 3】

図 3



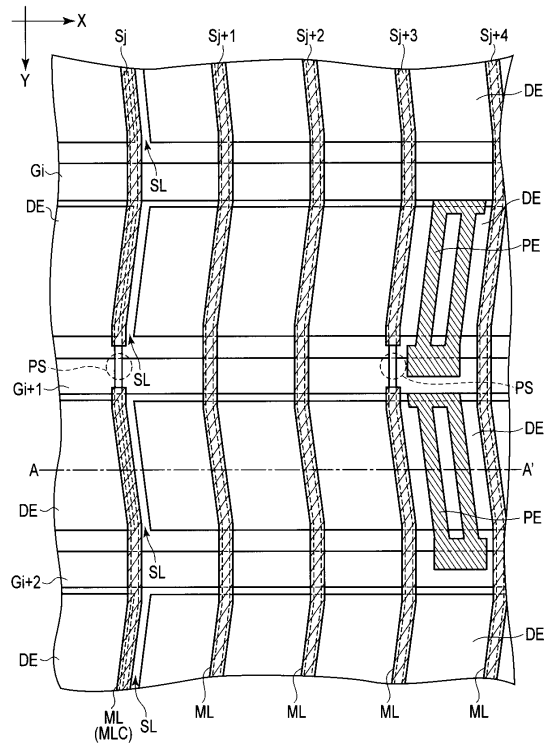
【図 4】

図 4



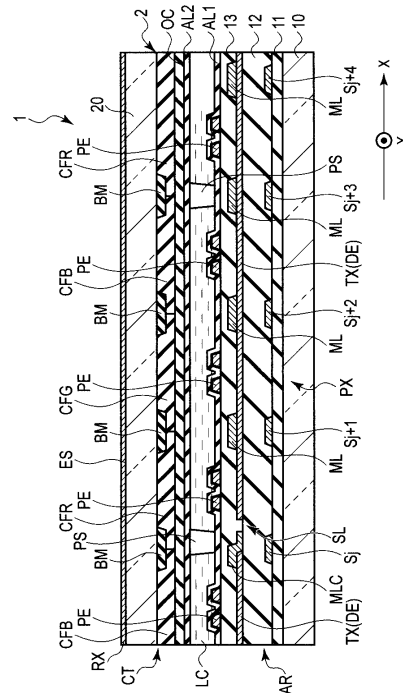
【 図 5 】

图 5



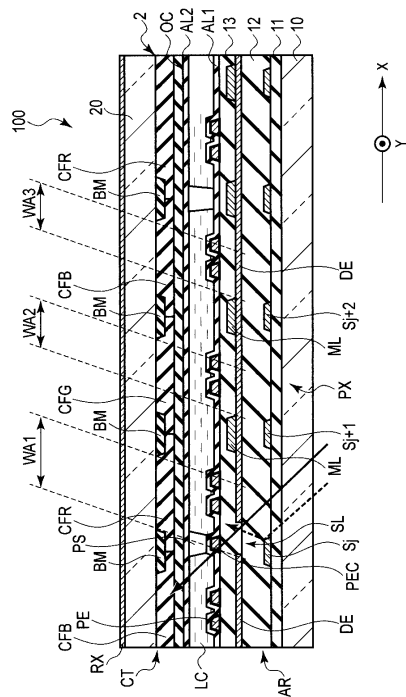
【 図 6 】

图 6



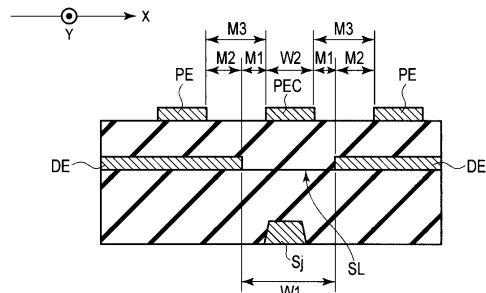
【圖 7】

图 7



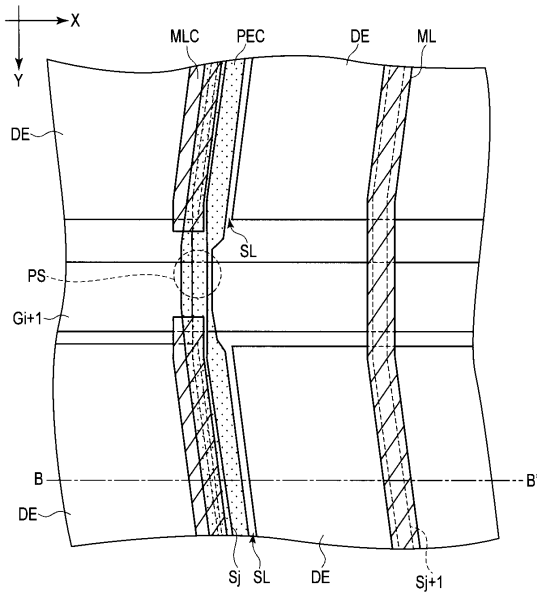
【 図 8 】

☒ 8



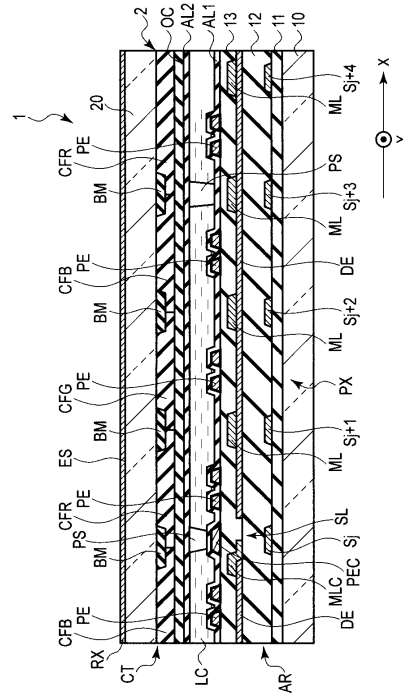
【図 9】

図 9



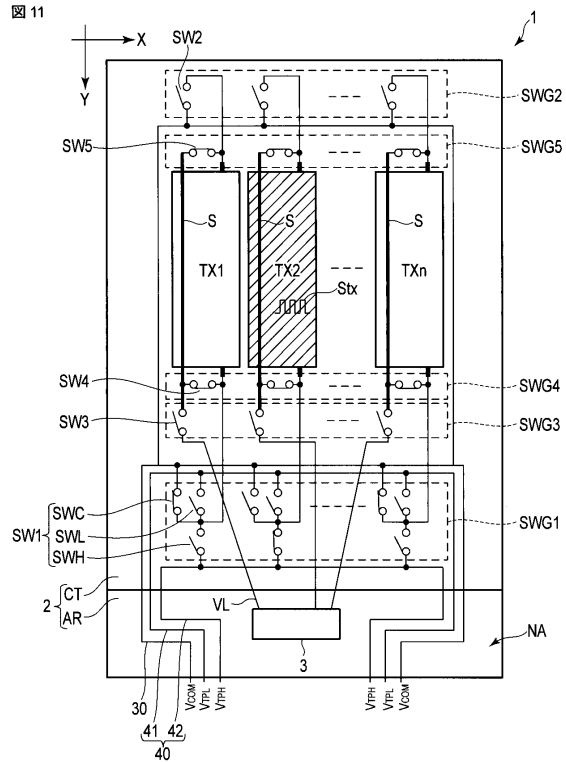
【図 10】

図 10



【図 11】

図 11



フロントページの続き

審査官 岸 智史

(56)参考文献 米国特許出願公開第2012/0133858 (US, A1)

特開2014-132446 (JP, A)

特開2011-100032 (JP, A)

特開2014-186121 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1343 - 1/1345, 1/135