

【公報種別】 特許法第 17 条の 2 の規定による補正の掲載
【部門区分】 第 7 部門第 2 区分
【発行日】 令和 6 年 6 月 20 日 (2024.6.20)

【国際公開番号】 WO2023/199932
【出願番号】 特願 2024-514977 (P2024-514977)
【国際特許分類】

H 0 1 L 29/78(2006.01)
H 0 1 L 29/739(2006.01)
H 0 1 L 29/861(2006.01)
H 0 1 L 21/336(2006.01)
H 0 1 L 21/8234(2006.01)
H 0 1 L 27/06(2006.01)

10

【F I】

H 0 1 L 29/78 6 5 7 D
H 0 1 L 29/78 6 5 5 F
H 0 1 L 29/78 6 5 2 Q
H 0 1 L 29/78 6 5 5 G
H 0 1 L 29/78 6 5 3 A
H 0 1 L 29/78 6 5 2 J
H 0 1 L 29/78 6 5 2 D
H 0 1 L 29/78 6 5 5 B
H 0 1 L 29/91 D
H 0 1 L 29/78 6 5 8 H
H 0 1 L 29/91 J
H 0 1 L 29/78 6 5 8 L
H 0 1 L 27/06 1 0 2 A
H 0 1 L 27/088 B
H 0 1 L 27/088 E
H 0 1 L 27/06 3 1 1 B

20

30

【手続補正書】
【提出日】 令和 6 年 3 月 29 日 (2024.3.29)
【手続補正 1】
【補正対象書類名】 特許請求の範囲
【補正対象項目名】 全文
【補正方法】 変更
【補正の内容】
【特許請求の範囲】
【請求項 1】

40

上面および下面を有し、第 1 導電型のドリフト領域が設けられた半導体基板と、
前記半導体基板の前記下面に接する第 2 導電型のコレクタ領域と、前記半導体基板の前記上面に接して設けられ前記ドリフト領域よりもドーピング濃度の高い第 1 導電型のエミッタ領域とを有するトランジスタ部と、

前記半導体基板の前記下面に接する第 1 導電型のカソード領域を有するダイオード部と、

を備え、

前記ダイオード部におけるアバランシェ耐圧が、前記トランジスタ部におけるアバランシェ耐圧の 0.7 倍以上、1 倍未満である半導体装置。

【請求項 2】

50

前記ダイオード部が負性抵抗領域に到達するカソード電圧は、前記トランジスタ部が負性抵抗領域に到達するコレクタ電圧以上である

請求項 1 に記載の半導体装置。

【請求項 3】

前記ダイオード部および前記トランジスタ部は、前記半導体基板の前記上面において、配列方向に沿って間隔を有して配置された複数のトレンチ部を有する

請求項 1 に記載の半導体装置。

【請求項 4】

前記トランジスタ部における少なくとも一部の前記トレンチ部は、前記配列方向において第 1 の間隔で配置され、

10

前記ダイオード部における少なくとも一部の前記トレンチ部は、前記配列方向において前記第 1 の間隔よりも大きい第 2 の間隔で配置されている

請求項 3 に記載の半導体装置。

【請求項 5】

前記ダイオード部および前記トランジスタ部の間に配置され、複数の前記トレンチ部が設けられ、前記カソード領域および前記コレクタ領域の少なくとも一方を有する中間領域を備え、

前記中間領域はトランジスタ側領域を有し、当該トランジスタ側領域は前記トランジスタ部と接し、且つ、1 つ以上の前記トレンチ部が前記第 1 の間隔で配置される

請求項 4 に記載の半導体装置。

20

【請求項 6】

前記ダイオード部および前記トランジスタ部の間に配置され、複数の前記トレンチ部が設けられ、前記カソード領域および前記コレクタ領域の少なくとも一方を有する中間領域を備え、

前記中間領域はトランジスタ側領域を有し、当該トランジスタ側領域は前記トランジスタ部と接し、且つ、1 つ以上の前記トレンチ部が前記第 1 の間隔より小さい間隔で配置される

請求項 4 に記載の半導体装置。

【請求項 7】

前記中間領域における前記カソード領域および前記コレクタ領域の境界位置が、前記トランジスタ側領域に配置されている

30

請求項 5 に記載の半導体装置。

【請求項 8】

前記境界位置が、前記トランジスタ側領域の 1 つ以上の前記トレンチ部のうち、最も前記ダイオード部側の前記トレンチ部の下方に配置されている

請求項 7 に記載の半導体装置。

【請求項 9】

前記トランジスタ側領域は、前記配列方向における間隔が、前記中間領域において最も小さい第 1 の前記トレンチ部および第 2 の前記トレンチ部を含み、

前記境界位置は、前記第 1 のトレンチ部の下方から、前記第 2 のトレンチ部の下方までの領域に配置されている

40

請求項 7 に記載の半導体装置。

【請求項 10】

前記中間領域における前記複数のトレンチ部の前記配列方向における間隔は、前記ダイオード部に近いほど大きい

請求項 5 から 9 のいずれか一項に記載の半導体装置。

【請求項 11】

前記第 2 の間隔は、前記第 1 の間隔の 2 倍以上である

請求項 4 から 9 のいずれか一項に記載の半導体装置。

【請求項 12】

50

前記トランジスタ部における少なくとも一部の前記トレンチ部は、前記半導体基板の深さ方向において第１の長さを有し、

前記ダイオード部における少なくとも一部の前記トレンチ部は、前記深さ方向において前記第１の長さよりも大きい第２の長さを有する

請求項３に記載の半導体装置。

【請求項１３】

前記ダイオード部および前記トランジスタ部の間に配置され、複数の前記トレンチ部が設けられ、前記カソード領域および前記コレクタ領域を有する中間領域を備え、

前記中間領域は、前記トランジスタ部と接するトランジスタ側領域を有し、

前記トランジスタ側領域は、前記第１の長さの前記トレンチ部を有する

請求項１２に記載の半導体装置。

【請求項１４】

前記ダイオード部および前記トランジスタ部の間に配置され、複数の前記トレンチ部が設けられ、前記カソード領域および前記コレクタ領域を有する中間領域を備え、

前記中間領域は、前記トランジスタ部と接するトランジスタ側領域を有し、

前記トランジスタ側領域は、前記第１の長さより小さい長さの前記トレンチ部を有する

請求項１２に記載の半導体装置。

【請求項１５】

前記中間領域における前記カソード領域および前記コレクタ領域の境界位置が、前記トランジスタ側領域に配置されている

請求項１３に記載の半導体装置。

【請求項１６】

前記中間領域における前記複数のトレンチ部の前記深さ方向における長さは、前記ダイオード部に近いほど大きい

請求項１３から１５のいずれか一項に記載の半導体装置。

【請求項１７】

前記トランジスタ部は、少なくとも一つの前記トレンチ部の下端に接して設けられた第２導電型の第１下端領域を有し、

前記ダイオード部の少なくとも一つの前記トレンチ部の下端は、第２導電型の領域に接していない

請求項３から９のいずれか一項に記載の半導体装置。

【請求項１８】

前記ダイオード部の全ての前記トレンチ部の下端は、第２導電型の領域に接していない

請求項１７に記載の半導体装置。

【請求項１９】

前記ダイオード部は、少なくとも一つの前記トレンチ部の下端に接して設けられ、前記ドリフト領域よりもドーピング濃度が高い第１導電型の第２下端領域を有し、

前記トランジスタ部の少なくとも一つの前記トレンチ部の下端は、前記ドリフト領域よりもドーピング濃度が高い第１導電型の領域に接していない

請求項３から９のいずれか一項に記載の半導体装置。

【請求項２０】

前記トランジスタ部は、

前記エミッタ領域と前記ドリフト領域との間に設けられた第２導電型のベース領域と、

前記ベース領域と前記ドリフト領域との間に設けられ、前記ドリフト領域よりもドーピング濃度の高い第１導電型の蓄積領域と

を有し、

前記第２下端領域のドーピング濃度は、前記蓄積領域のドーピング濃度よりも低い

請求項１９に記載の半導体装置。

【請求項２１】

前記ダイオード部は、前記半導体基板の前記上面側においてキャリアのライフタイムを

10

20

30

40

50

調整するライフタイム調整部を有する

請求項 1 から 9 のいずれか一項に記載の半導体装置。

【請求項 2 2】

上面および下面を有し、第 1 導電型のドリフト領域が設けられた半導体基板と、

前記半導体基板の前記下面に接する第 2 導電型のコレクタ領域と、前記半導体基板の前記上面に接して設けられ前記ドリフト領域よりもドーピング濃度の高い第 1 導電型のエミッタ領域とを有するトランジスタ部と、

前記半導体基板の前記下面に接する第 1 導電型のカソード領域を有するダイオード部と

を備え、

前記ダイオード部および前記トランジスタ部は、前記半導体基板の上面において、配列方向に沿って間隔を有して配置された複数のトレンチ部を有し、

前記トランジスタ部は、少なくとも一つの前記トレンチ部の下端に接して設けられた第 2 導電型の第 1 下端領域を有し、

前記ダイオード部の少なくとも一つの前記トレンチ部の下端は、第 2 導電型の領域に接していない

半導体装置。

【請求項 2 3】

半導体基板にトランジスタ部およびダイオード部を有する半導体装置の製造方法であって、

前記トランジスタ部および前記ダイオード部の耐圧が等しい第 1 の半導体装置について、非クランプ誘電性スイッチング試験により前記半導体装置が破壊されない非破壊最大エネルギー密度を取得し、

前記第 1 の半導体装置を基準とし、前記第 1 の半導体装置よりも前記非破壊最大エネルギー密度が大きくなるように、前記ダイオード部および前記トランジスタ部のアバランシェ耐圧の比を設定し、

設定された前記アバランシェ耐圧の比を満たすように第 2 の半導体装置における前記トランジスタ部および前記ダイオード部を設計し、

前記設計に基づいて前記第 2 の半導体装置を製造する製造方法。

【請求項 2 4】

前記ダイオード部および前記トランジスタ部の間に配置され、複数の前記トレンチ部が設けられ、前記カソード領域および前記コレクタ領域の少なくとも一方を有する中間領域を備え、

前記中間領域のアバランシェ耐圧は、前記ダイオード部のアバランシェ耐圧より大きく、前記トランジスタ部のアバランシェ耐圧より小さい

請求項 3 に記載の半導体装置。

【請求項 2 5】

前記ダイオード部および前記トランジスタ部の間に配置され、複数の前記トレンチ部が設けられ、前記カソード領域および前記コレクタ領域を有する中間領域を備え、

前記中間領域は、前記トランジスタ部と接するトランジスタ側領域を有し、

前記トランジスタ側領域は、前記第 1 の長さより大きい長さの前記トレンチ部を有する請求項 1 2 に記載の半導体装置。

【請求項 2 6】

前記ダイオード部が負性抵抗領域に到達するカソード電圧は、前記トランジスタ部が負性抵抗領域に到達するコレクタ電圧より小さい

請求項 1 に記載の半導体装置。

【請求項 2 7】

前記ダイオード部におけるアバランシェ耐圧が、前記トランジスタ部におけるアバランシェ耐圧の 0.75 倍以上、0.95 倍以下である

請求項 1 に記載の半導体装置。

10

20

30

40

50

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0065

【補正方法】変更

【補正の内容】

【0065】

ウェル領域 11 は、活性側ゲート配線 131 と重なって設けられている。ウェル領域 11 は、活性側ゲート配線 131 と重ならない範囲にも、所定の幅で延伸して設けられている。本例のウェル領域 11 は、コンタクトホール 54 の Y 軸方向の端から、活性側ゲート配線 131 側に離れて設けられている。ウェル領域 11 は、ベース領域 14 よりもドーピング濃度の高い第 2 導電型の領域である。ウェル領域 11 は、半導体基板 10 の上面からトレンチ部の下端よりも深くまで形成されてよい。本例のベース領域 14 は P 型であり、ウェル領域 11 は P+ 型である。

10

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0084

【補正方法】変更

【補正の内容】

【0084】

トランジスタ部 70 のメサ部 60 には、N+ 型のエミッタ領域 12 および P 型のベース領域 14 が、半導体基板 10 の上面 21 側から順番に設けられている。ベース領域 14 の下方にはドリフト領域 18 が設けられている。メサ部 60 には、N+ 型の蓄積領域 16 が設けられてもよい。蓄積領域 16 は、ベース領域 14 とドリフト領域 18 との間に配置される。

20

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0088

【補正方法】変更

【補正の内容】

【0088】

ダイオード部 80 のメサ部 61 には、半導体基板 10 の上面 21 に接して、P 型のベース領域 14 が設けられている。ベース領域 14 の下方には、ドリフト領域 18 が設けられている。メサ部 61 において、ベース領域 14 の下方に蓄積領域 16 が設けられていてもよい。またメサ部 61 における上面 21 には、コンタクトホール 54 の下方にコンタクト領域 15 が設けられてもよい。コンタクト領域 15 を設けることで、メサ部 61 とエミッタ電極 52 との接触抵抗を低減できる。

30

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0089

【補正方法】変更

【補正の内容】

【0089】

接続領域 190 のメサ部 62 には、半導体基板 10 の上面 21 に接して、P 型のベース領域 14 が設けられている。ベース領域 14 の下方には、ドリフト領域 18 が設けられている。メサ部 62 において、ベース領域 14 の下方に蓄積領域 16 が設けられていてもよい。またメサ部 62 における上面 21 には、コンタクトホール 54 の下方にコンタクト領域 15 が設けられてもよい。

40

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0105

50

【補正方法】変更

【補正の内容】

【0105】

他の定義方法の例として、トランジスタ部70のアバランシェ耐圧 V_{a_t} は、図5に示す電流密度－電圧特性において、コレクタ電圧の波形がコレクタ電流の増加に対してほぼ一定（平坦）となっている部分の電圧のうち、予め設定したコレクタ電流の値におけるコレクタ電圧の値であると定義してもよい。ダイオード部80のアバランシェ耐圧 V_{a_d} は、図5に示す電流密度－電圧特性において、カソード電流の増加に対してカソード電圧がほぼ一定（平坦）となっている部分の電圧のうち、予め設定したカソード電流の値におけるカソード電圧の値であると定義してもよい。一例として、図5に示す電流密度－電圧特性において、コレクタ電流またはカソード電流が $1 \times 10^{-3} \text{ (A/cm}^2\text{)}$ の場合におけるコレクタ電圧またはカソード電圧を、アバランシェ耐圧 V_{a_t} またはアバランシェ耐圧 V_{a_d} としてよい。予め設定したコレクタ電流またはカソード電流の値は、図5に示す電流密度－電圧特性において、 $1 \times 10^{-4} \text{ (A/cm}^2\text{)}$ 以上であってよく、 $1 \times 10^0 \text{ (A/cm}^2\text{)}$ 以下であってよい。

10

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0147

【補正方法】変更

【補正の内容】

20

【0147】

中間領域200において、一か所でトレンチ長さが増加してよく、複数個所でトレンチ長さが増加してもよい。本例では、 $Z_{tt} = Z_{t1} = Z_{t2} < Z_{t3} = Z_{t4} < Z_{td}$ である。他の例では、中間領域200における複数のトレンチ部のX軸方向におけるトレンチ長さは、ダイオード部80に近いほど大きくてもよい。つまり $Z_{tt} = Z_{t1} < Z_{t2} < Z_{t3} < Z_{t4} < Z_{td}$ であってもよい。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0165

【補正方法】変更

【補正の内容】

30

【0165】

本例の構造によっても、図5に示したように、ダイオード部80のアバランシェ耐圧を、トランジスタ部70のアバランシェ耐圧の1倍未満、70%以上に調整できる。ダイオード部80のアバランシェ耐圧は、第2下端領域204のドーピング濃度等によって調整できる。また図6から図8において説明したようにトレンチ間隔 X_k の調整、図9から図10において説明したトレンチ長さの調整、図11から図12において説明した第1下端領域202を用いた調整、および、図13において説明した第2下端領域204を用いた調整のうちの2つ以上を組み合わせ、ダイオード部80のアバランシェ耐圧を、トランジスタ部70のアバランシェ耐圧の1倍未満、70%以上に調整してもよい。

40

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0178

【補正方法】変更

【補正の内容】

【0178】

半導体装置100を時刻 t_1 においてオン状態からオフ状態に遷移させると、半導体装置100に流れる主電流の電流密度は徐々に減少し、半導体装置100のコレクタ／エミッタ間電圧は上昇する。半導体装置100には、図22の下側のグラフで示されるように、主電流密度およびコレクタ／エミッタ間電圧との積（ $V \times J$ ）を時間積分したエネルギー

50

一が印加される。

10

20

30

40

50