

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011 年 10 月 13 日(13.10.2011)

PCT

(10) 国際公開番号
WO 2011/125841 A1

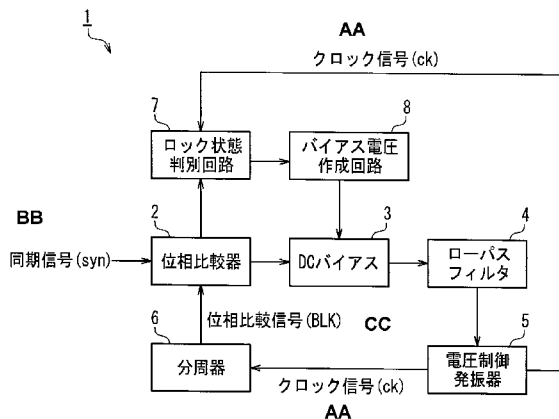
- (51) 国際特許分類:
H03L 7/095 (2006.01) H04N 5/06 (2006.01)
H03L 7/085 (2006.01) H04N 5/44 (2011.01)
H03L 7/10 (2006.01) H04N 7/173 (2011.01)
G09G 3/20 (2006.01)
- (21) 国際出願番号: PCT/JP2011/058224
- (22) 国際出願日: 2011 年 3 月 31 日(31.03.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-086085 2010 年 4 月 2 日(02.04.2010) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 中原征洋
(NAKAHARA Yukihiro).
- (74) 代理人: 特許業務法人池内・佐藤アンドパート
ナーズ (IKEUCHI SATO & PARTNER PATENT
ATTORNEYS); 〒5306026 大阪府大阪市北区天満
橋 1 丁目 8 番 3 0 号 O A P タワー 2 6 階 Osaka
(JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW,
MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH,
PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: PHASE LOCKED LOOP CIRCUIT

(54) 発明の名称: フェイズロックドループ回路

[図1]



- AA CLOCK SIGNAL (ck)
BB SYNCHRONIZATION SIGNAL (syn)
CC PHASE COMPARISON SIGNAL (BLK)
2 PHASE COMPARATOR
3 DC BIAS
4 LOW-PASS FILTER
5 VOLTAGE CONTROL OSCILLATOR
6 DIVIDER
7 LOCK STATE DISCRIMINATOR CIRCUIT
8 BIAS VOLTAGE CREATION CIRCUIT

(57) Abstract: Disclosed is a phase locked loop circuit (1) provided with a lock state discriminator circuit (lock state discriminator unit) (7) for discriminating lock states at the phase locked loop circuit (1) on the basis of a phase comparison result signal from a phase comparator (2), and a bias voltage creation circuit (bias voltage creation unit) (8) for creating a bias voltage at a DC bias (bias unit) (3) on the basis of the discrimination result of the lock state discriminator circuit (7) and supplying thereof to the DC bias (3).

(57) 要約: フェイズロックドループ回路 (1) において、位相比較器 (2) からの位相比較結果信号に基づき、フェイズロックドループ回路 (1) でのロック状態を判別するロック状態判別回路 (ロック状態判別部) (7) と、ロック状態判別回路 (7) の判別結果に基づいて、DC バイアス (バイアス部) (3) でのバイアス電圧を作成して、当該 DC バイアス (3) に供給するバイアス電圧作成回路 (バイアス電圧作成部) (8) を設ける。

WO 2011/125841 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： フェイズロックドループ回路

技術分野

[0001] 本発明は、同期信号などの入力信号に同期したクロック信号を出力するフェイズロックドループ回路に関する。

背景技術

[0002] 近年、例えば液晶表示装置は、在来のブラウン管に比べて薄型、軽量などの特長を有するフラットパネルディスプレイとして、液晶テレビ、モニター、携帯電話などに幅広く利用されている。このような液晶表示装置には、光を発光する照明装置（バックライト）と、照明装置に設けられた光源からの光に対しシャッターの役割を果たすことで所望画像を表示する液晶パネルとが含まれている。

[0003] また、上記の液晶表示装置では、その表示動作が外部より入力される映像信号に含まれる同期信号に同期するようになっている。すなわち、液晶表示装置には、例えば下記特許文献１に記載されたフェイズロックドループ回路が設けられており、フェイズロックドループ回路を用いることにより、上記同期信号に表示動作が同期するよう構成されている。

[0004] ここで、図７を参照して、上記従来フェイズロックドループ回路について具体的に説明する。

[0005] 図７は、従来フェイズロックドループ回路を示す回路図である。

[0006] 図７に示すように、従来フェイズロックドループ回路５１には、位相比較器５２と、この位相比較器５２に順次接続されたＤＣバイアス５３、ローパスフィルタ５４、電圧制御発振器５５、及び分周器５６とが設けられている。また、従来フェイズロックドループ回路５１では、分周器５６が位相比較器５２に接続されており、従来フェイズロックドループ回路５１では、その回路構成がループ状に構成されている。

[0007] 位相比較器５２には、外部からの同期信号（*s y n*）と分周器５６からの

位相比較信号（B L K）とが入力されるようになっている。そして、位相比較器 5 2 は、同期信号（s y n）と位相比較信号（B L K）との位相を比較して、その位相比較結果を示す位相比較結果信号を出力する。

[0008] D C バイアス 5 3 は、位相比較器 5 2 からの位相比較結果信号に対して、一定のバイアス電圧（直流電圧）を供給し、第 1 の制御電圧信号として出力する。

[0009] ローパスフィルタ 5 4 は、D C バイアス 5 3 からの第 1 の制御電圧信号に含まれた交流波成分を平滑し、第 2 の制御電圧信号として出力する。

[0010] 電圧制御発振器 5 5 は、ローパスフィルタ 5 4 からの第 2 の制御電圧信号の電圧に応じた周波数のクロック信号（c k）を発振する。

[0011] 分周器 5 6 は、電圧制御発振器 5 5 からのクロック信号（c k）を分周して、分周後のクロック信号を位相比較信号（B L K）として位相比較器 5 2 に出力する。そして、従来のフェイズロックドループ回路 5 1 では、電圧制御発振器 5 5 または分周器 5 6 から同期信号（s y n）に同期したクロック信号を液晶表示装置に設けられた制御部（図示せず）に出力する。これにより、液晶表示装置では、その表示動作が同期信号（s y n）に同期して行われる。

先行技術文献

特許文献

[0012] 特許文献1：特開平 3－6 4 1 2 6 号公報

発明の概要

発明が解決しようとする課題

[0013] しかしながら、上記のような従来のフェイズロックドループ回路 5 1 では、その応答性が一定なものであるため、当該フェイズロックドループ回路でのロック状態が外れた状態や、コピーガード信号等の不規則な信号が同期信号（s y n）に含まれて位相比較器 5 2 に入力されることによってロック状態が不安定な状態となった場合などにおいて、同期を引き込むまでの時間（

つまり、同期信号（s y n）に同期したクロック信号を出力するまでの時間）が長くなることがあった。この結果、従来のフェイズロックドループ回路を用いた液晶表示装置では、表示動作が同期信号（s y n）に同期せずに乱れている時間も長くなることがあった。

[0014] また、従来のフェイズロックドループ回路51において、ローパスフィルタ54のゲインを上げることにより、当該フェイズロックドループ回路51の応答性を向上させることも見込まれるが、このようにゲインを上げた場合には、フェイズロックドループ回路51がノイズなどの影響を受け易くなって、誤動作を発生するおそれがあるという別の問題点を生じることがある。

[0015] 上記の課題を鑑み、本発明は、応答性を向上させることができるフェイズロックドループ回路を提供することを目的とする。

課題を解決するための手段

[0016] 上記の目的を達成するために、本発明にかかるフェイズロックドループ回路は、外部からの入力信号と位相比較信号との位相を比較して、その位相比較結果を示す位相比較結果信号を出力する位相比較器と、前記位相比較器からの位相比較結果信号にバイアス電圧を供給し、第1の制御電圧信号として出力するバイアス部と、前記バイアス部からの第1の制御電圧信号に含まれた交流波成分を平滑し、第2の制御電圧信号として出力するローパスフィルタと、前記ローパスフィルタからの第2の制御電圧信号の電圧に応じた周波数のクロック信号を発振する電圧制御発振器と、前記電圧制御発振器からのクロック信号を分周して、分周後のクロック信号を位相比較信号として前記位相比較器に出力する分周器を備えたフェイズロックドループ回路であって、

前記位相比較器からの位相比較結果信号が入力されるとともに、入力された位相比較結果信号に基づき、フェイズロックドループ回路でのロック状態を判別するロック状態判別部と、

前記ロック状態判別部の判別結果が入力されるとともに、入力された判別結果に基づいて、前記バイアス部でのバイアス電圧を作成し、当該バイアス

部に供給するバイアス電圧作成部とを備えていることを特徴とするものである。

[0017] 上記のように構成されたフェイズロックドループ回路では、ロック状態判別部が位相比較器からの位相比較結果信号に基づき、フェイズロックドループ回路でのロック状態を判別する。また、バイアス電圧作成部が、ロック状態判別部の判別結果に基づいて、バイアス部でのバイアス電圧を作成して、バイアス部に供給する。これにより、フェイズロックドループ回路でのロック状態を判別することができ、その判別したロック状態に応じた最適なバイアス電圧を位相比較結果信号に供給することができる。この結果、フェイズロックドループ回路での同期の引き込みを加速することが可能となり、応答性を向上させることができるフェイズロックドループ回路を構成することができる。

[0018] また、上記フェイズロックドループ回路において、前記位相比較器として、3ステートバッファが用いられるとともに、当該3ステートバッファはアクティブ状態であるときに、前記分周器からの位相比較信号を前記位相比較結果信号として前記ロック状態判別部に出力するように構成され、

前記ロック状態判別部として、所定のクロック信号で動作するアップダウンカウンタが用いられるとともに、前記アップダウンカウンタは前記3ステートバッファからの位相比較結果信号がハイレベルかローレベルかを判断して、その判断結果に基づいて、そのカウント値を増減するように構成され、

前記バイアス電圧作成部は、前記アップダウンカウンタからのカウント値に基づいて、前記バイアス部でのバイアス電圧を作成することが好ましい。

[0019] この場合、フェイズロックドループ回路でのロック状態を容易に判別して、最適なバイアス電圧により簡単に変更することができる。

[0020] また、上記フェイズロックドループ回路では、前記アップダウンカウンタにおいて、前記所定のクロック信号として、前記電圧制御発振器からのクロック信号、または前記電圧制御発振器からのクロック信号を前記分周器で分周された信号が用いられていることが好ましい。

[0021] この場合、構造簡単なフェイズロックドループ回路を構成することができる。

[0022] また、上記フェイズロックドループ回路において、前記分周器として、特定のカウント値で自己リセットが掛かる自走式のカウンタが用いられていることが好ましい。

[0023] この場合、外部制御によって分周器での分周動作を制御する場合に比べて、構造簡単なフェイズロックドループ回路を構成することができる。

発明の効果

[0024] 本発明によれば、応答性を向上させることができるフェイズロックドループ回路を提供することが可能となる。

図面の簡単な説明

[0025] [図1]図1は、本発明の一実施形態にかかるフェイズロックドループ回路を示す回路図である。

[図2]図2は、図1に示した位相比較器の具体的な構成を説明する図である。

[図3]図3は、上記フェイズロックドループ回路でのロック状態における、各部の信号波形を示す波形図である。

[図4]図4は、図1に示したロック状態判別回路の具体的な構成を説明する図である。

[図5]図5は、図4に示したロック状態判別回路の動作例を説明する図である。

[図6]図6は、図1に示した電圧制御発振器での電圧一周波数特性の具体例を示すグラフである。

[図7]図7は、従来のフェイズロックドループ回路を示す回路図である。

発明を実施するための形態

[0026] 以下、本発明のフェイズロックドループ回路の好ましい実施形態について、図面を参照しながら説明する。なお、以下の説明では、本発明のフェイズロックドループ回路を液晶表示装置の内部に設けられて、その表示動作を同期信号に同期させる場合を例示して説明する。また、各図中の構成部材の寸

法は、実際の構成部材の寸法及び各構成部材の寸法比率等を忠実に表したものであるのではない。

[0027] 図1は、本発明の一実施形態にかかるフェイズロックドループ回路を示す回路図である。図2は、図1に示した位相比較器の具体的な構成を説明する図である。図3は、上記フェイズロックドループ回路でのロック状態における、各部の信号波形を示す波形図である。図4は、図1に示したロック状態判別回路の具体的な構成を説明する図である。

[0028] 図1に示すように、本実施形態のフェイズロックドループ回路1には、位相比較器2と、この位相比較器2に順次接続されたDCバイアス3、ローパスフィルタ4、電圧制御発振器5、及び分周器6とが設けられており、分周器6が位相比較器2に接続されている。また、フェイズロックドループ回路1は、位相比較器2と電圧制御発振器5とに接続されたロック状態判別部としてのロック状態判別回路7、及びロック状態判別回路7とDCバイアス3に接続されたバイアス電圧作成部としてのバイアス電圧作成回路8を備えており、フェイズロックドループ回路1では、そのロック状態に基づいて、DCバイアス3でのバイアス電圧が変更されるように構成されている（詳細は後述。）。

[0029] 位相比較器2には、外部からの入力信号としての同期信号（syn）と、分周器6からの位相比較信号（BLK）とが入力されるようになっている。そして、位相比較器2は、同期信号（syn）と位相比較信号（BLK）との位相を比較して、その位相比較結果を示す位相比較結果信号（PDP）をDCバイアス3及びロック状態判別回路7に出力する。

[0030] また、図2に示すように、位相比較器2には、3ステートバッファ9が用いられている、また、この3ステートバッファ9では、アクティブ状態（つまり、例えば正極性の信号からなる同期信号（syn）がHi期間である状態）であるときに、分周器6からの位相比較信号（BLK）を上記位相比較結果信号（PDP）として出力するようになっている。

[0031] 一方、3ステートバッファ9では、非アクティブ状態（つまり、例えば正

極性の信号からなる同期信号（s y n）がL o期間である状態）であるときに、H iインピーダンス出力を位相比較結果信号（P D P）として出力するようになっている。

[0032] 図1に戻って、D Cバイアス3は、バイアス部を構成しており、位相比較器5からの位相比較結果信号に対して、バイアス電圧作成回路8にて作成されたバイアス電圧（直流電圧）を供給し、第1の制御電圧信号として出力する。

[0033] ローパスフィルタ4は、D Cバイアス3からの第1の制御電圧信号に含まれた交流波成分を平滑し、第2の制御電圧信号として電圧制御発振器5に出力する。

[0034] 電圧制御発振器5は、ローパスフィルタ4からの第2の制御電圧信号の電圧に応じた周波数（特定周波数）のクロック信号（c k）を発振する。

[0035] 分周器6には、電圧制御発振器5からの特定周波数のクロック信号（c k）により動作する。これにより、分周器6では、入力されたクロック信号（c k）が分周され、位相比較信号（B L K）として位相比較器2に出力する。また、この分周器6には、特定のカウンタ値で自己リセットが掛かる自走式のカウンタが用いられている。

[0036] また、フェイズロックドループ回路1では、位相比較器2、D Cバイアス3、ローパスフィルタ4、電圧制御発振器5、及び分周器6の各部での動作が繰り返し行われることにより、当該フェイズロックドループ回路1が安定した状態（すなわち、ロック状態）となる。そして、フェイズロックドループ回路1では、電圧制御発振器5または分周器6から同期信号（s y n）に同期した制御信号を液晶表示装置に設けられた制御部（図示せず）に出力する。これにより、液晶表示装置では、その表示動作が同期信号（s y n）に同期して行われる。

[0037] さらに、フェイズロックドループ回路1がロック状態となった場合では、図3（c）に示すように、位相比較器2（3ステートバッファ9）から出力される位相比較結果信号（P D P）において、そのH i期間とL o期間がほ

ぼ等しい状態となる。それ故、フェイズロックドループ回路1がロック状態となった場合には、図3(a)に示す同期信号(syn)のHi期間のほぼ中央において、分周器6からの位相比較信号(BLK)は立ち上がることとなる。そこで、ロック状態判別回路7では、上記位相比較信号(BLK)でのHi期間とLo期間との時間を比較することにより、フェイズロックドループ回路1での現在のロック状態を判別することができる。

[0038] 具体的にいえば、図4に示すように、ロック状態判別回路7には、所定のクロック信号で動作するアップダウンカウンタ10が用いられている。このアップダウンカウンタ10は、上記所定のクロック信号として、電圧制御発振器5からのクロック信号(ck)を用いており、このクロック信号(ck)に応じて、3ステートバッファ9からの位相比較結果信号(PDP)がハイレベルかローレベルかを判断し、その判断結果に基づいて、そのカウント値を増減するように構成されている。より具体的にいえば、アップダウンカウンタ10は、位相比較結果信号(PDP)がHi期間であればカウントアップし、位相比較結果信号(PDP)がLo期間であればカウントダウンして、例えば6ビットのカウント値をバイアス電圧作成回路8に出力する。

[0039] バイアス電圧作成回路8には、D/Aコンバータが用いられており、アップダウンカウンタ10からのカウント値を入力するとともに、その入力したカウント値に基づいて、アナログのバイアス電圧を作成して、DCバイアス3に出力する。そして、DCバイアス3では、3ステートバッファ9(位相比較器5)からの位相比較結果信号(PDP)に対して、バイアス電圧作成回路8にて作成されたバイアス電圧に印加する。これにより、本実施形態では、3ステートバッファ9が非アクティブ状態で、位相比較結果信号(PDP)がHiインピーダンス出力を行っているときでも、フェイズロックドループ回路1での同期の引き込みを加速することができ、当該フェイズロックドループ回路1がロック状態となるまでの時間短縮を図ることが可能となる(詳細は後述。)。

[0040] ここで、図5及び図6も参照して、上記のように構成された本実施形態の

フェイズロックドループ回路 1 の動作について具体的に説明する。尚、以下の説明では、ロック状態判別回路 7 での判別動作について主に説明する。

- [0041] 図 5 は、図 4 に示したロック状態判別回路の動作例を説明する図である。図 6 は、図 1 に示した電圧制御発振器での電圧一周波数特性の具体例を示すグラフである。
- [0042] 図 5 に示すように、アップダウンカウンタ 10 は、電圧制御発振器 5 からのクロック信号が立ち上がったときに、位相比較器 2 からの位相比較結果信号（PDP）がハイレベルかローレベルかを判断して、そのカウント値を増減する。具体的には、アップダウンカウンタ 10 は、位相比較結果信号（PDP）がローレベル（（1）期間；L 期間）であるときは、カウント値をカウントダウンし、位相比較結果信号（PDP）がハイレベル（（2）期間；H 期間）であるときは、カウント値をカウントアップする。
- [0043] また、アップダウンカウンタ 10 には、上記のように、例えば 6 ビットのカウンタが用いられているので、真ん中の 32 のカウント値が定常状態（つまり、フェイズロックドループ回路 1 がロックしている状態）としている。また、アップダウンカウンタ 10 は、位相比較結果信号（PDP）が H 入力インピーダンス出力を行った場合に、そのカウント値の増減を停止し、かつ、その停止したカウント値をバイアス電圧作成回路 8 に出力する。
- [0044] 尚、上記の説明以外に、アップダウンカウンタ 10 が電圧制御発振器 5 からのクロック信号が立ち下がったときに、位相比較器 2 からの位相比較結果信号（PDP）がハイレベルかローレベルかを判断してそのカウント値を増減してもよい。
- [0045] また、図 5 に示す動作例においては、アップダウンカウンタ 10 でのカウント値は、定常状態より低い値（カウント値、31）となっているので、DC バイアス 3 において、位相比較結果信号（PDP）にバイアスされるバイアス電圧は、定常状態より低いバイアス電圧が印加される。その後、バイアス電圧が印加された位相比較結果信号（PDP）は、第 1 の制御電圧信号として DC バイアス 3 からローパスフィルタ 4 に出力される。そして、この第

１の制御電圧信号は、ローパスフィルタ４において、交流波成分が平滑され、第２の制御電圧信号として電圧制御発振器５に出力される。

[0046] 電圧制御発振器５では、図６の直線３０に例示するように、入力電圧 V （つまり、第２の制御電圧信号）が低くなるにつれて、周波数が高くなるクロック信号（ ck ）を出力するようになっている。それ故、 DC バイアス３において、定常状態より低いバイアス電圧が印加された場合には、定常状態より周波数の高いクロック信号（ ck ）が電圧制御発振器５から分周器６に出力される。この結果、分周器６では、そのカウンタが定常状態より速く回って、そのカウント値に応じて作成される位相比較信号（ BLK ）は、同期信号（ syn ）に対して進む方向に位相がずれる。そして、本実施形態のフェイズロックドループ回路１では、図５に示した（１）期間と（２）期間が等しくなる状態になるまで、上記動作を繰り返すことにより、当該フェイズロックドループ回路１がロックされることになる。

[0047] ここで、従来のフェイズロックドループ回路５１では、電圧制御発振器５に入力される入力電圧（第２の制御電圧信号）の変化量は、（１）期間と（２）期間の実効値の差分しか入力されないため、その応答性が悪いものであった。

[0048] 一方、本実施形態のフェイズロックドループ回路１では、（１）期間と（２）期間の差分により、位相比較を行っていない部分（つまり、位相比較結果信号（ PDP ）が Hi インピーダンス出力を行っている間）の入力電圧も、図５（ c ）に例示するように、カウント値３２からカウント値３１へと変化させている。このため、電圧制御発振器５に入力される入力電圧（第２の制御電圧信号）の変化量が大きくなり、フェイズロックドループ回路１の応答性を向上させることができる。

[0049] 以上のように構成された本実施形態のフェイズロックドループ回路１では、ロック状態判別回路（ロック状態判別部）７が位相比較器２からの位相比較結果信号（ PDP ）に基づき、当該フェイズロックドループ回路１でのロック状態を判別する。また、本実施形態のフェイズロックドループ回路１で

は、バイアス電圧作成回路（バイアス電圧作成部）8が、ロック状態判別回路7の判別結果に基づいて、DCバイアス（バイアス部）3でのバイアス電圧を作成して、DCバイアス3に供給する。これにより、本実施形態では、上記従来例と異なり、フェイズロックドループ回路1でのロック状態を判別することができ、その判別したロック状態に応じた最適なバイアス電圧を位相比較結果信号（PDP）に供給することができる。この結果、本実施形態では、上記従来例と異なり、フェイズロックドループ回路1での同期の引き込みを加速することが可能となり、応答性を向上させることができるフェイズロックドループ回路1を構成することができる。

[0050] また、このように本実施形態のフェイズロックドループ回路1では、上記従来例と異なり、応答速度の高速化を図ることができるので、液晶表示装置において、その表示動作が同期信号（syn）に同期せずに乱れている時間を大幅に短縮することが可能となる。

[0051] 尚、上記の実施形態はすべて例示であって制限的なものではない。本発明の技術的範囲は特許請求の範囲によって規定され、そこに記載された構成と均等の範囲内のすべての変更も本発明の技術的範囲に含まれる。

[0052] 例えば、上記の説明では、本発明を液晶表示装置の内部に設けられて、その表示動作を同期信号（外部からの入力信号）に同期させる場合について説明したが、本発明のフェイズロックドループ回路はこれに限定されるものではなく、外部からの入力信号に同期したクロック信号を用いる他の表示装置あるいはブルーレイレコーダー等の記録再生装置などの各種電気機器に適用することができる。

[0053] また、上記の説明では、位相比較器及びロック状態判別回路（ロック状態判別部）として、それぞれ3ステートバッファ及びアップダウンカウンタを用いた場合について説明したが、本発明の位相比較器及びロック状態判別部は、各々上記のものに何等限定されない。すなわち、本発明の位相比較器は、外部からの入力信号と位相比較信号との位相を比較して、その位相比較結果を示す位相比較結果信号を出力するものであればよい。また、本発明のロ

ック状態判別部は、位相比較器からの位相比較結果信号に基づき、フェイズロックドループ回路でのロック状態を判別するものであればよい。

[0054] 但し、上記の実施形態のように、3ステートバッファ及びアップダウンカウンタを位相比較器及びロック状態判別部にそれぞれ用いた場合の方が、フェイズロックドループ回路でのロック状態を容易に判別することができ、バイアス電圧作成回路（バイアス電圧作成部）において、最適なバイアス電圧により簡単に変更することができる点で好ましい。

[0055] また、上記の説明では、アップダウンカウンタにおいて、所定のクロック信号として、電圧制御発振器からのクロック信号を用いた場合について説明したが、本発明のアップダウンカウンタは、これに限定されるものではなく、例えば電圧制御発振器からのクロック信号を分周器で分周された信号を用いてもよい。さらには、別のクロック信号発生部を設けて、このクロック信号発生部からのクロック信号をアップダウンカウンタで使用する構成でもよい。

[0056] 但し、上記の実施形態のように、電圧制御発振器からのクロック信号を利用する場合の方が、構造簡単なフェイズロックドループ回路を構成することができる点で好ましい。

[0057] また、上記の説明では、分周器として、特定のカウント値で自己リセットが掛かる自走式のカウンタを用いた場合について説明したが、本発明の分周器はこれに限定されるものではなく、電圧制御発振器からのクロック信号を分周して、分周後のクロック信号を位相比較信号として位相比較器に出力するものであればよい。

[0058] 但し、上記の実施形態のように、自走式のカウンタを分周器に用いた場合の方が、外部制御によって分周器での分周動作を制御する場合に比べて、構造簡単なフェイズロックドループ回路を構成することができる点で好ましい。

産業上の利用可能性

[0059] 本発明は、応答性を向上させることができるフェイズロックドループ回路

に対して有用である。

符号の説明

- [0060]
- 1 フェイズロックドループ回路
 - 2 位相比較器
 - 3 DCバイアス（バイアス部）
 - 4 ローパスフィルタ
 - 5 電圧制御発振器
 - 6 分周器
 - 7 ロック状態判別回路（ロック状態判別部）
 - 8 バイアス電圧作成回路（バイアス電圧作成部）
 - 9 3ステートバッファ
 - 10 アップダウンカウンタ

請求の範囲

[請求項1]

外部からの入力信号と位相比較信号との位相を比較して、その位相比較結果を示す位相比較結果信号を出力する位相比較器と、前記位相比較器からの位相比較結果信号にバイアス電圧を供給し、第1の制御電圧信号として出力するバイアス部と、前記バイアス部からの第1の制御電圧信号に含まれた交流波成分を平滑し、第2の制御電圧信号として出力するローパスフィルタと、前記ローパスフィルタからの第2の制御電圧信号の電圧に応じた周波数のクロック信号を発振する電圧制御発振器と、前記電圧制御発振器からのクロック信号を分周して、分周後のクロック信号を位相比較信号として前記位相比較器に出力する分周器を備えたフェイズロックドループ回路であって、

前記位相比較器からの位相比較結果信号が入力されるとともに、入力された位相比較結果信号に基づき、フェイズロックドループ回路でのロック状態を判別するロック状態判別部と、

前記ロック状態判別部の判別結果が入力されるとともに、入力された判別結果に基づいて、前記バイアス部でのバイアス電圧を作成し、当該バイアス部に供給するバイアス電圧作成部と、

を備えていることを特徴とするフェイズロックドループ回路。

[請求項2]

前記位相比較器として、3ステートバッファが用いられるとともに、当該3ステートバッファはアクティブ状態であるときに、前記分周器からの位相比較信号を前記位相比較結果信号として前記ロック状態判別部に出力するように構成され、

前記ロック状態判別部として、所定のクロック信号で動作するアップダウンカウンタが用いられるとともに、前記アップダウンカウンタは前記3ステートバッファからの位相比較結果信号がハイレベルかローレベルかを判断して、その判断結果に基づいて、そのカウント値を増減するように構成され、

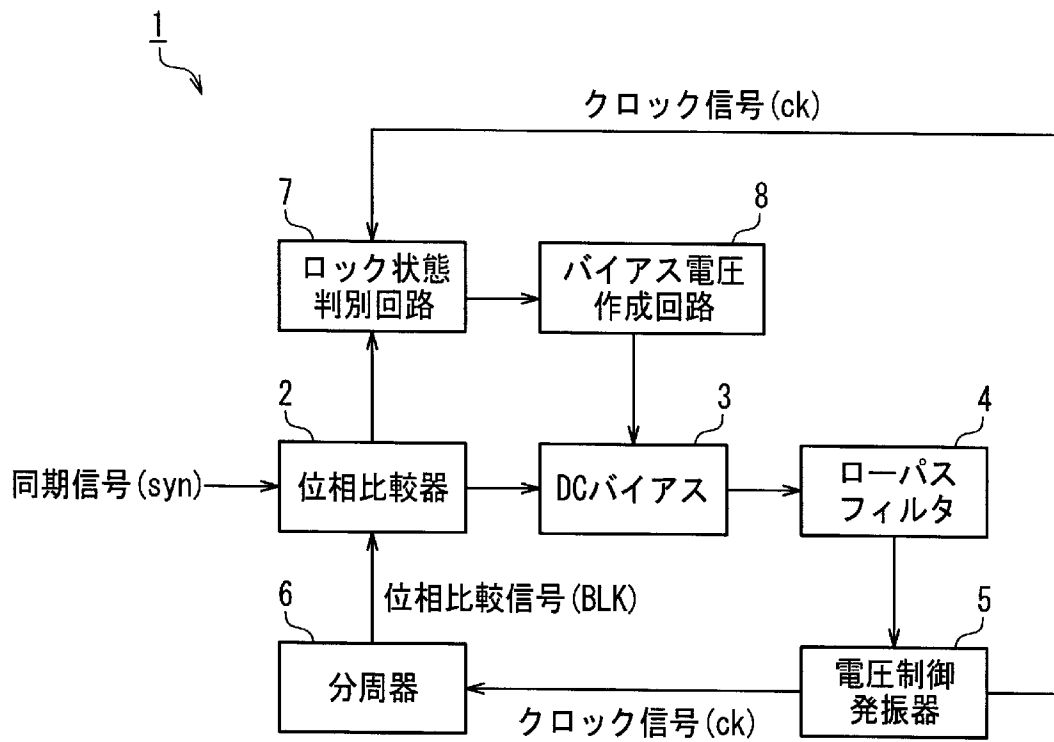
前記バイアス電圧作成部は、前記アップダウンカウンタからのカウ

ント値に基づいて、前記バイアス部でのバイアス電圧を作成する請求項 1 に記載のフェイズロックドループ回路。

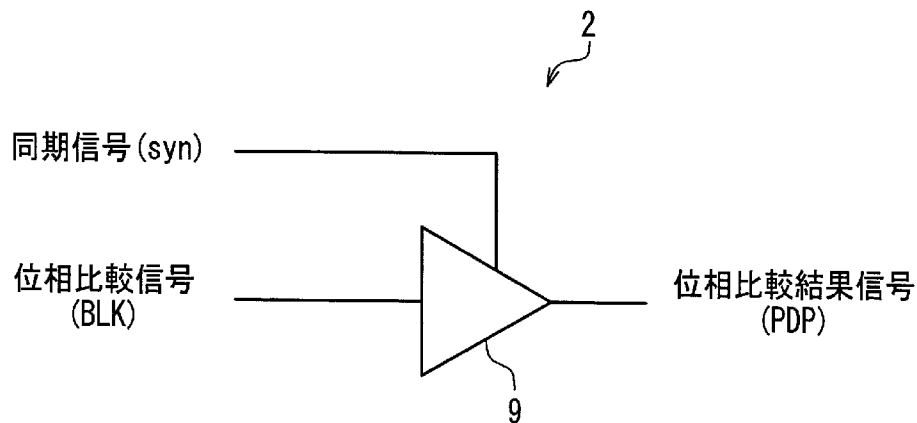
[請求項3] 前記アップダウンカウンタにおいて、前記所定のクロック信号として、前記電圧制御発振器からのクロック信号、または前記電圧制御発振器からのクロック信号を前記分周器で分周された信号が用いられている請求項 2 に記載のフェイズロックドループ回路。

[請求項4] 前記分周器として、特定のカウンタ値で自己リセットが掛かる自走式のカウンタが用いられている請求項 1 ～ 3 のいずれか 1 項に記載のフェイズロックドループ回路。

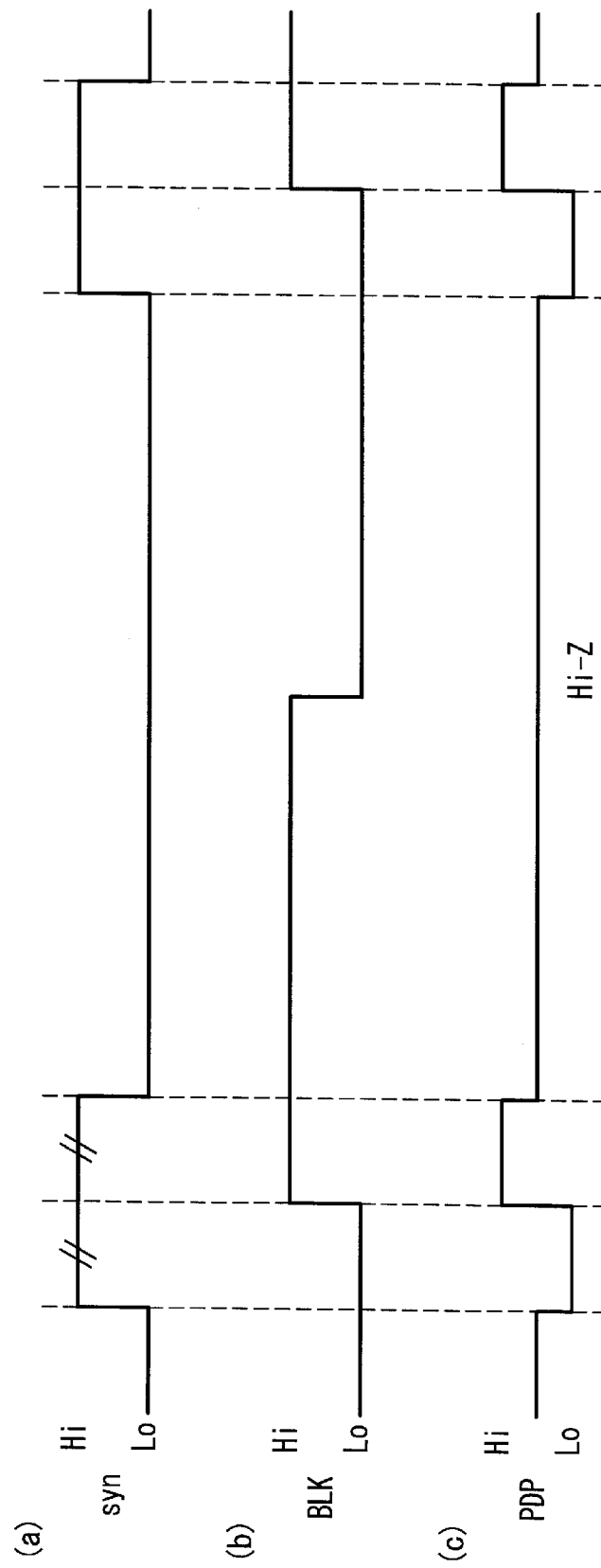
[図1]



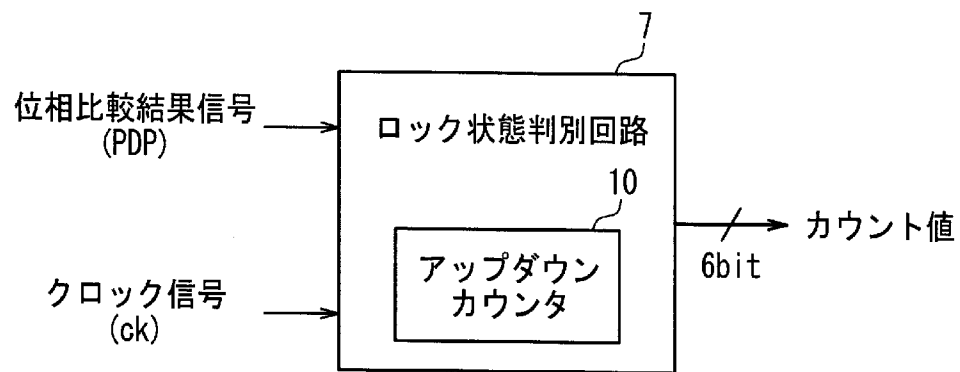
[図2]



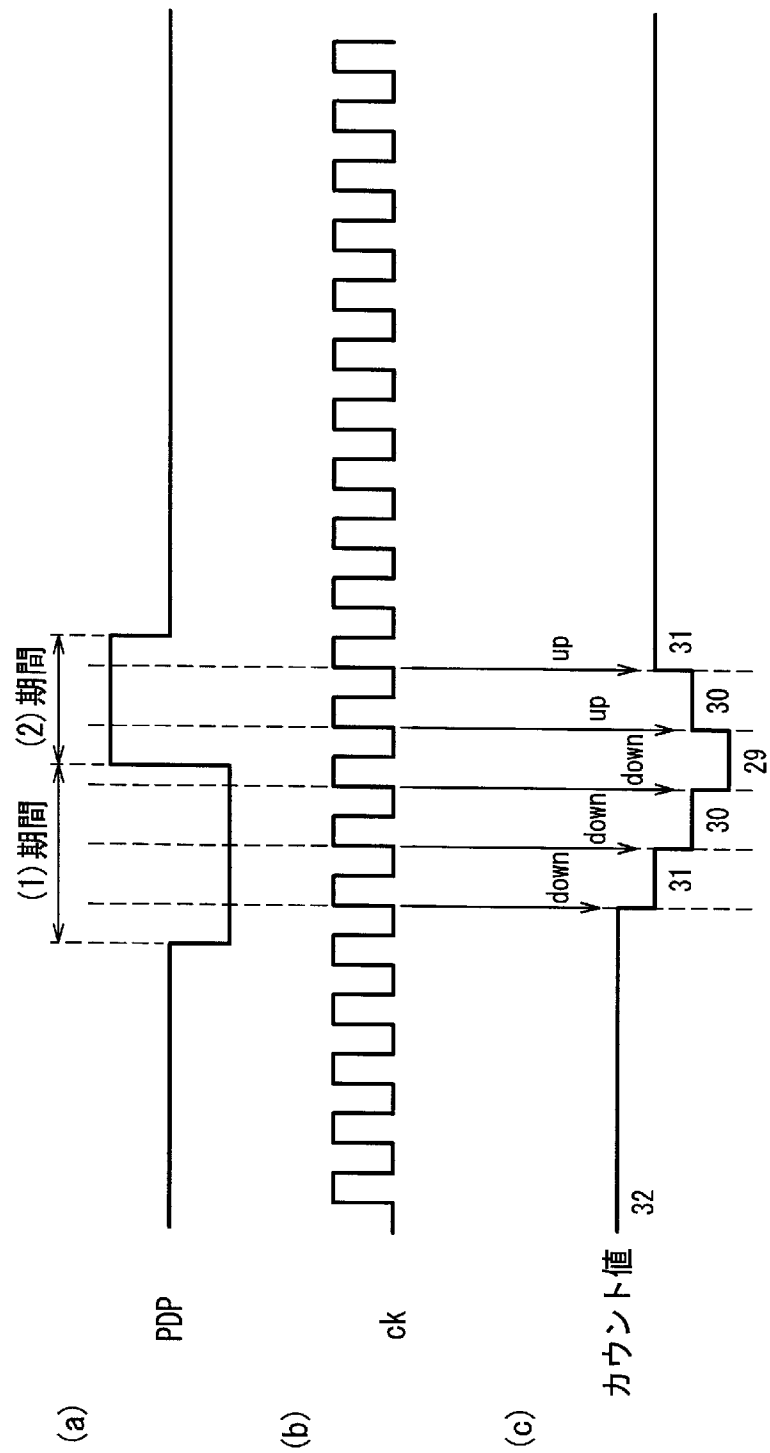
[図3]



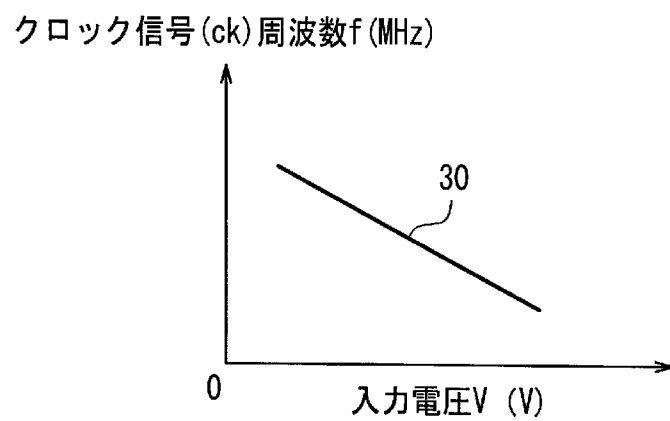
[図4]



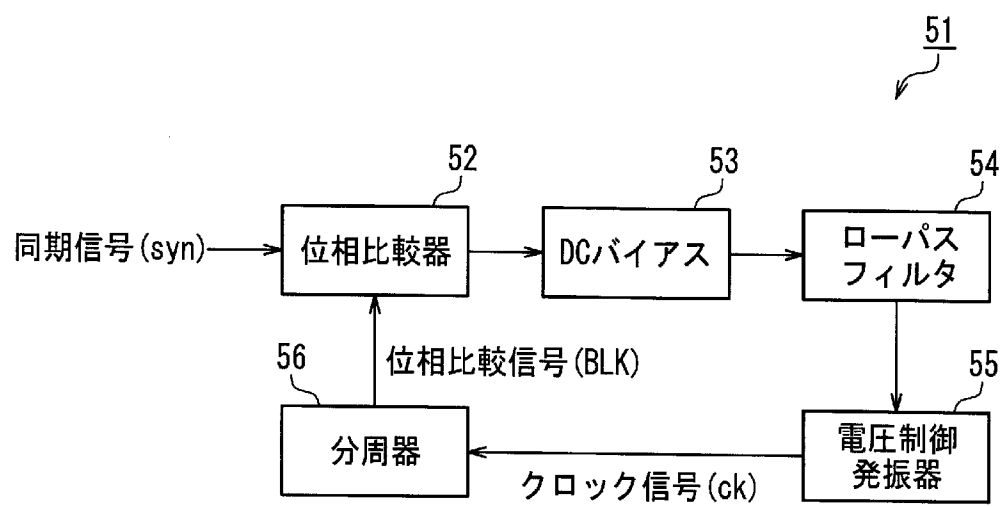
[図5]



[図6]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/058224

A. CLASSIFICATION OF SUBJECT MATTER

H03L7/095(2006.01)i, H03L7/085(2006.01)i, H03L7/10(2006.01)i, G09G3/20(2006.01)i, H04N5/06(2006.01)i, H04N5/44(2011.01)i, H04N7/173(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03L7/06-7/23, G09G3/20, H04N5/06, H04N5/44, H04N7/173

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-257587 A (Nippon Telegraph And Telephone Corp.), 21 September 2001 (21.09.2001), paragraphs [0018] to [0025]; fig. 1 (Family: none)	1-4
Y	JP 4-91569 A (Sharp Corp.), 25 March 1992 (25.03.1992), page 2, upper left column, lines 2 to 7; table 1; fig. 7 (Family: none)	1-4
Y	JP 5-327488 A (Hitachi, Ltd.), 10 December 1993 (10.12.1993), paragraphs [0064] to [0072]; fig. 4 (Family: none)	2-4



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

23 May, 2011 (23.05.11)

Date of mailing of the international search report

31 May, 2011 (31.05.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. H03L7/095(2006.01)i, H03L7/085(2006.01)i, H03L7/10(2006.01)i, G09G3/20(2006.01)i, H04N5/06(2006.01)i, H04N5/44(2011.01)i, H04N7/173(2011.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. H03L7/06-7/23, G09G3/20, H04N5/06, H04N5/44, H04N7/173			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 日本国公開実用新案公報 日本国実用新案登録公報 日本国登録実用新案公報 1 9 2 2 - 1 9 9 6 年 1 9 7 1 - 2 0 1 1 年 1 9 9 6 - 2 0 1 1 年 1 9 9 4 - 2 0 1 1 年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示		関連する 請求項の番号
Y	JP 2001-257587 A（日本電信電話株式会社）2001.09.21, 段落【0018】－【0025】，図1 （ファミリーなし）		1-4
Y	JP 4-91569 A（シャープ株式会社）1992.03.25, 公報第2頁左上欄第2行－第7行，第1表，第7図 （ファミリーなし）		1-4
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献			
国際調査を完了した日 2 3 . 0 5 . 2 0 1 1		国際調査報告の発送日 3 1 . 0 5 . 2 0 1 1	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 上田 智志 電話番号 03-3581-1101 内線 3574	5 W 3 6 6 4

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 5-327488 A (株式会社日立製作所) 1993. 12. 10, 段落【0064】－【0072】, 図4 (ファミリーなし)	2-4