



(45) 1983.11.11 1088

(51) Kv.lk.⁴/Int.Cl.⁴

G 06 F 9/22

SUOMI-FINLAND

(FI)

Patentti- ja rekisterihallitus
Patent- och registerstyrelsen

(21) Patenttihakemus – Patentansökning	800118
(22) Hakemispäivä – Ansökningsdag	15.01.80
(23) Aikupäivä – Giltighetsdag	15.01.80
(41) Tullut julkiseksi – Blivit offentlig	17.07.80
(44) Nähtäväksipanon ja kuul.julkaisun pvm. – Ansökan utlagd och utl.skriften publicerad	30.09.87
(86) Kv. hakemus – Int. ansökan	
(32) (33) (31) Pyydetty etuoikeus – Begärd prioritet	16.01.79
USA(US) 3841	

(71) Digital Equipment Corporation, 146 Main Street, Maynard, Massachusetts,
USA(US)

(72) William H. Roberts, Corona de Mar, California,
Spencer S. Hu, Wayland, Massachusetts, USA(US)

(74) Oy Kolster Ab

(54) Ohjausmuisti - Styrminne

Tämä keksintö liittyy numeeristen tietokoneiden ohjauslohkoon. Lähemmin keksintö käsittelee mikro-ohjelman ohjausmuistia, joka käyttää tietokoneen konekielisten käskyjen nopeaa, joustavaa ja tehokasta tulkintamenetelmää. Vaikka tässä esitettyä keksintöä kuvataan enimmäkseen ohjausmuistien MOS/LSI-toteutusten nimityksillä, perustekniikka soveltuu muun tyyppisiin toteutuksiin, kuten normaaleihin bipolaarisiin rakenneosiin.

Nykyaikaisissa tietokoneissa käytetään hyväksi mikro-ohjelmointitekniikkaa niiden ohjauslohkon toteuttamisessa. Tämä käsittelee ohjausmuistissa olevan koneen ohjausjärjestystä edustavan mikro-ohjelman tallentamisen. Tämä muisti voidaan toteuttaa jonkin lukumuistin (ROM-read only memory) tai kirjoitusmuistin muodossa. Suoritusjärjestystä mikro-ohjelman avulla ohjataan mikrotason ohjelmalaskurilla tai siirtämällä ohjaussanassa seuraavan mikrokäskyn osoite mikrokäskyn mukana. Jälkimmäinen menetelmä esitetään tässä patenttijulkaisussa, mutta tämä keksintö ei rajoitu tuohon kaavaan.

Tietokoneen konekielisen käskyn suorittamiseksi on välttämätöntä ohjata valitsija sillä hetkellä suoritettavan ja käskyrekisterissä sijaitsevan konekielisen käskyn mikro-ohjelman oikeaan osaan (oikeisiin osiin). Normaali menetelmä tietokoneen käskyn tulkitsemiseksi ja mikro-ohjelman suoritusjärjestyksen ohjaamiseksi on "karttoittaa" käskyn suorituskoodi lähtöohjausmuistiosoitteeseen ROM:in tai PLA:n (Programmable Logic Array -ohjelmoitava logiikkaverkko) kautta. Monissa tapauksissa tarvitaan vain yksi alkukartoitus. Myöhempiä kartoituksia voidaan suorittaa tai ehdollisia mikrotason haarautumia voidaan aikaansaada testaamalla tiettyjä bittejä tai bittiyhdistelmiä käskyrekisterissä. Usein mikrotason aliohjelmia käytetään ohjaamaan valvonta mikro-ohjelman muille osille menettämättä tuloksia alkuperäiskartoituksesta, joka tietysti poimitaan mikro-ohjelman osoitteesta aliohjelmakutsun yhteydessä.

Yleensä kartoituskaavio antaa ohjausmuistin osoitteen, jota sitten käytetään käskyn tulkin tuloksena saatavan, ensimmäisen mikrokäskyn saamiseksi. Osoitteen saaminen ensin kartoitustoiminnasta ja sen jälkeen pääsy ensimmäiseen ohjaussanaan on peräkkäistointana aikaa vievää. Tämä johtuu siitä, että kartoitusaika on yleensä lähes sama kuin ohjausmuistin saantiaika. Tämä keksintö kohdistuu oleellisten aikasäästöjen saavuttamiseen konekielisten käskyjen tulkin kinnassa. Sitä voidaan myös käyttää tulkitsemaan muita syöttötietoja, kuten keskeytyksiä, siirräntää, pinomuistin ylivuotoa jne.

Tämän keksinnön eräänä tavoitteena on siis esittää mikro-ohjelman ohjausmuisti, joka käyttää tietokoneen konekielisten käskyjen nopeaa, joustavaa ja tehokasta tulkintamenetelmää.

Tämän keksinnön toisena tavoitteena on esittää mikro-ohjelman ohjausmuisti, jossa tietokoneen konekielisen käskyn tulkinta ja tulkin tuloksena saatavan ensimmäisen ohjaussanan saanti tapahtuvat samanaikaisesti.

Tämän keksinnön lisätavoitteena on esittää mikro-ohjelman ohjausmuisti, joka sallii yhden tai useamman ohjaussanan muuttaa toisten ohjaussanojen bittejä tai koodeja niiden tulkin muuttamiseksi vähentäen näiden ohjaussanojen lukumäärää, joka muuten tarvittaisiin.

Tämän keksinnön lisätavoitteena on esittää mikro-ohjelman ohjausmuisti, joka sisältää PLA- ja ROM-osat ja joka sallii niiden

ohjaussanojen, joiden saanti ei riipu käsiteltävänä olevasta käskystä, tallentamisen ROM-osarakenteeseen, joka on yleensä halvempi ja suppeampi kuin PLA-rakenne; ja niiden ohjaussanojen, joiden saanti riippuu käsiteltävänä olevasta käskystä, tallettamisen PLA-rakenteeseen.

Vielä eräänä tämän keksinnön tavoitteena on esittää mikro-ohjelman ohjausmuisti, jolla on sekä ROM- että PLA-rakenteet, joiden kokoonpano MOS/LSI-piirin muodossa voidaan yhdistää, mikä johtaa piirien ja yhdyslinjojen vähenemiseen ja täten pienempään mikropiiriin.

Vielä tämän keksinnön lisätavoitteena on esittää mikro-ohjelman ohjausmuistin PLA-osa, jossa ohjaussanat saadaan esille sekä koneen tilan että suoritettavan käskyn avulla; sen tähden tietokoneen ohjausosan suoritusjärjestys on tulos PLA:n suorittaman tietokonekielisen käskyn tulkinnasta.

Vielä eräänä tämän keksinnön tavoitteena on esittää ohjausmuisti, joka käyttää mikro-ohjelman ohjausmuistin PLA-osaa käskyn tulkintatehon vuoksi ja ROM:ia ohjaussanojen tallentamiskyvyn vuoksi.

Tämän keksinnön edellä olevat ja muut tavoitteet saavutetaan tämän keksinnön erään suoritusmuodon mukaisesti varaamalla mikro-ohjelman tietokoneohjausosa, jossa on sekä PLA-laite ohjaussanojen tallentamiseksi että ROM-laite ohjaussanojen tallentamiseksi. ROM-tallennuskoneiston saantilaite perustuu osoiterekisteriltä saataville osoitetuloille. PLA-ohjaussanojen saantilaitteet perustuvat osoitetuloille ja osalle tai kaikille käskyrekisteristä saataville käskytuloille. ROM- ja PLA-osiin kytketty limitin valitsee niiden tulot osoitetulojen tiettyjen bittien tulkinnan perusteella. Tämä lähtö antaa mikrokäskyn ja seuraavan osoitteen. Seuraavan osoitteen lähdön kytkemiseksi limittimeltä seuraavan osoitteen rekisterille on myös takaisinkytkentälaite.

Tämän keksinnön yllä olevat ja muut tavoitteet ja uudet piirteet ilmenevät täydellisemmin seuraavasta kuvauksesta, kun sama luetaan yhdessä oheisten piirustusten kanssa, joissa

Kuvio 1 havainnollistaa kaavamaisesti tämän keksinnön toteutuksessa käytettävän mikro-ohjelman ohjausmuistin lohkokaaaviorakennetta.

Kuvio 2 havainnollistaa kaavamaisesti tämän keksinnön erään suoritusmuodon lohkokaaaviorakennetta, jossa PLA- ja ROM-rakenteet

yhdistyvät siten, että PLA:n yksittäinen sarakebittilinja tai -verkko sijaitsee yhdessä vastaavan ROM-sarakebittilinjan kanssa.

Kuvio 3 havainnollistaa kaavamaisesti esimerkkiä yhdistetystä ROM- ja PLA-ohjausmuistista, jossa on yhdeksän 2-bittistä ohjaussanaa ja yksi 2-bittinen ohjauslähtö.

Kuviot 4a ja 4b määrittelevät kaavamaisesti kuvion 3 mukaisessa esimerkissä käytettyjen porttien symbolit.

Kuvio 5 havainnollistaa taulukonmuodossa kuvion 3 mukaisen esimerkin ohjausmuistin koodauksen.

Tämä keksintö käyttää hyväksi tietokoneen ohjauslohkoa, jossa on ohjausmuisti, joka rakentuu sekä PLA- että ROM-tyyppisistä rakenteista ohjaussanojen tallentamiseksi. Lukumuisti (ROM) on poimintamuisti, jonne tieto on tallennettu pysyvästi muistiin ja täten muistia voidaan ainoastaan lukea. Muistilla on n osoitetuloa, jotka me tyhjentävästi tulkitsimme pääsyksi 2^n muistipaikkaan. EPROMit, PROMit ja vastaavat laitteet sisältyvät tähän samaan tuoteperheeseen.

Ohjelmoitava logiikkaverkko (PLA) käsittää kaksi verkkoa: toinen on JA-porttien joukko ja toinen on TAI-porttien joukko. JA-porteilla on n varsinaista tuloa ja niiden komplementtia, jotka voidaan ohjelmoida yhteyksiksi halutulla tavalla. TAI-porteilla on tulot JA-porttien lähdöistä ja yhteydet voidaan ohjelmoida halutulla tavalla.

Sekä ROM- että PLA-rakenteet tallentavat ohjaussanoja, jotka koostuvat mikrokäskystä ja seuraavasta osoitteesta. Tätä ohjausmuistia, joka rakentuu sekä PLA 2- että ROM 4-tyyppisistä rakenteista ohjaussanojen tallentamiseksi, on havainnollistettu kuviossa 1. Ohjausmuistin osa 2, joka on rakennettu PLA:na on vaihtuva, mutta voisi tavallisesti olla $1/n:s$ -osa koko muistista, missä n on 2, 4 tai 8. Kumpikin muistirakenne 2 ja 4 vastaanottaa vastaavat osoitetulot 12 ja 14 seuraavan osoitteen rekisteriltä 4. Rekisteri 4 sisältää seuraavan osoitteen, joka noudatetaan viimeiseltä ohjaussanalta seuraavan osoitteen rivin 30 kautta. PLA 2 vastaanottaa myös tulon 22 käskyrekisteriltä 8 tai muulta tulkittavien tulojen lähteeltä. Tavallisesti PLA-rakenteen 2 ja ROM-rakenteen 4 JA-portidekooderit käyttävät sekä itse tuloja että niiden komplementteja. ROM-rakenne 4 käsittää ROM-muistiverkon 16 ohjaussanojen tallentamista varten ja dekooderiverkon 18. Dekooderiverkko 18 vastaanottaa

osan osoitteesta syöttötietona ja sen lähdöt aktivoivat ROM-muistiverkon 16 rivinvalintalinjat. Jokainen ROM-dekooderista 18 lähtevä rivinvalintalinja valitsee muutamia ohjaussanoja muistiverkosta 16, joista lähtölimitin 20 valitsee sitten yhden jäljellä olevien osoitebittien ohjaamana. Se tosiasia, että ROM-dekooderi 16 jakautuu useiden ohjaussanojen osalle jokaisella rivinvalintalinjalla ja että sillä on vähemmän tuloja kuin ohjausmuistin PLA-rakenteen 2 JA-porttidekooderilla, on tärkeää otettaessa huomioon ohjausmuistin toteutukseen MOS/LSI-komponenttina tarvittavan piisirun alueen.

PLA 2 käsittää kaksi osaa, TAI-porttiverkon 24 ja JA-porttiverkon 26. TAI-porttiverkon 24 on sama kuin ROM 4:n muistiverkko 16 paitsi, että ainoastaan yksi ohjaussana voidaan valita kullakin rivinvalintalinjalla. JA-porttiverkko 26 toimii dekooderina rivinvalintalinjojen aktivoimiseksi ja täten TAI-porttiverkon 24 kunkin ohjaussanan valitsemiseksi. PLA-muisti ja porttiverkko 24 on vähemmän tehokas kuin ROM-muistiverkko 16, koska jokaista sanaa varten on yksi dekoodaava JA-portti ja JA-porteilla 24 on paljon enemmän tuloja kuin ROM:in 4 dekooderilla 18. Syy, miksi ohjaussanaa kohti on yksi dekoodaava JA-portti, johtuu siitä, että JA-porttiverkon 26 ohjelmoinnin täytyy kullekin ohjaussanalle olla yksilöllistä. Jokainen ohjausmuistin PLA-rakenteen 2 tallennettu ohjaussana saadaan esille osoitetulojen 12 ja tulkittavien käskytulosten 22 sopivan tilan, kuten tietokoneen käskyrekisterin sisällön avulla.

Valinnan PLA:n TAI-porttiverkon 24 ja ROM-muistiverkon 16 kesken suorittaa seuraavan osoitteen 14 ja 16 jokin bitti tai bityhdistelmä. Tämä riippuu PLA:n 2 rivien (JA-porttien) määrästä, ROM:in 20 rivien määrästä ja ROM:in 20 kultakin riviltä saatavien ohjaussanojen määrästä. Tuo valinta tapahtuu limittimessä 28.

On tärkeää huomata, että tässä ohjausmuistirakenteessa ohjaussanat voivat sijaita jommassa kummassa muistin osassa. Ne ohjaussanat, jotka aiotaan saada esille käskyrekisterin 8 sisällön jonkin tulokseen tuloksena, sijaitsevat PLA-muistiverkossa 24, kun taas muut sanat voidaan sijoittaa yhtä hyvin muistin ROM-muistiverkoon 16 kuin PLA-muistiverkoon 24. Peräkkäiset sanat voidaan saada esille yhtä hyvin kummastakin rakenteesta määrittelemällä seuraava osoite halutun muistin alueelta.

Ohjelman mikrokäskyt voidaan sekoittaa ROM-muistiverkon 16 ja PLA:n TAI-porttiverkon 24 kesken millä tahansa tavalla. Kone-

kielinen ohjelma voi suorittaa sopivat määrittelyt mikro-ohjelmaa luodessaan.

Kuten jo mainittiin, tulot PLA-rakenteen 2 JA-porttiverkkoon 26 ovat yleensä itse seuraava osoite 12 ja mikro-ohjelman järjestyksen ohjaukseen tarvittavat käskyn 22 osat ja niiden komplementit. Sen tähden JA-porttiverkko 26 ei ole tulojen täydellinen tulkinta, kuten asia on ROM-dekooderin 18 kohdalla; vaaditaan vain kunkin sanan esille saamiseen välttämättömät tulojen 12 ja 22 tulkinat. Seuraava osoite (12) toimii "kartoituskoodina", joka valitsee erään JA-porttien ryhmän porttiverkosta 26. Jokaista kartoituskoodia varten aktivoitava(t) JA-portti tai -portit riippuvat käskytulon (22) koodauksesta. Tätä menettelyä havainnollistetaan edelleen seuraavassa esimerkissä. PLA-rakenteelle 2 määriteltujen osoitteiden koko aluetta ei välttämättä käytetä, koska tarvittavien koodien lukumäärä on yhtä suuri kuin vaadittavien kartoitusten lukumäärä. Kartoituskoodin käyttö seuraavana osoitteena edustaa mikro-ohjelman kohtia, joissa ohjaussanan saanti riippuu käskyrekisterin 8 koodeista tai yksityisistä biteistä. Itse asiassa tämä kartoitus on samanlainen kuin muun tyyppisille ohjauksille aikaisemmin kuvattiin, missä kartoitus tuotti ohjausosoitteen, mutta tässä PLA-rakenne 2 tuottaa pikemminkin mikrokäskyn kuin mikrokäskyn osoitteen. Tämä johtaa nopeampaan mikrokäskyn saantiin kuin jos kartoitus antaisi ainoastaan ohjaussanan osoitteen. Se sallii myös kartoituksen tehtäväksi ohjausmuistissa ennemminkin kuin erillisessä rakenteessa. Koska jokainen kartoituskoodi voi ohjata lukemattomia JA-portteja JA-porttiryhmässä 26, on mahdollista saada lukemattomia kartoituksia aina saatavissa olevaan JA-porttien ja PLA-rakenteelle osoitettujen osoitteiden lukumäärään asti. Ohjauslohkolle saadaan joustavuutta sallimalla käskytulojen kartoitus tai testaus missä tahansa mikro-ohjelman pisteessä menettämättä aikaa. Lisäksi JA-portit voidaan ohjelmoida "älä välitä" -tuloilla siten, että ne reagoivat kartoituskoodien ja/tai käskykoodien alueeseen tai joukkoon. Tämä johtaa tehokkaaseen mikro-ohjelmointitekniikkaan, kun se yhdistetään kykyyn muunnella ohjaussanoja, kuten seuraavassa kappaleessa selostetaan.

TAI-porttiverkko 24 tallentaa ohjaussanat, kuten ROM:in 4 muistiverkko 16. Jokainen ohjaussana saadaan esille sen JA-portin

ohjaamana. Tämän ohjauskaavion eräs ainutlaatuinen piirre on, että logiikka voidaan suorittaa TAI-porttimuistiverkossa 24, kun useampia kuin yksi JA-portti on aktiivinen kerrallaan. Tämä aikaansaa useamman kuin yhden sanan esillesaamisen kerralla tuloksen ollessa TAI- tai JA-toimitus kaikista valituista ohjaussanoista. Suoritettava logiikkatoiminta riippuu verkolle 24 sovellettavasta loogisesta polariteettisopimuksesta. Yhtä tai useampaa ohjaussanaa korvaavine ykkösineen ja nolllineen voidaan käyttää muuntelemaan toista ohjaussanaa. Muutos voi esiintyä mikrokäskyssä tai ohjaussanan seuraavan osoitteen osassa. Tämän tekniikan hyväksikäyttö vaatii kykyä määrittellä mikrokäskyn ja osoitteiden bittejä ja koodeja, jotta oikea ohjaussanan muutos voi tapahtua. Esimerkiksi mikrokäskyjen ryhmä voidaan ohjelmoida tavutoimituksia varten ja ryhmän kaikki mikrokäskyt voidaan muuntaa sanatoimituksiksi yhdellä sanalla, joka saadaan samalla kertaa kuin eräs tavun mikrokäskyistä. Sellainen sana korvaa tavutoimituksen määrittelevän bitin tai koodin sellaisella, joka määrittelee sanatoimituksen.

Kuvio 2 havainnollistaa yhdistetyn PLA- ja ROM-rakenteen järjestelyä. (Huomaa, että samanlaiset viitenumerot osoittavat identtisiä tai vastaavia osia piirustuksissa.) Ohjausmuisti on toteutettu MOS/LSI-tyyppisellä toteutuksella. PLA- ja ROM-rakenteet voidaan täten yhdistää samalla piisirulla. Yhdistämällä kaksi muistirakennetta, saavutetaan tiettyjä säästöjä ja voitetaan sirun koossa verrattuna kahteen erilliseen rakenteeseen. Tavanomaisissa ROM-malleissa kaikki tietyn bitin sarakebittilinjat sijaitsevat toistensa vieressä mahdollistaakseen lähtölimittimen sijoittelun. Kun PLA ja ROM yhdistetään, kuten kuviossa 2 on tehty, PLA:n TAI-ryhmän yksittäinen sarakebittilinja sijaitsee yhdessä vastaavien ROM-sarakebittilinjoiden kanssa. Samojen syiden tähden läsiirräntälimitin 40 valitsee PLA:n sarakebittilinjat, kun taas toisen limittimen tulot valitsevat ROM-sarakebittilinjat. Sijoittamalla PLA-bittilinjat yhteen ROM-bittilinjoiden kanssa, poistetaan huomattava määrä väylöitystä sirulla. Tämä johtaa pienempään siruun ja suurempaan toimintanopeuteen. Tämä on esitetty kuviossa 3 oikealla. Huomaa, että PLA-bittilinjat 103 ja 104 ovat ROM-bittilinjoiden 101 ja 102 vieressä tehden liitännän limittimeen 105 helpommaksi.

On yleinen käytäntö suurissa ROM-malleissa sijoittaa dekodeeriverkko muistiverkon keskelle ja johtaa rivinvalintalinja dekode-

deriverkko muistiverkon keskelle ja johtaa rivinvalintalinja dekooderin molemmilta puolilta ohjausmuistiverkkoon siten puolittain rivinvalintalinjojen pituuden. Tämä tuottaa nopeamman saantiajan vähentämällä etenemisviivettä rivinvalintalinjoilla. Sellaista tekniikkaa havainnollistetaan yleisesti kuviossa 2. Kuvion 2 mukaisesti yhdistetyssä rakenteessa yksittäinen JA-porttiverkko 42 sijaitsee koko muistiverkko 44 keskustassa. Tämä verkko 42 toimii sekä PLA:n JA-porttiverkkona että ROM:in dekooderiverkkona. Yksittäiset JA-portit aktivoivat kunkin rivinvalintalinjan. Portti toimii PLA:n JA-porttina PLA-rakenteesta lähtevän rivinvalintalinjan yksittäiselle ohjaussanalle ja ROM-dekooderina rivinvalintalinjan muille ohjaussanoille.

Yhdistetyn rakenteen 44 JA-porttiverkolla 42 on kaksi tulojen joukkoa. Toinen joukko on sama kuin kuvion 1 mukaisen ROM-rakenteen 4 ja toinen tulojen joukko on sama kuin kuvion 1 mukaisen PLA-rakenteen 2 joukko. Verkon 42 JA-portit ovat PLA:n JA-portin ja ROM:in dekoodaavan JA-portin yhdistelmiä. Portin saamiseksi toimimaan kuvion 2 mukaisena PLA:n JA-porttina tulojen PLA-joukkoa syötetään ja tulojen ROM-joukko asetetaan tositilaan, jotta portti on PLA:n ohjelmoinnin funktio. Samalla tavoin JA-portin saamiseksi toimimaan kuvion 2 mukaisena ROM-dekooderina, tulojen ROM-joukkoa syötetään ja PLA-joukko asetetaan tositilaan. Yhdistetty JA-dekoode-riportti 42 saadaan toimimaan, kuten PLA:n JA-portit toimivat, kun seuraava osoite on PLA:lle määriteltujen osoitteiden alueella. Sil- lä hetkellä lähtölimitin 40 valitsee PLA:n sarakebittilinjan. Kun seuraava osoite on ROM:ille määriteltujen osoitteiden alueella, JA-portti 42 saadaan toimimaan ROM-dekooderina 18 ja lähtölimitin 40 valitsee yhden ROM:n sarakebittilinjan. Yhdistetty JA-porttiverkko 42 on välttämätön ROM- ja PLA-bittilinjojen välisen numeroinnin sallimiseksi ja samalla se pitää rivinvalintalinjat mahdollisimman lyhyinä. Siitä aiheutuu myös sirun alueen säästöä, koska toisen JA-porttijoukon ja niihin liittyvien puskurivahvistimien kuormitus- lisä tai virrallisena pidettävät piirit poistuvat.

Havainnollinen esimerkki yhdistetystä ROM- ja PLA-ohjaus- muistista on esitetty kuviossa 3. Tietenkin tämä yksinkertaistettu esimerkki on luonteeltaan alkeellinen ja sitä käytetään ainoastaan selitystarkoituksiin ja havainnollistettua perustekniikkaa voidaan

soveltaa mihin tahansa lukemattomista ohjaussanojen ja osoitebittipituuksien muunnelmista.

Tässä esimerkissä on yhdeksän kaksi-bittistä ohjaussanaa, neljä ohjausmuistin 100 ROM-lohkossa ja viisi ohjausmuistin 100 PLA-lohkossa. Muisti 100 on alunperin jaettu puoliksi ROM:n bittilinjajoukon 101 ja 102 ja PLA:n joukon 103 ja 104 kesken. Nämä kaksi bittilinjajoukkoa limitetään limittimellä 105, joka käsittää JA-portit 106-109 ja TAI-portit 110 ja 111, jotka ovat osoitetulon 304 (A2 ja A2:n komplementti) ohjaamia. Huomaa, että esimerkki ei havainnollista kuvion 2 mukaista tekniikkaa sijoittaa dekodeeriverkko muistiverkon keskusta ja ohjata rivinvalintalinjaa molemmilta puolilta. Tämä voidaan helposti toteuttaa ulottamalla rivinvalintabittilinjat 200-204 vasemmalle ja peilaamalla oikealla olevat vahvistimet 700-704 ja ohjausmuisti 100.

Kuviossa on viisi rivinvalintalinjaa 200-204, joista vain neljää, 200-203, käytetään ROM:lle ja viittä käytetään PLA:lle. (Tämä ylimääräinen PLA-valintalinja on jonkin verran vajaakäyttöinen, koska tilaa on viidennelle ROM-sanalle, mutta tätä samaa ei voida toteuttaa, koska ROM:in osoitetulojen, 303 ja 304, koodit ovat jo täysin tulkitut.) Ohjausmuistiin on 10 tuloa; kolme osoitelinjaa merkittyinä AO, A1 ja A2, tosi ja komplementti (osoitetulot 300, 301 ja 304); ja kaksi käskyrekisterilinjaa merkittyinä IO ja I1, tosi ja komplementti (käskytulot 302 ja 303). Osoitetulo 304 suorittaa valinnan ROM:in ja PLA:n välillä. Kun sitä ei pidetä voimassa, valitaan ROM kytkemällä ROM-bittilinjat 101 ja 102 kahteen lähtölinjaan 600 ja 601, ja yhdistetyn JA-dekodeerin PLA- ja JA-porttiosan kahdeksan tuloa (TAI-porttien 500-507 kautta) ovat voimassa. Kun osoitetulo 304 pidetään voimassa, PLA-bittilinjat 103 ja 104 kytketään kahteen lähtölinjaan 600 ja 601, ja neljä yhdistetyn JA/dekodeerin dekodeeriosan tuloa (TAI-porttien 400-403 kautta) ovat voimassa.

Kuvion 3 mukaisessa esimerkissä portit 800 ja 900 on esitetty puoliksi täytetyillä ympyröillä ja toisiaan leikkaavilla viivoilla. Ensimmäisen tarkennuksen 800 kaksi porttia, jotka on erotettu pilkkuviivoilla, on havainnollistettu kuviossa 4a. Porttien 800 ympyrän 99 täytetyt osat merkitsevät portin tuloja. Tulolinjat 811 ja 812 kulkevat porttien tuloihin (99). Täydellinen portti merkitään sillä, kun jokin linja (tässä linja 820) kulkee kohtisuoraan

tulolinjaan (811 ja 812) nähden ja puolittaa ympyrät 98. Linja 820 kuviossa 4a toimii sen tähden lähtölinjana. Jos ohjausmuisti toteutetaan MOS/FET-tyyppisenä toteutuksena, eräs valmistustapa on havainnollistettu kuviossa 4b. Transistorin 801 "hila"napa toimii, kuten kuvion 4a mukainen porttitulo 99 ja on kytketty tulolinjoihin 811 ja 812. "Anodi"napa 802 on kytketty linjoihin 811 ja 812, jotka kaaviossa kulkevat kohtisuoraan tulolinjaan 820 nähden. "Katodi"napa 803 on kytketty loogiseen maahan 804. Toinen tarkennus 900 toimii samoin kuin tarkennus 800, paitsi että syöttölinjoja ja porttien kytkentöjä on kierretty 90 astetta vastapäivään.

Ohjausmuistin koodaus kuvion 3 mukaisessa esimerkissä on esitetty kuviossa 5. Ensimmäiset neljä osoitetta (000:sta 011:een) 0 osoitebittinä 304 saavat esille muistin ROM-osaan tallennetut neljä sanaa. Osoitteet 100 ja 101 toimivat kartoituskoodeina, jotka aktivoivat osia muistin PLA-osasta. Todellinen sana tai sanat, jotka saadaan PLA:sta riippuvat käskyrekisteriltä tulevien tulosten 302 ja 303 koodauksesta. Huomaa, että osoitesyöttötieto 100 ja käskysyöttö X, jossa X merkitsee "älä välitä", ei saa esille mitään sanaa ohjausmuistista ja tuottaa sen tähden oletusarvotulostustiedon 0. Korvautumisperiaatetta havainnollistetaan kuvion 5 kolmessa viimeisessä merkinnässä, jotka kaikki muunnoskoodin osoitesyöttötieto 101 aktivoi. Kaksi viimeistä merkintää on toisensa poissulkevia merkiten riippumattomuutta käskytulosta 302 ja tuottaa vastaavat tulokset 10 ja 01. Kolmanneksi viimeinen merkintä on käskytulon 302 funktio. Jos tulo 302 saatetaan voimaan, se valitaan yhdessä tulon kanssa, joka on toinen kahdesta viimeisestä tulosta. Tuloksena on TAI-toimitus valituista sanoista tai tässä tapauksessa 10 tai 11.

Yllä olevassa esimerkissä havainnollistettu käsittelytapa voidaan sovittaa moniin erilaisiin käsittelyjärjestelmiin samoilla siihen liittyvillä eduilla. On ilmeistä asiaan perehtyneille, että erilaisia muutoksia ja muunnelmia voidaan siinä tehdä keksinnöstä poikkeamatta. Sen tähden seuraavien patenttivaatimusten tavoitteena on kattaa kaikki sellaiset muutokset ja muunnelmat, jotka kuuluvat tämän keksinnön todelliseen olemukseen ja suojapiiriin.

Patenttivaatimukset:

1. Ohjausyksikkö, joka on tarkoitettu käytettäväksi tietojenkäsittelyjärjestelmän tietojenkäsittelylaitteessa, jonka ohjausyksikön avulla tuotetaan iteroivasti ohjaussanoja käskyn ja edellisten ohjaussanojen perusteella, jolloin jokaiseen ohjaussanaan sisältyy osoiteosa ja tietojenkäsittelylaitteessa on käsittelypiirejä, jotka suorittavat toimintoja ohjausyksiköstä saatujen ohjaussanojen perusteella, johon ohjausyksikköön kuuluu käskyrekisteri (8), osoiterekisteri (6), ensimmäinen ohjaussanamuisti (2) ja toinen ohjaussanamuisti (4), t u n n e t t u siitä, että ensimmäisen ohjaussanamuistin (2) osoitesisäänmenoliittimet (12, 22) on kytketty vastaanottamaan osoitesignaaleja sekä käskyrekisteristä (8) että osoiterekisteristä (6), että toisen ohjaussanamuistin (4) osoiteliittimet (14) on kytketty vastaanottamaan osoitesignaaleja ainoastaan osoiterekisteristä (6), ja että sekä ensimmäisen että toisen ohjaussanamuistin (2, 4) ulostuloliittimet on kytketty osoitemuistista (6) saadun signaalin ohjauksessa olevaan liittimeen (28), joka kunkin iteroinnin aikana valitsee joko ensimmäisen tai toisen ohjaussanamuistin tuottaman ohjaussanan siirrettäväksi käsittelypiireille.

2. Patenttivaatimuksen 1 mukainen ohjausyksikkö, t u n n e t t u siitä, että liittimen (28) ulostulo on edelleen kytketty (30) osoiterekisteriin (6) siirtämään valitun ohjaussanan osoiteosa mainittuun osoiterekisteriin (6), jolloin sitä käytetään valittaessa ohjaussana myöhemmin iteroinnin aikana.

3. Patenttivaatimuksen 1 mukainen ohjausyksikkö, t u n n e t t u siitä, että ensimmäiseen ohjaussanamuistiin kuuluu muistipiirejä (24), joiden ulostuloliittimet on kytketty liittimen (28) sisäänmenoliittimiin, jotka muistipiirit käsittävät useita yhden ohjaussanan tallentavia muistipaikkoja, ja tulkintapiiri (26), jonka sisäänmenoliittimet on kytketty sekä käskyrekisteriin (8) että osoiterekisteriin (6) muistipaikan valitsemiseksi siten, että sen sisältö liittimeen (28) siirrettäessä vastaa sekä käskyrekisteristä (8) että osoiterekisteristä (6) saatuja osoitesignaaleja.

4. Patenttivaatimuksen 1 mukainen ohjausyksikkö, t u n n e t t u siitä, että toiseen ohjaussanamuistiin (4) kuuluu

muistipiirejä (16), joiden ulostuloliittimet on kytketty limit-timen (28) sisäänmenoliittimiin, jotka muistipiirit käsittävät useita yhden ohjaussanan tallentavia muistipaikkoja, tulkintapiiri (18), jonka sisäänmenoliittimet on kytketty osoiterekisteriin (6) valitsemaan valittu määrä muistipaikkoja ja ulostulolimitin (20) yhden mainitun muistipaikan sisällöin kytkemiseksi limittimeen (28) osoiterekisteristä saadun osoitesignaalin perusteella.

5. Patenttivaatimusten 3 ja 4 mukainen ohjausyksikkö, t u n n e t t u siitä, että tulkintapiiriin kuuluu useita yhtäaikaaisveräjiä, joiden sisäänmenot (400-403) on kytketty tulkintapiirin sisäänmenoliittimiin ja joiden ulostulot lähettävät muistipaikan valitsevan signaalin.

6. Patenttivaatimuksen 5 mukainen ohjausyksikkö, t u n n e t t u siitä, että kukin yhtäaikaaisveräjä muodostuu ohjauslinjasta, johon ainakin yksi piirielementti on kytketty, ja ulostulosta, jolloin yksi osoiteliittimen vastaanottamista signaaleista aktivoi kunkin piirielementin, joka ohjauslinja lähettää lähtösignaalin ainoastaan silloin, kun kaikki siihen kytketyt piirielementit on aktivoitu.

7. Patenttivaatimuksen 6 mukainen ohjausyksikkö, t u n n e t t u siitä, että ainakin yhdellä ensimmäisen ja yhdellä toisen ohjaussanamuistin tulkintapiirin muodostavista yhtäaikaaisveräjistä on yhteinen ohjauslinja (200-204), jolloin kuhunkin tulkintapiiriin lisäksi kuuluu piiri, joka aktivoi kaikki ne piirielementit, jotka liittyvät joko ensimmäiseen tai toiseen ohjaussanamuistiin, kun limitin lähettää jommankumman muistin ohjaussanan.

8. Patenttivaatimuksen 7 mukainen ohjausyksikkö, t u n n e t t u siitä, että kukin muistipiiri muodostuu useista ohjauslinjoista, joihin jokaiseen on kytketty ainakin yksi piirielementti, ja ulostulosta, joka on yhdistetty limittimeen, jolloin ensimmäisen ja toisen muistipiirin kunkin piirielementin ohjaussisäänmeno on yhdistetty ensimmäisen vast. toisen tulkintapiirin yhtäaikaaisveräjän ohjauslinjaan, jolloin mainittu muistipiiri lähettää ulostulosignaalin silloin, kun ainakin yksi siihen yhdistetyistä piirielementeistä on aktivoitu.

Patentkrav:

1. Styrenhet som är avsedd att användas i en databehandlingsanordning i ett databehandlingssystem med hjälp av vilken styrenhet alstras iterativt kontrollord på basen av en order och föregående kontrollord, varvid varje kontrollord innehåller en adressdel och databehandlingsanordningen uppvisar behandlingskretsar, vilka utför funktioner på basen av kontrollord från styrenheten, till vilken styrenhet hör ett orderregister (8), ett adressregister (6), ett första kontrollordminne (2) och ett andra kontrollordminne (4), k ä n n e t e c k n a d därav, att det första kontrollordminnets (2) adressgångsterminaler (12, 22) är kopplade att mottaga adresssignaler från såväl orderregistret (8) som adressregistret (6), att det andra kontrollordminnets (4) adressterminaler (14) är kopplade att mottaga adresssignaler endast från adressregistret (6) och att utgångsterminalerna av såväl det första som det andra kontrollordminnet (2, 4) är kopplade till en multiplexer (28), som är under styrning av en signal från adressminnet (6), vilken multiplexer under varje iterering väljer ett kontrollord som är alstrat av antingen det första eller det andra kontrollordminnet för transmission till behandlingsretsarna.

2. Styrenhet enligt patentkravet 1, k ä n n e t e c k n a d därav, att utgången av multiplexern (28) är vidare kopplad (30) till adressregistret (6) för att transmitta adressdelen av ett utvalt kontrollord till nämnda adressregister (6), varvid den används vid väljande av ett kontrollord under en senare iterering.

3. Styrenhet enligt patentkravet 1, k ä n n e t e c k n a d därav, att till det första kontrollordminnet hör minneskretsar (24), vilkas utgångsterminaler är kopplade till multiplexerns (28) ingångsterminaler, vilka minneskretsar omfattar flera minnesplatser lagrande ett kontrollord, och en dekodningskrets (26), vars ingångsterminaler är kopplade till såväl orderregistret (8) som adressregistret (6) för väljande av minnesplatsen så, att dess innehåll vid transmission till multiplexern (28) motsvarar adresssignaler erhållna från såväl orderregistret (8) som adressregistret (6).

4. Styrenhet enligt patentkravet 1, k ä n n e t e c k - n a d därav, att till det andra kontrollordminnet (4) hör minneskretsar (16), vilkas utgångsterminaler är kopplade till multiplexerns (28) ingångsterminaler, vilka minneskretsar omfattar flera minnesplatser lagrande ett kontrollord, en dekodningskrets (18), vars ingångsterminaler är kopplade till adressregistret (16) för att välja ett utvalt antal minnesplatser och en utgångsmultiplexer (20) för kopplande av innehållet av en nämnd minnesplats till multiplexern (28) på basen av adresssignaler från adressregistret.

5. Styrenhet enligt patentkravet 3 och 4, k ä n n e t e c k - n a d därav, att till dekodningskretsen hör flera koincidensgrindar vilkas ingångar (400-402) är kopplade till dekodningskretsens ingångsterminaler och vilkas utgångar avger en signal som väljer minnesplatsen.

6. Styrenhet enligt patentkravet 5, k ä n n e t e c k - n a d därav, att varje koincidensgrind bildas av en kontrollinje, till vilken åtminstone ett kretselement är kopplat, och av en utgång, varvid en av signalerna mottagna av adressterminalen aktiverar vart och ett kretselement, vilken kontrollinje transmitterar en utgångssignal endast då alla därtill kopplade kretselement är aktiverade.

7. Styrenhet enligt patentkravet 6, k ä n n e t e c k - n a d därav, att åtminstone en av koincidensgrindarna bildande dekodningskretsen av både det första och det andra kontrollordminnet har en gemensam kontrollinje (200-204), varvid till varje dekodningskrets ytterligare hör en krets, vilken aktiverar alla de kretselement, vilka ansluter sig till antingen det första eller det andra kontrollordminnet när multiplexern transmitterar ett kontrollord av endera minnet.

8. Styrenhet enligt patentkravet 7, k ä n n e t e c k - n a d därav, att var och en minneskrets bildas av flera kontrollinjer, till var och en av vilka åtminstone ett kretselement är kopplat, och av en utgång, som är förenad till multiplexern, varvid kontrollinjeången av vart och ett kretselement av den första och den andra minneskretsen är förenad till kontrollinjen av koincidensgrinden i den första resp. den andra dekodningskretsen, varvid nämnda minneskrets transmitterar en utgångssignal då åtminstone ett av de därtill förenade kretselementen är aktiverat.

Viitejulkaisuja-Anförda publikationer

Hakemusjulkaisuja:-Ansökningspublikationer: Saksan liittotasavalta-Föbundsrepubliken Tyskland(DE) 2 418 921 (G 06 f 9/14).
Patenttijulkaisuja:-Patentskrifter: USA(US) 3 839 705 (G 06 f 9/16).
Sveitsi-Schweiz(CH) 586 428 (G 06 F 9/14).

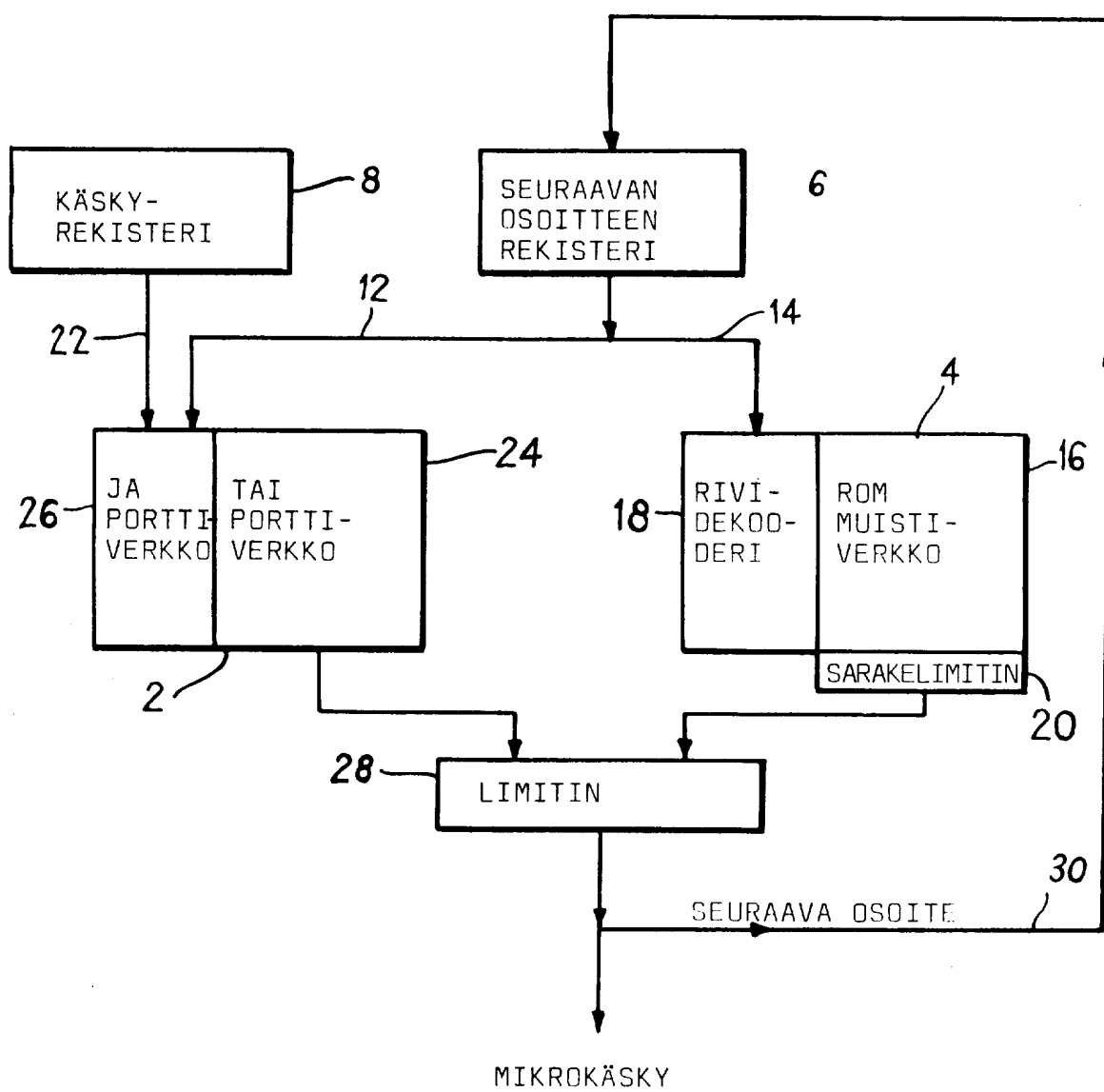


Fig. 1.

74355

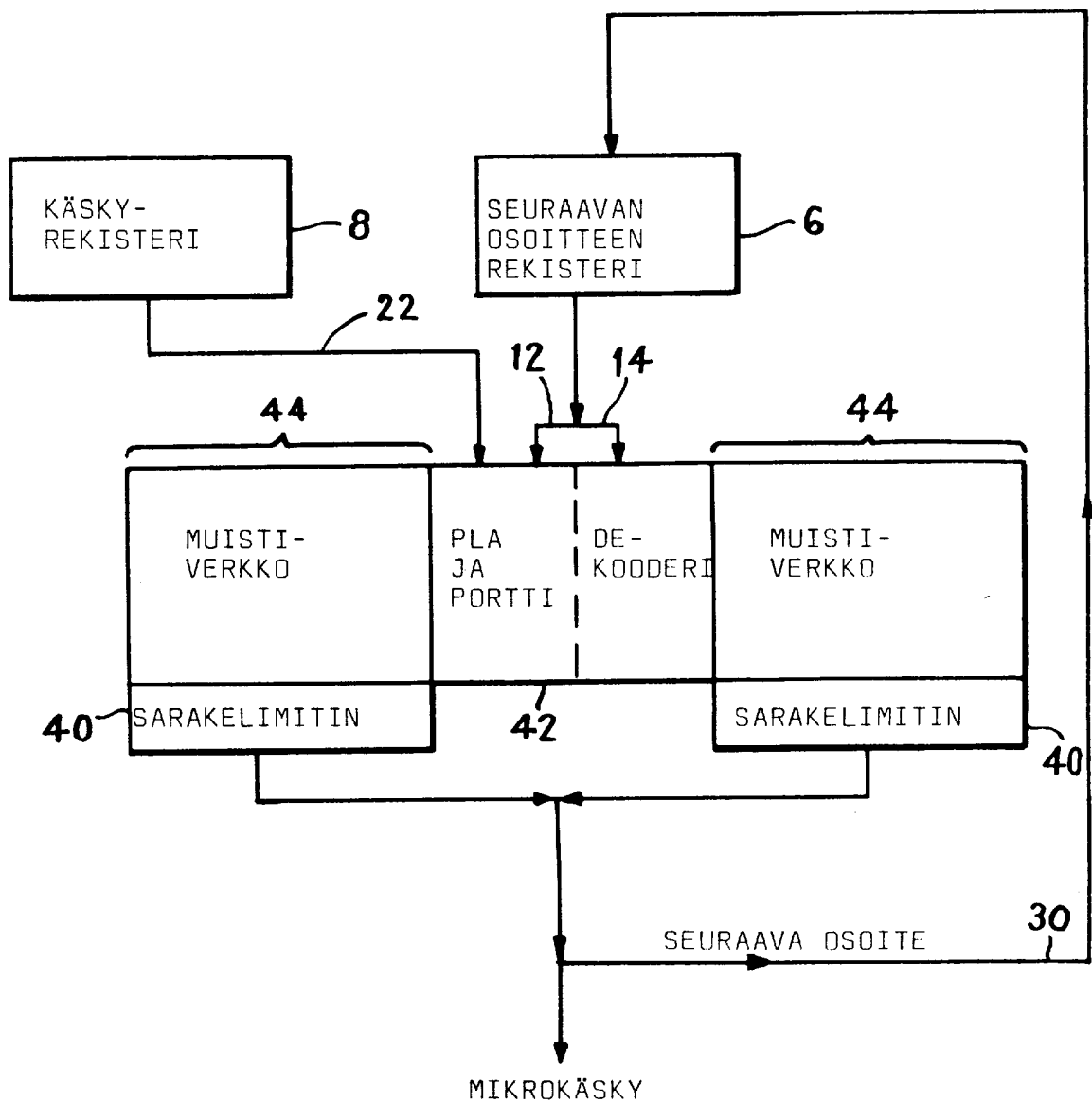


Fig. 2.

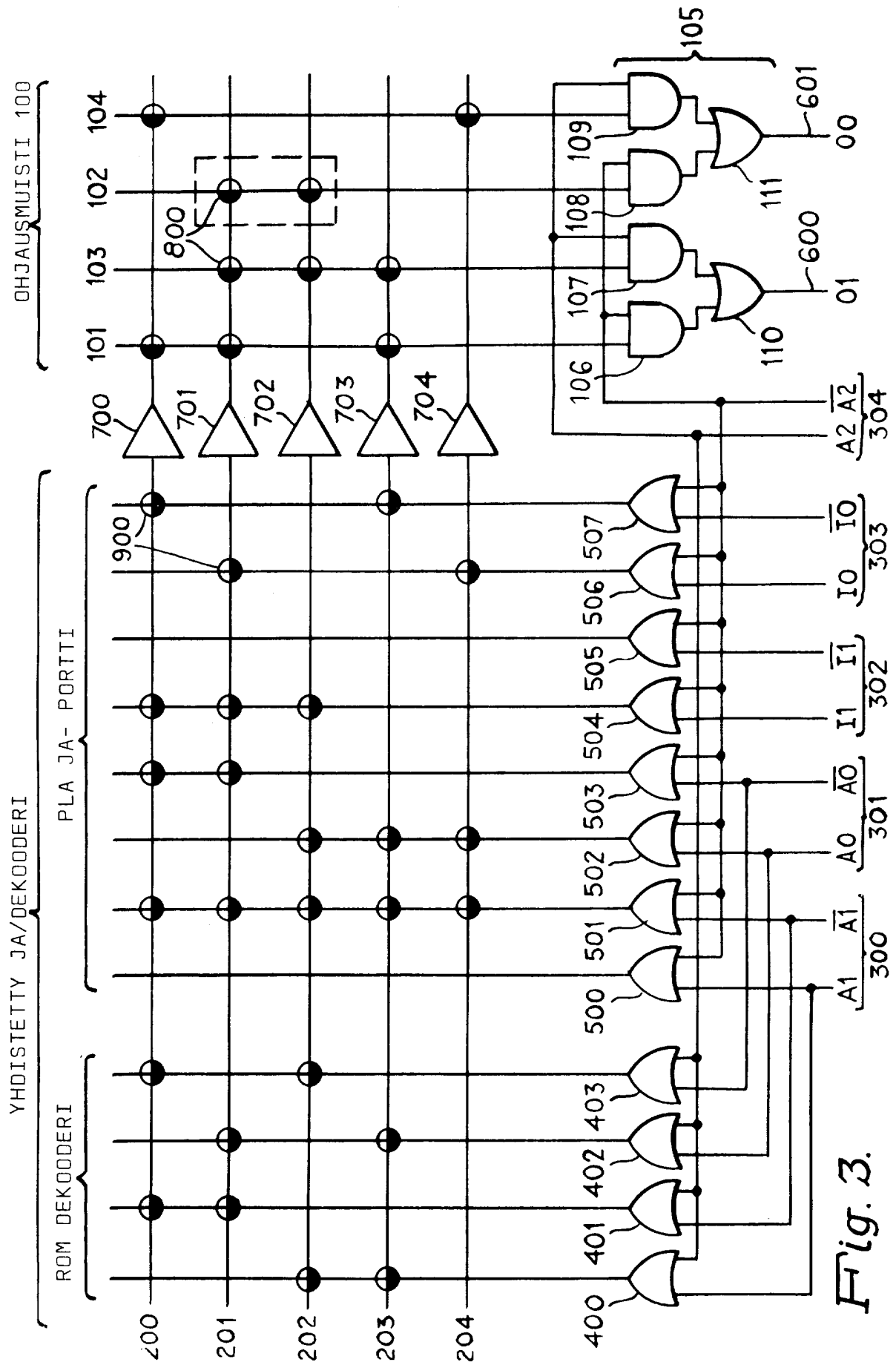


Fig. 3.

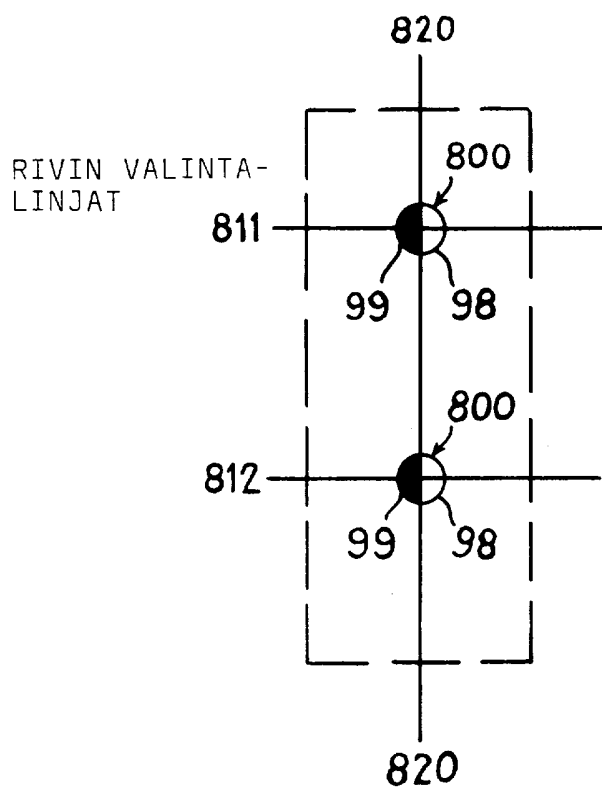


Fig. 4a.

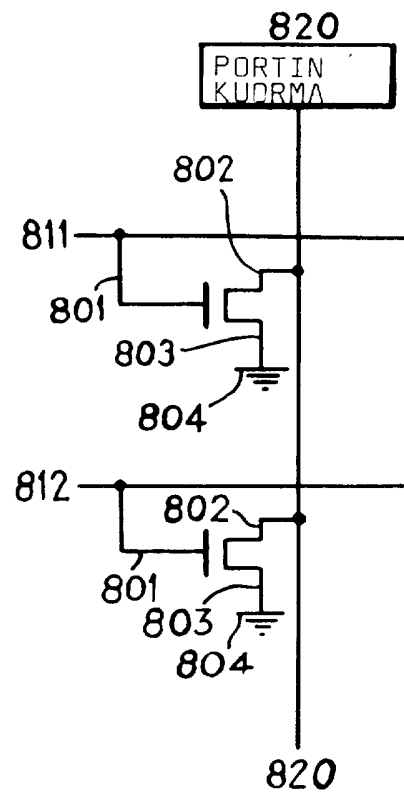


Fig. 4b.

OSOITE			KÄSKY		LÄHDÖT	
A2	A1	A0	I1	Io	O1	00
0	0	0	X	X	1	0
0	0	1	X	X	1	1
0	1	0	X	X	0	1
0	1	1	X	X	1	0
1	0	0	1	0	0	1
1	0	0	1	1	1	0
1	0	0	0	X	0	0
1	0	1	1	X	1	0
1	0	1	X	0	1	0
1	0	1	X	1	0	1

Fig. 5.