

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6373411号
(P6373411)

(45) 発行日 平成30年8月15日 (2018. 8. 15)

(24) 登録日 平成30年7月27日 (2018. 7. 27)

(51) Int. Cl.	F I	
HO 1 L 25/065 (2006. 01)	HO 1 L 25/08	C
HO 1 L 25/07 (2006. 01)	HO 1 L 23/12	5 O 1 P
HO 1 L 25/18 (2006. 01)	HO 1 L 21/60	3 1 1 Q
HO 1 L 23/12 (2006. 01)	HO 1 L 21/92	6 O 2 D
HO 1 L 21/60 (2006. 01)	HO 1 L 21/92	6 O 2 N
請求項の数 12 (全 15 頁) 最終頁に続く		

(21) 出願番号 特願2016-569053 (P2016-569053)
 (86) (22) 出願日 平成27年5月22日 (2015. 5. 22)
 (65) 公表番号 特表2017-517888 (P2017-517888A)
 (43) 公表日 平成29年6月29日 (2017. 6. 29)
 (86) 国際出願番号 PCT/US2015/032216
 (87) 国際公開番号 W02015/183742
 (87) 国際公開日 平成27年12月3日 (2015. 12. 3)
 審査請求日 平成29年2月7日 (2017. 2. 7)
 (31) 優先権主張番号 14/287, 418
 (32) 優先日 平成26年5月27日 (2014. 5. 27)
 (33) 優先権主張国 米国 (US)

(73) 特許権者 595168543
 マイクロン テクノロジー, インク.
 アメリカ合衆国, アイダホ州 83716
 -9632, ボイズ, サウス フェデ
 ラル ウェイ 8000
 (74) 代理人 100074099
 弁理士 大菅 義之
 (74) 代理人 100106851
 弁理士 野村 泰久
 (72) 発明者 チャンドル, アニルクマール
 アメリカ合衆国, アイダホ州 83716
 , ボイズ, イースト オーパス ストリー
 ト 1168

審査官 安田 雅彦

最終頁に続く

(54) 【発明の名称】 冗長電気コネクタを有する相互接続構造と、それに関連するシステムおよび方法

(57) 【特許請求の範囲】

【請求項1】

互いに積層されると共に相互接続構造を介して互いに電氣的に接続された第一および第二の半導体ダイを含む半導体アセンブリであって、

前記第一の半導体ダイは、

第一の半導体基板と、

前記第一の半導体基板を通して延びる第一の基板貫通ビア(TSV)と、

前記第一のTSVの前記第二の半導体ダイ側に位置する端部に設けられた第一のボン
ドパッドと、

前記第一のボンドパッドから水平方向に延在形成された第一の導電性トレースと、
を含み、

前記第二の半導体ダイは、

第二の半導体基板と、

前記第二の半導体基板を通して延びる第二のTSVと、

前記第二のTSVの前記第一の半導体ダイ側に位置する端部に設けられた第二のボン
ドパッドと、

前記第二のボンドパッドから水平方向に延在形成された第二の導電性トレースと、
を含み、

前記相互接続構造は、

複数の冗長電気コネクタであって、各々が、前記第一および第二のボンドパッドから

水平方向に離れた位置において、前記第一および第二の導電性トレースに結合された複数の冗長電気コネクタ、

を含む、

半導体ダイアセンブリ。

【請求項 2】

前記複数の冗長電気コネクタのうち少なくとも一つは、その途中に分断部分を有することにより、前記第一および第二の導電性トレース間の電氣的接続に寄与しなくなっている、

請求項 1 に記載の半導体ダイアセンブリ。

【請求項 3】

前記複数の冗長電気コネクタの各々は、

前記第一の導電性トレースに結合された第一の導電性部材と、

前記第二の導電性トレースに結合された第二の導電性部材と、

前記第一および第二の導電性部材の間に介在する導電性接合材料と、

を含む

請求項 1 に記載の半導体ダイアセンブリ。

【請求項 4】

前記導電性接合材料ははんだ材料であり、

前記複数の冗長電気コネクタのうち少なくとも一つは、その中の前記はんだ材料が前記第一および第二の導電性部材を接続できていないことにより、前記第一および第二の導電性トレース間の電氣的接続に寄与しなくなっている、

請求項 3 に記載の半導体ダイアセンブリ。

【請求項 5】

前記第一の半導体ダイは、

前記第一の半導体基板を通して延びる第一の付加 T S V と、

前記第一の付加 T S V の前記第二の半導体ダイ側に位置する端部に設けられた第一の付加ボンドパッドと、

前記第一の付加ボンドパッドから水平方向に延在形成された第一の付加導電性トレースと、

をさらに含み、

前記第二の半導体ダイは、

前記第二の半導体基板を通して延びる第二の付加 T S V と、

前記第二の付加 T S V の前記第一の半導体ダイ側に位置する端部に設けられた第二の付加ボンドパッドと、

前記第二の付加ボンドパッドから水平方向に延在形成された第二の付加導電性トレースと、

をさらに含み、

前記相互接続構造は、

複数の付加冗長電気コネクタであって、各々が、前記第一および第二の付加ボンドパッドから水平方向に離れた位置において、前記第一および第二の付加導電性トレースに結合された複数の付加冗長電気コネクタ、

をさらに含む、

請求項 1 または 3 に記載の半導体ダイアセンブリ。

【請求項 6】

前記第一および第二の T S V および前記第一および第二の付加 T S V は、前記複数の冗長電気コネクタと前記複数の付加冗長電気コネクタとの間に、位置するように配置されている、

請求項 5 に記載の半導体ダイアセンブリ。

【請求項 7】

前記第一の半導体ダイは論理ダイまたはメモリダイであり、

10

20

30

40

50

前記第二の半導体ダイは論理ダイまたはメモリダイである、
請求項 1 乃至 6 のいずれか一項に記載の半導体ダイアセンブリ。

【請求項 8】

前記第一の導電性部材は前記第二の導電性トレースに向かって突出する第一の導電性柱部として形成され、前記第二の導電性部材は前記第一の導電性トレースに向かって突出する第二の導電性柱部として形成され、前記第一の導電性柱部は前記第二の導電性柱部よりも長い、

請求項 3 に記載の半導体ダイアセンブリ。

【請求項 9】

前記第二の半導体ダイを支持するパッケージ基板と、
筐体内に前記第一および第二の半導体ダイを少なくとも部分的に包囲する熱伝導性ケーシングと、

をさらに含む、

請求項 1 に記載の半導体ダイアセンブリ。

【請求項 10】

半導体ダイアセンブリを形成する方法であって、

第一の半導体基板と、前記第一の半導体基板を通して延びる第一の基板貫通ビア(TSV)と、前記第一のTSVの一方の端部に設けられた第一のボンドパッドと、前記第一のボンドパッドから水平方向に延在形成された第一の導電性トレースと、前記第一のボンドパッドから水平方向に離れた位置において前記第一の導電性トレースに結合された複数の第一の導電性部材と、を含む、第一の半導体ダイを形成することと、

第二の半導体基板と、前記第二の半導体基板を通して延びる第二のTSVと、前記第二のTSVの一方の端部に設けられた第二のボンドパッドと、前記第二のボンドパッドから水平方向に延在形成された第二の導電性トレースと、前記第二のボンドパッドから水平方向に離れた位置において前記第二の導電性トレースに結合された複数の第二の導電性部材と、を含む、第二の半導体ダイを形成することと、

前記複数の第一の導電性部材のそれぞれを前記複数の第二の導電性部材の対応する導電性部材に接続することと、を含む、

方法。

【請求項 11】

前記複数の第一の導電性部材のそれぞれを前記複数の第二の導電性部材の対応する導電性部材に接続することは、導電性接合材料を用いて行うことを含む、

請求項 10 に記載の方法。

【請求項 12】

前記導電性接合材料ははんだを含む、

請求項 11 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

開示された実施形態は、半導体ダイアセンブリ内の積層された半導体ダイ間に形成される相互接続構造に関する。幾つかの実施形態においては、本技術は、冗長導電性電気コネクタを有する相互接続構造に関する。

【背景技術】

【0002】

メモリチップ、マイクロプロセッサチップおよびイメージャチップを含むパッケージ化された半導体ダイは、基板上に取り付けられ、プラスチック保護カバー内に収容された半導体ダイを、一般的に含む。ダイは、メモリセル、プロセッサ回路およびイメージャデバイスなどの機能的フィーチャだけでなく、この機能的フィーチャに電氣的に接続されたボンドパッドも含む。ボンドパッドは、外部回路にダイを接続できるように、保護カバーの外部の端子に電氣的に接続することが出来る。

10

20

30

40

50

【 0 0 0 3 】

幾つかのダイパッケージ内で、半導体ダイは、隣接するダイ間に配置された相互接続によって、互いに、積層され、電氣的に接続されることが出来る。相互接続は、金属はんだで、隣接するダイのボンドパッドに接続することが出来る。しかしながら、金属はんだ接合による一つの課題は、相互接続および/またはボンドパッドに金属はんだが常に適切に接合するとは限らないということである。その結果として、相互接続は開回路（オープンサーキット）となることがあり、それによってダイパッケージが適切に機能しない原因と成り得る。これが、次は、製造中のプロセス収率を減少させ得る。

【 図面の簡単な説明 】

【 0 0 0 4 】

【 図 1 】 本技術の一実施形態により構成される半導体ダイアセンブリの断面図である。

【 図 2 A 】 本技術の一実施形態により構成される相互接続構造を含む半導体デバイスの拡大断面図である。

【 図 2 B 】 製造中に生じ得るはんだ接合の、特定の故障モードを図示する断面図である。

【 図 3 】 本技術の別の実施形態により構成される相互接続構造を示す上面図である。

【 図 4 A 】 本技術の選択された実施形態による、相互接続構造を製造するための方法の様々な段階における半導体デバイスを図示する断面図である。

【 図 4 B 】 本技術の選択された実施形態による、相互接続構造を製造するための方法の様々な段階における半導体デバイスを図示する断面図である。

【 図 4 C 】 本技術の選択された実施形態による、相互接続構造を製造するための方法の様々な段階における半導体デバイスを図示する断面図である。

【 図 4 D 】 本技術の選択された実施形態による、相互接続構造を製造するための方法の様々な段階における半導体デバイスを図示する断面図である。

【 図 4 E 】 本技術の選択された実施形態による、相互接続構造を製造するための方法の様々な段階における半導体デバイスを図示する断面図である。

【 図 4 F 】 本技術の選択された実施形態による、相互接続構造を製造するための方法の様々な段階における半導体デバイスを図示する断面図である。

【 図 4 G 】 本技術の選択された実施形態による、相互接続構造を製造するための方法の様々な段階における半導体デバイスを図示する断面図である。

【 図 4 H 】 本技術の選択された実施形態による、相互接続構造を製造するための方法の様々な段階における半導体デバイスを図示する断面図である。

【 図 5 】 本技術の実施形態により構成される半導体ダイアセンブリを含むシステムの概略図である。

【 発明を実施するための形態 】

【 0 0 0 5 】

冗長電気コネクタを有する相互接続構造を有する積層半導体ダイアセンブリと、それに関連するシステムおよび方法の幾つかの実施形態の具体的な詳細事項が以下に記述される。“半導体デバイス”および“半導体ダイ”という語は、論理デバイス、メモリデバイスまたは他の半導体回路、コンポーネントなどの半導体材料を含むソリッドステートデバイスを一般的に指す。また、“半導体デバイス”および“半導体ダイ”という語は、完成したデバイスを指すことが出来、または完成したデバイスになる前の様々な処理段階におけるアセンブリもしくは他の構造を指すことが出来る。それが用いられる状況に応じて、“基板”という語は、ウェーハレベルの基板または単一化されたダイレベルの基板を指すことが出来る。本明細書に記述された方法の適切なステップが、ウェーハレベルまたはダイレベルにて実行されることが出来ることを当業者は理解するだろう。さらに、文脈がそうでないと示さない限りにおいて、本明細書に開示された構造は、従来の半導体製造技術を用いて形成されることが出来る。材料は、例えば、化学蒸着、物理蒸着、原子層堆積、スピンコーティングおよび/または他の適切な技術を用いて堆積されることが出来る。同様に、材料は、例えば、プラズマエッチング、ウェットエッチング、化学機械平坦化、または他の適切な技術を用いて除去されることが出来る。本技術はさらなる実施形態を有する

10

20

30

40

50

ことが出来ることと、本技術は図1 - 図5を参照して以下に記述される実施形態の詳細事項のうちの幾つかがなくとも実行され得ることを当業者はまた理解するだろう。

【0006】

本明細書で用いられるように、“垂直方向(vertical)” “横方向(lateral)” “より上(upper)” “より下(lower)” という語は、図面に示された方向から見て、半導体ダイアセンブリにおけるフィーチャの相対的な方向または位置を指すことが出来る。例えば、“より上(upper)” または“最上(uppermost)” とは、他のフィーチャよりもページの上部により近く配置されたフィーチャを指すことが出来る。しかしながら、これらの用語は、他の方向を有する半導体デバイスを含むように広く解釈されるべきである。

10

【0007】

図1は、本技術の一実施形態により構成される半導体ダイアセンブリ100 (“アセンブリ100”) の断面図である。アセンブリ100は、第二の半導体ダイ102bによって支持された第一の半導体ダイ102aの積層(まとめて“半導体ダイ102”)を含む。次に、第二の半導体ダイ102bは、インターポーザ120によって支持される。インターポーザ120は、例えば、半導体ダイ、誘電体スペーサ、および/または、インターポーザ120とパッケージ基板125との間に接続されたビア、金属トレースなどの電気コネクタ(図示せず)を有する別の適切な基板、を含むことが出来る。パッケージ基板125は、例えば、インターポーザ、プリント回路基板、別の論理ダイ、または、パッケージ接触部127(例えば、ボンドパッド)と、外部回路(図示せず)にアセンブリ100を電氣的に結合する電気コネクタ128(例えば、はんだボール)とに接続された別の適切な基板を含むことが出来る。幾つかの実施形態においては、パッケージ基板125および/またはインターポーザ120は、異なるように構成することが出来る。例えば、幾つかの実施形態においては、インターポーザ120は、省略することが出来、第二の半導体ダイ102bは、パッケージ基板125に直接接続することが出来る。

20

【0008】

アセンブリ100は、熱伝導性ケーシング110 (“ケーシング110”) をさらに含むことが出来る。ケーシング110は、キャップ部分112と、キャップ部分112に取り付けられるか、またはキャップ部分112と一体化して形成される壁部分113とを含むことが出来る。キャップ部分112は、第一の接合材料114a(例えば、接着剤)によって、最上部の第一の半導体ダイ102aに取り付けることが出来る。壁部分113は、キャップ部分112から垂直方向に延び、第二の接合材料114b(例えば、接着剤)によって、第一の半導体ダイ102aの周辺部分106 (“ポーチ” または “シェルフ” として当業者に既知)に取り付けることが出来る。保護カバーを提供するのに加え、ケーシング110は、半導体ダイ102から熱エネルギーを吸収し、放散するための、熱スプレッドとして機能することが出来る。ケーシング110は、したがって、ニッケル(Ni)、銅(Cu)、アルミニウム(Al)、高い熱伝導率を有するセラミック材料(例えば、窒化アルミニウム)および/または他の適切な熱伝導性材料などの熱伝導性材料から製造することが出来る。

30

【0009】

幾つかの実施形態においては、第一の接合材料114aおよび/または第二の接合材料114bは、“熱接合材料” または “TIM” として本技術分野で既知の材料から製造することが出来、熱接合材料またはTIMは、表面接合部(例えば、ダイ表面と熱スプレッドとの間)において、熱接触コンダクタンスを増加させるように設計されている。TIMは、導電性材料(例えば、カーボンナノチューブ、はんだ材料、ダイヤモンド状炭素(DLC)など)や相変化材料をドーブされた、シリコンベースのグリース、ゲルまたは接着剤を含むことが出来る。他の実施形態においては、第一の接合材料114aおよび/または第二の接合材料114bは、金属(例えば銅)および/または他の適切な熱伝導性材料などの他の適切な材料を含むことが出来る。

40

【0010】

50

第一および/または第二の半導体ダイ102のうちの、幾つかまたは全ては、誘電体アンダーフィル材料116内に少なくとも部分的に封入されることが出来る。アンダーフィル材料116は、ダイとの機械的接続を強化するために、および/または、導電性フィーチャ間および/もしくは構造(例えば、相互接続)間の電氣的絶縁を提供するために、ダイのうちの幾つかまたはその全ての周囲および/またはその間に堆積されるか、または形成されることが出来る。アンダーフィル材料116は、非導電性エポキシペースト、キャピラリアンダーフィル、非導電性膜、鑄造アンダーフィルとすることが出来、および/または他の適切な電氣的に絶縁性の材料を含むことが出来る。幾つかの実施形態においては、アンダーフィル材料116は、アセンブリ100のダイを通じた熱放散を促進するために、その熱伝導性に基づいて選択することが出来る。幾つかの実施形態においては、アンダーフィル材料116は、ケーシング110を最上部の第一の半導体ダイ102aに取り付けるために、第一の接合材料114aおよび/または第二の接合材料114bの代わりに用いることが出来る。

10

【0011】

半導体ダイ102は、シリコン、シリコン・オン・インシュレータ、化合物半導体(例えば、窒化ガリウム)または他の適切な基板などの半導体基板から各々形成されることが出来る。半導体基板は、ダイナミックランダムアクセスメモリ(DRAM)と、スタティックランダムアクセスメモリ(SRAM)と、フラッシュメモリと、メモリ、処理回路、イメージングコンポーネントおよび/もしくは他の半導体デバイスを含む他の形式の集積回路デバイスなどの、様々な集積回路コンポーネントまたは機能的フィーチャのうちの、任意のものを有する半導体ダイへと、切断されるか、または単一化されることが出来る。選択された実施形態においては、アセンブリ100は、ハイブリッドメモリキューブ(HMC)として構成されることが出来、その場合、第一の半導体ダイ102aは、データストレージ(例えば、DRAMダイ)を提供し、第二の半導体ダイ102bは、そのHMC内のメモリ制御(例えば、DRAM制御)を提供する。幾つかの実施形態においては、アセンブリ100は、半導体ダイ102のうちの一つ以上に加えて、および/または、半導体ダイ102のうちの一つ以上の代わりに、他の半導体ダイを含むことが出来る。例えば、このような半導体ダイは、データストレージおよび/またはメモリ制御コンポーネント以外の集積回路コンポーネントを含むことが出来る。さらに、アセンブリ100は、インターポーザ120上に積層された9個のダイを含むが、他の実施形態においては、アセンブリ100は、9個未満のダイ(例えば、6個のダイ)または9個を超えるダイ(例えば、12個のダイ、14個のダイ、16個のダイ、32個のダイなど)を含むことが出来る。例えば、一実施形態においては、アセンブリ100は、二つの論理ダイ上に積層された4個のメモリダイを含むことが出来る。また、種々の実施形態においては、半導体ダイ102は、異なるサイズを有することが出来る。例えば、幾つかの実施形態においては、第二の半導体ダイ102bは、第一の半導体ダイ102aのうちの少なくとも一つと同一の設置面積を有することが出来る。

20

30

【0012】

図1にさらに示されるように、アセンブリ100は、半導体ダイ102の第一側109a(例えば、前側)上に複数の第一の導電性トレース140a(“第一のトレース140a”)と、半導体ダイ102の第二側109b(例えば、裏側)上の複数の第二の導電性トレース140b(“第二のトレース140b”)と、個々の第二のトレース140bと個々の第一のトレース140aを相互結合する複数の相互接続構造130と、をさらに含む。第一のトレース140aと第二のトレース140bのうちの各々は、例えば、導電性ライン、導電性プレート、または半導体ダイ102のある側を横方向にわたって延びる他の導電性構造を含むことが出来る。図示された実施形態においては、第一のトレース140aおよび第二のトレース140bは、対応する基板貫通ビア(TSV)142に結合される。TSVは、半導体ダイ102の対向側で第一のトレース140aと第二のトレース140bとを相互結合するように構成される。図示されるように、TSV142は、半導体ダイ102の中心に向かって配置されることが出来、第一のトレース140aと第二の

40

50

トレース 140b は、TSV 142 から相互接続構造 130 に向かって外側に広がること
 ができる。しかしながら、他の実施形態においては、TSV 142、第一のトレース 14
 0a と第二のトレース 140b および / または相互接続構造 130 は、これとは異なるよ
 うに配置されることが出来る。

【0013】

相互接続構造 130 は、隣接する半導体ダイ 102 の個々の第一のトレース 140a と
 個々の第二のトレース 140b との間に結合された複数の冗長電気コネクタ 134 (“ 冗
 長コネクタ 134 ”) を、各々含むことが出来る。このように、第一のトレース 140a
 と第二のトレース 140b の各対は、複数の冗長コネクタ 134 によって電氣的、かつ熱
 的に結合される。この実施形態の一態様においては、冗長コネクタ 134 は、製造中のブ
 ロセス収率を改善することが出来る。例えば、以下により詳細に記述されるように、個々
 の構造 130 は、従来の相互接続またはほかの電気コネクタと比較して開回路になりにく
 い。なぜなら、トレース 140a および 140b に沿って互いに離隔された複数の冗長コ
 ネクタが存在するからである。この実施形態の別の態様においては、冗長コネクタ 134
 は、半導体ダイ 102 の積層を通り、ケーシング 110 のキャップ部分 112 に向かう熱
 伝導を促進することが出来る。特に、冗長コネクタ 134 は、隣接する半導体ダイ 102
 の間に複数の熱伝導経路を提供することが出来る。幾つかの実施形態においては、冗長コ
 ネクタ 134 は、半導体ダイ 102 にわたって横方向に熱を分散させるために、個々のト
 レース 140a および 140b に沿って互いに離隔されることが出来る。さらなる実施形
 態または別の実施形態においては、熱をさらに分散させるために、さらなる冗長電気コ
 ネクタ 138 (隠線で図示される) が、半導体ダイ 102 の内部 (例えば、TSV 142 の
 間) および / または外部 (例えば、ダイ 102 の端部に向かって) の間に延びることが出
 来る。

【0014】

図 2A は、本技術の一実施形態により構成される相互接続構造 230 を有する半導体デ
 バイス 205 の拡大図である。図示されるように、相互接続構造 230 は、第一の半導体
 基板 204a (例えば、半導体ウェーハまたはダイ) と第二の半導体基板 204b (例え
 ば、半導体ウェーハまたはダイ) との間に延びる複数の冗長電気コネクタ 234 (“ 冗
 長コネクタ 234 ”) を含む。冗長コネクタ 234 の各々は、第一の基板 204a の第一の
 導電性膜または第一のトレース 240a に結合された導電性部材または柱部 232 を含む
 。冗長コネクタ 234 は、また、第二の基板 204b 上の第二の導電性膜または第二のト
 レース 240b に結合された第二の導電性部材またはボンドパッド 233 (例えば、レイ
 ズドボンパッド) を含む。導電性接合材料 235 は、対応する柱部 232 の端部 237
 にボンドパッド 233 を結合する導電性接合部を形成することが出来る。導電性接合材料
 235 は、例えば、はんだ (例えば、金属はんだ)、導電性エポキシ、または導電性ペ
 ーストを含むことが出来る。

【0015】

一般的に、はんだ接合材料を用いることを課題の一つは、ボンドパッドへの相互接続を
 適切に接合することに失敗し得ることである。図 2B は、例えば、はんだ接合材料 295
 の幾つかの故障モードを示す。第一の故障モード F_1 は、相互接続 292 が、隣接する相
 互接続 (図示せず) の高さと比較してより低い高さを有するとき起きる。この故障モ
 ードにおいては、相互接続 292 とその対応するボンドパッド 293 との間のより大きい間
 隙によって、接合材料 295 とボンドパッド 293 との接触を妨げる。第二の故障モード
 F_2 は、相互接続 292 および / またはボンドパッド 293 上の残留汚染 (図示せず) が
 相互接続 292 および / またはボンドパッド 293 への接合材料 295 の湿潤を妨げると
 き起きる。第三の故障モード F_3 は、リフロまたは他の加熱プロセス中に起きるはん
 だウイキングによるものであり得る。特に、ボンドパッド 293 から相互接続 292 の
 側壁 296 に向かって、(加熱された) 接合材料 295 を表面張力が引っ張るときに、は
 んだウイキングが起きる。第四の故障モード F_4 は、相互接続 292 とボンドパッド 2
 93 との間の接合材料 295 のクラッキングまたは破損を含む。クラッキングは、例えば

10

20

30

40

50

、はんだ材料が相互接続の特定の材料（例えば、パラジウム（Pd））を消費（即ち、反応）し、接合材料295が脆弱になり、破損しやすくなるときに生じ得る。

【0016】

しかしながら、本技術の幾つかの実施形態により構成される相互接続構造は、従来の相互接続および関連する構造のこれらの制限および他の制限に対処することが出来る。図2Aを再度参照すると、或るコネクタ234が（例えば、故障モード F_1 から F_4 のうちの一つによって）機能しなくなる場合でも、第一のトレース240aと第二のトレース240bに他の冗長コネクタ234のうち少なくとも一つが接続されたままである限りは、相互接続構造230が機能しなくなるように、冗長コネクタ234が構成される。図2Aに示された実施形態においては、例えば、最大4つの冗長コネクタ234が、相互接続構造230を開回路することなく故障する可能性がある。他の実施形態においては、相互接続構造230は、5個を超える冗長コネクタ（例えば、6, 8, 10もしくはそれ以上のコネクタ）または5個未満の冗長コネクタ（例えば、2, 3もしくは4個のコネクタ）などの様々な数の冗長コネクタを有することが出来る。幾つかの実施形態においては、冗長コネクタの数は、製造中に期待されるプロセス収率を改善するために選択されうる。例えば、幾つかの例においては、3個の冗長コネクタを有する相互接続構造は、プロセス収率を0.5%増加させるが、4個の冗長コネクタは、さらに0.05%しか収率を増加させ得ない。このような状況においては、3個のコネクタ構成が4個のコネクタ構成よりも好ましい設計であり得る。なぜなら、プロセス収率において期待される差が無視でき得るからである。

10

20

【0017】

様々な実施形態の相互接続構造の別の利点は、冗長電気コネクタが導電性接合部を通る（例えば、冗長相互接続234の接合材料235を通る）電流密度を減少させることが出来ることである。例えば、10個の冗長コネクタを有する相互接続構造は、その導電性接合部の各々を通る電流密度において約10倍の低減を有することが出来る。関連する利点は、電流密度が低くなることによってエレクトロマイグレーションを減少させることが出来ることである。例えば、電流密度が低くなると、一般的に、他の相互接続材料（例えば、銅）よりもエレクトロマイグレーションをより受けやすい錫/銀ベース（SnAg）はんだ接合部を通るエレクトロマイグレーションを低減させることが出来る。幾つかの実施形態においては、冗長電気コネクタの数は、相互接続構造全体の静電容量の潜在的な増加に対してバランスのとれたエレクトロマイグレーションの一定の減少を達成するために選択することが出来る。

30

【0018】

様々な実施形態の相互接続構造のさらなる利点は、冗長電気コネクタを密に詰めることが出来ることである。図3は、例えば、本技術の別の実施形態により構成された、対応する相互接続構造330の、密に詰まった冗長電気コネクタ334（“冗長コネクタ334”）を示す上面図である。示されるように、冗長コネクタ334は、対応する相互接続構造330の導電性トレース340上に各々形成される。冗長コネクタ334は、直径 d_1 を各々有し、離隔距離 s_1 により、互いから離隔される。一実施形態においては、直径 d_1 の寸法は、離隔距離 s_1 とほぼ同一とすることが出来る。別の実施形態においては、離隔距離 s_1 は、直径 d_1 よりも小さくすることが出来る。例えば、離隔距離 s_1 は、 d_1 の75%未満、 d_1 の50%未満、または d_1 の25%未満とすることが出来る。対称的に、従来の相互接続は、このように密に詰めることが出来ない。なぜなら、金属はんだが相互接続をブリッジして、電氣的短絡を引き起こし得るリスクが存在するからである。しかしながら、冗長コネクタ334は、互いに（即ち、導電性トレース340を介して）電氣的に結合されるため、電氣的短絡はこのようリスクを引き起こさない。

40

【0019】

図4A - 図4Hは、本技術の選択された実施形態による、相互接続構造を製造するための方法における様々な段階の半導体デバイス405の一部を示す断面図である。まず、図4Aを参照すると、半導体デバイス405は、第一の基板404a（例えば、シリコンウ

50

エー八またはダイ)と、それに接するように形成された第一の誘電体材料450aとを含む。第一の誘電体材料450aは、基板接触部407(例えば、銅ボンドパッド)を露出するためにパターン化される。第一の誘電体材料450aは、また、第一の基板404aの集積回路(IC)デバイス(例えば、メモリ、図示せず)に接続された基板接触部などの、第一の基板404aの他の基板接触部(図示せず)を露出するためにパターン化されることが出来る。半導体デバイス405は、第一の誘電体材料450aおよび基板接触部407に接するよう形成された、パターン化された第一の導電性膜、または、第一の導電性トレース440a(例えば、銅または銅合金膜)をさらに含む。

【0020】

図4Bは、第一の誘電体材料450a内にマスク460(例えば、フォトリソマスク、ハードマスクなど)および開口部452を形成した後の半導体デバイス405を示す。開口部452は、対応するマスク開口部461を通じて、第一の誘電体材料450aの一部を除去する(例えば、エッチング)することによって形成することが出来る。図4Bに示されるように、開口部452は、下にある第一の導電性トレース440aの一部を露出することが出来る。

10

【0021】

図4Cは、第一の導電性トレース440aに接する導電性部材または柱部432を形成した後の半導体デバイス405を示す。幾つかの実施形態においては、柱部432は、マスク開口部461(図4B)の側壁462および/または第一の導電性トレース440aに接してシード材料472(例えば、銅)を堆積し、その後、シード材料472上に導電性材料470(例えば、銅)を電気メッキすることによって形成することが出来る。図示された実施形態においては、バリア材料474(例えば、ニッケル)および界面材料475(例えば、パラジウム)は、また、導電性材料472上に連続的に電気メッキされることが出来る。他の実施形態においては、スパッタ堆積など他の堆積技術が、電気メッキの代わりに用いられることが出来る。

20

【0022】

図4Dは、第一の基板404a内に開口部408を形成し、柱部432上に保護材料463を形成した後の半導体デバイス405を示す。示されるように、開口部408は、第一の基板404aを通して延び、開口部408の底に向かい基板接触部407の一部を露出する。幾つかの実施形態においては、開口部408は、(例えば、エッチング、裏面研削などを介して)第一の基板404aをまず薄層化して、その後、(例えば、エッチングを介して)基板材料を除去することによって形成することが出来る。図示された実施形態においては、保護材料または膜463(例えば、ポリマー膜)は、製造中、柱部432を保護することが出来る。

30

【0023】

図4Eは、TSV442、第二の誘電体材料450b、第二の導電性膜または第二の導電性トレース440bを形成した後の半導体デバイス405を示す。TSV442は、銅または銅合金などの導電性材料476で、第一の基板404a内の開口部408(図4D)を充填することによって形成することが出来る。幾つかの実施形態においては、第二の導電性トレース440bおよび第二の誘電体材料450bは、第一の導電性トレース440aおよび第一の誘電体材料450aに係る方法と類似の方法で形成されることが出来る。

40

【0024】

図4Fは、第二の誘電体材料450bにおいてマスク465および開口部453を形成した後の半導体デバイス405を示す。開口部453は、対応するマスク開口部466を通じて、第二の誘電体材料450bの一部を除去する(例えば、エッチング)ことによって形成することが出来る。図4Fに示されるように、第二の誘電体材料450bにおける開口部453は、下にある第二の導電性トレース440bの一部を露出することが出来る。

【0025】

50

図4Gは、第二の導電性トレース440b上に、導電性部材またはボンドパッド433を形成した後の半導体デバイス405を示す。柱部432と類似し、ボンドパッド433は、マスク開口部466(図4F)の側壁467および/または第二の導電性トレース440b上にシード材料477(例えば、銅)を堆積し、その後、シード材料477上に導電性材料478(例えば、銅)を電気メッキすることによって形成することが出来る。幾つかの実施形態においては、ボンドパッド432は、導電性材料478上に連続的に電気メッキされるバリア材料484(例えば、ニッケル)および界面材料485(例えば、パラジウム)を含むことが出来る。

【0026】

図4Hは、マスク465および保護膜463(図4G)を除去し、柱部432の端部437上に接合材料435(例えば、金属はんだ)を形成した後の半導体デバイス405を示す。一実施形態においては、接合材料435は、電気メッキされた材料とすることが出来る。別の実施形態においては、接合材料435は、はんだボールの形状とすることが出来る。いずれの場合においても、接合材料435は、加熱(例えば、リフロー)され、第二の基板404bの対応するボンドパッド433と接触させることが出来る。リフローの後、接合材料435は、冷却されて、ボンドパッド433に柱部432を取り付ける導電性接合部へと固定することを可能とすることが出来る。幾つかの実施形態においては、ボンドパッド433は、第一の基板404a(図4G)のボンドパッド433に対する構造および機能が一般的に類似することが出来る。

【0027】

図1-図4Hを参照して上述された相互接続構造および/または半導体ダイアセンブリのうちの任意のものは、多数の、より大きいおよび/またはより複雑なシステムのうちの任意のシステムに組み込むことが出来、そのシステムの代表例は図5に概略的に示されるシステム590である。システム590は、半導体ダイアセンブリ500と、電源592と、ドライバ594と、プロセッサ596および/または他のサブシステムもしくはコンポーネント598とを含むことが出来る。半導体ダイアセンブリ500は、上述された積層半導体ダイアセンブリの特徴とほぼ類似の特徴を含むことが出来るため、熱放散を促進する様々な特徴を含むことが出来る。結果として生じるシステム590は、メモリストレージ、データ処理および/または他の適切な機能などの様々な広範囲の機能のうちの任意の機能を実施することが出来る。したがって、代表的なシステム590は、ハンドヘルドデバイス(例えば、携帯電話、タブレット、デジタルリーダー、デジタル音声プレイヤー)、コンピュータ、家電製品を含むことが出来るが、そのいずれにも限定はされない。システム590のコンポーネントは、単一のユニット内に包囲されるか、または(例えば、通信ネットワークを通じて)複数の相互接続されたユニットにわたって分散されてもよい。システム590のコンポーネントは、また、リモートデバイスと、様々な広範囲のコンピュータ可読媒体のうちの任意の媒体を含むことが出来る。

【0028】

前述から、本技術の具体的な実施形態が、例示として本明細書に記述されてきたが、本開示から逸脱することなく、様々な改変が行われてもよいことが理解されるだろう。例えば、半導体ダイアセンブリの実施形態のうちの幾つかは、HMCに関連して記述されてきたが、他の実施形態においては、半導体ダイアセンブリは、他のメモリデバイスとして、または他の種類の積層ダイアセンブリとして構成することが出来る。さらに、図示された実施形態においては、特定の特徴またはコンポーネントは、特定の配置または構成を有するものとして示されているが、他の配置および構成も可能である。例えば、図示された実施形態においては、TSV442(図4E)は、フロント・エンド・メタライゼーション後(即ち、基板接触部407の形成後)に形成されるが、他の実施形態においては、TSV442は、フロント・エンド・メタライゼーション前またはそれと同時に形成することが出来る。また、図示された実施形態における柱部は、レイズドパッドに接合されるが、他の実施形態においては、柱部は、他の構造または導電性トレースに直接接合することが出来る。さらに、新規技術の特定の実施形態に関連する利点は、これらの実施形態の文脈

10

20

30

40

50

で記述されてきたが、他の実施形態も、また、このような利点を示すことが出来、全ての実施形態が、本技術の範囲内にあるために、このような利点を必ずしも示す必要はない。したがって、本開示および関連する技術は、本明細書に明確に図示されるかまたは記述されていない他の実施形態を包含することが出来る。

【図1】

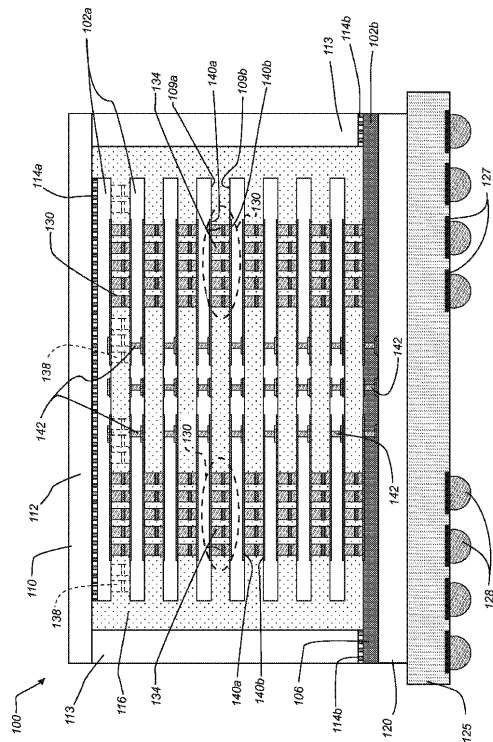


Fig. 1

【図2A】

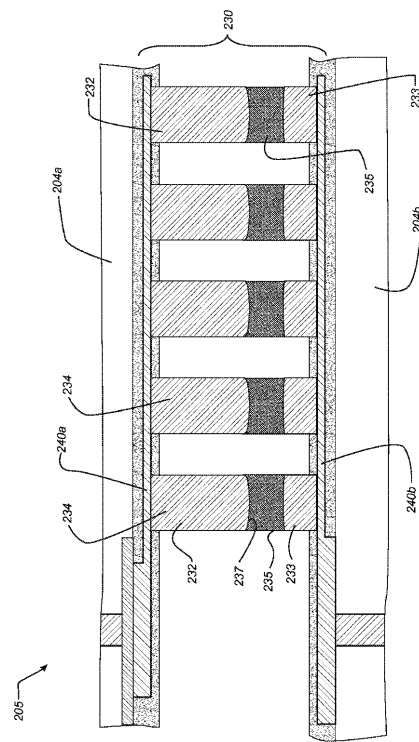


Fig. 2A

【 2 B 】

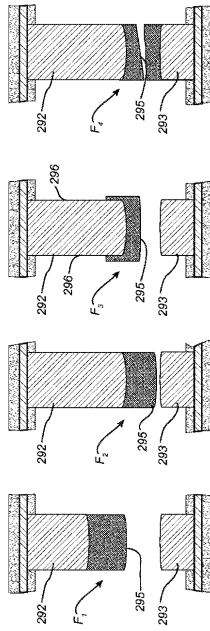


Fig. 2B

【 3 】

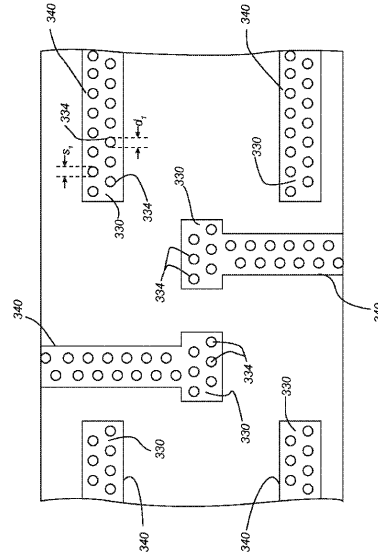


Fig. 3

【 4 A 】

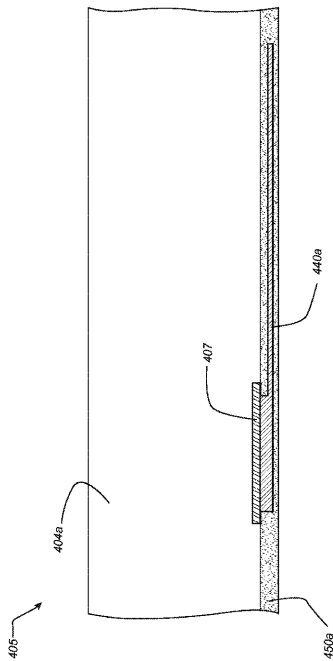


Fig. 4A

【 4 B 】

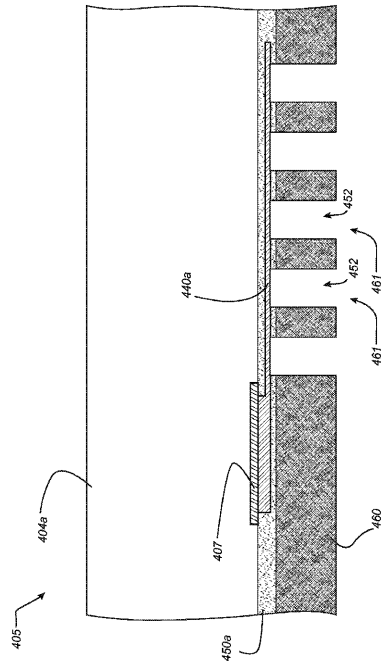


Fig. 4B

【 4 C 】

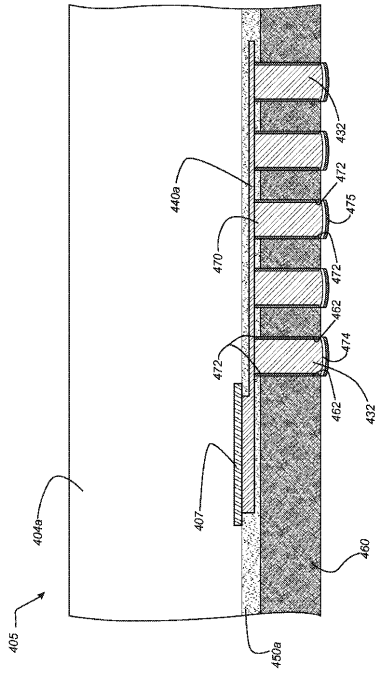


Fig. 4C

【 4 D 】

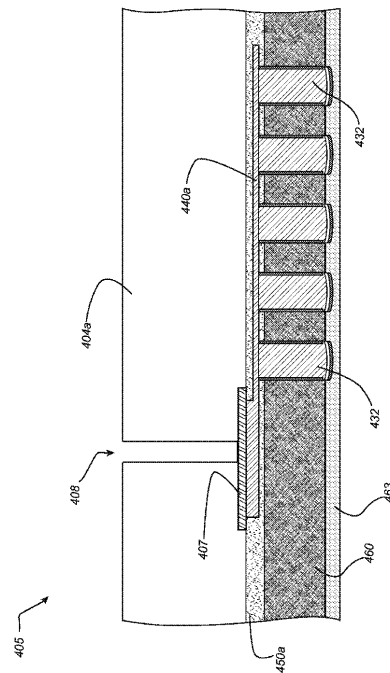


Fig. 4D

【 4 E 】

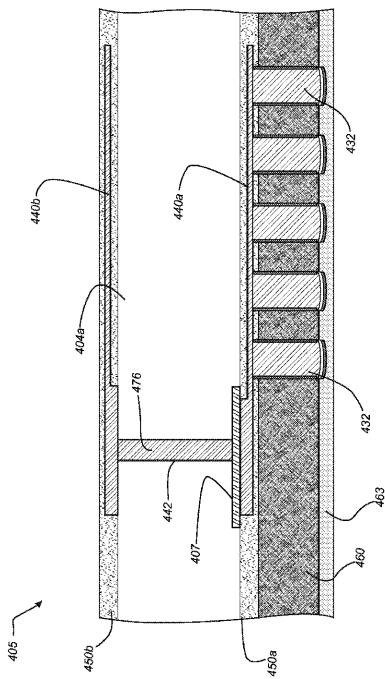


Fig. 4E

【 4 F 】

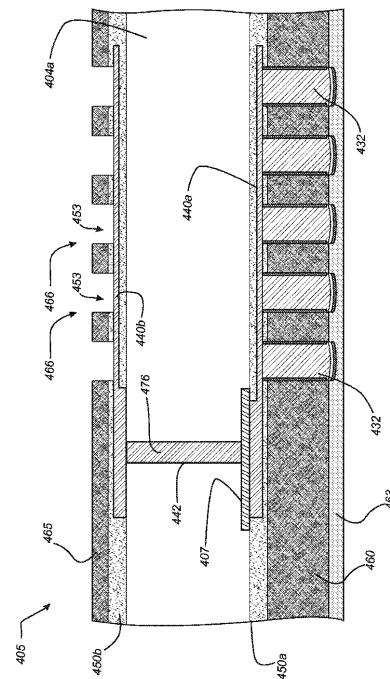


Fig. 4F

【図 4G】

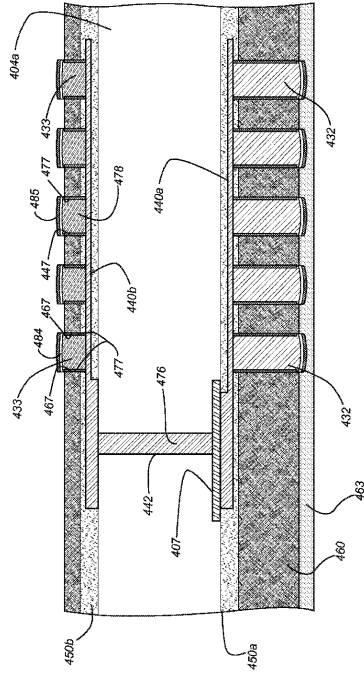


Fig. 4G

【図 4H】

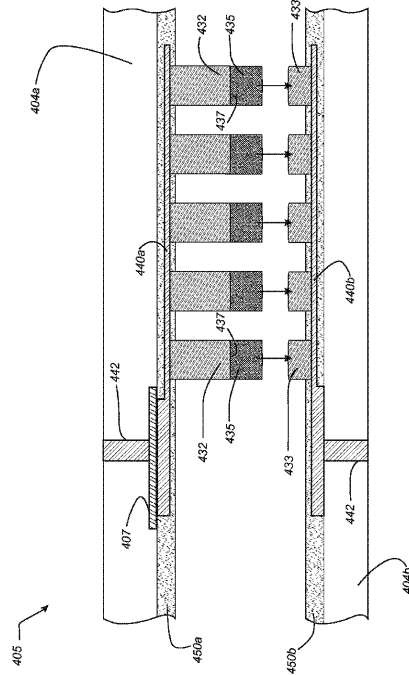
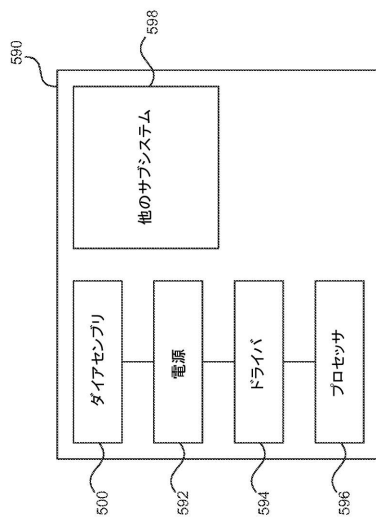


Fig. 4H

【図 5】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 21/3205 (2006.01) H 0 1 L 21/88 J
H 0 1 L 21/768 (2006.01)
H 0 1 L 23/522 (2006.01)

(56)参考文献 特開2007-109746(JP,A)
特開2010-103533(JP,A)
米国特許出願公開第2013/0292823(US,A1)
特開2010-161102(JP,A)
特開2010-251427(JP,A)
特開2013-251391(JP,A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 25/00-18
H 0 1 L 21/52
H 0 1 L 23/12-15
H 0 1 L 21/60-607
H 0 1 L 21/768
H 0 1 L 23/522-532