

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2013年9月26日(26.09.2013)

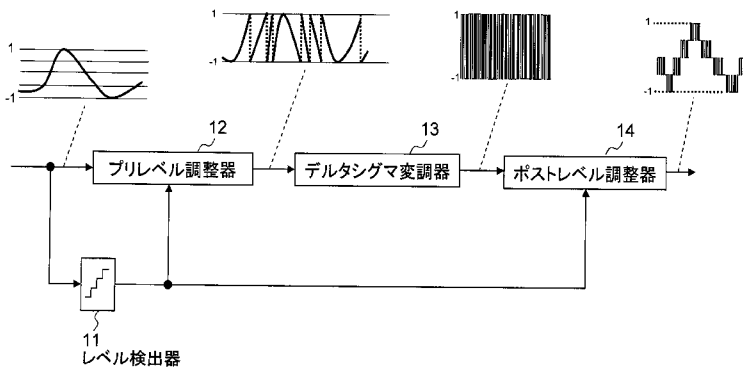


(10) 国際公開番号  
WO 2013/140914 A1

- (51) 国際特許分類:  
H03F 3/217 (2006.01)
  - (21) 国際出願番号: PCT/JP2013/053908
  - (22) 国際出願日: 2013年2月19日(19.02.2013)
  - (25) 国際出願の言語: 日本語
  - (26) 国際公開の言語: 日本語
  - (30) 優先権データ:  
特願 2012-066261 2012年3月22日(22.03.2012) JP
  - (71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 Tokyo (JP).
  - (72) 発明者; および  
(71) 出願人 (米国についてのみ): 堀 真一 (HORI, Shinichi) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP).
  - (74) 代理人: 宮崎 昭夫, 外 (MIYAZAKI, Teruo et al.); 〒1070052 東京都港区赤坂1丁目9番20号 第16興和ビル8階 Tokyo (JP).
  - (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
  - (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:  
— 国際調査報告 (条約第21条(3))

(54) Title: TRANSMITTER AND TRANSMISSION METHOD

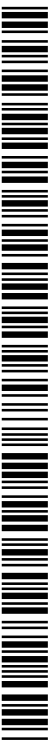
(54) 発明の名称: 送信機および送信方法



- 11 Level detector
- 12 Pre-level adjuster
- 13 Delta-sigma modulator
- 14 Post-stage level adjuster

(57) Abstract: This transmitter has: a level detector for detecting which level value, from amongst a pre-determined number of level values, the input signal corresponds to; a pre-stage signal adjuster for amplifying and shifting the offset amount of the input signal according to the output signal from the level detector; a delta-sigma modulator equipped with a quantizer for quantizing, at a predetermined number of bits, the output signal from the pre-stage signal adjuster; and a post-stage signal adjuster for amplifying and shifting the offset amount of the output signal from the delta-sigma modulator according to the output signal from the level detector.

(57) 要約: 本発明の送信機は、入力信号が、所定数のレベル値のうちどのレベル値に該当するかを検出するレベル検出器と、前記入力信号に対し、前記レベル検出器の出力信号に応じて、増幅およびオフセット量のシフトを行う前段信号調整器と、前記前段信号調整器の出力信号に対し、所定のビット数で量子化を行う量子化器を具備するデルタシグマ変調器と、前記デルタシグマ変調器の出力信号に対し、前記レベル検出器の出力信号に応じて、増幅およびオフセット量のシフトを行う後段信号調整器と、を有する。



WO 2013/140914 A1

## 明 細 書

発明の名称：送信機および送信方法

### 技術分野

[0001] 本発明は、携帯電話や無線LAN (Local Area Network) 等の通信機器として用いられる送信機に関する。

### 背景技術

[0002] 携帯電話や無線LAN等の通信機器として用いられる送信機には、無線信号の精度を送信電力の大きさに関係なく確保しつつ、低消費電力で動作することが求められる。特に、送信機の最終段に設けられる電力増幅器は、送信機全体の消費電力の50%以上を占めるため、高い電力効率であることが求められる。

[0003] 近年、高い電力効率を持つと期待される電力増幅器として、スイッチング増幅器が注目されている。スイッチング増幅器は、パルス波形信号を入力信号とし、そのパルス波形信号の波形を維持して電力増幅する。

[0004] なお、スイッチング増幅器を用いた送信機においては、スイッチング増幅器の出力信号は、フィルタ素子で所望の周波数成分以外の周波数成分が十分に抑圧された後、アンテナから空中に放射されることになる。

[0005] 図1に、スイッチング増幅器の代表例であるD級増幅器の一般的な構成例を示す。

[0006] 図1に示すD級増幅器は、電源とグランドとの間に直列に挿入された2つのスイッチ素子 $SW_0$ 、 $SW_G$ を有している。2つのスイッチ素子 $SW_0$ 、 $SW_G$ は、開閉制御信号として、互いに相補的なパルス信号が入力され、どちらか一方のスイッチ素子のみがON状態となるように制御される。出力電圧は、電源側のスイッチ素子 $SW_0$ がON状態でグランド側のスイッチ素子 $SW_G$ がOFF状態の場合は電源電圧となり、逆の場合はグランド電位となる。

[0007] D級増幅器は、バイアス電流を必要としないため、電力損失が理想的には0になる。なお、スイッチ素子は、電界効果トランジスタやバイポーラト

ンジスタなどで構成することができる。

[0008] 図2に、出力電圧を多値化した多値D級増幅器の一般的な構成例を示す。

[0009] 図2に示す多値D級増幅器は、複数(N+1個)の電源と出力端子との間にそれぞれ接続された複数(N+1個)のスイッチ素子 $SW_0, SW_1, \dots, SW_N$ を有している。複数のスイッチ素子 $SW_0, SW_1, \dots, SW_N$ は、いずれか1つのスイッチ素子のみがON状態となるように制御される。出力電圧は、ON状態のスイッチ素子に接続された電源の電源電圧となる。すなわち、多値D級増幅器は、電源の数と同じ数の電圧値を出力することができる。

[0010] ここで、D級増幅器を用いた送信機の構成について説明する。

[0011] 例えば、W-CDMA (Wideband Code Division Multiple Access) 方式の送信機においては、デジタルベースバンド(以降、DBBと称す)信号を生成して増幅する。ただし、DBB信号は、10bit以上の多bit信号であり、その一方で、D級増幅器に入力可能なbit数は、一般的にはDBB信号のbit数よりも少ない。

[0012] したがって、DBB信号をD級増幅器に入力可能な信号にするためには、bit数を減らす必要がある。一般的に、下位bitを単純に捨てる方式では、1bit捨てるあたり、量子化雑音が6dB増加する。デルタシグマ変調器は、所望周波数近傍の帯域の量子化雑音の増加を避けながら、bit数を減らすことが可能な回路技術である。

[0013] デルタシグマ変調器を用いた送信機においては、DBB信号、もしくは、DBB信号を基に生成した振幅信号などを、デルタシグマ変調器にてデルタシグマ変調する。デルタシグマ変調器の出力信号のbit数は、後段に設けられたD級増幅器に入力可能なbit数と等しく設定される。

[0014] 図3に、デルタシグマ変調器の一般的な構成例を示す(非特許文献1のp.71)。

[0015] 図3に示すデルタシグマ変調器は、アダー131-1, 131-2と、遅延器132-1, 132-2と、量子化器300と、を有している。なお、遅延器132-1とアダー131-2とで内部積分器を構成している。

[0016] 量子化器300は、アダー131-2の出力信号に対し、所定のbit数で量子化を行う。

[0017] 遅延器132-2は、量子化器300の出力信号を1clock分遅延させる。

[0018] アダー131-1は、入力信号と遅延器132-2の出力信号との差を算出する。

[0019] 遅延器132-1は、アダー131-2の出力信号を1clock分遅延させる。

[0020] アダー131-2は、アダー131-1の出力信号と遅延器132-1の出力信号との和を算出する。

[0021] ここで、デルタシグマ変調器の入力信号を $U(z)$ 、出力信号を $V(z)$ 、量子化器300で発生する量子化雑音を $E(z)$ とすると、以下の式が成立する。

[0022] [数1]

$$V(z) = U(z) + (1 - z^{-1}) \cdot E(z) \quad \dots(1)$$

出力信号 $V(z)$ に含まれる雑音 $N(z)$ は、以下の式で表される。

[0023] [数2]

$$N(z) = (1 - z^{-1}) \cdot E(z) \quad \dots(2)$$

ここで、

[0024] [数3]

$$z = \exp(2\pi jf/fclk) \quad \dots(3)$$

である。fは、無線信号の信号周波数であり、fclkは、デルタシグマ変調器のクロック周波数である。

[0025] よって、所望の無線信号が占有する信号帯域をfBとすると、その信号帯域内の積分雑音は、以下の式で表される。

[0026] [数4]

$$\int_0^{fB} |1 - \exp(-2\pi jf/fclk)| \cdot |E(z)| \cdot df \quad \dots(4)$$

[0027] W-CDMAにおいては、所望の信号帯域近傍のSNR (Signal-Noise Ratio) として33dB以上が要求される。この要求に応えるべく、式(4)で示した積分雑音を下げるためには、fclkを大きくし、E(z)を小さくする必要がある。

[0028] 非特許文献2では、4GHzのfclkで動作するデルタシグマ変調器が報告されている。E(z)を小さく抑えるためには、量子化器300を多bit化する必要がある。非特許文献2では、量子化器のbit数として1bitが採用されているが、非特許文献2で報告されている手法では、量子化器のbit数を増加させると動作速度、すなわち、fclkが低下する。

## 先行技術文献

### 非特許文献

- [0029] 非特許文献1: RICHARD SCHREIER, GABOR C. TEMES, "Understanding Delta-Sigma Data Converters," IEEE Press, November 8, 2004  
非特許文献2: A. Frappe, B. Stefanelli, A. Flament, A. Kaiser and A. Cathelin, "A digital  $\Delta\Sigma$  RF signal generator for mobile communication transmitters in 90nm CMOS," in IEEE RFIC Symp., pp.13-16, June 2008

## 発明の概要

### 発明が解決しようとする課題

[0030] 上述したように、関連する送信機においては、デルタシグマ変調器における高速動作と量子化雑音の低減との両立を図ることができないという課題がある。

[0031] 本発明の目的は、上述した課題を解決し、デルタシグマ変調器における高速動作と量子化雑音の低減との両立を図ることができる送信機および送信方法を提供することにある。

### 課題を解決するための手段

[0032] 本発明の送信機は、

入力信号が、所定数のレベル値のうちどのレベル値に該当するかを検出するレベル検出器と、

前記入力信号に対し、前記レベル検出器の出力信号に応じて、増幅およびオフセット量のシフトを行う前段信号調整器と、

前記前段信号調整器の出力信号に対し、所定のビット数で量子化を行う量子化器を具備するデルタシグマ変調器と、

前記デルタシグマ変調器の出力信号に対し、前記レベル検出器の出力信号に応じて、増幅およびオフセット量のシフトを行う後段信号調整器と、を有する。

- [0033] 本発明の送信方法は、
- 送信機による送信方法であって、
- 入力信号が、所定数のレベル値のうちどのレベル値に該当するかを検出し、
- 前記入力信号に対し、前記入力信号のレベル値に応じて、前段信号処理として、増幅およびオフセット量のシフトを行い、
- 前記前段信号処理が行われた信号に対し、所定のビット数で量子化を行い、
- 前記量子化が行われた信号に対し、前記入力信号のレベル値に応じて、後段信号処理として、増幅およびオフセット量のシフトを行う、送信方法。

### 発明の効果

- [0034] 本発明の送信機によれば、デルタシグマ変調器にてデルタシグマ変調される前に、前段信号調整器にて信号が増幅されるため、デルタシグマ変調する際に発生する量子化雑音に対する信号電力比率を大きくとることができる。ゆえに、信号強度に対する量子化雑音は、相対的に低減される。また、デルタシグマ変調器には、1bitの量子化器を持つデルタシグマ変調器を用いることが可能であり、高速動作を保證することができる。
- [0035] よって、デルタシグマ変調器における高速動作と量子化雑音の低減との両立を図ることができるという効果が得られる。

## 図面の簡単な説明

- [0036] [図1]関連するD級増幅器の構成例を示す回路ブロック図である。
- [図2]関連する多値D級増幅器の構成例を示す回路ブロック図である。
- [図3]関連するデルタシグマ変調器の構成例を示す回路ブロック図である。
- [図4]本発明の第1の実施形態の送信機の構成例を示す回路ブロック図である。
- 。
- [図5]図4に示したデルタシグマ変調器の構成例を示す回路ブロック図である。
- 。
- [図6]図4に示したポストレベル調整器の構成例を示す回路ブロック図である。
- 。
- [図7]本発明の第2の実施形態の送信機の構成例を示す回路ブロック図である。
- 。
- [図8]図7に示したリセット機能付きデルタシグマ変調器の構成例を示す回路ブロック図である。
- [図9]図7に示したレベル遷移検出器の構成例を示す回路ブロック図である。
- [図10]図7に示したリセット機能付きデルタシグマ変調器の構成例を示す回路ブロック図である。
- [図11]図7に示したリセット機能付きデルタシグマ変調器の構成例を示す回路ブロック図である。
- [図12]本発明の第3の実施形態の送信機の構成例を示す回路ブロック図である。
- [図13]図12に示したパルス位相信号生成器の構成例を示す回路ブロック図である。
- [図14]本発明の第2の実施形態の送信機の応用例を示す回路ブロック図である。

## 発明を実施するための形態

[0037] 以下に、本発明を実施するための形態について図面を参照して説明する。

(1) 第1の実施形態

図4に、本発明の第1の実施形態の送信機のデルタシグマ変調器周辺の構成例を示す。

[0038] 図4を参照すると、本実施形態の送信機は、レベル検出器11と、前段信号調整器であるプリレベル調整器12と、デルタシグマ変調器13と、後段信号調整器であるポストレベル調整器14と、を有している。なお、以下では、便宜上、図4に示した構成要素からなる回路を、「デジタル変調器」と称することとする。

[0039] レベル検出器11は、入力信号が、所定数のレベル値のうちどのレベル値に該当するかを検出する。

[0040] レベル検出器11で検出可能なレベル値の数をNとすると、各レベル値に割り当てられる入力信号の値は、以下の通りとなる。なお、レベル検出器11の入力可能範囲は、 $V_{MIN} \sim V_{MAX}$ とする。

[0041] レベル値1 :  $V_{MIN} \sim V_1$

レベル値2 :  $V_1 \sim V_2$

...

レベル値N :  $V_{N-1} \sim V_{MAX}$

なお、上記の変数の大小関係において、 $V_{MIN} < V_1 < V_2 < \dots < V_{MAX}$ が成立している。

[0042] プリレベル調整器12は、レベル検出器11で検出されたレベル値に応じて、入力信号に対し、増幅およびオフセット量のシフト（すなわち、電位シフト）を行い、後段に設けられたデルタシグマ変調器13の入力可能範囲との整合をとる。

[0043] デルタシグマ変調器13の入力可能範囲を $V_{dsmin} \sim V_{dsmax}$ とすると、レベル検出器11で検出されたレベル値がkの場合（すなわち、入力信号の値が $V_{k-1} \sim V_k$ の場合）、プリレベル調整器12の伝達関数は、以下の式で表される。なお、ここでは、プリレベル調整器12の入力信号を $V_{tunein}$ 、出力信号を $V_{tuneout}$ としている。

[0044]

[数5]

$$V_{\text{tuneout}} = (V_{\text{dsmmax}} - V_{\text{dsmmin}}) \cdot (V_{\text{tunein}} - V_{k-1}) / (V_k - V_{k-1}) + V_{\text{dsmmin}} \quad \dots (5)$$

[0045] すなわち、上記の伝達関数は、入力信号が $V_{k-1}$ のとき、出力信号が $V_{\text{dsmmin}}$ となり、入力信号が $V_k$ のとき、出力信号が $V_{\text{dsmmax}}$ となる、一次変換に相当する。

[0046] デルタシグマ変調器13は、図5に示すように、図3に示した量子化器300を、1bitの量子化器133に置き換えた1次デルタシグマ変調器で構成される。

[0047] デルタシグマ変調器13の出力信号は、high/lowの1bit信号であり、実際にhighに物理量として割り当てられる出力値は $V_{\text{dsmmax}}$ であり、lowに物理量として割り当てられる出力値は $V_{\text{dsmmin}}$ である。

[0048] なお、デルタシグマ変調器13の出力信号high/lowに割り当てられる出力値は、 $V_{\text{dsmmax}}/V_{\text{dsmmin}}$ 以外の値もとりうる。

[0049] また、デルタシグマ変調器13は、図5の構成に限定されず、異なる次数で、異なるbit数の量子化器を持ち、異なる伝達関数を持つデルタシグマ変調器であっても構わない。

[0050] ポストレベル調整器14は、デルタシグマ変調器13の出力信号に対し、プリレベル調整器12の伝達関数の逆関数を用いて、増幅およびオフセット量のシフトを行う。

[0051] つまり、ポストレベル調整器14は、デルタシグマ変調器13の出力信号に対し、プリレベル調整器12で行う増幅の増幅率の逆数の増幅率で増幅を行うと共に、プリレベル調整器12で行うオフセット量のシフトとは逆方向に同量だけオフセット量のシフトを行う（すなわち、プリレベル調整器12で行う電位シフトとは逆方向に同量だけ電位シフトを行う）。

[0052] すなわち、ポストレベル調整器14の入力信号 $V_{\text{postin}}$ と出力信号 $V_{\text{postout}}$ には、以下の関係式が成立する。

[0053]

[数6]

$$V_{\text{postout}} = (V_k - V_{k-1}) \cdot (V_{\text{postin}} - V_{\text{dsmmin}}) / (V_{\text{dsmmax}} - V_{\text{dsmmin}}) + V_{k-1} \quad \dots (6)$$

[0054] すなわち、上記の伝達関数は、入力信号が $V_{\text{dsmmin}}$ のとき、出力信号が $V_{k-1}$ となり、入力信号が $V_{\text{dsmmax}}$ のとき、出力信号が $V_k$ となる、一次変換に相当する。

[0055] 本デジタル変調器の入力信号を $S(z)$ とすると、プリレベル調整器12の出力信号 $V_{\text{tuneout}}$ は、式(5)の右辺 $V_{\text{tunein}}$ に $S(z)$ を代入して、

[0056] [数7]

$$V_{\text{tuneout}} = (V_{\text{dsmmax}} - V_{\text{dsmmin}}) \cdot (S(z) - V_{k-1}) / (V_k - V_{k-1}) + V_{\text{dsmmin}} \quad \dots (7)$$

となる。

[0057] デルタシグマ変調器13の出力信号 $V(z)$ は、式(1)の $U(z)$ に、式(7)の右辺を代入することで、以下のように求められる。

[0058] [数8]

$$V(z) = (V_{\text{dsmmax}} - V_{\text{dsmmin}}) \cdot (S(z) - V_{k-1}) / (V_k - V_{k-1}) + V_{\text{dsmmin}} + (1 - z^{-1}) \cdot E(z) \quad \dots (8)$$

[0059] ポストレベル調整器14の出力信号 $V_{\text{postout}}$ は、式(8)の右辺を式(6)の $V_{\text{postin}}$ に代入することで、以下のように求められる。

[0060] [数9]

$$V_{\text{postout}} = S(z) + (V_k - V_{k-1}) / (V_{\text{dsmmax}} - V_{\text{dsmmin}}) \cdot ((1 - z^{-1}) \cdot E(z)) \quad \dots (9)$$

[0061] 式(9)の右辺には、入力信号と量子化雑音の項が含まれる。

[0062] 量子化雑音を含む項は、量子化雑音  $(= (1 - z^{-1}) \cdot E(z))$  と、係数  $(V_k - V_{k-1}) / (V_{\text{dsmmax}} - V_{\text{dsmmin}})$  と、の積で表される。上記の係数中の“ $V_k - V_{k-1}$ ”は、レベル検出器11における1つのレベル値に対応する入力信号の値の幅に相当する。この幅を小さく設定することにより、ポストレベル調整器14の出力信号にお

る量子化雑音の割合は小さくなる。

[0063] 具体的な数値例として、レベル検出器11の入力可能範囲の最小値/最大値 ( $V_{MIN}/V_{MAX}$ ) が、デルタシグマ変調器13の入力可能範囲の最小値/最大値 ( $V_{dsmax}/V_{dsmin}$ ) に等しく設計され、レベル検出器11におけるレベル値の刻み幅が、デルタシグマ変調器13の入力可能範囲の1/8で一定であったとする。この場合、式(9)における量子化雑音の係数は、1/8になる。量子化雑音は、量子化器のbit数を1bit増やすことで1/2になることを考慮すると、本数値例では、1bitの量子化器133を採用しながら、4bitの量子化器を採用した場合に相当する量子化雑音への低減が実現できることなる。

[0064] 言い換えるならば、式(5)から明らかなように、本デジタル変調器に入力される入力信号は、内部のデルタシグマ変調器13に入力される前に、増幅される (式(5)では、 $V_{tunein}$ を含む項にかけられる係数 " $V_{dsmax}-V_{dsmin}/(V_k-V_{k-1})$ " が増幅率に相当する)。よって、相対的に量子化雑音が低減されて、SNRが向上する。

[0065] 以上の通り、本実施形態においては、1bitの量子化器133を持つデルタシグマ変調器13を採用して高速動作を実現しながら、多bitの量子化器を持つデルタシグマ変調器を採用した場合に相当する量子化雑音に低減できるという効果が得られる。

[0066] ここで、図6に、ポストレベル調整器14の構成例を示す。

[0067] 図6を参照すると、ポストレベル調整器14は、デコーダ141と、ドライバアンプ142<sub>0</sub>, 142<sub>1</sub>, ..., 142<sub>N</sub>と、多値D級増幅器143と、を有している。

[0068] 多値D級増幅器143は、図2に示した多値D級増幅器と同様である。

[0069] ドライバアンプ142<sub>0</sub>, 142<sub>1</sub>, ..., 142<sub>N</sub>は、多値D級増幅器143を構成するスイッチ素子 $SW_0, SW_1, \dots, SW_N$ に対応して設けられており、デコーダ141からの開閉制御信号を、対応するスイッチ素子に出力する。

[0070] デコーダ141は、デルタシグマ変調器13の出力信号およびレベル検出器11の出力信号を基に、ドライバアンプ142<sub>0</sub>, 142<sub>1</sub>, ..., 142<sub>N</sub>を介して、スイッチ素子 $SW_0, SW_1, \dots, SW_N$ に開閉制御信号を出力し、スイッチ素子 $SW_0, SW_1, \dots$

・,  $SW_N$ の開閉制御を行う。

[0071] 上述したように、多値D級増幅器143は、N+1個の電源にそれぞれ接続されたN+1個のスイッチ素子 $SW_0, SW_1, \dots, SW_N$ で構成される。N+1個の電源の電源電圧値 $VD_0, VD_1, \dots, VD_N$ は、レベル検出器11で検出される各レベル値の境界値 $V_{MIN}, V_1, V_2, \dots, V_{N-1}, V_{MAX}$ に、以下の式のように関連付けられている。

[0072] [数10]

$$\left. \begin{array}{l} VD_0 = a \cdot V_{MIN} + b \\ VD_1 = a \cdot V_1 + b \\ VD_2 = a \cdot V_2 + b \\ \dots \\ VD_k = a \cdot V_k + b \\ \dots \\ VD_{N-1} = a \cdot V_{N-1} + b \\ VD_N = a \cdot V_{MAX} + b \end{array} \right\} \dots(10)$$

[0073] aとbは、任意の定数である。

[0074] デコーダ141は、以下のようにして、レベル検出器11の出力信号およびデルタシグマ変調器13の出力信号を基に、多値D級増幅器143の各スイッチ素子 $SW_0, SW_1, \dots, SW_N$ の開閉制御信号を生成する。

[0075] 例えば、デコーダ141は、レベル検出器11で検出されたレベル値がkの場合、デルタシグマ変調器13から出力される1bit信号がhighであればスイッチ素子 $SW_k$ を、lowであればスイッチ素子 $SW_{k-1}$ をON状態とする。なお、ON状態となるスイッチ素子は1つのみで、その他のスイッチ素子はOFF状態にある。

[0076] 上記のデコーダ141の動作により、多値D級増幅器143の出力電圧は、デルタシグマ変調器13から出力される1bit信号がhighであれば $VD_k$ 、lowであれば $VD_{k-1}$ になる。

[0077] デルタシグマ変調器13から出力される1bit信号において、highに $V_{dsmmax}$ を、lowに $V_{dsmmin}$ をそれぞれ割り当てると、ポストレベル調整器14の入力信号 $V_{Din}$ と出力信号 $VD_{out}$ との間には、以下の式が成り立つ。

[0078]

[数11]

$$VD_{out} = (VD_k - VD_{k-1}) / (V_{dsmax} - V_{dsmin}) \cdot (VD_{in} - V_{dsmin}) + VD_{k-1} \quad \dots (11)$$

[0079] 式(8)の右辺に示されたデルタシグマ変調器13の出力信号を式(10)のVD<sub>in</sub>に代入すると、多値D級増幅器143の出力信号は以下の式で表される。

[0080] [数12]

$$VD_{out} = (VD_k - VD_{k-1}) / (V_k - V_{k-1}) \cdot (S(z) - V_{k-1}) + (VD_k - VD_{k-1}) / (V_{dsmax} - V_{dsmin}) \cdot (1 - z^{-1}) \cdot E(z) + VD_{k-1} \quad \dots (12)$$

[0081] さらに、式(12)に式(10)を代入すると多値D級増幅器143の出力信号は、以下の式で表される。

[0082] [数13]

$$VD_{out} = a \cdot \{S(z) + (V_k - V_{k-1}) / (V_{dsmax} - V_{dsmin}) \cdot (1 - z^{-1}) \cdot E(z)\} + b \quad \dots (13)$$

[0083] 式(13)は、式(9)の右辺に係数aがかけられて、オフセット量のシフト量（すなわち、電位シフト量）としてbが加えられたことに相当する。

[0084] したがって、所望の無線信号に対する量子化雑音の影響は、式(9)と式(13)とで等しい。

[0085] よって、本実施形態においては、1bitの量子化器133を持つデルタシグマ変調器13を採用して高速動作を実現しながら、多bitの量子化器を持つデルタシグマ変調器を採用した場合に相当する量子化雑音に低減することができるという効果が得られる。

## (2) 第2の実施形態

図7に、本発明の第2の実施形態の送信機のデルタシグマ変調器周辺の構成例を示す。

[0086] 図7を参照すると、本実施形態の送信機は、図4の第1の実施形態と比較して、デルタシグマ変調器13をリセット機能付きデルタシグマ変調器13Aに置き換えた点と、リセット機能付きデルタシグマ変調器13Aに与えるリセット信

号resetを生成するレベル遷移検出器15を追加した点と、異なる。なお、以下では、便宜上、図7に示した構成要素からなる回路を、「デジタル変調器」と称することとする。

- [0087] 図8に、リセット機能付きデルタシグマ変調器13Aの構成例を示す。
- [0088] 図8を参照すると、リセット機能付きデルタシグマ変調器13Aは、図5に示したデルタシグマ変調器13と比較して、アダー131-2の後段にセクタ回路134を挿入した点が異なる。
- [0089] セクタ回路134は、レベル遷移検出器15から入力されるリセット信号resetに応じて、量子化器133および遅延器132-1の入力信号を、アダー131-2の出力信号またはリセット機能付きデルタシグマ変調器13Aの入力信号のいずれかに切り替える。以下では、リセット信号resetがhighであれば、リセット機能付きデルタシグマ変調器13Aの入力信号に切り替えるものとする。
- [0090] 図9に、レベル遷移検出器15の構成例を示す。
- [0091] 図9を参照すると、レベル遷移検出器15は、遅延器151と、判定器152と、を有している。
- [0092] 遅延器151は、レベル遷移検出器15の入力信号を1clock分遅延させる。
- [0093] 判定器152は、レベル遷移検出器15の入力信号と、1clock前の入力信号（すなわち、遅延器151の出力信号）とを比較し、両者が等しいか否かを判定し、等しければlowを、等しくなければhighを、リセット信号resetとして出力する。
- [0094] 再度図7を参照すると、レベル遷移検出器15の入力信号は、レベル検出器11の出力信号となっている。
- [0095] したがって、例えば、レベル検出器11の出力信号が、1clock前の出力信号と等しい場合は、レベル遷移検出器15から出力されるリセット信号resetはlowになる。そのため、リセット機能付きデルタシグマ変調器13A内部の量子化器133および遅延器132-1には、アダー131-2の出力信号が入力される。この状況にある時は、リセット機能付きデルタシグマ変調器13Aは、図5に示したデルタシグマ変調器13と同一の構成をとる。

[0096] 一方で、レベル検出器11の出力信号が、1clock前の出力信号と異なる場合は、レベル遷移検出器15から出力されるリセット信号resetはhighになる。そのため、リセット機能付きデルタシグマ変調器13A内部の量子化器133および遅延器132-1には、リセット機能付きデルタシグマ変調器13Aの入力信号がそのまま入力される。この状況にある時は、遅延器132-1の入力信号は強制的にリセット機能付きデルタシグマ変調器13Aの入力信号となり、遅延器132-1とアダー131-2とで構成される内部積分器はリセットされる。すなわち、量子化器133の入力信号は、1clock前のレベル状態に依存せず、リセット機能付きデルタシグマ変調器13Aの入力信号となる。これに対して、図5に示したデルタシグマ変調器13においては、量子化器133の入力信号は、アダー131-1の出力信号と、1clock前の遅延器132-1の入力信号との和であり、1clock前のレベル状態の影響を受ける。

[0097] 以上の通り、本実施形態においては、レベル検出器11で検出されるレベル値が変化した場合、リセット機能付きデルタシグマ変調器13Aの内部積分器がリセットされる。これにより、リセット機能付きデルタシグマ変調器13Aは、1clock前の入力信号のレベル状態に依存せずに、デルタシグマ変調を行うことができるという効果が得られる。その他の効果は第1の実施形態と同様である。

[0098] ここで、図10および図11に、リセット機能付きデルタシグマ変調器13Aの他の構成例を示す。

[0099] 図10に示すリセット機能付きデルタシグマ変調器13Aは、ループフィルタ135と、セクタ回路134と、量子化器133と、を有している。

[0100] 量子化器133は、図8に示したものと同様である。

[0101] セクタ回路134は、ループフィルタ135の出力部に挿入される。

[0102] なお、図8は、ループフィルタ135を、アダー131-1、アダー131-2、遅延器132-1、および遅延器132-2で構成し、1次デルタシグマ変調器を実現した例である。

[0103] ただし、ループフィルタ135は、図8の構成に限定されず、高次のデルタシ

グマ変調器を実現する構成であっても構わない。例えば、2次のデルタシグマ変調器を実現するループフィルタ135の構成は、非特許文献1のp.64に開示されている。

[0104] 図11に示すリセット機能付きデルタシグマ変調器13Aは、図8と比較して、セクタ回路134を、遅延器131-1の手前に挿入されるセクタ回路136に置き換えた点異なる。

[0105] セクタ回路136は、レベル遷移検出器15から入力されるリセット信号resetに応じて、遅延器132-1の入力信号を、アダー131-2の出力信号またはリセット機能付きデルタシグマ変調器13Aの入力信号のいずれかに切り替える。

[0106] したがって、図11の構成でも、遅延器132-1とアダー131-2とで構成される内部積分器をリセットすることが可能となる。

### (3) 第3の実施形態

図12に、本発明の第3の実施形態の送信機全体の構成例を示す。

[0107] 図12を参照すると、本実施形態の送信機は、レベル検出器11と、前段信号調整器であるプリレベル調整器12と、デルタシグマ変調器13と、後段信号調整器であるポストレベル調整器14と、デジタルベースバンド信号生成部16と、IQモジュレータ17と、パルス位相信号生成器18と、乗算器19と、フィルタ素子20と、アンテナ21と、を有している。

[0108] デジタルベースバンド信号生成部16は、直交位相ベースバンド信号 $I(t)$ ,  $Q(t)$ および振幅信号 $A(t)$ を生成する。なお、振幅信号 $A(t)$ は、直交位相ベースバンド信号 $I(t)$ ,  $Q(t)$ の2乗和の平方根に等しい。

[0109] IQモジュレータ17は、以下の式に従って、直交位相ベースバンド信号 $I(t)$ ,  $Q(t)$ を基にRF信号 $RF(t)$ を生成する。

[0110] [数14]

$$RF(t) = I(t)\cos(\omega t) - Q(t)\sin(\omega t) \dots (14)$$

[0111] 式(14)は、振幅信号 $A(t)$ および位相信号 $\theta(t)$ を用いて、以下の式に書き直される。

[0112] [数15]

$$RF(t) = A(t)\cos(\omega t + \theta(t)) \quad \dots(15)$$

[0113] [数16]

$$A(t) = \sqrt{\{I(t)^2 + Q(t)^2\}} \quad \dots(16)$$

[0114] [数17]

$$\theta(t) = \tan^{-1}(Q(t)/I(t)) \quad \dots(17)$$

[0115] ここで、 $\omega$ は、キャリア周波数に $2\pi$ を乗じて与えられる角周波数である

。

[0116] なお、RF位相信号 $RF\theta(t)$ を、以下の式で定義する。

[0117] [数18]

$$RF\theta(t) = \cos(\omega t + \theta(t)) \quad \dots(18)$$

[0118] IQモジュレータ17は、RF位相信号 $RF\theta(t)$ をパルス位相信号生成器18に入力する。

[0119] 図13に、パルス位相信号生成器18の構成例を示す。

[0120] 図13を参照すると、パルス位相信号生成器18は、比較器181と、位相信号レベル調整器182と、を有している。

[0121] RF位相信号 $RF\theta(t)$ は、比較器181において、ゼロ値と比較され、ゼロより大きければ1が、小さければ-1が割り当てられた、矩形位相信号 $RF\theta_{rec}(t)$ に変換される。

[0122] [数19]

$$RF\theta_{rec}(t) = RF\theta(t) + Dis(t) \quad \dots(19)$$

[0123]  $Dis(t)$ は、 $RF\theta(t)$ の高調波成分に相当する。当然ながら、 $RF\theta_{rec}(t)$ は、 $-1$ か $1$ かの値をとる。

[0124] 次に、矩形位相信号 $RF\theta_{rec}(t)$ は、位相信号レベル調整器182において、以下の式のようにレベル調整が施され、パルス位相信号 $RF\theta_{pul}(t)$ に変換される。

[0125] [数20]

$$RF\theta_{pul}(t) = 0.5 \cdot RF\theta_{rec}(t) + 0.5 \dots (20)$$

[0126] なお、パルス位相信号 $RF\theta_{pul}(t)$ は、 $0$ か $1$ かの値をとる。また、パルス位相信号 $RF\theta_{pul}(t)$ をデルタシグマ変調器13のクロック信号として用いるなど、論理回路に入力する信号として使用する場合には、 $0$ をlowに、 $1$ をhighに割り当てる。

[0127] 再度図12を参照すると、レベル検出器11、プリレベル調整器12、デルタシグマ変調器13、およびポストレベル調整器14の接続関係は、デルタシグマ変調器13とポストレベル調整器14の間に乗算器19が挿入されたことを除けば、第1の実施形態と同様である。

[0128] また、レベル検出器11、プリレベル調整器12、およびデルタシグマ変調器13の構成は、第1の実施形態と同様である。

[0129] ただし、ポストレベル調整器14は、図6の構成と比較して、多値D級増幅器143を、スイッチ素子 $SW_p$ を追加した多値D級増幅器143Aに置き換えた点と、これに伴いドライバアンプ142<sub>p</sub>を追加した点と、が異なる。

[0130] デジタルベースバンド信号生成部16から出力される振幅信号 $A(t)$ は、第1の実施形態で説明したデジタル変調器の入力信号となる。

[0131] パルス位相信号生成器18から出力されるパルス位相信号 $RF\theta_{pul}(t)$ は、乗算器19に入力されると共に、デルタシグマ変調器13を駆動するクロック信号としてデルタシグマ変調器13にも入力される。デルタシグマ変調器13内の構成要素は、パルス位相信号 $RF\theta_{pul}(t)$ をクロック信号として用いて、上述した動作を行う。この構成により、乗算器19に入力される2つのパルス信号（

デルタシグマ変調器13の出力信号とパルス位相信号生成器18の出力信号)は、同期する。

[0132] 乗算器19は、デルタシグマ変調器13の出力信号と、パルス位相信号 $RF\theta\text{pul}(t)$ と、を積算して、所望のRF信号を内包したデジタル信号を生成する。

[0133] 乗算器19の出力信号は、パルス位相信号 $RF\theta\text{pul}(t)$ の値が1のときは、デルタシグマ変調器13の出力信号そのものであり、パルス位相信号 $RF\theta\text{pul}(t)$ の値が0のときは、0である。

[0134] 上述したように、多値D級増幅器143Aは、N+2個の電源にそれぞれ接続されたN+2個のスイッチ素子 $SW_p, SW_0, SW_1, \dots, SW_N$ で構成される。N+2個の電源の電源電圧値 $V_p, VD_0, VD_1, \dots, VD_N$ )は、レベル検出器11で検出される各レベル値の境界値 $V_{MIN}, V_1, V_2, \dots, V_{N-1}, V_{MAX}$ に、以下の式のように関連付けられている。

[0135] [数21]

$$\left. \begin{aligned} V_p &= b \\ VD_0 &= a \cdot V_{MIN} + b \\ VD_1 &= a \cdot V_1 + b \\ VD_2 &= a \cdot V_2 + b \\ \dots \\ VD_k &= a \cdot V_k + b \\ \dots \\ VD_{N-1} &= a \cdot V_{N-1} + b \\ VD_N &= a \cdot V_{MAX} + b \end{aligned} \right\} \dots(21)$$

[0136] デコーダ141は、以下のようにして、レベル検出器11の出力信号および乗算器19の出力信号を基に、多値D級増幅器143Aの各スイッチ素子 $SW_p, SW_0, SW_1, \dots, SW_N$ の開閉制御信号を生成する。

[0137] 例えば、デコーダ141は、乗算器19の出力信号が0の場合、すなわち、パルス位相信号 $RF\theta\text{pul}(t)$ の値が0の場合は、スイッチ素子 $SW_p$ をON状態にする。

[0138] 一方で、乗算器19の出力信号が0でない場合、すなわち、パルス位相信号 $RF\theta\text{pul}(t)$ の値が1の場合は、乗算器19の出力信号は、デルタシグマ変調器13の

出力信号そのものになる。この場合、デコーダ141は、第1の実施形態と同様に、レベル検出器11で検出されたレベル値がkの場合、デルタシグマ変調器13から出力される1bit信号がhighであればスイッチ素子 $SW_k$ を、lowであればスイッチ素子 $SW_{k-1}$ をON状態とする。なお、ON状態となるスイッチ素子は1つのみで、その他のスイッチ素子はOFF状態にある。

[0139] 上記のデコーダ141の動作により、多値D級増幅器143Aの出力信号は、パルス位相信号 $RF\theta\text{pul}(t)$ の値が0の場合は、bとなり、1の場合は、式(13)に示した、第1の実施形態における多値D級増幅器134の出力信号において、左辺の $S(z)$ に、Z変換した振幅信号（時間ドメインでは $A(t)$ ）を代入した値になる。

[0140] すなわち、多値D級増幅器143Aの出力信号 $VDout2(t)$ は、以下のように与えられる。

[0141] パルス位相信号 $RF\theta\text{pul}(t)$ の値が0の場合：

[0142] [数22]

$$VDout2(t) = b \quad \dots (22)$$

パルス位相信号 $RF\theta\text{pul}(t)$ の値が1の場合：

[0143] [数23]

$$VDout2(t) = a \cdot \{A(t) + (V_k - V_{k-1}) / (V_{dsmmax} - V_{dsmmin}) \cdot Edsm(t)\} + b \quad \dots (23)$$

[0144] 式(23)は、式(13)の $S(z)$ にZ変換した振幅信号（時間ドメインでは $A(t)$ ）を代入した後、時間領域に書き直した式に相当する。 $Edsm(t)$ はデルタシグマ変調器13で発生する量子化雑音であり、Z変換すると $(1-z^{-1}E(z))$ となる。

[0145] 式(20)に示したパルス位相信号 $RF\theta\text{pul}(t)$ を用いると、式(22)、(23)に示された多値D級増幅器143Aの出力信号は、以下の式にまとめられる。

[0146]

[数24]

$$VDout2(t) = RF\theta pul(t) \cdot a \cdot \{A(t) + (V_k - V_{k-1}) / (V_{dsmmax} - V_{dsmmin}) \cdot Edsm(t)\} + b \quad \dots (24)$$

[0147] 式(24)中のRF $\theta pul(t)$ に式(19), (20)をあてはめて、さらに、式(24)の一部を展開すると、以下の式が導かれる。

[0148] [数25]

$$VDout2(t) = 0.5 \cdot a \cdot \{A(t) \cdot RF\theta(t) + RF\theta(t) \cdot (V_k - V_{k-1}) / (V_{dsmmax} - V_{dsmmin}) \cdot Edsm(t)\} + (0.5 \cdot Dis(t) + 0.5) \cdot a \cdot \{A(t) + (V_k - V_{k-1}) / (V_{dsmmax} - V_{dsmmin}) \cdot Edsm(t)\} + b \quad \dots (25)$$

[0149] 式(25)の右辺の第1項内の中括弧における“A(t)・RF $\theta(t)$ ”は、式(15)、式(18)を参照すると、RF信号RF(t)である。量子化雑音Edsm(t)には、レベル検出器11で検出されたレベル値の係数 $V_k - V_{k-1}$ が乗算されている。“ $V_k - V_{k-1}$ ”は、レベル検出器11で検出されるレベル値の範囲である。よって、この範囲を小さくすればするほど、VDout2(t)における量子化雑音の割合は小さくなる。

[0150] なお、多値D級増幅器143Aの出力信号VDout2(t)は、フィルタ素子20で所望の周波数成分以外の周波数成分が十分に抑圧された後、アンテナ21から空中に放射される。なお、式(25)の右辺第2項以降は、帯域外成分であるため、フィルタ素子20で抑圧される。

[0151] よって、本実施形態においては、1bitの量子化器133を持つデルタシグマ変調器13を採用して高速動作を実現しながら、多bitの量子化器を持つデルタシグマ変調器を採用した場合に相当する量子化雑音に低減することができるという効果が得られる。

[0152] 以上、実施形態を参照して本発明を説明したが、本発明は上記実施形態に限定されるものではない。本発明の構成や詳細には、本発明の範囲内で当業者が理解し得る様々な変更をすることができる。

[0153] 例えば、第3の実施形態においては、第1の実施形態のデルタシグマ変調器13を用いた構成について説明したが、その代わりに、第2の実施形態のり

セット機能付きデルタシグマ変調器13Aおよびレベル遷移検出器15を用いた構成としても良い。

[0154] また、第2の実施形態は、入力信号のレベル値が変化した場合に、内部積分器をリセットし、前のレベル状態に依存せずにデルタシグマ変調を行うものであるが、これを応用し、例えば、入力信号が不連続となった場合に、内部積分器をリセットし、前のレベル状態に依存せずにデルタシグマ変調を行う構成に適用しても良い。

[0155] その場合、図14に示すように、検出回路22において、入力信号の不連続性を検出した場合に、リセット機能付きデルタシグマ変調器13Aの内部積分器をリセットする構成にすれば良い。なお、入力信号の不連続性は、例えば、ベースバンド信号を用いて検出することができる。また、図14では、リセット機能付きデルタシグマ変調器13Aとして、図8の構成を用いているが、図10または図11の構成を用いても構わない。

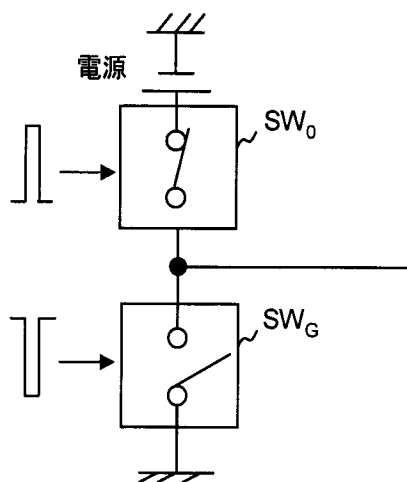
[0156] 本出願は、2012年3月22日に出願された日本出願特願2012-66261を基礎とする優先権を主張し、その開示の全てをここに取り込む。

## 請求の範囲

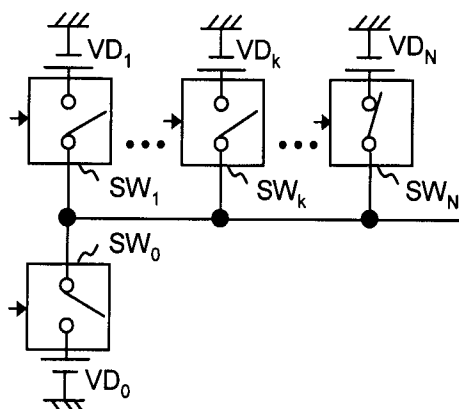
- [請求項1] 入力信号が、所定数のレベル値のうちどのレベル値に該当するかを検出するレベル検出器と、
- 前記入力信号に対し、前記レベル検出器の出力信号に応じて、増幅およびオフセット量のシフトを行う前段信号調整器と、
- 前記前段信号調整器の出力信号に対し、所定のビット数で量子化を行う量子化器を具備するデルタシグマ変調器と、
- 前記デルタシグマ変調器の出力信号に対し、前記レベル検出器の出力信号に応じて、増幅およびオフセット量のシフトを行う後段信号調整器と、を有する送信機。
- [請求項2] 前記後段信号調整器は、
- 前記デルタシグマ変調器の出力信号に対し、前記前段信号調整器で行う増幅の増幅率の逆数の増幅率で増幅を行うと共に、前記前段信号調整器で行うオフセット量のシフトとは逆方向に同量だけオフセット量のシフトを行う、請求項1に記載の送信機。
- [請求項3] 前記レベル検出器の出力信号が1クロック前の出力信号から変化した場合、前記デルタシグマ変調器に所定の信号を出力するレベル遷移検出器をさらに有し、
- 前記デルタシグマ変調器は、
- 前記量子化器の前段に設けられた、内部積分器を含むループフィルタと、
- 前記内部積分器に入力する信号を、前記ループフィルタの出力信号または前記前段信号調整器の出力信号のいずれかに切り替えるセレクタ回路と、をさらに具備し、
- 前記セレクタ回路は、
- 前記レベル遷移検出器から前記所定の信号が出力された場合、前記内部積分器に入力する信号を、前記前段信号調整器の出力信号に切り替える、請求項1または2に記載の送信機。

- [請求項4] 前記セレクト回路は、  
さらに、前記量子化器に入力する信号を、前記ループフィルタの出力信号または前記前段信号調整器の出力信号のいずれかに切り替えるものであり、  
前記レベル遷移検出器から前記所定の信号が出力された場合、前記内部積分器および前記量子化器に入力する信号を、前記前段信号調整器の出力信号に切り替える、請求項3に記載の送信機。
- [請求項5] 複数の電源にそれぞれ接続された複数のスイッチ素子と、  
前記デルタシグマ変調器の出力信号および前記レベル検出器の出力信号を基に、前記複数のスイッチ素子の開閉制御を行うデコーダと、  
をさらに有する、請求項1から4のいずれか1項に記載の送信機。
- [請求項6] 前記デルタシグマ変調器の出力信号と前記デルタシグマ変調器を駆動するクロック信号との積算を行う乗算器をさらに有する、請求項1から4のいずれか1項に記載の送信機。
- [請求項7] 複数の電源にそれぞれ接続された複数のスイッチ素子と、  
前記乗算器の出力信号および前記レベル検出器の出力信号を基に、  
前記複数のスイッチ素子の開閉制御を行うデコーダと、をさらに有する、  
請求項6に記載の送信機。
- [請求項8] 送信機による送信方法であって、  
入力信号が、所定数のレベル値のうちどのレベル値に該当するかを検出し、  
前記入力信号に対し、前記入力信号のレベル値に応じて、前段信号処理として、増幅およびオフセット量のシフトを行い、  
前記前段信号処理が行われた信号に対し、所定のビット数で量子化を行い、  
前記量子化が行われた信号に対し、前記入力信号のレベル値に応じて、後段信号処理として、増幅およびオフセット量のシフトを行う、  
送信方法。

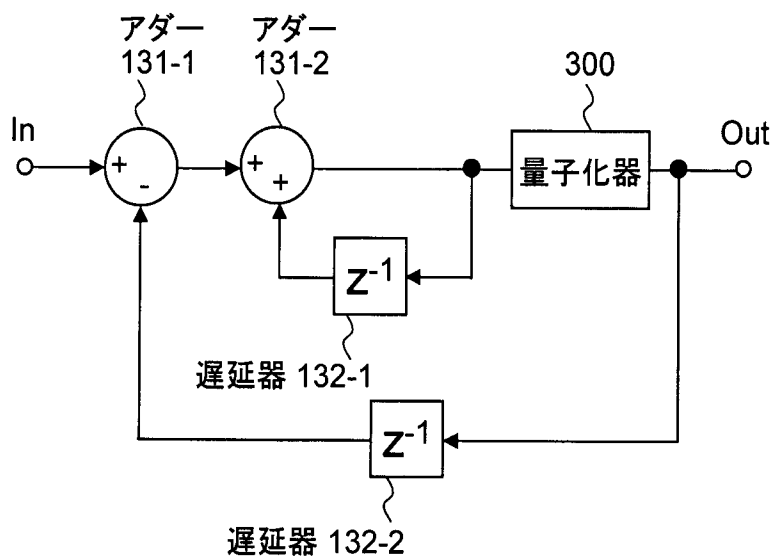
[図1]



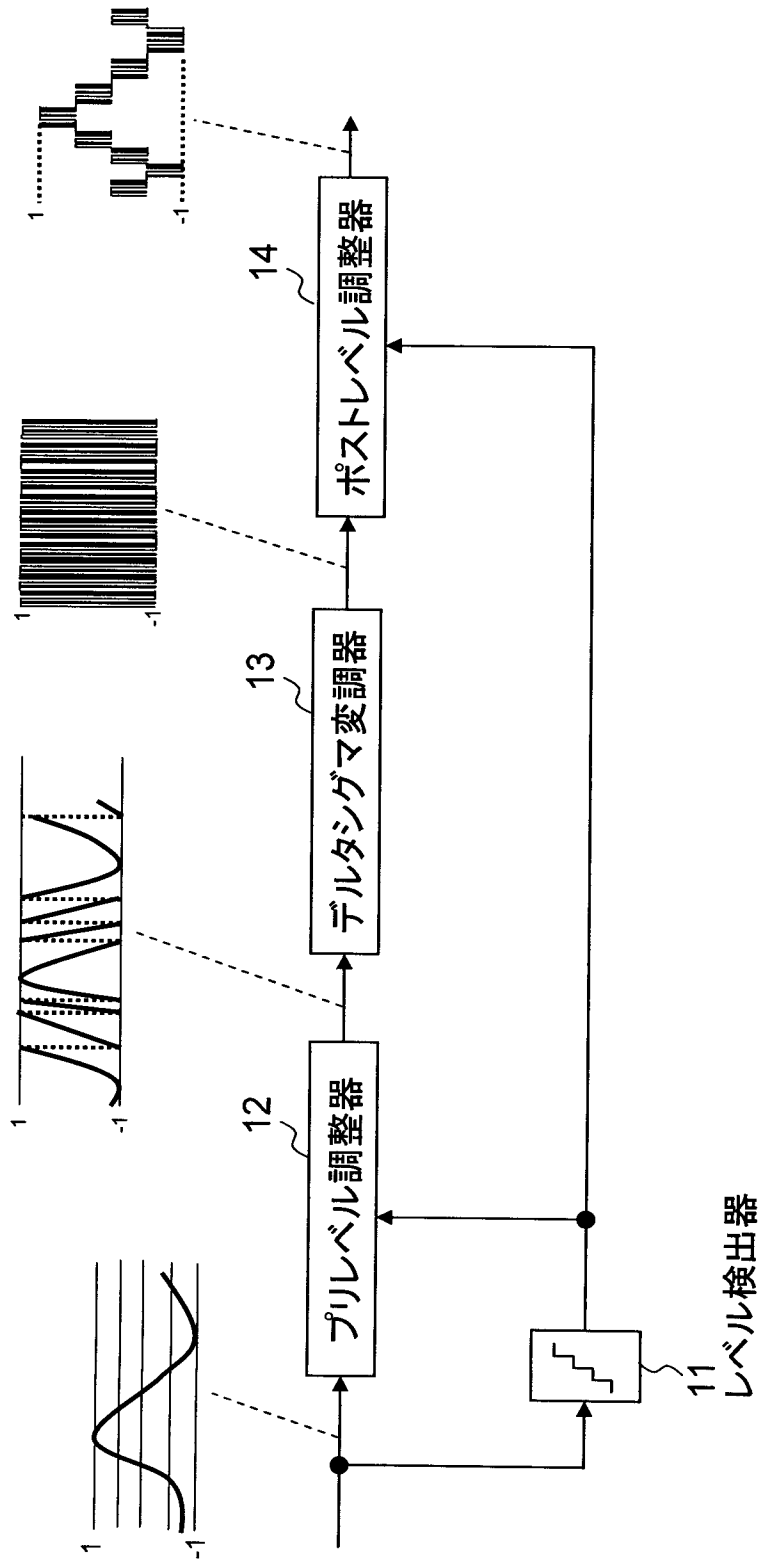
[図2]



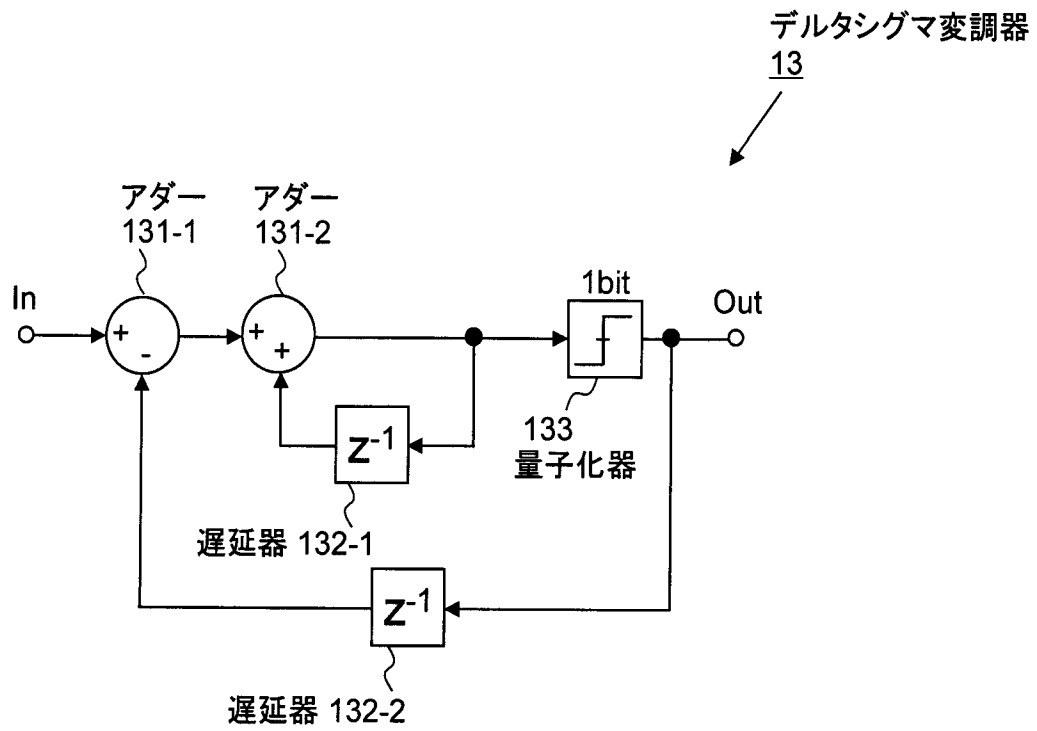
[図3]



[図4]

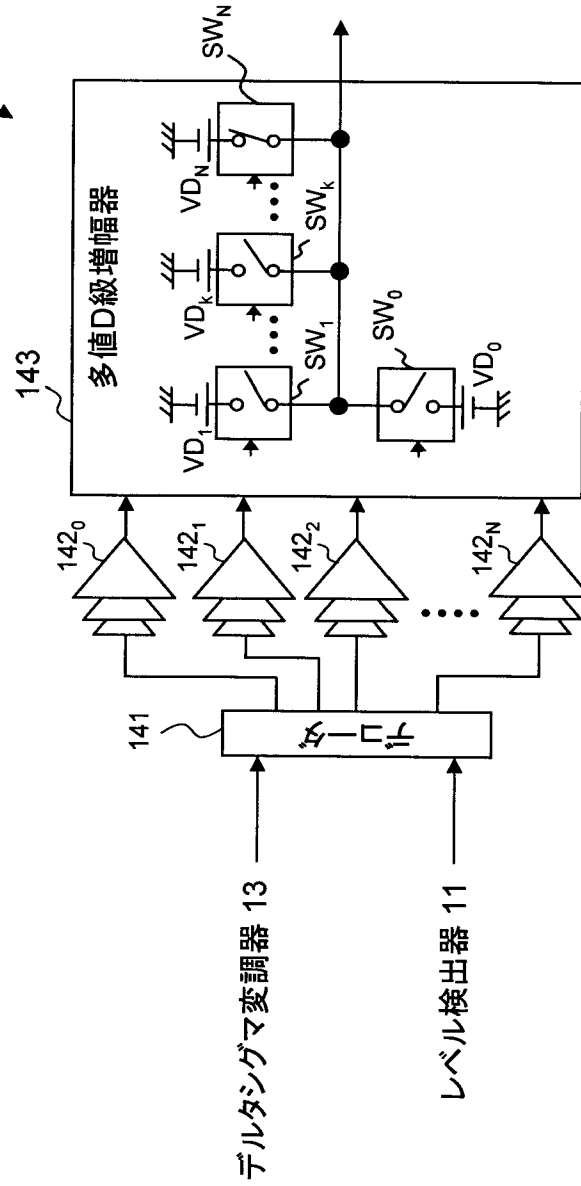


[図5]

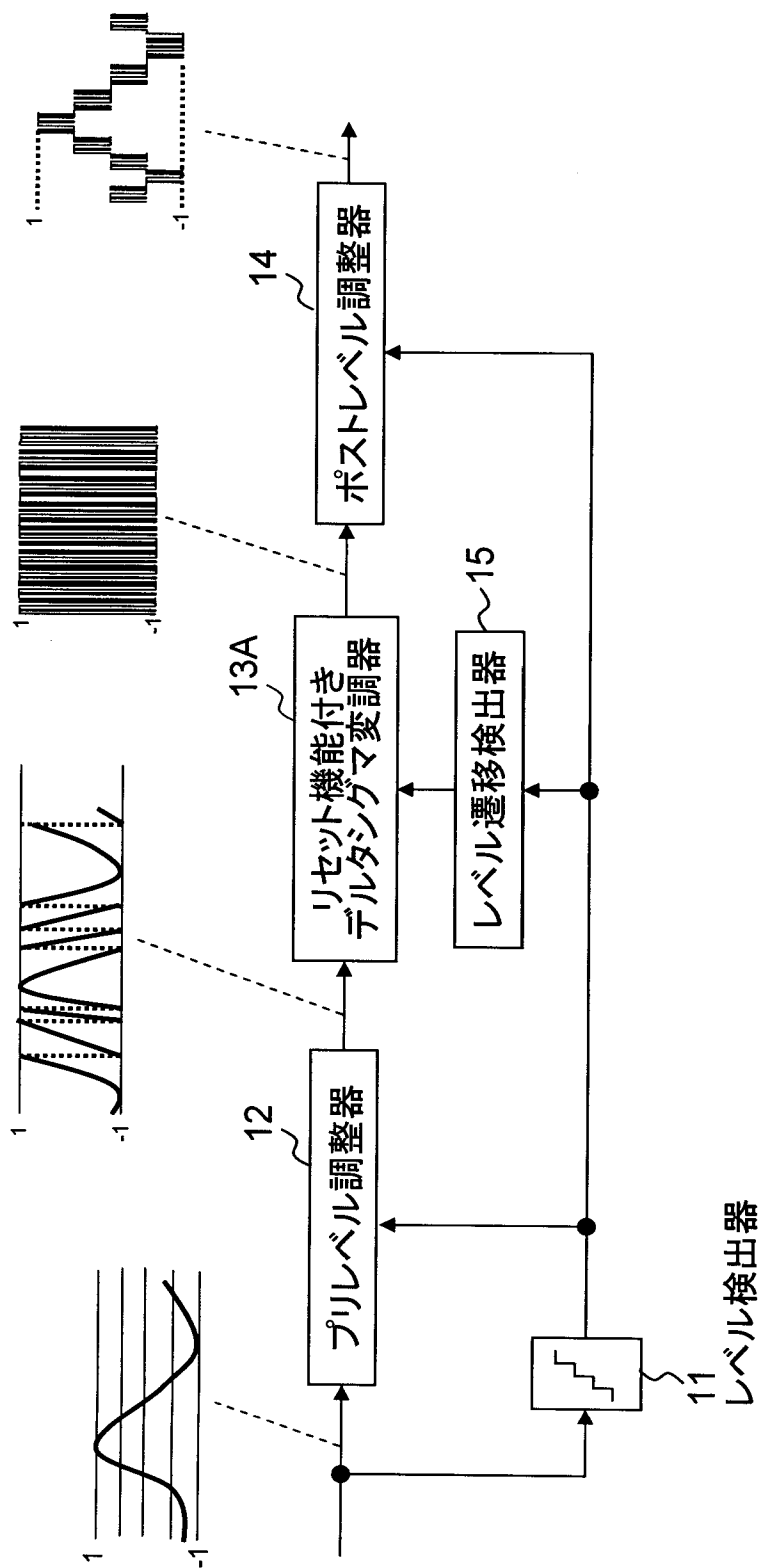


[図6]

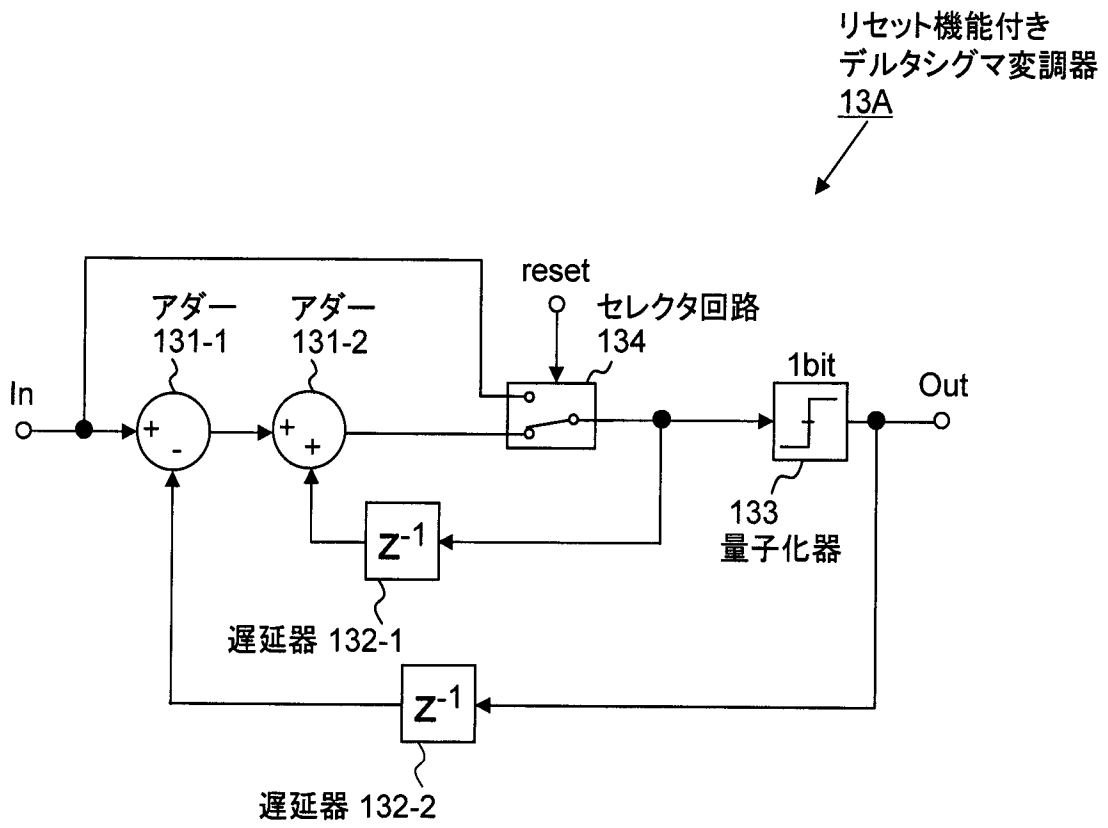
14 ポストレベル調整器



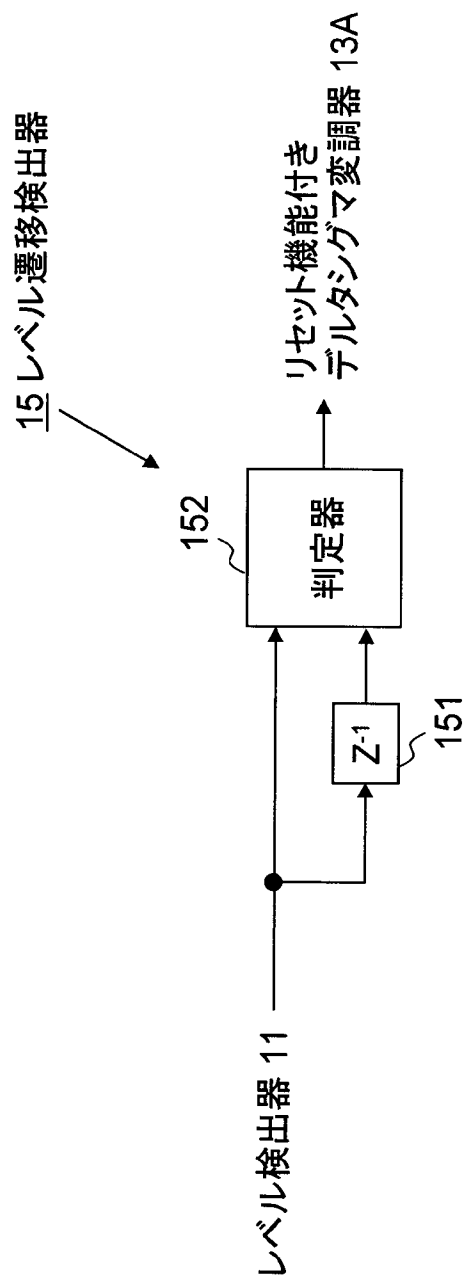
[図7]



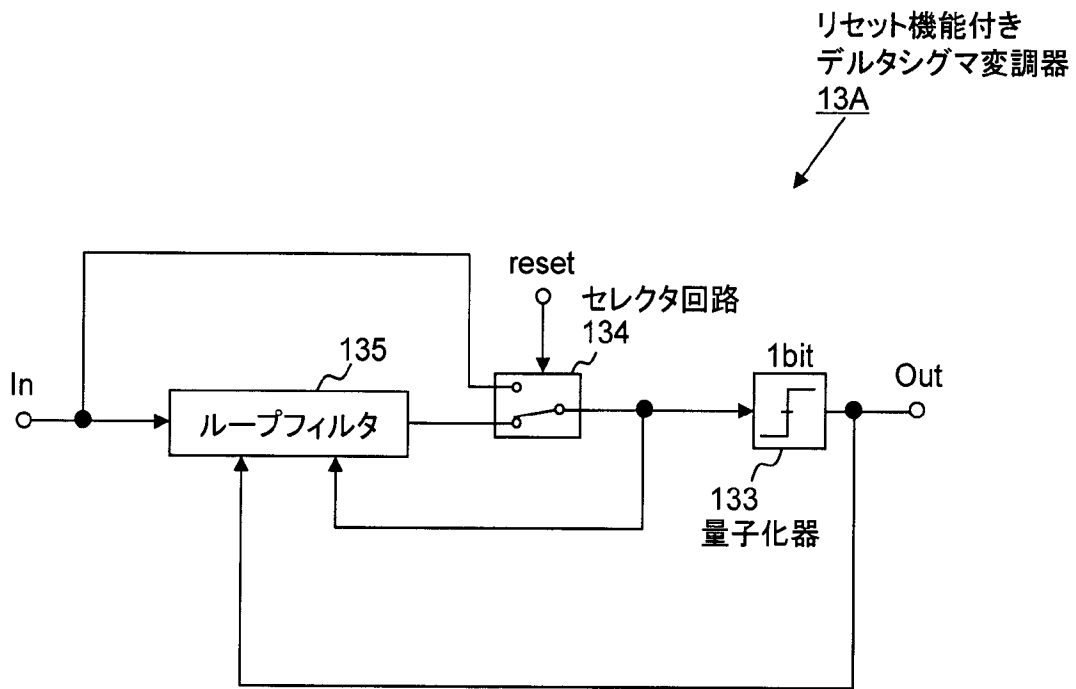
[図8]



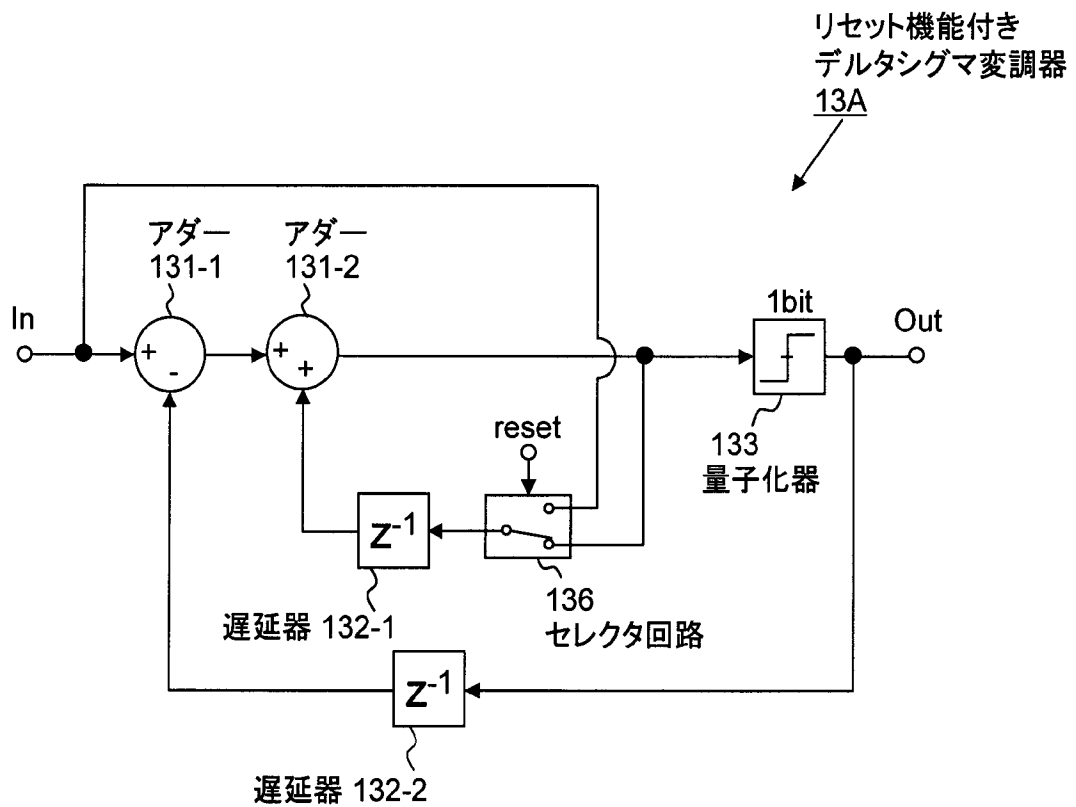
[図9]



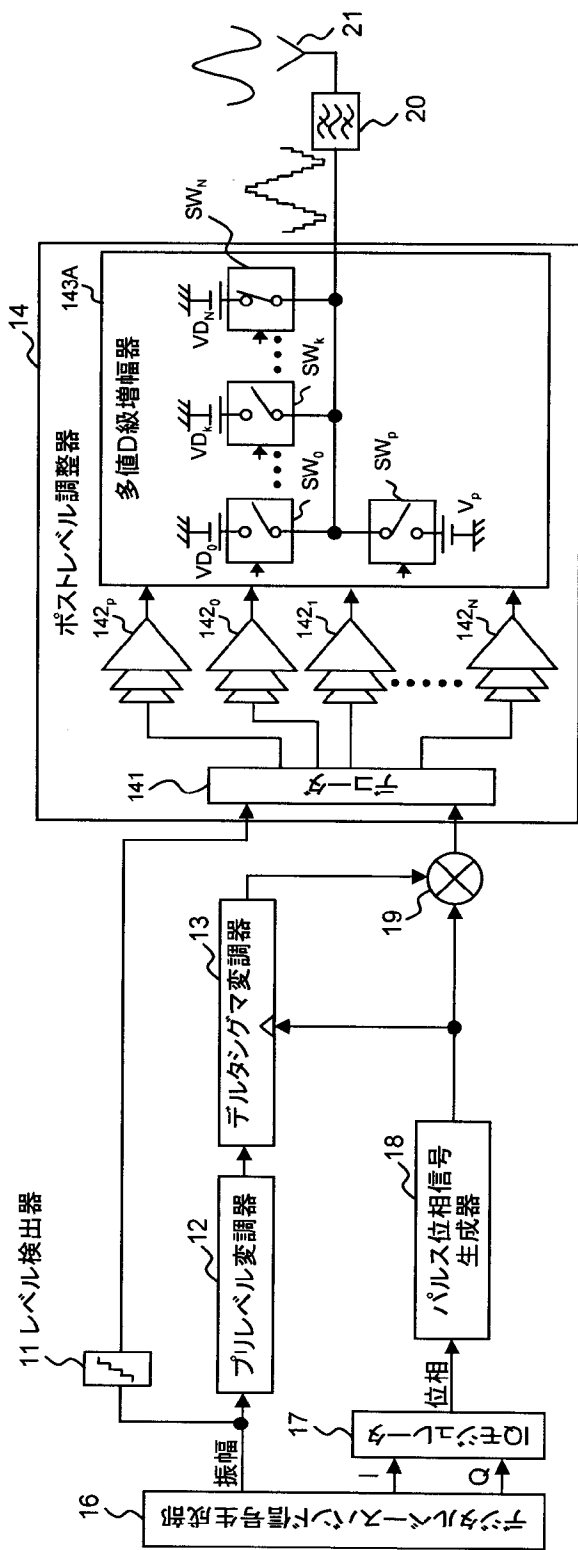
[図10]



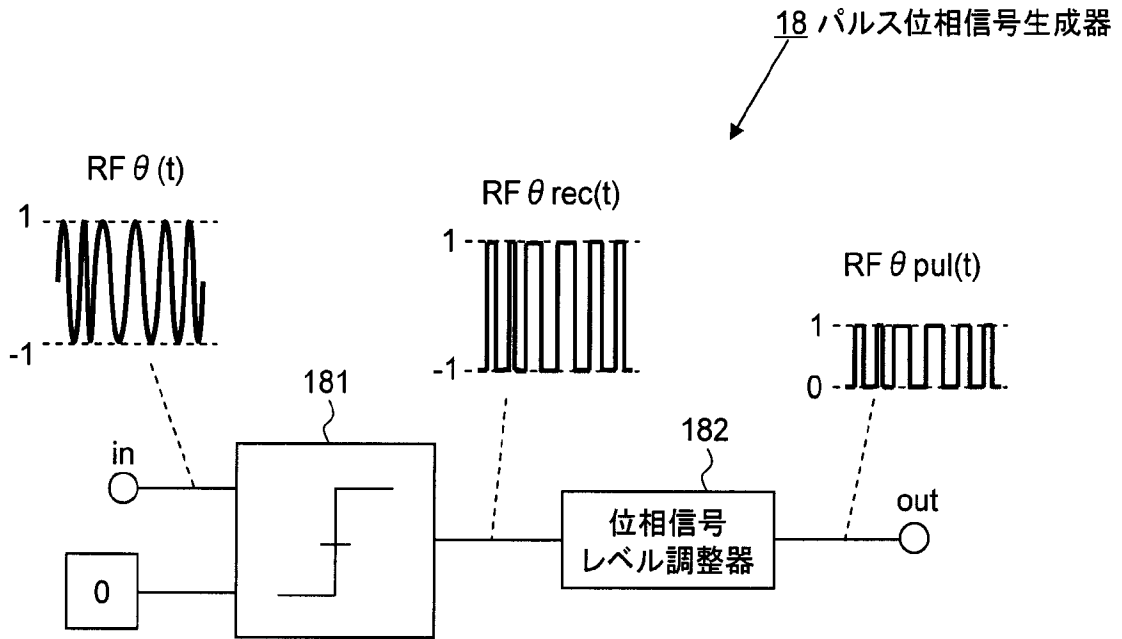
[図11]



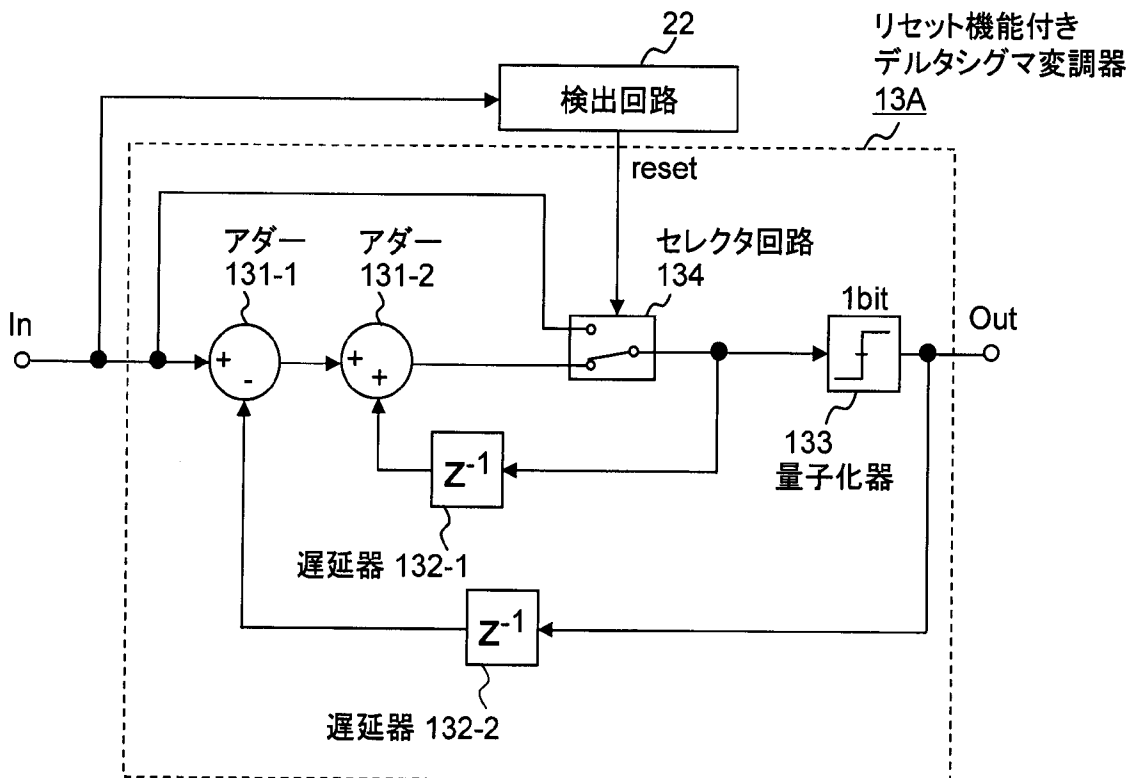
[図12]



[図13]



[図14]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/053908

A. CLASSIFICATION OF SUBJECT MATTER H03F3/217(2006.01) i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H03F3/217		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2013 Kokai Jitsuyo Shinan Koho 1971-2013 Toroku Jitsuyo Shinan Koho 1994-2013		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 102544/1987(Laid-open No. 7437/1989) (Yamaha Corp.), 17 January 1989 (17.01.1989), entire text; fig. 1, 2 (Family: none)	1, 2, 8 3-7
Y A	JP 7-254823 A (Kenwood Corp.), 03 October 1995 (03.10.1995), paragraphs [0006] to [0020]; fig. 1 (Family: none)	1, 2, 8 3-7
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 08 May, 2013 (08.05.13)		Date of mailing of the international search report 21 May, 2013 (21.05.13)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2013/053908

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-49613 A (Sharp Corp.), 18 February 2000 (18.02.2000), paragraphs [0015] to [0074]; fig. 1 to 7 (Family: none)	3-7

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H03F3/217(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H03F3/217		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2013年 日本国実用新案登録公報 1996-2013年 日本国登録実用新案公報 1994-2013年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	日本国実用新案登録出願62-102544号(日本国実用新案登録出願公開64-7437号)の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム(ヤマハ株式会社)1989.01.17,全文,図1,2(ファミリーなし)	1,2,8 3-7
Y A	JP 7-254823 A (株式会社ケンウッド) 1995.10.03,段落【0006】-【0020】,図1(ファミリーなし)	1,2,8 3-7
A	JP 2000-49613 A (シャープ株式会社) 2000.02.18,段落【0015】-【0074】,図1-7(ファミリーなし)	3-7
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 08.05.2013	国際調査報告の発送日 21.05.2013	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 高橋 義昭 電話番号 03-3581-1101 内線 3596	5X 4776