(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7102528号
(P7102528)

(45)発行日　令和4年7月19日(2022.7.19)

(24)登録日　令和4年7月8日(2022.7.8)

(51)国際特許分類

		FI		
G11C 11/54 (2006.01)		G11C	11/54	
G11C 11/16 (2006.01)		G11C	11/16	100Z
G06N 3/063(2006.01)		G06N	3/063	
G06G 7/60 (2006.01)		G06G	7/60	

請求項の数　14　（全23頁）

(21)出願番号　特願2020-537730(P2020-537730)
(86)(22)出願日　平成31年1月10日(2019.1.10)
(65)公表番号　特表2021-510898(P2021-510898A)
(43)公表日　令和3年4月30日(2021.4.30)
(86)国際出願番号　PCT/IB2019/050185
(87)国際公開番号　WO2019/145805
(87)国際公開日　令和1年8月1日(2019.8.1)
審査請求日　令和3年6月23日(2021.6.23)
(31)優先権主張番号　15/878,965
(32)優先日　平成30年1月24日(2018.1.24)
(33)優先権主張国・地域又は機関
米国(US)

(73)特許権者　390009531
インターナショナル・ビジネス・マシーンズ・コーポレーション
INTERNATIONAL BUSINESS MACHINES CORPORATION
アメリカ合衆国１０５０４ ニューヨーク州 アーモンク ニュー オーチャード ロード
New Orchard Road, Armonk, New York 10504, United States of America
(74)代理人　100112690
弁理士　太佐 種一

最終頁に続く

(54)【発明の名称】　シナプス・メモリ、シナプス・メモリを備えるデバイス、及び、シナプス・メモリに記憶された重み値を読み出す方法

(57)【特許請求の範囲】

【請求項１】

複数の軸索線と複数の樹状突起線との交点に提供された複数のシナプス・メモリ・セルを備えるシナプス・メモリであって、

それぞれのシナプス・メモリ・セルが、

重み値を記憶するように構成されたメモリ・デバイスであり、前記メモリ・デバイスが、読出し端子、書込み端子および共通端子を備え、前記読出し端子が、前記メモリ・デバイスに記憶された前記重み値を読み出すための読出し信号を受け取るように構成され、前記書込み端子が、前記重み値を前記メモリ・デバイスに書き込むための書込み信号を受け取るように構成され、前記共通端子が、前記読出し信号を受け取った前記メモリ・デバイスから出力信号を出力するように、または前記書込み信号を受け取った前記メモリ・デバイスに入力信号を入力するように構成された、メモリ・デバイスと、

前記メモリ・デバイスの前記書込み端子と前記書込み信号を送るように構成された書込み信号線との間に提供された書込みトランジスタと、

前記メモリ・デバイスの前記共通端子と前記樹状突起線のうちの１本の樹状突起線との間に提供された共通トランジスタと

を備える、シナプス・メモリ。

【請求項２】

それぞれのシナプス・メモリ・セルが、前記メモリ・デバイスの前記読出し端子と前記複数の軸索線のうちの１本の軸索線との間に提供された読出しトランジスタをさらに備える、

請求項１に記載のシナプス・メモリ。
【請求項３】
前記メモリ・デバイスが磁気抵抗ランダム・アクセス・メモリ（ＭＲＡＭ）である、
請求項１に記載のシナプス・メモリ。
【請求項４】
前記シナプス・メモリ・セルのサブグループが、前記複数の軸索線のうちの１本の軸索線に共通に接続されており、
前記シナプス・メモリ・セルの前記サブグループのうちのそれぞれに提供された前記共通トランジスタのゲートが、共通トランジスタ制御信号を送るように構成された共通制御線に共通に接続されている、
請求項１に記載のシナプス・メモリ。
【請求項５】
前記シナプス・メモリ・セルのサブグループが、前記複数の樹状突起線のうちの１本の樹状突起線に共通に接続されており、
前記シナプス・メモリ・セルの前記サブグループのうちのそれぞれに提供された前記書込みトランジスタのゲートが、複数の前記書込み制御線のうちの１本の書込み制御線に共通に接続されている、
請求項１に記載のシナプス・メモリ。
【請求項６】
前記シナプス・メモリ・セルのサブグループが、前記複数の樹状突起線のうちの１本の樹状突起線に共通に接続されており、
前記シナプス・メモリ・セルの前記サブグループのうちのそれぞれに提供された前記読出しトランジスタのゲートが、読出しトランジスタ制御信号を送るように構成された読出し信号線に共通に接続されている、
請求項２に記載のシナプス・メモリ。
【請求項７】
前記複数の前記シナプス・メモリ・セルのうちの一部分に記憶された前記重み値が読み出される場合に、前記複数の前記シナプス・メモリ・セルのうちの前記一部分に提供されたそれぞれの共通トランジスタがオンにされ、前記複数の前記シナプス・メモリ・セルのうちの残りの部分の少なくとも１つに提供されたそれぞれの共通トランジスタがオフにされる、
請求項２に記載のシナプス・メモリ。
【請求項８】
前記複数の前記シナプス・メモリ・セルのうちの前記一部分に記憶された前記重み値が読み出される場合に、前記複数の前記シナプス・メモリ・セルのうちの前記一部分に提供されたそれぞれの読出しトランジスタがオンにされ、前記複数の前記シナプス・メモリ・セルのうちの前記一部分に提供されたそれぞれの書込みトランジスタがオフにされる、
請求項７に記載のシナプス・メモリ。
【請求項９】
前記複数の前記シナプス・メモリ・セルのうちの一部分に前記重み値が書き込まれる場合に、前記複数の前記シナプス・メモリ・セルのうちの前記一部分に提供されたそれぞれの共通トランジスタがオンにされ、前記複数の前記シナプス・メモリ・セルのうちの残りの部分の少なくとも１つに提供されたそれぞれの共通トランジスタがオフにされる、
請求項２に記載のシナプス・メモリ。
【請求項１０】
前記複数の前記シナプス・メモリ・セルのうちの前記一部分に前記重み値が書き込まれる場合に、前記複数の前記シナプス・メモリ・セルのうちの前記一部分に提供されたそれぞれの読出しトランジスタがオフにされ、前記複数の前記シナプス・メモリ・セルのうちの前記一部分に提供されたそれぞれの書込みトランジスタがオンにされる、
請求項９に記載のシナプス・メモリ。

【請求項１１】
複数の軸索線と複数の樹状突起線との交点に提供された複数のシナプス・メモリ・セルを備えるシナプス・メモリであって、
それぞれのシナプス・メモリ・セルが、
重み値を記憶するように構成されたメモリ・デバイスであり、前記メモリ・デバイスが、読出し端子、書込み端子および共通端子を備え、前記読出し端子が、前記メモリ・デバイスに記憶された前記重み値を読み出すための読出し信号を受け取るように構成され、前記書込み端子が、前記重み値を前記メモリ・デバイスに書き込むための書込み信号を受け取るように構成され、前記共通端子が、前記読出し信号を受け取った前記メモリ・デバイスから出力信号を出力するように、または前記書込み信号を受け取った前記メモリ・デバイスに入力信号を入力するように構成された、メモリ・デバイスと、
前記複数の樹状突起線のうちの１本の樹状突起線と前記メモリ・デバイスの前記共通端子との間の接続と分離とを切り換えるように構成されたスイッチと
を備え、
前記複数の前記シナプス・メモリ・セルのうちの一部分に記憶された前記重み値が読み出される場合に、前記複数の前記シナプス・メモリ・セルのうちの前記一部分に提供されたそれぞれのスイッチが、前記複数の樹状突起線のうちの前記１本の樹状突起線と前記メモリ・デバイスの前記共通端子とを接続し、前記複数の前記シナプス・メモリ・セルのうちの残りの部分の少なくとも１つに提供されたそれぞれのスイッチが、前記複数の樹状突起線のうちの前記１本の樹状突起線と前記メモリ・デバイスの前記共通端子とを分離する、シナプス・メモリ。
【請求項１２】
シナプス・メモリを備えるデバイスであって、
前記シナプス・メモリが、複数の軸索線と複数の樹状突起線との交点に提供された複数のシナプス・メモリ・セルを備え、
それぞれのシナプス・メモリ・セルが、
重み値を記憶するように構成されたメモリ・デバイスであり、前記メモリ・デバイスが、読出し端子、書込み端子および共通端子を備え、前記読出し端子が、前記メモリ・デバイスに記憶された前記重み値を読み出すための読出し信号を受け取るように構成され、前記書込み端子が、前記重み値を前記メモリ・デバイスに書き込むための書込み信号を受け取るように構成され、前記共通端子が、前記読出し信号を受け取った前記メモリ・デバイスから出力信号を出力するように、または前記書込み信号を受け取った前記メモリ・デバイスに入力信号を入力するように構成された、メモリ・デバイスと、
前記メモリ・デバイスの前記書込み端子と前記書込み信号を送るように構成された書込み信号線との間に提供された書込みトランジスタと、
前記メモリ・デバイスの前記共通端子と前記複数の樹状突起線のうちの１本の樹状突起線との間に提供された共通トランジスタと
を備える、デバイス。
【請求項１３】
複数の軸索線と複数の樹状突起線との交点に提供された複数のシナプス・メモリ・セルを備えるシナプス・メモリであって、
それぞれのシナプス・メモリ・セルが、
重み値を記憶するように構成されたメモリ・デバイスであり、前記メモリ・デバイスが、読出し端子、書込み端子および共通端子を備え、前記読出し端子が、前記メモリ・デバイスに記憶された前記重み値を読み出すための読出し信号を受け取るように構成され、前記書込み端子が、前記重み値を前記メモリ・デバイスに書き込むための書込み信号を受け取るように構成され、前記共通端子が、前記読出し信号を受け取った前記メモリ・デバイスから出力信号を出力するように、または前記書込み信号を受け取った前記メモリ・デバイスに入力信号を入力するように構成された、メモリ・デバイスと、
前記メモリ・デバイスの前記書込み端子と前記書込み信号を送るように構成された書込み

信号線との間に提供された書込みトランジスタと、
前記メモリ・デバイスの前記共通端子と前記複数の樹状突起線のうちの１本の樹状突起線との間に提供された共通トランジスタと、
前記メモリ・デバイスの前記読出し端子と前記複数の軸索線のうちの１本の軸索線との間に提供された読出しトランジスタと
を備え、
前記シナプス・メモリ・セルの第１のサブグループが、前記複数の軸索線のうちの１本の軸索線に共通に接続されており、
前記シナプス・メモリ・セルの第２のサブグループが、前記複数の樹状突起線のうちの１本の樹状突起線に共通に接続されており、
前記シナプス・メモリ・セルの前記第１のサブグループのうちのそれぞれに提供された前記共通トランジスタのゲートが、共通トランジスタ制御信号を送るように構成された共通制御線に共通に接続されており、
前記シナプス・メモリ・セルの前記第２のサブグループのうちのそれぞれに提供された前記書込みトランジスタのゲートが、前記書込み制御線のうちの１本の書込み制御線に共通に接続されており、
前記シナプス・メモリ・セルの前記第２のサブグループのうちのそれぞれに提供された前記読出しトランジスタのゲートが、読出しトランジスタ制御信号を送るように構成された読出し制御線に共通に接続されている、
シナプス・メモリ。
【請求項１４】
シナプス・メモリに記憶された重み値を読み出す方法であって、
前記シナプス・メモリが、複数の軸索線と複数の樹状突起線との交点に提供された複数のシナプス・メモリ・セルを備え、
それぞれのシナプス・メモリ・セルが、
重み値を記憶するように構成されたメモリ・デバイスであり、前記メモリ・デバイスが、読出し端子、書込み端子および共通端子を備え、前記読出し端子が、前記メモリ・デバイスに記憶された前記重み値を読み出すための読出し信号を受け取るように構成され、前記書込み端子が、前記重み値を前記メモリ・デバイスに書き込むための書込み信号を受け取るように構成され、前記共通端子が、前記読出し信号を受け取った前記メモリ・デバイスから出力信号を出力するように、または前記書込み信号を受け取った前記メモリ・デバイスに入力信号を入力するように構成された、メモリ・デバイスと、
前記メモリ・デバイスの前記書込み端子と前記書込み信号を送るように構成された書込み信号線との間に提供された書込みトランジスタと、
前記メモリ・デバイスの前記共通端子と前記複数の樹状突起線のうちの１本の樹状突起線との間に提供された共通トランジスタと、
前記メモリ・デバイスの前記読出し端子と前記複数の軸索線のうちの１本の軸索線との間に提供された読出しトランジスタと
を備え、前記方法が、
前記書込みトランジスタがオフにされ、前記共通トランジスタがオンにされ、前記読出しトランジスタがオンにされた状態にある、前記複数の前記シナプス・メモリ・セルのうちの一部分の前記重み値を読み出すこと
を含む、方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明はシナプス・メモリ（synapse memory）、それを含むデバイス、及びシナプス・メモリに記憶された重み値を読み出しに関する。
【背景技術】
【０００２】

近年、シナプス・メモリに関するさまざまな技法が知られるようになった。
【発明の概要】
【発明が解決しようとする課題】
【０００３】
本発明は、シナプス・メモリ、シナプス・メモリを備えるデバイス、及び、シナプス・メモリに記憶された重み値を読み出す方法を提供する。
【課題を解決するための手段】
【０００４】
本発明の実施形態によれば、シナプス・メモリが提供される。このシナプス・メモリは、複数の軸索線と複数の樹状突起線との交点に提供された複数のシナプス・メモリ・セルを含む。それぞれのシナプス・メモリ・セルは、メモリ・デバイス、書込みトランジスタおよび共通トランジスタを含む。メモリ・デバイスは、重み値を記憶するように構成されており、読出し端子、書込み端子および共通端子を備える。読出し端子は、メモリ・デバイスに記憶された重み値を読み出すための読出し信号を受け取るように構成されている。書込み端子は、重み値をメモリ・デバイスに書き込むための書込み信号を受け取るように構成されている。共通端子は、読出し信号を受け取ったメモリ・デバイスから出力信号を出力するように、または書込み信号を受け取ったメモリ・デバイスに入力信号を入力するように構成されている。書込みトランジスタは、メモリ・デバイスの書込み端子と書込み信号を送るように構成された書込み信号線との間に提供されている。共通トランジスタは、メモリ・デバイスの共通端子と樹状突起線のうちの１本の樹状突起線との間に提供されている。
【０００５】
本発明の別の実施形態によれば、シナプス・メモリが提供される。このシナプス・メモリは、複数の軸索線と複数の樹状突起線との交点に提供された複数のシナプス・メモリ・セルを含む。それぞれのシナプス・メモリ・セルは、メモリ・デバイスおよびスイッチを含む。メモリ・デバイスは、重み値を記憶するように構成されており、読出し端子、書込み端子および共通端子を備える。読出し端子は、メモリ・デバイスに記憶された重み値を読み出すための読出し信号を受け取るように構成されている。書込み端子は、重み値をメモリ・デバイスに書き込むための書込み信号を受け取るように構成されている。共通端子は、読出し信号を受け取ったメモリ・デバイスから出力信号を出力するように、または書込み信号を受け取ったメモリ・デバイスに入力信号を入力するように構成されている。スイッチは、樹状突起線のうちの１本の樹状突起線とメモリ・デバイスの共通端子との間の接続と分離とを切り換えるように構成されている。複数のシナプス・メモリ・セルのうちの一部分に記憶された重み値が読み出される場合、複数のシナプス・メモリ・セルのうちの一部分に提供されたそれぞれのスイッチは、樹状突起線のうちの１本の樹状突起線とメモリ・デバイスの共通端子とを接続し、複数のシナプス・メモリ・セルのうちの残りの部分に提供されたそれぞれのスイッチは、樹状突起線のうちの１本の樹状突起線とメモリ・デバイスの共通端子とを分離する。
【０００６】
本発明のさらに別の実施形態によれば、シナプス・メモリを含むデバイスが提供される。このシナプス・メモリは、複数の軸索線と複数の樹状突起線との交点に提供された複数のシナプス・メモリ・セルを含む。それぞれのシナプス・メモリ・セルは、メモリ・デバイス、書込みトランジスタおよび共通トランジスタを含む。メモリ・デバイスは、重み値を記憶するように構成されており、読出し端子、書込み端子および共通端子を備える。読出し端子は、メモリ・デバイスに記憶された重み値を読み出すための読出し信号を受け取るように構成されている。書込み端子は、重み値をメモリ・デバイスに書き込むための書込み信号を受け取るように構成されている。共通端子は、読出し信号を受け取ったメモリ・デバイスから出力信号を出力するように、または書込み信号を受け取ったメモリ・デバイスに入力信号を入力するように構成されている。書込みトランジスタは、メモリ・デバイスの書込み端子と書込み信号を送るように構成された書込み信号線との間に提供されてい

る。共通トランジスタは、メモリ・デバイスの共通端子と樹状突起線のうちの１本の樹状突起線との間に提供されている。

【０００７】

本発明のさらに別の実施形態によれば、シナプス・メモリが提供される。このシナプス・メモリは、複数の軸索線と複数の樹状突起線との交点に提供された複数のシナプス・メモリ・セルを含む。それぞれのシナプス・メモリ・セルは、メモリ・デバイス、書込みトランジスタ、共通トランジスタおよび読出しトランジスタを含む。メモリ・デバイスは、重み値を記憶するように構成されており、読出し端子、書込み端子および共通端子を備える。読出し端子は、メモリ・デバイスに記憶された重み値を読み出すための読出し信号を受け取るように構成されている。書込み端子は、重み値をメモリ・デバイスに書き込むための書込み信号を受け取るように構成されている。共通端子は、読出し信号を受け取ったメモリ・デバイスから出力信号を出力するように、または書込み信号を受け取ったメモリ・デバイスに入力信号を入力するように構成されている。書込みトランジスタは、メモリ・デバイスの書込み端子と書込み信号を送るように構成された書込み信号線との間に提供されている。共通トランジスタは、メモリ・デバイスの共通端子と樹状突起線のうちの１本の樹状突起線との間に提供されている。読出しトランジスタは、メモリ・デバイスの読出し端子と軸索線のうちの１本の軸索線との間に提供されている。シナプス・メモリ・セルの第１のサブグループは、軸索のうちの１本の軸索に共通に接続されている。シナプス・メモリ・セルの第２のサブグループは、樹状突起線のうちの１本の樹状突起線に共通に接続されている。シナプス・メモリ・セルの第１のサブグループのうちのそれぞれに提供された共通トランジスタのゲートは、共通トランジスタ制御信号を送るように構成された共通制御線に共通に接続されている。シナプス・メモリ・セルの第２のサブグループのうちのそれぞれに提供された書込みトランジスタのゲートは、書込み制御線のうちの１本の書込み制御線に共通に接続されている。シナプス・メモリ・セルの第２のサブグループのうちのそれぞれに提供された読出しトランジスタのゲートは、読出しトランジスタ制御信号を送るように構成された読出し信号線に共通に接続されている。

【０００８】

これらの特徴および利点ならびにその他の特徴および利点は、その例示的な実施形態の以下の詳細な説明から明らかになり、詳細な説明は添付図面とともに読まれるべきである。

【０００９】

以下の説明は、好ましい実施形態の詳細を以下の図を参照して提供する。

【図面の簡単な説明】

【００１０】

【図１】本発明の例示的な実施形態に基づく、クロスバー・アレイ（cross-bar array）を有するシナプス・メモリを示す図である。

【図２】例示的な実施形態に基づくシナプス・メモリを示す図である。

【図３】例示的な実施形態に基づくシナプス・メモリ・セル・システムを示す図である。

【図４】ノーマル（normal）方向読出し動作における、第ｉ行、第ｊ列の１つのシナプス・メモリ・セルおよび第ｍ行、第ｊ列の別のシナプス・メモリ・セルを示す図である。

【図５】ノーマル方向読出し動作のタイム・チャートを示す図である。

【図６】リバース（reverse）方向読出し動作における、第ｉ行、第ｊ列の１つのシナプス・メモリ・セルおよび第ｉ行、第ｎ列の別のシナプス・メモリ・セルを示す図である。

【図７】リバース方向読出し動作のタイム・チャートを示す図である。

【図８】ノーマル・インクリメント（increment）書込み動作における、第ｉ行、第ｊ列の１つのシナプス・メモリ・セルおよび第ｍ行、第ｊ列の別のシナプス・メモリ・セルを示す図である。

【図９】ノーマル・インクリメント書込み動作のタイム・チャートを示す図である。

【図１０】ノーマル・デクリメント（decrement）書込み動作における、第ｉ行、第ｊ列の１つのシナプス・メモリ・セルおよび第ｍ行、第ｊ列の別のシナプス・メモリ・セルを示す図である。

【図１１】ノーマル・デクリメント書込み動作のタイム・チャートを示す図である。
【図１２】シナプス・メモリを含むデバイスの例を示す図である。
【図１３】本発明の例示的な第２の実施形態に基づくノーマル方向読出し動作における、第ｉ行、第ｊ列の１つのシナプス・メモリ・セルおよび第m行、第ｊ列の別のシナプス・メモリ・セルを示す図である。
【図１４】本発明の例示的な第２の実施形態に基づくノーマル方向読出し動作のタイム・チャートを示す図である。
【図１５】本発明の例示的な第２の実施形態に基づくノーマル書込み動作における、第ｉ行、第ｊ列の１つのシナプス・メモリ・セルおよび第m行、第ｊ列の別のシナプス・メモリ・セルを示す図である。
【図１６】ノーマル書込み動作のタイム・チャートを示す図である。
【図１７】本発明の例示的な第２の実施形態に基づくリバース方向読出し動作における、第ｉ行、第ｊ列の１つのシナプス・メモリ・セルおよび第ｉ行、第ｎ列の別のシナプス・メモリ・セルを示す図である。
【図１８】本発明の例示的な第２の実施形態に基づくリバース方向読出し動作のタイム・チャートを示す図である。
【発明を実施するための形態】
【００１１】
以下では、添付図面を参照して、本発明の例示的な実施形態を詳細に説明する。
【００１２】
本発明は、以下に示す例示的な実施形態に限定されず、本発明の範囲内でさまざまな変更を加えて実施することができることに留意されたい。さらに、本明細書で使用される図面は図解を目的とし、実寸法を示していない。
【００１３】
図１は、本発明の例示的な実施形態に基づく、クロスバー・アレイを有するシナプス・メモリ１００を示す。
【００１４】
ニューロモーフィック・システム（neuromorphic system）のハードウェア実装は、シナプス・メモリおよびニューロン体（neuron body）、ならびに軸索と樹状突起とによるネットワーク接続を含むことができる。図１に示されているように、シナプス・メモリ１００は、全ての軸索（軸索線）２０と全ての樹状突起（樹状突起線）３０との全ての交点に配置された／置かれたシナプス・メモリ・セル１０を含むことができる。それぞれのシナプス・メモリ・セル１０は、対応するシナプス・メモリ・セル１０のシナプス接続の重みを示すシナプス重み値を記憶するように構成されたものとすることができる。軸索２０は、前ニューロン（pre-neuron）のそれぞれの軸索に対応し、樹状突起３０は、後ニューロン（post-neuron）のそれぞれの樹状突起に対応することに留意されたい。
【００１５】
この例示的な実施形態では、シナプス・メモリ・セル１０が、シナプス重み値を記憶するためのメモリ・デバイスＭＤ（図３参照）を含むことができる。メモリ・デバイスＭＤは、磁気抵抗ランダム・アクセス・メモリ（ＭＲＡＭ：magnetoresistive random access memory）とすることができる。例えば、メモリ・デバイスＭＤは、スピン・トランスファ・トルク磁気抵抗ランダム・アクセス・メモリ（ＳＴＴ－ＭＲＡＭ：spin transfer torque magnetoresistive random access memory）とすることができる。
【００１６】
メモリ・デバイスＭＤへのデータの書込みは、メモリ・デバイスＭＤに電圧または電流を印加することによって実行される。メモリ・デバイスＭＤは、連続値（アナログ値）または多値（multi-value）（離散値）を記憶することができる。メモリ・デバイスＭＤに印加する電圧値または電流値を制御することによって、メモリ・デバイスＭＤに記憶されるシナプス重み値を制御することができる。メモリ・デバイスＭＤをアナログ・メモリとして使用することができることに留意されたい。言い換えると、メモリ・デバイスＭＤは、

少なくとも３種類の値のうちの１つである値を記憶または保持することができる。メモリ・デバイスＭＤは、２つの非常に大きな値および非常に小さな値だけでなく、範囲の中央の（mid-range）連続する抵抗値も有することができる。

【００１７】

図２は、この例示的な実施形態に基づくシナプス・メモリ１００を示す。

【００１８】

図２に示されているように、シナプス・メモリ１００は、ｍ×ｎ（ｍ行およびｎ列）のアレイとして配置されたシナプス・メモリ・セル１０を含むことができる。シナプス・メモリ・セル１０を互いに接続するため、シナプス・メモリ１００はさらに、行方向（図２の水平方向）に沿って延びる線および列方向（図２の垂直方向）に沿って延びる線を含むことができる。

【００１９】

ここで、行線は、行読出し線ｒ＿ｒｌ０～ｒ＿ｒｌｍ－１、行書込み線ｗ＿ｒｌ０～ｗ＿ｒｌｍ－１および行読出し書込みセレクト（select）ｒｗ＿ｒｓ０～ｒｗ＿ｒｓｍ－１を含む。行読出し線ｒ＿ｒｌ０－ｒ＿ｒｌｍ－１は軸索２０に対応することに留意されたい。すなわち、行書込み線ｗ＿ｒｌ０～ｗ＿ｒｌｍ－１および行読出し書込みセレクトｒｗ＿ｒｓ０～ｒｗ＿ｒｓｍ－１は、軸索２０に沿って延びている。列線は、列読出しセレクトｒ＿ｃｓ０～ｒ＿ｃｓｎ－１、列書込みセレクトｗ＿ｃｓ０～ｗ＿ｃｓｎ－１および列読出し書込み線ｒｗ＿ｃｌ０～ｒｗ＿ｃｌｎ－１を含む。列読出し書込み線ｒｗ＿ｃｌ０～ｒｗ＿ｃｌｎ－１は樹状突起３０に対応することに留意されたい。すなわち、列読出しセレクトｒ＿ｃｓ０～ｒ＿ｃｓｎ－１および列書込みセレクトｗ＿ｃｓ０～ｗ＿ｃｓｎ－１は、樹状突起３０に沿って延びている。さらに、行読出し書込みセレクトｒｗ＿ｒｓ０～ｒｗ＿ｒｓｍ－１、列読出しセレクトｒ＿ｃｓ０～ｒ＿ｃｓｎ－１および列書込みセレクトｗ＿ｃｓ０～ｗ＿ｃｓｎ－１は、シナプス・メモリ・セル１０の回路を切り換えるための信号用の線である。それぞれの線の詳細は後述する。

【００２０】

ここで、シナプス・メモリ１００は、これらの行線および列線を使用して読出し動作および書込み動作を実行する。言い換えると、シナプス・メモリ１００は、それぞれのシナプス・メモリ・セル１０への読出しアクセスおよび書込みアクセスを実行するのにこれらの行線および列線を必要とする。

【００２１】

シナプス・メモリ・セル１０の読出し動作は、多数の軸索線（行線）を同時にアクティブ化して１本の樹状突起線の全電流を読み取ることによって実行される。すなわち、シナプス重み値の読出し動作では、それぞれの樹状突起３０の全シナプス重み値が読み取られる。この全シナプス重み値は、読出し対象として選択された対応するそれぞれのシナプス・メモリ・セル１０のシナプス重み値の和である。

【００２２】

ここで、シナプス・メモリ１００のアレイ・サイズが大きい（例えば１０２４×１０２４である）場合には、全て並列に接続された、選択されていないシナプス・メモリ・セル１０の数は大きくなる。このことが、選択されたシナプス・メモリ・セル１０の読出し外乱（read disturb）を引き起こす可能性がある。用語「読出し外乱」は、読出し動作の結果に対する、選択されていないシナプス・メモリ・セルの影響を指すものとすることができる。選択されていないシナプス・メモリ・セル１０は、選択されたシナプス・メモリ・セル１０と同じ、読出し動作の読出し対象として選択された樹状突起３０上に配置されている。

【００２３】

図３は、この例示的な実施形態に基づくシナプス・メモリ・セル・システム１を示す。以下の説明では、例としてシナプス・メモリ・セル１０００を説明する。残りのシナプス・メモリ・セル１０（例えばシナプス・メモリ・セル１０１０、１００１、１０１１）は、シナプス・メモリ・セル１０００と同様に構成されている。

【００２４】
図３に示されているように、シナプス・メモリ・セル・システム１は、シナプス・メモリ１００、読出しドライバ４０、書込みドライバ５０およびスイッチング部分６０を含むことができる。シナプス・メモリ・セル・システム１は、シリコン上のニューロモーフィック・システム（neuromorphic system on silicon）とすることができる。この例示的な実施形態では、シナプス・メモリ１００に含まれるメモリ・デバイスＭＤへのシナプス重み値の書込みが、電圧値を制御することによって実行されると仮定する。
【００２５】
ここで、図１を参照して上で述べたとおり、シナプス・メモリ１００は、軸索２０と樹状突起３０のクロスバー・アレイを有し、軸索２０と樹状突起３０との全ての交点に配置されたシナプス・メモリ・セル１０を含む。それぞれのシナプス・メモリ・セル１０は、メモリ・デバイスＭＤならびに３つのトランジスタ、すなわち読出しトランジスタＴＲＤ、書込みトランジスタＴＷＴおよび共通トランジスタＴＣＭを含むことができる。これらの３つのトランジスタは、メモリ・デバイスＭＤ（シナプス・メモリ・セル１０）の回路を切り換えるための要素である。
【００２６】
メモリ・デバイスＭＤ、すなわちＭＲＡＭは独立した３つのポートを備えることができる。言い換えると、メモリ・デバイスＭＤは３端子デバイスとすることができる。具体的には、メモリ・デバイスＭＤは、読出し端子ＲＤ、書込み端子ＷＴおよび共通端子ＣＭを備える。読出し端子ＲＤは、読出しドライバ４０から読出し信号を受け取る。書込み端子ＷＴは、書込みドライバ５０から書込み信号を受け取る。共通端子ＣＭは、読出し信号を受け取ったメモリ・デバイスＭＤから信号（出力信号）を出力し、または書込み信号を受け取ったメモリ・デバイスＭＤに信号（入力信号）を入力する。
【００２７】
これらの３つのトランジスタ、すなわち読出しトランジスタＴＲＤ、書込みトランジスタＴＷＴおよび共通トランジスタＴＣＭはそれぞれ、読出し端子ＲＤ、書込み端子ＷＴおよび共通端子ＣＭ上に提供されている。言い換えると、これらの３つのトランジスタは、メモリ・デバイスＭＤのポートと行および列アクセス線との間に提供されている。
【００２８】
例えば、シナプス・メモリ・セル１０００において、読出しトランジスタＴＲＤは、読出し端子ＲＤと行読出し線ｒ＿ｒｌ０の間に提供されている。読出しトランジスタＴＲＤのゲートは列読出しセレクトｒ＿ｃｓ０に接続されている。読出しトランジスタＴＲＤは、読出し端子ＲＤと行読出し線ｒ＿ｒｌ０とを接続／分離する。書込みトランジスタＴＷＴは、書込み端子ＷＴと行書込み線ｗ＿ｒｌ０の間に提供されている。書込みトランジスタＴＷＴのゲートは列書込みセレクトｗ＿ｃｓ０に接続されている。書込みトランジスタＴＷＴは、書込み端子ＷＴと行書込み線ｗ＿ｒｌ０とを接続／分離する。共通トランジスタＴＣＭは、共通端子ＣＭと列読出し書込み線ｒｗ＿ｃｌ０の間に提供されている。共通トランジスタＴＣＭのゲートは、行読出し書込みセレクトｒｗ＿ｒｓ０に接続されている。共通トランジスタＴＣＭは、共通端子ＣＭと列読出し書込み線ｒｗ＿ｃｌ０とを接続／分離する。列書込みセレクトｗ＿ｃｓ０は、特許請求の範囲に記載された書込み制御線の例である。行読出し書込みセレクトｒｗ＿ｒｓ０は、特許請求の範囲に記載された共通制御線の例である。列読出しセレクトｒ＿ｃｓ０は、特許請求の範囲に記載された読出し信号線の例である。
【００２９】
トランジスタ・ドライバ（図示せず）が、列読出しセレクトｒ＿ｃｓ０、列書込みセレクトｗ＿ｃｓ０および行読出し書込みセレクトｒｗ＿ｒｓ０を介して、３つの対応するそれぞれのトランジスタに電圧を印加する。示された例では、３つの対応するそれぞれのトランジスタのゲートへの印加電圧が高電圧V_Hと低電圧V_Lの間で切り換えられる。ゲートに高電圧V_Hが印加された場合、そのトランジスタはオンにされる、すなわちゼロ抵抗状態になる。ゲートに低電圧V_Lが印加された場合、そのトランジスタはオフにされる、す

なわち高インピーダンス（Ｈｉ－Ｚ）状態になる。すなわち、これらの３つのトランジスタは、メモリ・デバイスＭＤと線、すなわち行読出し線ｒ＿ｒｌ$_0$、行書込み線ｗ＿ｒｌ$_0$および列読出し書込み線ｒｗ＿ｃｌ$_0$を独立して接続／分離する。ゲートに電圧を印加することは、トランジスタに制御信号を割り当てることを意味することに留意されたい。ゲートへの印加電圧によって、読出しおよび書込みアクセスを実施する制御タイミングおよびレベルを規定することができる。共通トランジスタＴＣＭのゲートへの印加電圧は、特許請求の範囲に記載された共通トランジスタ制御信号の例である。読出しトランジスタＴＲＤのゲートへの印加電圧は、特許請求の範囲に記載された読出しトランジスタ制御信号の例である。

【００３０】

読出しドライバ４０は、行読出し線ｒ＿ｒｌ$_0$（軸索２０）を介してシナプス・メモリ・セル１０に接続されている。読出しドライバ４０は、認識動作入力に応答してシナプス・メモリ・セル１０からシナプス重み値を読み出すように構成されたものとすることができる。図に示された例では、読出しドライバ４０を、供給電圧ＶＤＣまたは読出し駆動電圧ＶＤＣ＋ＶＲＤの電圧を行読出し線ｒ＿ｒｌ$_0$に印加するためのディジタル・ドライバとすることができる。

【００３１】

書込みドライバ５０は、行書込み線ｗ＿ｒｌ$_0$を介してシナプス・メモリ・セル１０に接続されている。書込みドライバ５０は、学習動作入力に応答して対応するそれぞれのシナプス・メモリ・セル１０にシナプス重み値を書き込む（更新する）ように構成されたものとすることができる。図に示された例では、書込みドライバ５０を、供給電圧ＶＤＣ、インクリメント書込み電圧ＶＤＣ＋ＶＷＴまたはデクリメント書込み電圧ＶＤＣ－ＶＷＴの電圧を行書込み線ｗ＿ｒｌ$_0$に印加するためのディジタルまたはアナログ・ドライバとすることができる。

【００３２】

シナプス・メモリ１００内の対応するそれぞれのシナプス・メモリ・セル１０に記憶された重みを更新することを、学習と呼ぶことができる。学習は、オンライン学習およびオフライン学習を含むことができる。オンライン学習では、シナプス・メモリ１００が一組のデータ（または全データの一部分）を受け取るたびに、その一組のデータを受け取っているシナプス・メモリ・セル１０の重みが、受け取った一組のデータだけを使用して更新される。オフライン学習では、対応するそれぞれのシナプス・メモリ・セル１０の重みが、予め用意されたデータに基づいてセットされる。

【００３３】

スイッチング部分６０は、列読出し書込み線ｒｗ＿ｃｌ$_0$（樹状突起３０）に接続されている。スイッチング部分６０は、３位置スイッチ６１、電流センサ６３および接続線６５を含むことができる。スイッチング部分６０は、電流センサ６３を経由するようにまたは接続線６５を経由するように回路を切り換える。

【００３４】

以下では、シナプス・メモリ・セル１００の動作を説明する。上述のとおり、シナプス・メモリ・セル１００は読出し動作および書込み動作を実行する。図に示された例では、読出し動作が、認識動作と学習動作の両方で実行されるノーマル方向読出し動作、および学習動作でのみ実行されるリバース方向読出し動作を含むことができる。さらに、書込み動作は、メモリ・デバイスＭＤに記憶された重み値を大きくするために実行されるノーマル・インクリメント書込み動作、およびメモリ・デバイスＭＤに記憶された重み値を小さくするために実行されるノーマル・デクリメント書込み動作を含むことができる。これらの書込み動作はともに学習動作で実行される。

【００３５】

以下では、ノーマル方向読出し動作、リバース方向読出し動作、ノーマル・インクリメント書込み動作およびノーマル・デクリメント書込み動作をこの順序で説明する。

【００３６】

図４は、ノーマル方向読出し動作における、第ｉ行、第ｊ列の１つのシナプス・メモリ・セル１０ｉｊおよび第ｍ行、第ｊ列の別のシナプス・メモリ・セル１０ｍｊを示す。図５は、ノーマル方向読出し動作のタイム・チャートを示す。

【００３７】

図４および５を参照して、シナプス・メモリ１００のノーマル方向読出し動作を説明する。ここでは、シナプス・メモリ１００内において列方向に沿って配置されたシナプス・メモリ・セル１０ｉｊおよびシナプス・メモリ・セル１０ｍｊの動作を説明する。シナプス・メモリ・セル１０ｉｊとシナプス・メモリ・セル１０ｍｊは、シナプス・メモリ・セルの、特許請求の範囲に記載されたサブグループまたは特許請求の範囲に記載された第２のサブグループの例である。この実施形態では、シナプス・メモリ・セル１０ｉｊが読出し対象として選択されており、シナプス・メモリ・セル１０ｍｊが読出し対象として選択されていないと仮定する。

【００３８】

最初に、時刻ｔ１１に、トランジスタ・ドライバ（図示せず）が、列読出しセレクトｒ＿ｃｓｊに高電圧V_Hを印加して、読出しトランジスタT_{RDij}、T_{RDmj}がオンにされるようにする。さらに、読出しドライバ４０（図３参照）が、行読出し線ｒ＿ｒｌｉに読出し駆動電圧$V_{DC}+V_{RD}$を印加する。すなわち、読出しドライバ４０は、シナプス・メモリ・セル１０ｉｊの読出し端子ＲＤに、読出し信号（読出し電圧$V_{DC}+V_{RD}$）を出力する。

【００３９】

次に、時刻ｔ１２に、トランジスタ・ドライバが、行読出し書込みセレクトｒｗ＿ｒｓｉに高電圧V_Hを印加して、メモリ・デバイスＭＤｉｊの共通端子ＣＭが、その読出し端子ＲＤにおいて読出し信号（読出し電圧）を受け取ったメモリ・デバイスＭＤｉｊから信号を出力するようにする。このことは、列読出し書込み線ｒｗ＿ｃｌｊ上に提供された電流センサ６３（図３参照）が、メモリ・デバイスＭＤｉｊからの電流を含む電流を読み出すことを可能にする。

【００４０】

次に、時刻ｔ１３に、トランジスタ・ドライバが、行読出し書込みセレクトｒｗ＿ｒｓｉに低電圧V_Lを印加する。さらに、時刻ｔ１４に、トランジスタ・ドライバが、列読出しセレクトｒ＿ｃｓｊに低電圧V_Lを印加し、読出しドライバ４０が、行読出し線ｒ＿ｒｌｉに供給電圧V_{DC}を印加する。

【００４１】

時刻ｔ１２において、行読出し書込みセレクトｒｗ＿ｒｓｉにはトランジスタ・ドライバが高電圧V_Hを印加するのに対して、行読出し書込みセレクトｒｗ＿ｒｓｍにはトランジスタ・ドライバが低電圧V_Lを印加することに留意されたい。すなわち、共通トランジスタT_{CMmj}は、メモリ・デバイスＭＤｍｊと列読出し書込み線ｒｗ＿ｃｌｊとを分離する。このことは、メモリ・デバイスＭＤｍｊの共通端子ＣＭが、読出し対象として選択されていないメモリ・デバイスＭＤｍｊから信号を出力することを防ぐ。読出し対象として選択されていないメモリ・デバイスＭＤｍｊと列読出し書込み線ｒｗ＿ｃｌｊとの分離は、読出し外乱の回避を可能にする。この例で、行読出し線ｒ＿ｒｌｍは任意の電圧または高インピーダンス状態をとることができる。言い換えると、行読出し線ｒ＿ｒｌｍの電圧の管理（care）は任意である。

【００４２】

図６は、リバース方向読出し動作における、第ｉ行、第ｊ列の１つのシナプス・メモリ・セル１０ｉｊおよび第ｉ行、第ｎ列の別のシナプス・メモリ・セル１０ｉｎを示す。図７は、リバース方向読出し動作のタイム・チャートを示す。

【００４３】

図６および７を参照して、シナプス・メモリ１００のリバース方向読出し動作を説明する。ここでは、シナプス・メモリ１００内において行方向に沿って配置されたシナプス・メモリ・セル１０ｉｊおよびシナプス・メモリ・セル１０ｉｎの動作を説明する。シナプス

・メモリ・セル１０ｉｊとシナプス・メモリ・セル１０ｉｎは、特許請求の範囲に記載されたシナプス・メモリ・セルのサブグループまたは第１のサブグループの例である。この実施形態では、シナプス・メモリ・セル１０ｉｊが読出し対象として選択されており、シナプス・メモリ・セル１０ｉｎが読出し対象として選択されていないと仮定する。リバース方向読出し動作では、図４に示されたノーマル方向読出し動作とは反対の方向に信号が流れる。

【００４４】

具体的には、時刻ｔ２１に、トランジスタ・ドライバ（図示せず）が、行読出し書込みセレクトｒｗ＿ｒｓｉに高電圧V_Hを印加して、共通トランジスタＴＣＭｉｊ、ＴＣＭｉｎがオンにされるようにする。さらに、列読出し書込み線ｒｗ＿ｃｌｊに読出し駆動電圧$V_{DC}+V_{RD}$が印加される。すなわち、メモリ・デバイスＭＤｉｊは、その共通端子ＣＭにおいて読出し信号（読出し電圧）を受け取る。

【００４５】

次に、時刻ｔ２２に、トランジスタ・ドライバが、列読出しセレクトｒ＿ｃｓｊに高電圧V_Hを印加して、メモリ・デバイスＭＤｉｊの読出し端子ＲＤが、その共通端子ＣＭにおいて読出し信号（読出し電圧）を受け取ったメモリ・デバイスＭＤｉｊから信号を出力するようにする。このメモリ・デバイスＭＤｉｊからの電流は、行読出し線ｒ＿ｒｌｉの終端で読み取られる。

【００４６】

次に、トランジスタ・ドライバが、時刻ｔ２３に、列読出しセレクトｒ＿ｃｓｊに低電圧V_Lを印加し、次いで、時刻ｔ２４に、行読出し書込みセレクトｒｗ＿ｒｓｉに低電圧V_Lを印加する。さらに、時刻ｔ２４に、列読出し書込み線ｒｗ＿ｃｌｊに供給電圧V_{DC}が印加される。

【００４７】

時刻ｔ２２において、列読出しセレクトｒ＿ｃｓｊにはトランジスタ・ドライバが高電圧V_Hを印加するのに対して、列読出しセレクトｒ＿ｃｓｎにはトランジスタ・ドライバが低電圧V_Lを印加することに留意されたい。すなわち、読出しトランジスタＴＲＤｉｎは、メモリ・デバイスＭＤｉｎと行読出し線ｒ＿ｒｌｉとを分離する。このことは、メモリ・デバイスＭＤｉｎの読出し端子ＲＤが、読出し対象として選択されていないメモリ・デバイスＭＤｉｎから信号を出力することを防ぐ。読出し対象として選択されていないメモリ・デバイスＭＤｉｎと行読出し線ｒ＿ｒｌｉとの分離は、読出し外乱の回避を可能にする。この例で、列読出し書込み線ｒｗ＿ｃｌｎは任意の電圧または高インピーダンス状態をとることができる。言い換えると、列読出し書込み線ｒｗ＿ｃｌｎの電圧の管理は任意である。

【００４８】

図８は、ノーマル・インクリメント書込み動作における、第ｉ行、第ｊ列の１つのシナプス・メモリ・セル１０ｉｊおよび第ｍ行、第ｊ列の別のシナプス・メモリ・セル１０ｍｊを示す。図９は、ノーマル・インクリメント書込み動作のタイム・チャートを示す。

【００４９】

図８および９を参照して、シナプス・メモリ１００のノーマル・インクリメント書込み動作を説明する。この実施形態では、シナプス・メモリ・セル１０ｉｊが書込み対象として選択されており、シナプス・メモリ・セル１０ｍｊが書込み対象として選択されていないと仮定する。

【００５０】

最初に、時刻ｔ３１に、トランジスタ・ドライバ（図示せず）が、行読出し書込みセレクトｒｗ＿ｒｓｉに高電圧V_Hを印加して、共通トランジスタＴＣＭｉｊがオンにされるようにする。

【００５１】

次に、時刻ｔ３２に、書込みドライバ５０（図３参照）が、行書込み線ｗ＿ｒｌｉにインクリメント書込み電圧$V_{DC}+V_{WT}$を印加する。

【００５２】
次に、時刻ｔ３３に、トランジスタ・ドライバが、列書込みセレクトｗ＿ｃｓｊに高電圧V_Hを印加して、書込みトランジスタ$T_{WT}ij$がオンにされるようにする。このことは、メモリ・デバイス$MDij$の書込み端子ＷＴが、メモリ・デバイス$MDij$に記憶された重み値を大きくするためのインクリメント書込み信号（書込み電圧$V_{DC}+V_{WT}$）を書込みドライバ５０から受け取ることを可能にする。
【００５３】
次に、時刻ｔ３４に、トランジスタ・ドライバが、列書込みセレクトｗ＿ｃｓｊに低電圧V_Lを印加する。次いで、時刻ｔ３５に、書込みドライバ５０が、行書込み線ｗ＿ｒｌ$_i$に供給電圧V_{DC}を印加する。次いで、時刻ｔ３６に、トランジスタ・ドライバが、行読出し書込みセレクトｒｗ＿ｒｓ$_i$に低電圧V_Lを印加する。
【００５４】
時刻ｔ３１において、行読出し書込みセレクトｒｗ＿ｒｓ$_i$にはトランジスタ・ドライバが高電圧V_Hを印加するのに対して、行読出し書込みセレクトｒｗ＿ｒｓ$_m$にはトランジスタ・ドライバが低電圧V_Lを印加することに留意されたい。すなわち、共通トランジスタT_{CMmj}は、メモリ・デバイスMD_{mj}と列読出し書込み線ｒｗ＿ｃｌｊとを分離する。このことは、メモリ・デバイスMD_{mj}の共通端子ＣＭが、書込み対象として選択されていないメモリ・デバイスMD_{mj}から書込み電流を出力することを防ぐ。この例で、行書込み線ｗ＿ｒｌ$_m$は任意の電圧または高インピーダンス状態をとることができる。言い換えると、行書込み線ｗ＿ｒｌ$_m$の電圧の管理は任意である。
【００５５】
図１０は、ノーマル・デクリメント書込み動作における、第ｉ行、第ｊ列の１つのシナプス・メモリ・セル$１０ij$および第m行、第ｊ列の別のシナプス・メモリ・セル１０_{mj}を示す。図１１は、ノーマル・デクリメント書込み動作のタイム・チャートを示す。
【００５６】
図１０および１１を参照して、シナプス・メモリ１００のノーマル・デクリメント書込み動作を説明する。この実施形態では、シナプス・メモリ・セル$１０ij$が書込み対象として選択されており、シナプス・メモリ・セル１０_{mj}が書込み対象として選択されていないと仮定する。行書込み線ｗ＿ｒｌ$_i$への印加電圧を除き、ノーマル・デクリメント書込み動作は概して、図８および９に示された上記のノーマル・インクリメント書込み動作と同じである。
【００５７】
最初に、時刻ｔ４１に、トランジスタ・ドライバ（図示せず）が、行読出し書込みセレクトｒｗ＿ｒｓ$_i$に高電圧V_Hを印加して、共通トランジスタT_{CMij}がオンにされるようにする。
【００５８】
次に、時刻ｔ４２に、書込みドライバ５０（図３参照）が、行書込み線ｗ＿ｒｌ$_i$にデクリメント書込み電圧$V_{DC}-V_{WT}$を印加する。
【００５９】
次に、時刻ｔ４３に、トランジスタ・ドライバが、列書込みセレクトｗ＿ｃｓｊに高電圧V_Hを印加して、書込みトランジスタ$T_{WT}ij$がオンにされるようにする。このことは、メモリ・デバイス$MDij$の書込み端子ＷＴが、メモリ・デバイス$MDij$に記憶された重み値を小さくするためのデクリメント書込み信号（書込み電圧$V_{DC}-V_{WT}$）を書込みドライバ５０から受け取ることを可能にする。
【００６０】
次に、時刻ｔ４４に、トランジスタ・ドライバが、列書込みセレクトｗ＿ｃｓｊに低電圧V_Lを印加する。次いで、時刻ｔ４５に、書込みドライバ５０が、行書込み線ｗ＿ｒｌ$_i$に供給電圧V_{DC}を印加する。次いで、時刻ｔ４６に、トランジスタ・ドライバが、行読出し書込みセレクトｒｗ＿ｒｓ$_i$に低電圧V_Lを印加する。
【００６１】

時刻ｔ４１において、行読出し書込みセレクトｒｗ＿ｒｓｉにはトランジスタ・ドライバが高電圧V_Hを印加するのに対して、行読出し書込みセレクトｒｗ＿ｒｓｍにはトランジスタ・ドライバが低電圧V_Lを印加することに留意されたい。このことは、メモリ・デバイスＭＤｍｊの共通端子ＣＭが、書込み対象として選択されていないメモリ・デバイスＭＤｍｊに書込み電流を入力することを防ぐ。この例で、行書込み線ｗ＿ｒｌｍは任意の電圧または高インピーダンス状態をとることができる。言い換えると、行書込み線ｗ＿ｒｌｍの電圧の管理は任意である。

【００６２】

上述のとおり、共通トランジスタＴＣＭは、選択されていないメモリ・デバイスＭＤが、列読出し書込み線ｒｗ＿ｃｌ０～ｒｗ＿ｃｌｎ－１に接続することを防ぐために使用される。これによって、読出し外乱の問題に対処することができ、アレイ・サイズをより大きくすることを可能にすることができる。さらに、読出し動作と書込み動作は、メモリ・デバイスＭＤへの望まれていない入力およびメモリ・デバイスＭＤからの望まれていない出力を生じることなく独立して実施される。

【００６３】

図１２は、シナプス・メモリ１００を含むデバイス１０１０の例を示す。

【００６４】

図１２に示されているように、シナプス・メモリ１００は、コンピュータなどのデバイス１０１０上に提供することができる。示された例では、半導体チップなどのチップ１００１上に、多数のニューロシナプティック・コア・システム（neuro-synaptic core system）１０００が提供されている。チップ１００１は次いでデバイス１０１０上に取り付けられる。

【００６５】

それぞれのニューロシナプティック・コア・システム１０００は、シナプス・メモリ１００およびニューロン体７００を含む。ニューロン体７００はニューロン動作を実行する。具体的には、ニューロン体７００は、電流センサ６３（図３参照）によって感知された全電流に基づいて、シナプス重み値と入力値の積和値（product-sum value）を得る。電流センサ６３によって感知された全電流は、選択された軸索２０と樹状突起３０の交点のシナプス・メモリ・セル１０に記憶されたシナプス重み値と入力値の積和値を表すことができる。次いで、ニューロン体７００は、全電流値に対応するニューロン出力を出力する。

【００６６】

ここで、ニューロシナプティック・コア・システム１０００は、軸索２０を介して互いに接続されている。シナプス・メモリ１００は、軸索２０を介して前ニューロンに接続されている。ニューロン体７００は後ニューロンの部分であり、ニューロン体７００の出力は、同じまたは別のニューロシナプティック・コア・システム１０００内のシナプス・メモリ１００に接続された軸索２０である。シナプス・メモリ１００は、前ニューロンから出力信号を受け取って、それらの軸索２０を介して入力がアクティブ化されたシナプスの重み値を累算する。累算したシナプス重み値が所定のしきい値に達した場合、ニューロン体７００は、後ニューロンのニューロン出力として出力信号を出力する。

【００６７】

図１３は、本発明の例示的な第２の実施形態に基づくノーマル方向読出し動作における、第ｉ行、第ｊ列の１つのシナプス・メモリ・セル１０Ａｉｊおよび第ｍ行、第ｊ列の別のシナプス・メモリ・セル１０Ａｍｊを示す。図１４は、本発明の例示的な第２の実施形態に基づくノーマル方向読出し動作のタイム・チャートを示す。図１３および１４では、図３に示された例示的な実施形態の構造と同じ構造が同じ参照符号によって示されており、それらの構造の詳細な説明は省略する。

【００６８】

シナプス・メモリ・セル１０の構成は上述の例示的な実施形態に限定されない。例えば、シナプス・メモリ１００のリバース方向読出し動作、すなわちバック・プロパゲーションが必要ではない場合には、図１３に示されているようにシナプス・メモリ・セル１０を構

成することができる。
【００６９】
シナプス・メモリ・セル１０Ａｉｊおよびシナプス・メモリ・セル１０Ａｍｊには読出しトランジスタＴＲＤ（図３に示されている）が提供されていない。言い換えると、シナプス・メモリ・セル１０Ａｉｊおよびシナプス・メモリ・セル１０Ａｍｊはそれぞれ２つのトランジスタ、すなわち書込みトランジスタＴＷＴおよび共通トランジスタＴＣＭを含むことができる。
【００７０】
シナプス・メモリ・セル１０Ａｉｊ（シナプス・メモリ・セル１０Ａｍｊ）のセル・サイズは、読出しトランジスタＴＲＤの空間の分だけ、図３に示されたシナプス・メモリ・セル１０よりも小さくすることができる。言い換えると、シナプス・メモリ・セル１０Ａｉｊおよび１０Ａｍｊは、１つのトランジスタ空間の分だけ、シナプス・メモリ・セル１０よりも小さい。
【００７１】
さらに、シナプス・メモリ１００Ａでは、読出しトランジスタＴＲＤの制御が必要ではない。すなわち、制御信号がより少なくなるため、図３に示されたシナプス・メモリよりもタイミング制御が単純である。
【００７２】
図１３および１４を参照して、シナプス・メモリ１００Ａのノーマル方向読出し動作を説明する。この例示的な第２の実施形態では、シナプス・メモリ・セル１０Ａｉｊが読出し対象として選択されており、シナプス・メモリ・セル１０Ａｍｊが読出し対象として選択されていないと仮定する。
【００７３】
最初に、時刻ｔ５１に、読出しドライバ４０（図３参照）が、行読出し線ｒｗ＿ｒｌｉに読出し駆動電圧ＶＤＣ＋ＶＲＤを印加する。すなわち、読出しドライバ４０は、シナプス・メモリ・セル１０Ａｉｊに読出し信号を出力する。
【００７４】
次に、時刻ｔ５２に、トランジスタ・ドライバが、行読出し書込みセレクトｒｗ＿ｒｓｉに高電圧ＶＨを印加して、メモリ・デバイスＭＤｉｊの共通端子ＣＭが、読出し信号を受け取ったメモリ・デバイスＭＤｉｊから信号を出力するようにする。このことは、電流センサ６３（図３参照）が、メモリ・デバイスＭＤｉｊからの電流を含む電流を読み出すことを可能にする。
【００７５】
次に、時刻ｔ５３に、トランジスタ・ドライバが、行読出し書込みセレクトｒｗ＿ｒｓｉに低電圧ＶＬを印加する。さらに、時刻ｔ５４に、読出しドライバ４０が、行読出し線ｒ＿ｒｌｉに供給電圧ＶＤＣを印加する。
【００７６】
時刻ｔ５２において、行読出し書込みセレクトｒｗ＿ｒｓｉにはトランジスタ・ドライバが高電圧ＶＨを印加するのに対して、行読出し書込みセレクトｒｗ＿ｒｓｍにはトランジスタ・ドライバが低電圧ＶＬを印加することに留意されたい。すなわち、共通トランジスタＴＣＭｍｊは、メモリ・デバイスＭＤｍｊと列読出し書込み線ｒｗ＿ｃｌｊとを分離する。このことは、メモリ・デバイスＭＤｍｊの共通端子ＣＭが、読出し対象として選択されていないメモリ・デバイスＭＤｍｊから信号を出力することを防ぐ。
【００７７】
図１５は、本発明の例示的な第２の実施形態に基づくノーマル書込み動作における、第ｉ行、第ｊ列の１つのシナプス・メモリ・セル１０Ａｉｊおよび第ｍ行、第ｊ列の別のシナプス・メモリ・セル１０Ａｍｊを示す。図１６は、このノーマル書込み動作のタイム・チャートを示す。
【００７８】
図１５および１６を参照して、ノーマル・インクリメント書込み動作およびノーマル・デ

クリメント書込み動作を含む、シナプス・メモリ１００Ａのノーマル書込み動作を説明する。この実施形態では、シナプス・メモリ・セル１０Ａｉｊが書込み対象として選択されており、シナプス・メモリ・セル１０Ａｍｊが書込み対象として選択されていないと仮定する。

【００７９】

最初に、時刻ｔ７１に、トランジスタ・ドライバ（図示せず）が、行読出し書込みセレクトｒｗ＿ｒｓｉに高電圧V_Hを印加して、共通トランジスタＴＣＭｉｊがオンにされるようにする。さらに、書込みドライバ５０（図３参照）が、行書込み線ｗ＿ｒｌｉにインクリメント書込み電圧$V_{DC}+V_{WT}$を印加する。

【００８０】

次に、時刻ｔ７２に、トランジスタ・ドライバが、列書込みセレクトｗ＿ｃｓｊに高電圧V_Hを印加して、書込みトランジスタＴＷＴｉｊがオンにされるようにする。このことは、書込み端子ＷＴが、メモリ・デバイスＭＤｉｊに記憶された重み値を大きくするための書込み信号を書込みドライバ５０から受け取ることを可能にする。

【００８１】

次に、時刻ｔ７３に、トランジスタ・ドライバが、列書込みセレクトｗ＿ｃｓｊに低電圧V_Lを印加して、書込みトランジスタＴＷＴｉｊがオフにされるようにする。

【００８２】

次に、時刻ｔ７４に、書込みドライバ５０が次いで、行書込み線ｗ＿ｒｌｉに供給電圧V_{DC}を印加する。さらに、トランジスタ・ドライバが、行読出し書込みセレクトｒｗ＿ｒｓｉに低電圧V_Lを印加して、共通トランジスタＴＣＭｉｊがオフにされるようにする。

【００８３】

次に、時刻ｔ７５に、トランジスタ・ドライバが、行読出し書込みセレクトｒｗ＿ｒｓｉに高電圧V_Hを印加して、共通トランジスタＴＣＭｉｊがオンにされるようにする。さらに、書込みドライバ５０が、行書込み線ｗ＿ｒｌｉにデクリメント書込み電圧$V_{DC}-V_{WT}$を印加する。

【００８４】

次に、時刻ｔ７６に、トランジスタ・ドライバが、列書込みセレクトｗ＿ｃｓｊに高電圧V_Hを印加して、書込みトランジスタＴＷＴｉｊがオンにされるようにする。このことは、メモリ・デバイスＭＤｉｊの書込み端子ＷＴが、メモリ・デバイスＭＤｉｊに記憶された重み値を小さくするための書込み信号を書込みドライバ５０から受け取ることを可能にする。

【００８５】

次に、時刻ｔ７７に、トランジスタ・ドライバが、列書込みセレクトｗ＿ｃｓｊに低電圧V_Lを印加する。さらに、時刻ｔ７８に、書込みドライバ５０が次いで、行書込み線ｗ＿ｒｌｉに供給電圧V_{DC}を印加し、トランジスタ・ドライバが、行読出し書込みセレクトｒｗ＿ｒｓｉに低電圧V_Lを印加する。

【００８６】

図１７は、本発明の例示的な第２の実施形態に基づくリバース方向読出し動作における、第ｉ行、第ｊ列の１つのシナプス・メモリ・セル１０Ａｉｊおよび第ｉ行、第ｎ列の別のシナプス・メモリ・セル１０Ａｉｎを示す。図１８は、本発明の例示的な第２の実施形態に基づくリバース方向読出し動作のタイム・チャートを示す。

【００８７】

図１７および１８に示されているように、シナプス・メモリ１００Ａがリバース方向読出し動作（バック・プロパゲーション動作）を実施する必要がある場合には、読出し対象のシナプス・メモリ・セル１０Ａｉｊと同じ行読出し線ｒ＿ｒｌｉ（同一の軸索２０）上に提供されたメモリ・セル１０の影響によって、読出し外乱が生じるであろう。リバース方向読出し動作において読出し外乱を回避するためには、読出し端子ＲＤ上に読出しトランジスタＴＲＤ（図３に示されている）を提供する必要がある。

【００８８】

次に、例示的な代替実施形態を説明する。上記の例示的な実施形態では、メモリ・デバイスＭＤがＭＲＡＭである。メモリ・デバイスＭＤが３端子デバイスである限りにおいて、メモリ・デバイスＭＤを他のデバイスとすることができる。例えば、メモリ・デバイスＭＤを、フラッシュ・メモリ、強誘電体（ferroelectric）ランダム・アクセス・メモリ（ＦｅＲＡＭ）、相変化（phase change）ランダム・アクセス・メモリ（ＰＲＡＭ）および抵抗変化型（resistive）ランダム・アクセス・メモリ（ＲｅＲＡＭ）などの不揮発性（nonvolatile）ランダム・アクセス・メモリ（ＮＶＲＡＭ）とすることができる。

【００８９】

上記の例示的な実施形態では、３つのトランジスタ、すなわち読出しトランジスタＴＲＤ、書込みトランジスタＴＷＴおよび共通トランジスタＴＣＭを、メモリ・デバイスＭＤのスイッチング要素、すなわちスイッチとして説明している。トランジスタは特定のトランジスタに限定されない。例えば、トランジスタを、金属酸化物半導体電界効果トランジスタまたはバイポーラ・トランジスタとすることができる。あるいは、要素がメモリ・デバイスＭＤの回路を切り換えることができる限りにおいて、トランジスタの代わりにダイオードまたはサイリスタを提供することができる。

【００９０】

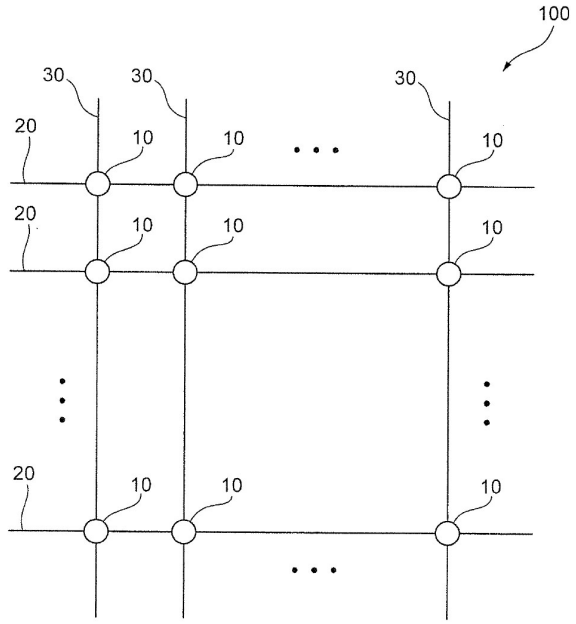
上記の例示的な実施形態では、１本の軸索２０に対して１つの読出しドライバ４０および１つの書込みドライバ５０が提供されている。しかしながら、軸索２０ごとに専用の１つの読出しドライバ４０および１つの書込みドライバ５０が提供される必要はない。言い換えると、読出しドライバ４０および書込みドライバ５０を多数の軸索２０用に提供することができる。すなわち、読出しドライバ４０および書込みドライバ５０の数を軸索２０の数と等しくすることまたは軸索２０の数よりも少なくすることができる。

【００９１】

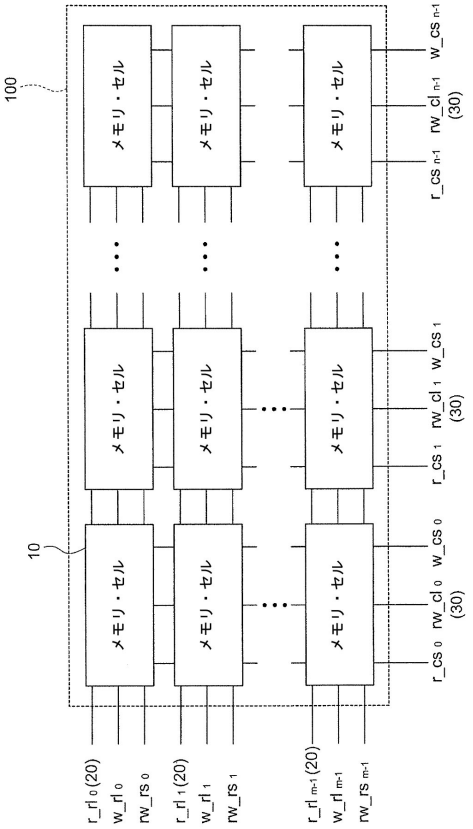
本発明のさまざまな実施形態の説明は例示の目的で示したものであり、この説明が網羅的であること、また、開示された実施形態に限定されることは意図されていない。当業者には、記載された実施形態の範囲および思想を逸脱しない多くの変更および変形が明らかとなろう。本明細書で使用された用語は、実施形態の原理、実用的用途もしくは市場で見られる技術に勝る技術的改良を最も適切に説明するため、または本明細書に開示された実施形態を他の当業者が理解することを可能にするために選ばれたものである。

【図面】

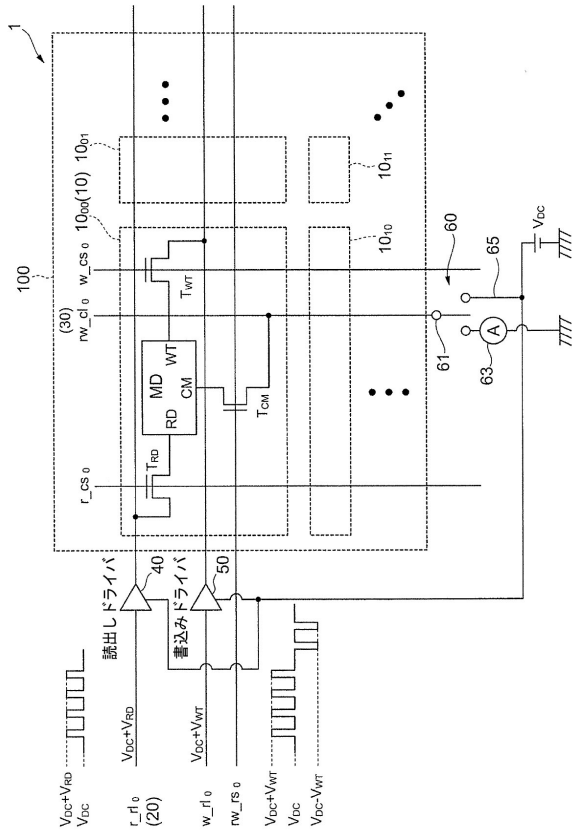
【図１】


100
30
30
30
20
10
10
10
20
10
10
10
20
10
10
10

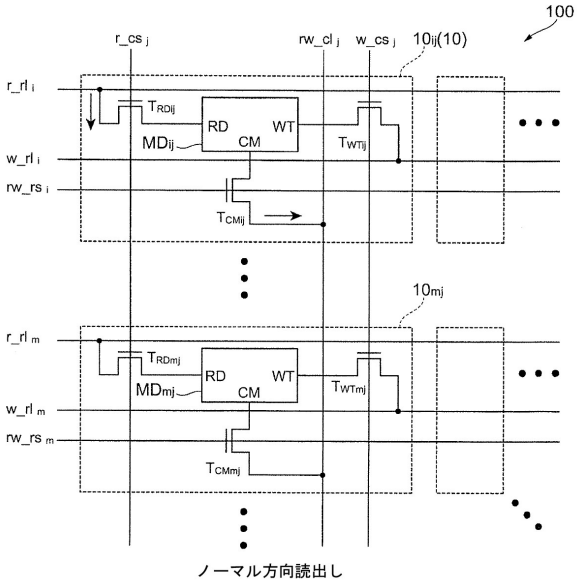
【図２】


100
10
メモリ・セル
r_rl 0 (20)
w_rl 0
nw_rs 0
r_rl 1 (20)
w_rl 1
nw_rs 1
r_rl m-1 (20)
w_rl m-1
nw_rs m-1
r_cs 0
nw_cl 0
w_cs 0
(30)
r_cs 1
nw_cl 1
w_cs 1
(30)
r_cs n-1
nw_cl n-1
w_cs n-1
(30)

【図３】

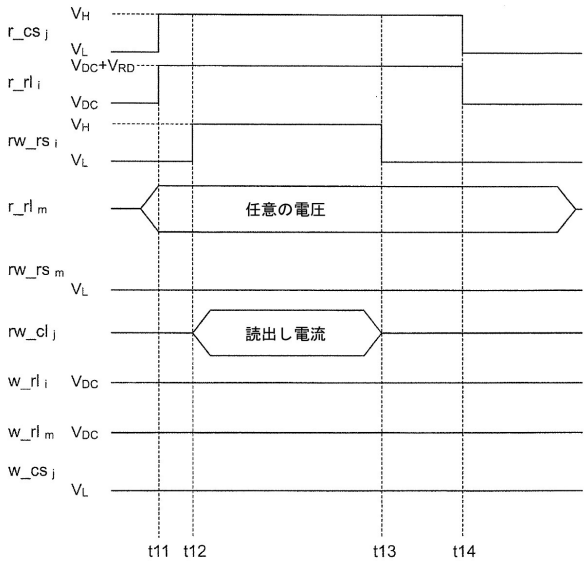


【図４】



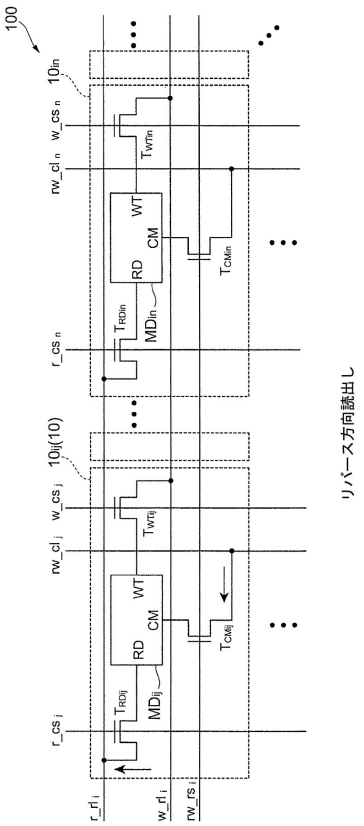
ノーマル方向読出し

【図５】



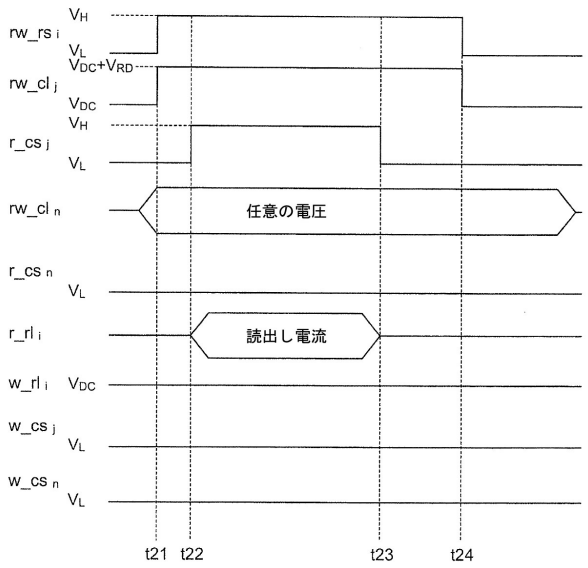
ノーマル方向読出し

【図６】



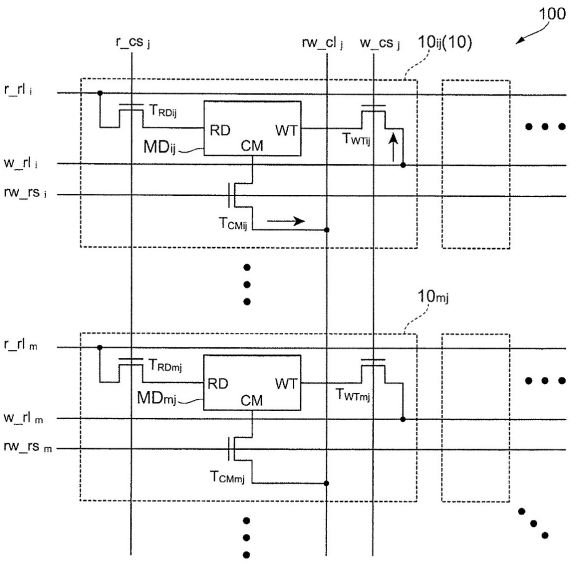
リバース方向読出し

【図７】



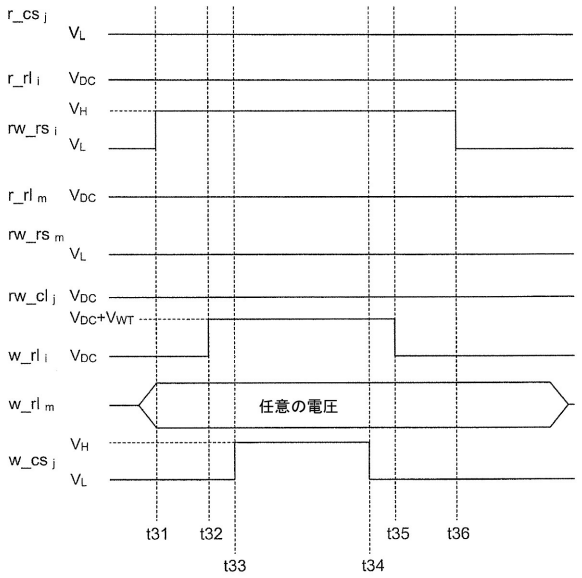
リバース方向読出し

【図８】



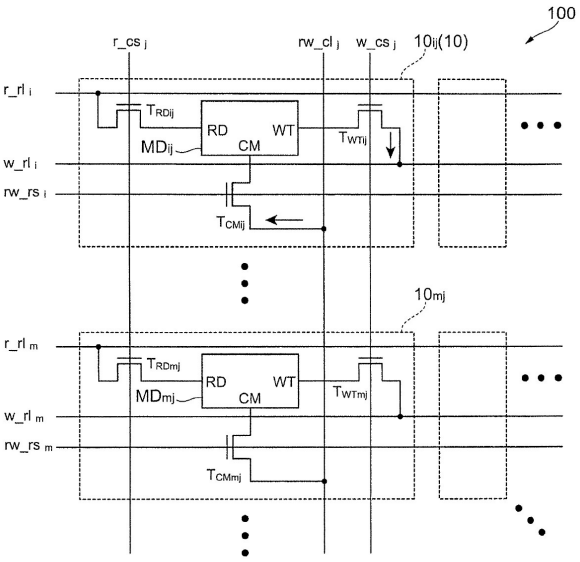
ノーマル・インクリメント書込み

【図９】



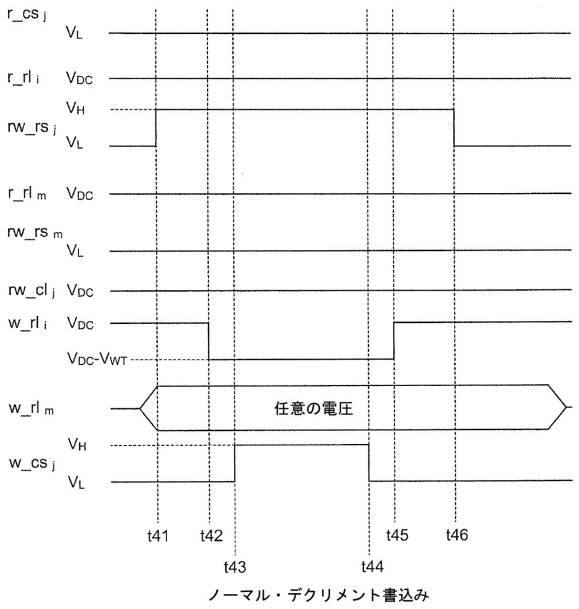
ノーマル・インクリメント書込み

【図１０】



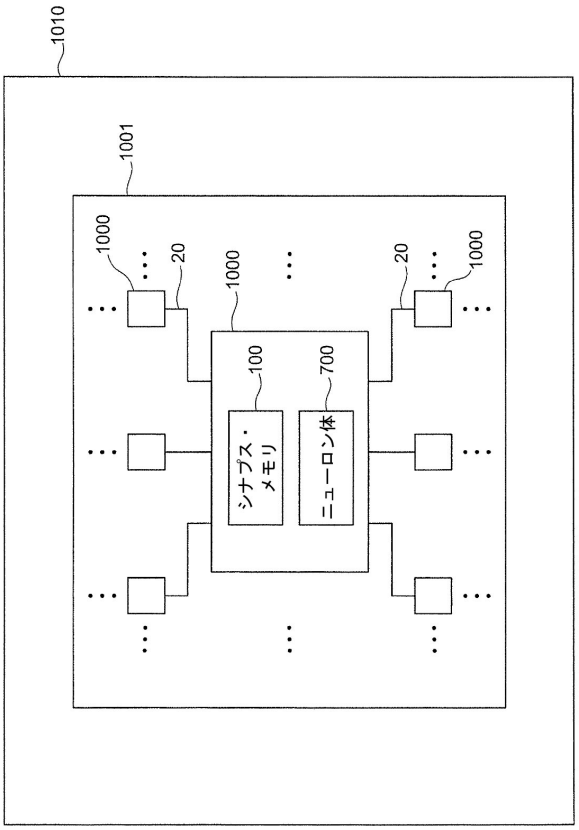
ノーマル・デクリメント書込み

【図１１】

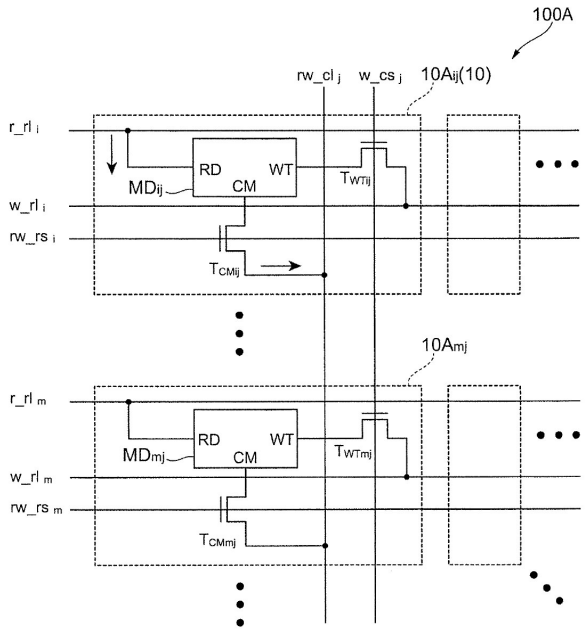


ノーマル・デクリメント書込み

【図１２】

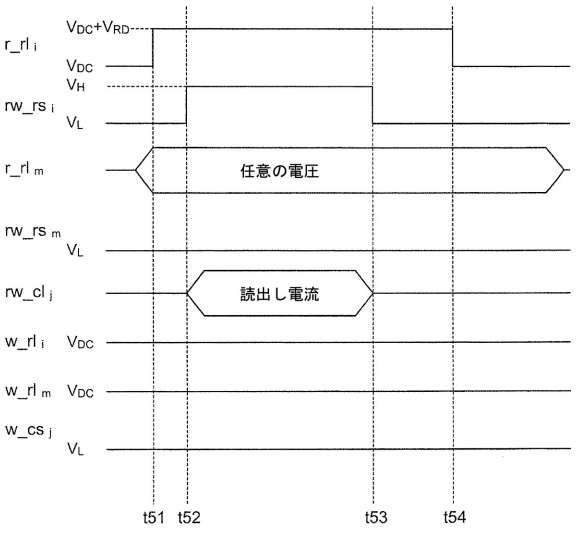


【図１３】



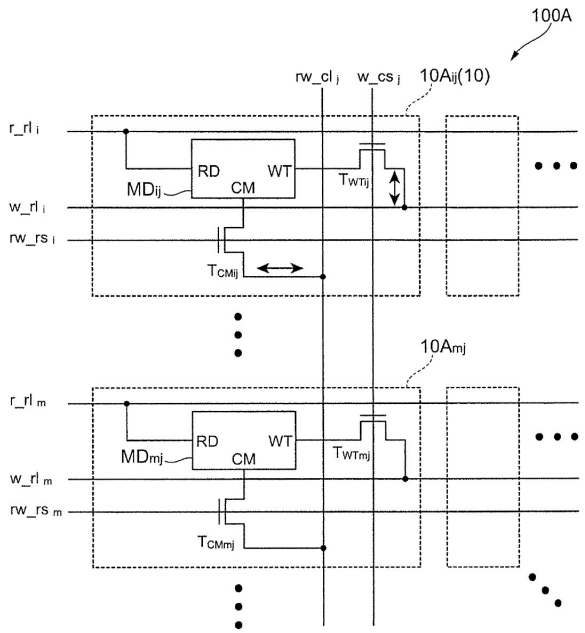
ノーマル方向読出し

【図１４】



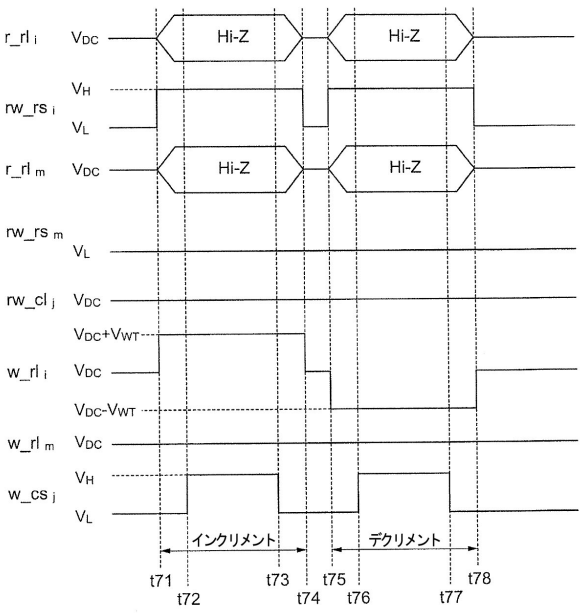
ノーマル方向読出し

【図１５】



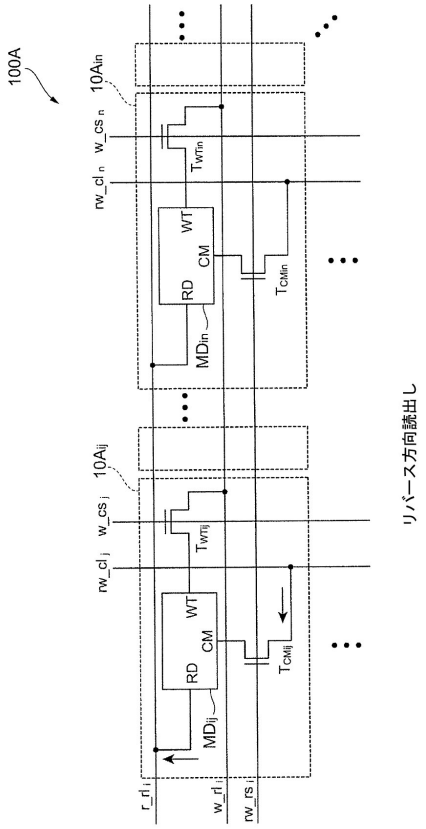
ノーマル方向書込み

【図１６】

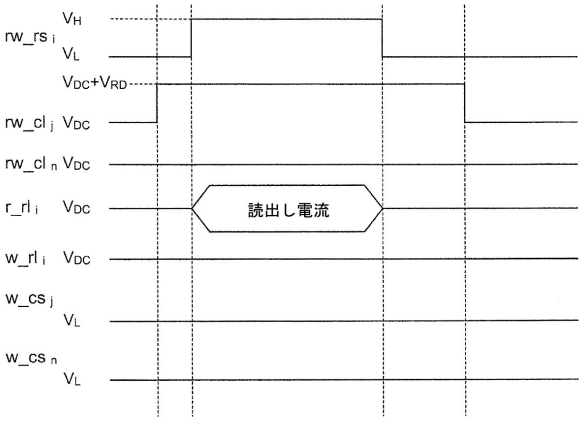


ノーマル書込み

【図１７】



【図１８】



リバース方向読出し

フロントページの続き

(72)発明者　安田 岳雄
東京都中央区日本橋箱崎町１９番２１号 日本アイ・ビー・エム株式会社内
(72)発明者　細川 浩二
東京都中央区日本橋箱崎町１９番２１号 日本アイ・ビー・エム株式会社内
審査官　後藤 彰
(56)参考文献　特表２０１８－５０８９２２（ＪＰ，Ａ）
米国特許出願公開第２０１６／０２０３４００（ＵＳ，Ａ１）
米国特許出願公開第２０１１／０１１９２１５（ＵＳ，Ａ１）
(58)調査した分野　(Int.Cl.，ＤＢ名)
Ｇ１１Ｃ　１１／５４
Ｇ１１Ｃ　１１／１６
Ｇ０６Ｎ　３／０６３
Ｇ０６Ｇ　７／６０