



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

224 958

(11) (B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 22 03 79
(21) PV 1906 - 79

(51) Int. Cl.³ H 03 F 3/04

(40) Zveřejněno 24 06 83
(45) Vydáno 01 12 84

(75)
Autor vynálezu

BARTÁK STANISLAV ing.,	PLACHÝ MIROSLAV ing.,	KUNST ROBERT,
HAKR JAN,	NOVOTNÝ JIŘÍ ing.,	MAŘÍK JIŘÍ ing.,
DLABOLA FRANTIŠEK ing.,	TLAMSA JIŘÍ ing.,	BODLÁK MIROSLAV ing.,
STARÝ JAROSLAV ing.,	SLADKÝ MILAN ing.,	HAJNÝ JAROSLAV ing.,
MARTÍNEK MILOSLAV ing.,	KOŽNER JAROSLAV ing.,	STRAKA BOHUMÍR ing., PRAHA
SLOVÁČEK PAVEL ing.,		

(54)

Zapojení obrazového zesilovače pro zobrazovací jednotky

Vynález se týká zapojení obrazového zesilovače pro zobrazovací jednotky, ve kterém se převádí úroveň logických signálů na impulsy o napěťové úrovni potřebné pro vybuzení obrazovky a je určen zejména pro bodové zobrazení znaků.

Zobrazovací jednotky s bodovým zobrazením znaků a velkým množstvím současně zobrazovaných symbolů vyžadují pro vybuzení obrazovky velmi strmé impulsy o relativně velké amplitudě. Použití tranzistorů a zapojení používaných v televizních přijímačích nepřináší uspokojivé výsledky. U televizních přijímačů se posuzuje linearita zesílení a šíře pásma, u zobrazovacích jednotek je primární požadavek na strmost hran a amplitudu zesilovaného impulsu. Požadovaná strmost impulsu bývá u zobrazovaných elektronek až 3x vyšší a přitom tato strmost je požadována pro plnou amplitudu impulsu. U moderních zobrazovacích jednotek bývá požadováno navíc zobrazení ve třech úrovních jasu: nulovém, normálním a zvýšeném, případně u jednotek používajících světelné pero vystupuje dodatečný požadavek na vyřazení funkce regulátoru kontrastu.

Zajištění všech těchto požadavků v celé šíři regulačního rozsahu je obtížné a při použití spřažených dvou obrazových zesilovačů s rozdílným ziskem dochází k jejich vzájemnému ovlivňování. Problém je možno případně řešit jedním zesilovačem zapojeným do katody obrazovky a druhým do její mřížky. Toto řešení naráží na problém nedostatku tranzistorů typu pnp, které by byly vhodné pro buzení mřížky. Navíc obě předcházející alternativní řešení umožňují jen obtížně realizovat funkci vyřazení regulátoru kontrastu. Uvedené nedostatky jsou odstraněny zapojením podle vynálezu s minimálně dvěma vstupy a jedním výstupem, z nichž

první vstup je určen pro zobrazení informace na stínítku obrazovky s normálním jasnem a druhý vstup pro zobrazení při zvýšeném jasu, případně třetí vstup je určen pro signál vyřazující regulaci kontrastu, jehož podstata spočívá v tom, že se skládá ze dvou tranzistorových zesilovacích stupňů zapojených na společný zatěžovací odpor, který je zapojen mezi svorku prvního napájecího napětí a kolektor výstupního tranzistoru druhého zesilovacího stupně, který je zároveň výstupem zesilovače, přičemž první tranzistor prvního zesilovacího stupně je svým kolektorem přes první odpor připojen na výstup, zatímco jeho báze je připojena na první svorku druhého napájecího napětí a emitor tvoří vstup zesilovače, kdežto báze koncového tranzistoru druhého zesilovacího stupně je připojena jednak přes třetí odpor na svorku prvního napájecího napětí, jednak kolektor budícího tranzistoru, jehož emitor tvoří vstup druhého zesilovacího stupně, přičemž emitor výstupního koncového tranzistoru druhého zesilovacího stupně je připojen přes kondenzátor k zemní svorce a současně připojen na běžec potenciometru, jehož první vývod je připojen na druhou svorku druhého napájecího napětí, kdežto jeho druhý vývod je přes druhý odpor připojen na svorku prvního napájecího napětí.

Zapojení podle vynálezu tvoří dva tranzistorové zesilovače pracující do společného zatěžovacího odporu 10. Zesilovač pro normální jas je však na tento odpor připojen přes předřadný odpor 9, který vytváří se zatěžovacím odporem 10 pevný dělič napětí. Protože první tranzistor 7 pracuje v sepnutí v saturaci, je tímto děličem zároveň určena velikost výstupního napětí. Emitor koncového tranzistoru 18 druhého zesilovacího stupně je připojen na blokovací kondenzátor 20 spojený s běžcem potenciometru 21. Napětím na blokovacím kondenzátoru 20 je možno nastavit rozkmit výstupního impulsu v rozmezí odpovídajícím rozdílu prvního a druhého napájecího napětí a rozkmitu prvního zesilovače, čehož je možno dosáhnout vhodnou volbou předřadného odporu 24. První vývod potenciometru 21 je připojen na druhou svorku 8 druhého napájecího napětí, aby bylo zamezeno předpólování budícího tranzistoru 16.

Budící tranzistor 16 v zapojení se společnou bází má tuto připojenou k první svorce 8 druhého napájecího napětí a je buzen do emitoru a slouží k uzavírání koncového tranzistoru 18, zatímco jeho otevření zabezpečuje proud tekoucí odporem 17. Tím, že vstupy prvního tranzistoru 7 a budícího tranzistoru 16 jsou spojeny, je umožněno pro jejich buzení výhodně použít logických obvodů zejména s otevřeným kolektorovým výstupem, jak je ukázáno na připojeném schématu, kde jsou tyto představovány prvním a druhým invertorem 4 a 13. Pro zrychlení nástupních a sestupných hran je možno mezi výstup logického obvodu a první tranzistor 7 nebo budící tranzistor 16 zařadit paralelní RC člen 5, 6 respektive 14, 15. Protože zesilovač pro zvýšený jas vyžaduje opačnou polaritu signálu než zesilovač pro normální jas, je na druhém vstupu 2 zapojen druhý invertor 12. Mezi emitor koncového tranzistoru 18 a zemní svorku je zapojen tranzistor 23, který při přivedení kladného impulsu na jeho bázi je v sepnutém stavu a způsobí, že impulsy na druhý vstup 2 druhého zesilovače jsou zesilovány s maximální amplitudou a tím umožňují lepší činnost světelného pera. Diode 19 zapojení mezi kondenzátor 20 a emitor koncového tranzistoru 18 zabráňuje vybití kondenzátoru 20 při sepnutí třetího tranzistoru 23.

PŘEDMĚT VYNÁLEZU

224 958

1. Zapojení obrazového zesilovače pro zobrazovací jednotky s minimálně dvěma vstupy a jedním výstupem, z nichž první vstup je určen pro zobrazení informace na stínítku obrazovky s normálním jasnem, druhý vstup pro zobrazení při zvýšeném jasu, a případný třetí vstup je určen pro signál vyřazující regulaci kontrastu vyznačené tím, že se skládá ze dvou tranzistorových zesilovacích stupňů zapojených na společný zatěžovací odpor (10), který je zapojen mezi svorku (11) prvního napájecího napětí a kolektor výstupního tranzistoru (18) druhého zesilovacího stupně, který je zároveň výstupem (22) zesilovače, přičemž první tranzistor (7) prvního zesilovacího stupně je svým kolektorem přes první odpor (9) připojen na výstup (22), zatímco jeho báze je připojena na první svorku (8) druhého napájecího napětí a jehož emitor tvoří vstup zesilovače, kdežto báze koncového tranzistoru (18) druhého zesilovacího stupně je připojena jednak přes třetí odpor (17) na svorku (11) prvního napájecího napětí, jednak na kolektor budícího tranzistoru (16), jehož báze je připojena na první svorku (8) druhého napájecího napětí a jehož emitor tvoří vstup druhého zesilovacího stupně, přičemž emitor výstupního koncového tranzistoru (18) druhého zesilovacího stupně je připojen přes kondenzátor (20) k zemní svorce a zároveň připojen na běžec potenciometru (21), jehož první vývod je připojen na druhou svorku (8) druhého napájecího napětí, kdežto jeho druhý vývod je přes druhý odpor (24) připojen na svorku (11) prvního napájecího napětí.
2. Zapojení podle bodu 1, vyznačené tím, že emitor výstupního tranzistoru (18) druhého zesilovacího stupně je připojen na běžec potenciometru (21) přes diodu (19) zapojenou anodou na emitor koncového tranzistoru (18), na který je zároveň připojen kolektor třetího tranzistoru (23), jehož emitor je připojen na zemní svorku a jehož báze tvoří třetí vstup (3) zesilovače.

3. Zapojení podle bodů 1 a 2 vyznačené tím, že potenciometr (21) je regulovatelným zdrojem napětí.

1 výkres

