(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0047846
(43) 공개일자 2010년05월10일

(51) Int. Cl.
*H01L 29/775* (2006.01)
(21) 출원번호 10-2010-7001323
(22) 출원일자(국제출원일자) 2008년06월20일
심사청구일자 없음
(85) 번역문제출일자 2010년01월20일
(86) 국제출원번호 PCT/US2008/067618
(87) 국제공개번호 WO 2009/045585
국제공개일자 2009년04월09일
(30) 우선권주장
11/765,788 2007년06월20일 미국(US)

(71) 출원인
**뉴저지 인스티튜트 오브 테크놀로지**
미국, 뉴저지 07102, 뉴어크, 마틴 루터 킹 주니어 블러바드 323
(72) 발명자
**패로우 레지날드 씨.**
미국 08873 뉴저지주 서머셋 밴 도렌 애비뉴 51
**고얄 아밋**
미국 07029 뉴저지주 해리슨 아파트먼트 3 노스 써드 스트리트 206
(74) 대리인
**유미특허법인**

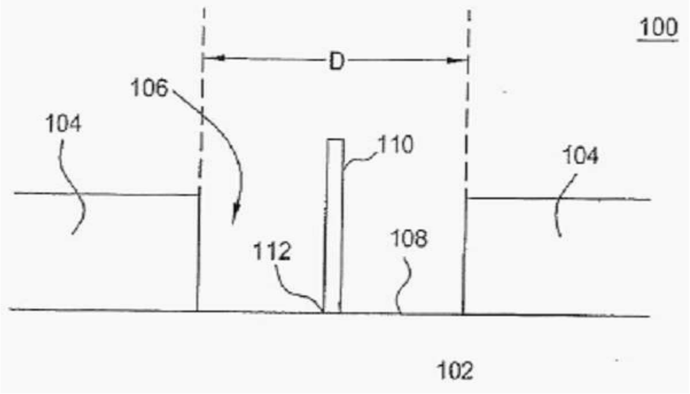
전체 청구항 수 : 총 16 항

(54) 나노튜브 수직 전계 효과 트랜지스터의 형성방법

(57) 요 약

나노튜브 전계 효과 트랜지스터와 제조방법이 개시되어 있다. 이 방법은 개구에 의해 정의된 전도층의 영역에 접촉하기 위한 나노튜브의 전기영동 증착을 포함한다.

대 표 도 - 도1



## *특허청구의 범위*

**청구항 1**

제 1 전도층, 제 1 절연층, 제 2 전도층, 및 제 2 절연층의 순서로 재료를 포함하는 멀티-레이어 스택을 제공하는 단계;

상기 제 2 절연층의 적어도 상부 부분 내에 제 1 개구를 형성하는 단계;

상기 제 1 전도층의 영역을 노출시키기 위해서 상기 제 2 전도층 및 상기 제 1 절연층 내에 제 2 개구를 형성하는 단계로써, 상기 제 2 개구가 상기 제 1 개구에 대한 중심에 배열되고 상기 제 1 개구의 직경 보다 작은 직경을 가지는 단계; 및

상기 제 1 전도층 상에 전기영동으로 나노튜브를 증착하는 단계;

를 포함하는 나노튜브 전계 효과 트랜지스터(FET)를 형성하는 방법.

**청구항 2**

제 1 항에 있어서, 상기 나노튜브의 제 1 말단이 상기 노출된 영역의 중심 근처에서 상기 제 1 전도층과 접촉하는 방법.

**청구항 3**

제 1 항에 있어서, 상기 나노튜브는 단일-벽 탄소 나노튜브인 방법.

**청구항 4**

제 1 항에 있어서, 상기 전기영동이 상기 제 2 전도층에 바이어스 전압을 인가하는 단계를 포함하는 방법.

**청구항 5**

제 4 항에 있어서, 상기 전기영동이

상기 멀티-레이어 스택을 전해질을 포함하는 액체 배스 안의 나노튜브의 현탁액에 노출시키는 단계; 및

상기 제 2 전도층과 상기 액체 배스 안의 전극 간에 상기 바이어스 전압을 인가하는 단계;

를 더 포함하는 방법.

**청구항 6**

제 1 항에 있어서, 상기 제 1 전도층은 상기 FET의 소스 또는 드레인 중 하나를 형성하고, 상기 제 2 전도층은 상기 FET의 게이트를 형성하는 방법.

**청구항 7**

제 1 항에 있어서,

상기 제 2 개구 내부의 상기 제 2 전도층의 수직 측벽 위에 유전체층을 제공하는 단계를 더 포함하며, 상기 유전체층이 상기 FET의 게이트 유전체를 형성하는 방법.

**청구항 8**

제 1 항에 있어서,

상기 제 2 절연층 위에 제 3 전도층을 제공하는 단계를 더 포함하며, 상기 제 3 전도층이 상기 나노튜브의 일말단과 접촉하고 상기 FET의 소스 또는 드레인 중 어느 하나를 형성하는 방법.

**청구항 9**

제 1 항에 있어서, 상기 제 1 및 제 2 전도층 각각이 상보형 금속 산화막 반도체(CMOS)의 두 개의 금속화 마스

크 레벨로써 제공되며, 상기 CMOS 및 상기 FET는 하나의 반도체 구조 내에 있는 장치인 방법.

청구항 10

바닥 전도층 상에 형성된 절연층 위에 적어도 상부 전도층을 포함하는 구조를 제공하는 단계;

상기 상부 전도층의 수직 측벽과 상기 제 1 전도층의 수평 영역을 노출시키기 위해서 상기 상부 전도층과 상기 절연층을 통해서 개구를 형성하는 단계;

상기 상부 전도층의 상기 수직 측벽 위로 유전체층을 형성하는 단계;

상기 수평 영역의 중심에 근접한 상기 전도층에 상기 나노튜브의 제 1 말단을 접촉시킨 채로, 전기영동에 의해 상기 제 1 전도층 위에 하나의 나노튜브를 증착하는 단계; 및

상기 나노튜브의 중간 부분과 상기 유전체층 사이에서 접촉을 제공하기 위해 상기 나노튜브의 방향을 맞추는 단계;

를 포함하는 나노튜브 전계 효과 트랜지스터(FET)를 형성하는 방법.

청구항 11

제 10 항에 있어서, 상기 나노튜브의 방향을 맞추는 것은 상기 상부 전도층과 상기 바닥 전도층에 전압을 인가함으로써 수행되는 방법.

청구항 12

제 10 항에 있어서, 상기 바닥 전도층이 상기 FET의 소스 또는 드레인 중 어느 하나를 형성하고, 상기 상부 전도층이 상기 FET의 게이트를 형성하며, 상기 유전체층이 상기 FET의 게이트 유전체를 형성하며, 상기 나노튜브의 상기 중간 부분이 상기 FET의 채널 영역을 형성하는 방법.

청구항 13

기판 상에 수평 전계 효과 트랜지스터(FET)를 형성하는 단계;

상기 수평 FET 위로 수직 나노튜브 전계 효과 트랜지스터(NT-FET)를 형성하는 단계를 포함하며,

상기 수직 NT-FET는

(a) 제 1 전도층 상에 적어도 제 1 절연층을 포함하는 구조를 제공하는 단계;

(b) 상기 제 1 전도층의 영역을 노출시키기 위해서 상기 제 1 절연층 내에 제 1 개구를 형성하는 단계;

(c) 전기영동으로 상기 제 1 전도층 상에 적어도 하나의 나노튜브를 증착하는 단계로써, 상기 적어도 하나의 나노튜브는 상기 노출 영역의 중심에 근접하여 상기 제 1 전도층에 접촉하는 일 말단을 가지는 단계;

를 포함하는 방법에 의해 형성되며,

상기 제 1 전도층이 상기 NT-FET의 소스 또는 드레인 중 어느 하나를 형성하는, 반도체 구조의 형성 방법.

청구항 14

제 13 항에 있어서, 상기 구조가 상기 제 1 절연층 상에 형성된 제 2 전도층과 상기 제 2 전도층 상에 형성된 제 2 절연층을 더 포함하며,

상기 방법이

상기 제 2 절연층 내에 제 2 개구를 형성하는 단계로써, 상기 제 2 개구가 상기 제 1 개구의 직경보다 큰 직경을 가지며 상기 제 1 개구와 중심에 배열되는 단계;

나노튜브의 현탁액을 포함하는 액체 배스에 상기 구조를 담그면서, 상기 제 2 전도층에 바이어스 전압을 인가함으로써 전기영동을 수행하는 단계;

를 더 포함하는 방법.

청구항 15

제 1 전도층 위에 제 1 절연층을 제공하는 단계;

상기 제 1 전도층의 영역을 노출시키기 위해서 상기 제 1 절연층 내에 연장된(elongated) 개구를 형성하는 단계로써, 상기 개구는 폭과 상기 폭 보다 큰 길이에 위해 특징지워지는 단계;

전기영동에 의해 상기 제 1 전도층 상에 수 개의 나노튜브를 라인 패턴으로 증착하는 단계를 포함하며,

상기 개구의 상기 폭이 상기 라인 패턴에 상기 나노튜브의 증착을 제한하기에 충분할 정도로 작고, 나노튜브의 상기 개수는 상기 개구의 길이에 의해 결정되는, 다수의 나노튜브 전계 효과 트랜지스터를 형성하는 방법.

청구항 16

적어도 하나의 수평 상보형 금속 산화막 반도체(CMOS)를 포함하는 기판으로써, 상기 CMOS는 적어도 세 개의 인터커넥트 레벨을 포함하는 기판;

상기 CMOS 장치 위에 형성된 수직 탄소나노튜브 전계 효과 트랜지스터(CNT-FET) 를 포함하며,

상기 수직 CNT-FET는 상기 CMOS 장치의 상기 세 개의 금속 인터커넥트 레벨 각각의 재료로 형성된 소스, 드레인 및 게인트를 포함하는, 반도체 장치.

## 명 세 서

### 기 술 분 야

[0001] **관련 출원**

[0002] 본 출원은 공통으로 소유하고 있는 2007년 6월 20일 출원된 미국 특허출원번호 제 11/765,735 호, "Nanotube Device and Method of Fabrication"와 관련된 내용을 포함하며, 그 전체가 본 명세서 내에 인용문헌으로 포함된다.

[0003] **정부 권리에 관한 진술**

[0004] 본 발명은 Air Force Office of Scientific Research에 의해 허여된 승인 계약 번호(grant contract number) AFOSR Grant: FA9550-05-1-0461 에 따라 미국 정부의 지원 하에 만들어졌다. 미국 정부는 본 발명에 있어 소정의 권리를 갖는다.

[0005] **기술분야**

[0006] 본 발명은 일반적으로 나노튜브 수직 전계 효과 트랜지스터를 형성하는 방법에 관한 것이다.

### 배 경 기 술

[0007] 나노튜브, 예를 들어, 탄소나노튜브(CNT), 또는 나노튜브의 어레이가 전기탐침 또는 전자장치 내의 센싱 또는 액티브 장치 소자로써 사용될 수 있는 많은 적용이 있다.  이런 적용에서, 나노튜브와 전기적 콘택(contact)이 이루어져야 하는데, 전기적 콘택을 위해서는 다양한 전도성 링크(즉, 인터커넥트) 및 다른 회로에 대해 나노튜브를 정확하게 위치시켜야 한다.

[0008] 정확한 배열에 관한 요구 외에, 원하는 사양에 따른 장치 성능을 제공하기 위해서는 나노튜브의 특성이 또한 조절될 필요가 있다.  예를 들어, CNT에 대한 많은 트랜지스터 적용은 다중벽 탄소나노튜브(multi-wall carbon nanotubes (MWNT)) 보다는 단일벽 탄소나노튜브(single wall carbon nanotubes (SWNT))에 의해 가장 잘 달성된다.  게다가, 트랜지스터의 액티브 소자로써, 금속성 SWNT 보다는 반도체성 SWNT가 요구된다.  하지만, 인터커넥트 및 나노프로브와 같은 다른 적용을 위해서는 금속성 CNT가 선호된다.

[0009] CNT 장치에 대해 현존하는 제조 방법들은 배열뿐만 아니라 특성 조절에 대한 요구를 충분히 다루지 않고 있다.

게다가, CNT 전기적 장치 제조에 있어서는, CNT 증착 전에 적어도 하나의 인터커넥트 레벨이 처리되어야 한다. 가장 흔한 금속화 방식(metallization schemes), 예를 들어, 알루미늄 및 구리 인터커넥트를 이용한 금속화는 후속하는 처리 절차에 종종 써멀 버짓 제한(thermal budget constraint)을 부과한다. CNT 증착에 통상적으로 사용되는 화학적 증기 증착(CVD) 방법은 상대적으로 높은 온도가 수반되어야 하기 때문에 알루미늄 또는 구리 인터커넥트와 호환될 수 없다.

## 발명의 내용

### 과제의 해결 수단

[0010] 발명의 요약

[0011] 본 발명의 실시예는 수직 나노튜브 전계 효과 트랜지스터를 제조하는 방법을 제공한다.

[0012] 일 실시예는 제 1 전도층, 제 1 절연층, 제 2 전도층, 및 제 2 절연층의 순서로 재료를 포함하는 멀티-레이어 스택을 제공하는 단계, 제 2 절연층의 적어도 상부 부분 내에 제 1 개구를 형성하는 단계, 제 1 전도층의 영역을 노출시키기 위해 제 2 전도층 및 제 1 절연층 내에 제 2 개구를 형성하는 단계로써, 제 2 개구가 제 1 개구에 대해 중심으로 배열되고 제 1 개구의 직경 보다 작은 직경을 가지는 단계, 및 제 1 전도층 상에 전기영동으로 나노튜브를 증착하는 단계를 포함하는 나노튜브 전계 효과 트랜지스터(FET)를 형성하는 방법을 제공한다.

[0013] 다른 실시예는 전도층의 바닥 상에 형성된 절연층 위에 적어도 상부 전도층을 포함하는 구조를 제공하는 단계, 상부 전도층의 수직 측벽과 제 1 전도층의 수평 영역을 노출시키기 위해 상부 전도층과 절연층을 통해서 개구를 형성하는 단계, 상부 전도층의 수직 측벽 위로 유전체층을 형성하는 단계, 수평 영역의 중심에 근접한 전도층에 나노튜브의 제 1 말단을 접촉시킨 채로, 전기영동에 의해 제 1 전도층 위에 하나의 나노튜브를 증착하는 단계, 나노튜브의 중간 부분과 유전체층 사이에서 접촉을 제공하기 위해 나노튜브의 방향을 맞추는 단계를 포함하는 나노튜브 전계 효과 트랜지스터(FET)를 형성하는 방법을 제공한다.

[0014] 다른 실시예는 기판 상에 수평 전계 효과 트랜지스터(FET)를 형성하는 단계, 수평 FET 위로 수직 나노튜브 전계 효과 트랜지스터(NT-FET)를 형성하는 단계를 포함하는 반도체 구조의 형성 방법을 제공하며, 수직 NT-FET는 (a) 제 1 전도층 상에 적어도 제 1 절연층을 포함하는 구조를 제공하는 단계; (b) 제 1 전도층의 영역을 노출시키기 위해 제 1 절연층 내에 제 1 개구를 형성하는 단계; (c) 전기영동으로 제 1 전도층 상에 적어도 하나의 나노튜브를 증착하는 단계로써, 적어도 하나의 나노튜브는 노출 영역의 중심에 근접하여 제 1 전도층에 접촉하는 일 말단을 가지는 단계를 포함하는 방법에 의해 형성되며, 제 1 전도층이 NT-FET의 소스 또는 드레인 중 어느 하나를 형성한다.

[0015] 다른 실시예는 제 1 전도층 위에 제 1 절연층을 제공하는 단계, 제 1 전도층의 영역을 노출시키기 위해서 제 1 절연층 내에 연장되고(elongated) 폭과 폭 보다 큰 길이에 위해 특징지워지는 개구를 형성하는 단계, 개구는, 전기영동에 의해 제 1 전도층 상에 수 개의 나노튜브를 라인 패턴으로 증착하는 단계를 포함하는 다수의 나노튜브 전계 효과 트랜지스터를 형성하는 방법을 제공하며, 개구의 폭이 라인 패턴에 나노튜브의 증착을 제한하기에 충분할 정도로 작고, 나노튜브의 개수는 개구의 길이에 의해 결정된다.

[0016] 또 다른 실시예는 적어도 하나의 수평 상보형 금속 산화막 반도체(CMOS) 장치를 포함하는 기판으로써, CMOS가 적어도 세 개의 금속 인터커넥트 레벨을 가지는 기판, CMOS 장치 위에 형성된 수직 탄소나노튜브 전계 효과 트랜지스터(CNT-FET)를 포함하는 반도체 장치를 제공하며, 수직 CNT-FET는 CMOS 장치의 세 개의 금속 인터커넥트 레벨 각각의 재료로 형성된 소스, 드레인 및 게이트를 갖는다.

### 도면의 간단한 설명

[0017] 본 발명의 가르침은 첨부된 도면과 함께 하기 상세한 설명을 고려함으로써 쉽게 이해될 수 있으며, 도면 중

도 1은 본 발명의 실시예를 사용하여 제조될 수 있는 나노튜브에 기반한 구조의 개략적인 단면도이고,

도 2a 내지 2d는 본 발명의 일 실시예에 따라서 탄소나노튜브를 증착하기 위한 실험장치구성(experimental setup)과 프로세스 시퀀스를 설명하기 위한 개념도(schematic diagram)이고,

도 3a 내지 3c는 100nm의 직경과 50nm의 깊이를 가진 개구 주변의 전기장 분포의 개략도(schematic illustration)이고,

도 4a 내지 4b는 500nm의 직경과 50nm의 깊이를 가진 개구 주변의 전기장 분포의 개략도(schematic illustration)이고,

도 5는 본 발명의 실시예를 사용하여 제조될 수 있는 나노튜브에 기반한 트랜지스터의 개략도이고,

도 6a 내지 6b는 본 발명의 실시예를 시행하기에 적당한 개구의 형상의 개략도이며,

도 7a 내지 7i는 탄소 나노튜브 전계 효과 트랜지스터 제조 시퀀스의 다양한 단계를 진행하는 동안의 구조의 개략적인 단면도이다.

이해를 돕기 위해서, 가능하다면, 도면에 공통되는 동일한 구성요소를 나타내기 위해서 동일한 참조번호가 사용되었다.

## *발명을 실시하기 위한 구체적인 내용*

[0018] 상세한 설명

[0019] CNT 장치의 제조에 있어서, 개구 안에서 수직을 향하는 CNT를 제공할 필요가 종종 있다. 트랜지스터 제조 프로세스에 있어서, 특정 스테이지 또는 레벨에 따라서, 개구는 또한 비아(via)로 지칭된다.

[0020] 본 발명의 실시예는 나노튜브의 패턴과 간격(spacing)뿐만 아니라 증착될 나노튜브의 개수를 조절하면서 개구에 의해 정의된 영역 내에 나노튜브를 증착하는 방법을 제공한다. 구체적으로, 개구의 적당한 형상과 함께 전기영동 증착은 적어도 하나의 나노튜브가 타겟 영역 내에 나노미터 스케일의 정확도로 증착될 수 있도록 한다. 본 발명의 실시예와 관련하여, 특정 성능 요구조건을 갖는 장치의 제조를 용이하게 하기 위해, 예를 들어, 그 기하학적 배열 또는 다른 특성에 따라서, 나노튜브를 사전-선별(pre-sorting)하는 것이 사용될 수 있다.

[0021] 도 1a는 본 발명의 실시예를 사용하여 제조될 수 있는 나노튜브 구조(100)의 개략적인 단면도이다. 구조(100)는 기판(102)을 포함하며, 기판 위에는 절연재료층(104)이 증착되어 있다. 절연층(104)은 패터닝되어서 개구(106)를 형성하며, 기판(102)의 상부 표면(108)을 노출시킨다. 단일 CNT(110)가 개구(106) 내부에 증착되어 CNT(110)의 일 말단(112)이 기판(102)의 상부 표면과 접촉한다. 기판(102)은 금속 또는 전도성 필름(절연재료 위에 증착됨)과 같은, 나노튜브(110)의 전기영동 증착을 위한 바이어스 전압의 인가가 가능하도록 하는 전도성 재료이다.

[0022] 본 발명의 실시예는 다른 CNT를 배제하면서 개구(106) 내부에 CNT(110)가 증착되는 것을 허용한다. CNT(110)를 수용할 만큼 충분히 큰 개구(106)가 다른 리소그래픽 공정을 사용함으로써 패터닝될 수 있다. 따라서, 일 실시예에서, 개구(106)는 리소그래피 공정의 대략 최저 한계(lower limit)(예를 들어, 분해능)에서부터 대략 100nm 범위의 직경(D)을 가질 수 있다. 예를 들어, 193 nm에서 현존하는 리소그래피는 대략 90 nm의 분해능 한계를 쉽게 제공한다. 일 실시예에서, 기판(102)은 개구(106)에 대한 레벨-투-레벨(level-to-level) 오버레이 컨스트레인트(overlay constraint)를 충족시키기에 충분히 큰 측면 치수(예를 들어, 개구 전역에 걸쳐서 확장됨)를 갖는다. 하기에서 알 수 있듯이, CNT(110)는 개구(106)의 중심에 근접하여, 예를 들어, 수 나노미터의 측면 배열 정확도를 갖도록, 증착될 수 있다. 게다가, CNT(110)는 다중벽 CNT 대 단일벽 CNT 및 또는 전도성 CNT 대 반도체성 CNT를 포함한 바람직한 물리적 특성을 갖도록 사전-선택(pre-select)될 수 있다.

[0023] 도 2a 내지 2d는 본 발명의 일 실시예에 따라서 CNT를 기판 상에 증착하기 위한 전기영동 실험장치구성(experimental setup)과 시퀀스를 개략적으로 설명한다. 적당한 용매 내에 분산된 하전 입자가 전기장의 영향하에 전극을 향해 움직임으로써 전기영동 증착(EPD)을 하게 된다. 대략 30㎛ 크기 미만의 입자가 저 고체함량(low solid loading)과 저점도를 갖는 현탁액에 사용될 수 있다. 일반적으로, 나노튜브가 번들(bundle)의 형태로 증착될 지 또는 개별 튜브로 증착될 지는 현탁액의 특징과 각각의 상대 이동도(relative mobility)에 달려 있으며, 상대 이동도는 그 형태와 개구 또는 비아 내부의 접촉표면을 향해 확산하는 것과 연관되어 있는 저항에 달려 있다.

[0024] 도 2a는 전도층(202)을 갖는 기판 구조(200)를 나타낸다. 절연층(204)은 전도층(202) 위에 제공되며, 하나 또는 그 이상의 개구(206)는 절연층(204) 안에 패터닝된다. 기판 구조(200)를 액체배스(liquid bath)(220)에 담그는데, 예를 들어, 상온에서 전해질과 적당한 용매 내 CNT(210)의 현탁액을 포함하는 액체배스에 담근다.

[0025] 성공적인 EPD를 위해서는 안정한 분산액(dispersion)의 제조가 필요하다. 일반적으로, 현탁액의 이온 전도도는 낮게 유지하면서, 높은 ζ-포텐셜을 가진 입자를 사용하여 정전기적으로 안정화된 분산액이 수득될 수 있다. SWNT는 낮은 pH 값에서 높은 ζ-포텐셜을 나타내었다. 하전 염(charging salt)의 존재가 나노튜브의 기판으로의 부착을 개선하고 증착속도를 증가시키는데 중요한 역할을 할 수 있다는 것이 또한 알려져 있다.

[0026] 일 실시예에서, 10mg의 정제 SWNT를 30ml의 증류수에 현탁시키고, $10^{-4}$ 몰의 마그네슘 나이트레이트 헥사하이드레이트($Mg(NO_3)26H_20$)가 현탁액에 첨가되고 약 2 내지 3시간 동안 초음파 처리되었다. 일반적으로, 액체배스(220) 안의 나노튜브를 적용 요구에 따른 나노튜브의 유형으로 사전-선별하는 것이 바람직하다. 예를 들어, 반도체성 SWNT가 트랜지스터의 액티브 소자로써 사용되는 반면, 반도체성 또는 금속성 나노튜브가 프로브 또는 다른 장치를 위해 사용될 수 있다. 몇 방울의 비-이온성 Triton-X 계면활성제가 현탁액에 첨가되었고 그 결과 용액의 최종 pH가 대략 4로 개선되었다.

[0027] 수소 이온($H^+$) 외에, 도 2a에 원으로 나타낸 바와 같이, 액체배스(220)는 또한 CNT를 흡수하거나 또는 CNT에 부착하는 경향이 있는 마그네슘 이온, $Mg^{2+}$을 포함한다. 전극(224), 예를 들어 백금 전극은 액체배스(220)에 담가져서 DC 전압원(222)의 양 단자(positive terminal)에 연결된다. 전도층(202)은 스위치(226)에 연결된다.

[0028] 도 2a에서, 스위치(226)가 개방되고 액체배스(220)에 전류가 흐르지 않으면(전류는 전류계(A)를 사용하여 측정될 수 있다), CNT는 현탁액 안에 임의로 분포되어 기판 상에 증착이 무작위로 이루어지게 될 것이다.

[0029] 도 2b에서, 스위치(226)가 닫히고, 그로 인해 전도층(202)이 DC전원(222)의 음 단자(negative terminal)에 연결된다. 백금 전극(224) 및 전도층(202) 전역에 걸쳐서 인가되는 DC 전위, 예를 들어 약 5V 내지 25V 범위의 DC 전위로 유체 내 하전 입자 또는 종(species)은 음극 또는 양극을 향해 움직일 것이다. 예를 들어, $H^+$ 이온과 양으로 하전된 CNT는 기판 구조(200)-이 경우는 음극임-를 향해 움직일 것이다.

[0030] $H^+$ 이온이 CNT를 포함하는 다른 양으로 하전된 종보다 높은 이동성을 가지므로, $H^+$ 이온은 다른 하전 종 보다 더 빨리 기판 구조(200)에 도달하게 될 것이고, 그로 인해 도 2b에 나타낸 바와 같이 절연층(204)의 표면에 우선적으로 축적될 것이다. 절연층(204)의 양으로 하전된 표면은 각각의 개구(206) 주변에 전기장을 형성한다.

[0031] 도 2c에 나타낸 바와 같이, 기판 구조(200) 근처에 도착한 양으로 하전된 CNT는 전기장에 의해 각 개구(206)의 중심을 향하게 된다. 이 "포커싱(focusing)" 효과에 대한 상세사항은 이후에서 논의될 것이다. 일 실시예에서, 비록 각 개구(206)의 직경(또는 측면지수)이 물리적으로 추가적인 CNT를 수용하기에 충분히 크지만, 각 개구(206) 내부에 단지 하나의 CNT(CNT(210*)으로 나타냄)가 증착되도록 개구(206)와 전기장 분포가 형성된다. CNT(210*)는 CNT의 일 말단이 전도층(202)과 접촉하면서 각 개구(206) 내부에 "길이방향", 즉, CNT(210*)의 길이가 개구(206)의 깊이와 동일한 방향으로 배치된다.

[0032] 도 2d는 CNT(210*)의 미부착 말단이 백금 전극을 향해 배열하거나 또는 백금 전극을 가리키는 경향을 나타내며, 게다가 추가적인 CNT를 위한 초점 역할을 하는 것을 보여준다. 따라서, 추가적인 CNT가 서로 말단-대-말단으로 부착되면서, 두 번째 CNT(210A)는 예를 들면 세로로 CNT(210*)의 자유 말단에 부착되게 된다. 기판 구조(200)는 그 후 배스(bath)(220)로부터 제거되고, 증류 및 탈-이온수로 세척되고, 비활성 기체로 건조된다. 건조 후에, 전도층(202)에 부착된 CNT(210*) 만이 남게 되고, 도 2e에 도시된 것과 같이 그 결과로써 생기는 구조는 추가적인 공정을 위해 준비된다.

[0033] 종종 다른 장치가 적당한 오퍼레이션 및/또는 최적 성능을 위해 나노튜브의 다른 특성들을 요구하기 때문에, 전기영동 증착 전에 나노튜브를 사전-선별하는 것이 유리할 것이다. 예를 들어, 나노튜브는 반도체성 대 금속성, 단일벽 대 다중벽과 같은 그들의 특성에 따라서 선별될 수 있거나, 또는 기하학적 배열 또는 길이, 직경 등과 같은 치수에 따라서 선별될 수 있다.

[0034] 다른 종류의 나노튜브는 다른 이동성을 갖기 때문에, 예를 들어 더 길거나 또는 다중벽 나노튜브가 더 짧거나 또는 단일벽 나노튜브와 비교하여 일반적으로 더 낮은 이동성을 가질 것이므로, 전기영동이 또한 선별 목적으로 사용될 수 있다. 그러한 선별은 전기영동 증착 전에 시행되어, 배스(bath) 내 나노튜브는 특성 및/또는 기하학적 배열의 관점에서 상대적으로 균일한 분포를 가질 수 있다. 한편, 만약 전기영동 배스 내 나노튜브가 기하학적 배열 또는 다른 특성의 관점에서 상대적으로 넓은 분포를 가지면, 증착을 하는 동안 나노튜브의 다른 이동성

으로 인하여 일정 정도의 선별이 또한 "인-시츄"에서 달성될 수 있다.

[0035] 나노튜브를 개구 방향으로 향하게 하는 포커싱의 정도는 개구의 형상과 함께 전기장 분포의 크기와 형태에 의해 영향을 받는다. 증착된 나노튜브의 포지셔닝 뿐만 아니라 증착된 나노튜브 개수의 조절을 위해서, 전기장 분포를 조사하기 위하여 유한요소모델이 다양한 입력 파라미터의 함수로써 사용된다. 나노튜브 증착 조절과 관련된 파라미터 또는 인자는 특히 개구 형상(aperture configuration), 나노튜브 특성, 절연층 및 기판의 특징, 바이어스 포텐셜, 용액의 유전특성을 포함한다. 개구 형상은 일반적으로 형태, 치수(예를 들어, 폭, 길이, 깊이, 치수의 비율), 측벽 프로파일 등을 포함할 수 있다. 나노튜브 특성은 일반적으로 치수(예를 들어, 길이, 직경), 단일벽 또는 다중벽, 반도체성 또는 금속성을 포함할 수 있다.

[0036] 개구 주변의 전기장은 기판 구조 상의 금속층에 인가된 포텐셜과 절연층의 표면에 축적된 전하의 조합의 결과로서 생긴다. 음극을 덮는 유전체층 위의 양 전하 축적은 양극과 음극 사이에 인가되는 바이어스에서 비롯되는 장(field, 場)에 반대되는 전기장을 생성한다. 일단 두 개의 전기장이 동등하며 상반되면, 양 전하는 절연층의 표면에 더 이상 끌리지 않을 것이다. 생성된 전기장 분포로부터 나노스코픽 렌즈의 강도를 결정하는 이 "포화 전하 밀도(saturation charge density)", σ는 다음으로부터 계산될 수 있다:

[0037] $$\sigma = \varepsilon_0 \varepsilon_r E \qquad \text{식 (1)}$$

[0038] 식 중, E는 양극과 음극간의 전기장의 크기이고, $\varepsilon_0$는 자유 공간의 유전율이고, $\varepsilon_r$는 액체의 상대 유전율이다.

[0039] 예를 들어, E = $10^3$ V/m, $\varepsilon_0$ = $8.85 \times 10^{-12}$ Farad/m 및 액체는 물, $\varepsilon_r$= 80일 때, 표면전하밀도 σ는 $7.1 \times 10^{-7}$ Coulomb/$m^2$이다.

[0040] 일단 개구의 특정 기하학적 배열이 선택되고 표면전하밀도가 계산되면, 개구에 인접한 영역 내 전기장과 양으로 하전된 입자의 이동이 잘 알려진 유한요소분석 기술을 이용함으로써 계산될 수 있다. 따라서, 적당한 형상과 디자인을 가지고, 소망하는 포커싱 또는 렌즈 효과를 생성하여 나노튜브 증착을 지휘할 수 있는 전기장 분포를 수득할 수 있다.

[0041] 도 3a 내지 3c는 직경 100 nm 와 깊이 50 nm를 갖는 개구(306) 주변의 전기장 분포의 결과를 나타낸다. 이 예에서, 음의 10V 바이어스가 전도층(302)에 인가되었다. 도 3a는 $H^+$ 이온이 절연 표면에 축적되기 전의 전기장 분포를 나타낸다. 전기장 분포는 상대적으로 균일하며, 절연층(304)의 표면과 거의 수직인 역선(field line)을 갖는다. 도시된 바와 같이, 역선 방향은 음 포텐셜의 영역을 가리키는 화살로 나타내었다. 역선이 단지 약간 편향된 것이 개구(306) 또는 근처에서 확인되었다.

[0042] 도 3b는 절연층(304)의 표면이 $H^+$ 이온으로 포화된 후 변경된 전기장 분포를 나타낸다. 개구(306)의 어느 한면 상의 화살(322)은 역선이 안쪽을 향함을, 즉, 개구(306)의 윗 부분을 향함을 보여주는 반면, 절연층(304) 위의 화살(320)은 양으로 하전된 종이 표면으로부터 반발되게 될 것을 보여준다. 개구(306)의 중심 근처에서, 화살(334)로 나타낸 바와 같이, 역선은 아래쪽을, 즉 개구(306)의 내부를 향한다. 따라서, CNT처럼 양으로 하전된 종은 개구(306)를 향한다.

[0043] 전하 포화 지점에 도달하도록 충분한 전하가 축적되고 난 후, 정전기적 렌즈 효과로 인해 모든 하전 입자가 개구(306)의 중심을 향하게 될 것이다. 이러한 기하학적 배열을 위한 등전위선은 이동성의 하전된 나노튜브가 개구(306)의 중심을 향하도록 포커싱 하기에 유리하다. 이 경우에, 개구(306)의 직경은 100 nm이고 깊이는 50 nm이다. 이 예에서, 개구(306) 주변의 전기장 분포가 개구의 중심 세로 축에 대해 실질적으로 대칭이므로, CNT(310)는 또한 개구(306) 내부의 실질적인 중심에 위치된다. 따라서, CNT(310)의 일 말단은 개구(306)에 의해 정의된 전도층(302)의 영역(즉, 개구 바닥의 노출된 영역), 예를 들어, 정의된 영역의 중심에서 수 나노미터 이내에 부착된다.

[0044] 도 3c는 개구(306) 내부에 하나의 CNT(310)가 증착되고 난 후의 전기장 분포를 나타낸다. CNT가 전도성이고 전도층(302)과 전기적 콘택을 하고 있기 때문에, 전기장 분포는 증착된 CNT(310)에 의해 변형된다. 게다가, 개구(306)가 충분히 작다면, 이 경우에서와 마찬가지로, 전기력선이 개구(306)의 내부를 향하지 않고 CNT(310)의 자유말단에 집중하는 경향이 있다. 따라서, CNT(310)의 자유 말단은 개구(306)의 바닥에 증착되지 않고 나노튜브의 추가 증착을 위한 초점이 된다.

[0045] 일반적으로, 참조 전극과 개구 바닥의 금속 콘택 간의 고정된 포텐셜 차이를 위해, 포커싱 효과의 강도는 고정된 개구 깊이를 위한 개구의 직경에 반비례한다.

[0046] 도 4a 내지 4b는 전도층(402)에 인가된 음의 10V 바이어스로 500nm의 직경과 50nm의 깊이를 갖는 개구(406)에 대해 수득된 다른 결과를 나타낸다. 도 4a는 절연층(404)의 표면에 축적된 $H^+$ 이온에 의한 개구(406) 주변의 전기력선을 나타내고, 도 4b는 CNT(410)에 의해 변형된 개구(406) 내부의 전기력선을 나타낸다. 이 경우에, CNT(410)는 개구(406)의 중심(406C)으로부터 측면 오프셋에 위치하는데, 이는 예를 들어 배스 내에서 접근 방향이 무작위적이며 그 후 나노튜브를 증착 위치로 향하게 하는 전기장에서 기인할 수 있다. 도면 내 역선이 암시하는 바와 같이, 하나 이상의 CNT가 개구(406) 내부에 증착될 수 있다.

[0047] 이 경우, 전기장 분포는 나노튜브가 개구(406)의 중심 영역을 향하도록 유도하는 우세한 방향을 제공하지 않을 것이다. 나노튜브의 최종 위치는 바이어스가 인가되기 전의 나노튜브의 최초 위치에 좌우될 것이다. 예를 들어, 약 100nm를 초과하는 직경 또는 측면 치수의 큰 개구를 위해서, 최초 증착된 나노튜브의 미부착 말단은 여전히 추가적인 나노튜브의 증착을 위한 초점일 수 있다. 하지만, 개구의 측면 치수가 충분히 클 때, 전기장은 다른 나노튜브를 전도층(402)의 노출된 표면의 다른 위치로 또한 향하게 할 것이다.

[0048] 비록 결과는 대략 100 nm의 개구 직경이 그 미만으로는 증착이 단일 나노튜브로 제한되는 전이(transition) 또는 참조점(reference point)을 제공함을 암시하고 있지만, 대략 100 nm 보다 큰 개구가 하나 이상의 나노튜브의 증착에 유리한 한편, 나노튜브 및/또는 구조적 형상의 특정 조합에 따라서 참조점이 다양할 수 있다고 이해된다.

[0049] 개구 직경(또는 측면 치수) 외에도, 예를 들어 나노튜브의 특성 및/또는 기하학적 배열에 따라서 다른 형상을 제공함으로써 나노튜브의 증착을 조절하기 위한 목적으로 다른 파라미터, 예를 들어 특히 형태, 종횡비(측면 치수로 나눈 개구의 깊이 또는 높이로 정의됨)가 또한 사용될 수 있다.

[0050] 다른 유한요소분석의 결과는 또한 10nm의 직경과 100nm의 길이를 갖는 나노튜브와 100nm의 직경과 18nm 보다 큰 깊이(또는 높이)를 갖는 실리콘 나이트라이드 내에 형성된 개구에 대해 단지 하나의 나노튜브가 개구 내부에 증착될 것임을 보여준다. 이는 종횡비가 적어도 0.18 또는 이보다 큰 개구가 증착될 나노튜브의 수를 단지 1로 제한하기 위해 사용될 수 있다는 것을 암시한다. 더 작은 직경을 갖는 나노튜브에 대해, 증착을 단지 하나의 나노튜브로 제한하기 위해서 더 큰 종횡비가 요구될 수 있다. 다른 개구 형상과 나노튜브 특성을 위해서 증착된 나노튜브의 예상 위치를 모의실험하기 위한 유사한 분석이 사용될 수 있다. 대칭면이 이용가능한 상황에 2차원 분석이 적당한 반면, 일반적으로 3차원 분석이 다른 상황에 사용될 수 있다. 따라서, 나노튜브 증착에 추가적 수준의 조절을 제공하기 위한 가이드로써 나노스코픽 렌즈 디자인에 유한요소분석이 사용될 수 있다.

[0051] 많은 다른 나노튜브에 기반한 장치가 본 발명의 방법을 사용하여 제조될 수 있다. 다른 치수의 개구 내부로의 나노튜브의 증착에 이 방법이 일반적으로 적용될 수 있기는 하지만, 증착될 나노튜브의 개수 또는 나노튜브의 측면 포지셔닝 또는 정렬을 조절하는 것이 바람직한 상황에 특히 적합하다. 이 방법으로부터 이익을 얻을 수 있는 나노튜브에 기반한 장치의 예들은 특히 수직 CNT 트랜지스터, 화학적 센서 또는 바이오 센서를 포함한다.

[0052] 상기 실시예와 논의는 개구에 의해 정의된 영역의 중심 근처에서 나노스케일의 측면 정확도를 갖는 단일 나노튜브를 조절가능하게 증착할 수 있는 능력을 설명한 것이다. 방법은 구현(implementation) 또는 프로세싱 측면에서 특히 매력적인데, 상대적으로 넓은 영역 내에 그렇게 조절된 증착을 달성할 수 있는 능력이 리소그래피 기술을 위해 필요한 요구사항을 상당히 완화시키기 때문이다. 그렇기 때문에, 더욱 복잡한 리소그래픽 도구(e-빔 또는 집속 이온 빔과 같은)에 의존하지 않고, 광학 리소그래피를 사용하여 쉽게 제조가 수행될 수 있고 그 결과 타겟 증착 영역을 정의하기에 충분히 작은 개구를 형성할 수 있다.

[0053] 본 발명의 실시예는 또한 주어진 영역 내 증착될 나노튜브의 개수와 그 간격을 조절하는 방법을 제공한다. 그러한 방법은 정의된 영역에 하나 이상의 나노튜브를 증착하는 것이 바람직한 많은 적용에 유용하다. 예를 들어, 일정 수직 전계 효과 트랜지스터(vertical field effect transistor(VFET)) 디자인은 채널을 형성하는 하나 이상의 나노튜브를 갖기 때문에 더 많은 전류가 장치를 통해 흐르도록 할 수 있는 이익을 가질 수 있다. 따라서, 증착될 나노튜브의 개수를 조절함으로써, VFET 출력이 논리 회로 입력(logic circuit input)의 파라미터를 충족시키기에 충분한 전류를 갖도록 설계될 수 있다는 것을 확신할 수 있다.

[0054] VFET의 설계의 한가지 제한은 장치의 측면 사이즈가 단위 면적 당 VFET의 수를 최대화하기에 충분할 정도로 작아야 한다는 것이다. 도 5에 나타낸 바와 같이, 한가지 가능성은 밀접한 간격의 비아를 제조하고, 각 소스

(502), 드레인(504) 및 게이트(506)를 평행하게 연결하는 것이다(CNT(510)가 장치의 채널 역할을 하고 게이트 유전체(508)에 의해 게이트(506)로부터 분리됨). 이 개념은 Hoenlein 외의 Materials Science and Engineering C, 23, p.663-669(2003)와 DE 0010036897 C1, (2000)에 의해 제안되었다. 하지만, 나노튜브를 위치시키기 위해 밀접한 간격으로 비아를 제조해야 하는 어려움은 단위 면적 당 나노튜브의 수가 순전히 비아의 최소 직경과 비아 간의 거리에 의해 결정된다는 데 있다. 이는 단위 길이 당 합리적인 최대 전류(마이크로미터 당 1,500 마이크로암페어)를 갖는 VFET 장치를 위한 리소그래피 및 에칭 공정에 엄격한 요구조건을 부여하여, 서브-20 nm 직경의 비아가 요구될 것이다.

[0055] 본 발명의 실시예는 리소그래피에 엄격한 요구조건을 부과하지 않으면서 제조되는 도 5에 나타낸 바와 같은 장치 개념을 허용하게 할 것이다. 특히, 전기영동 증착을 이용하여 개구가 있는 영역 내의 나노튜브의 간격 또는 위치뿐만 아니라 나노튜브의 개수를 조절하도록 개구가 형성될 수 있다.

[0056] 도 6a 내지 6b는 나노튜브 증착을 조절하기에 적당한 개구 형상의 상부도의 개략도이다. 도 6a에 나타낸 바와 같이, 개구는 폭(W)-또는 가로방향 또는 가로 치수로써 지칭됨(선 X-X'로 나타낸 방향을 따라서)-과 길이(L)-또는 세로 치수로써 지칭됨(선 Y-Y'으로 나타낸 방향을 따라서)-에 있어서 L이 W보다 큰 것이 특징인 슬롯과 같은 연장된 기하학적 배열을 갖는다. 이 예에서, 폭 W는 가로 방향을 따라서 단지 하나의 나노튜브가 증착되도록 하기에 충분히 좁도록 설계된다. 따라서, 모든 증착된 나노튜브는 라인 패턴 내에 증착될 것인데, 즉 세로 방향을 따라서 서로 인접하여 정렬된다.

[0057] 게다가, 슬롯 내에 증착된 나노튜브의 개수가 슬롯의 길이에 의해 조절될 수 있다. 일단 첫 번째 나노튜브가 슬롯 내에 증착되면, 슬롯 주변의 전기장 분포는 변경될 것이다. 새로운 장(場) 분포는 유한요소분석을 이용하여 계산될 수 있다. 또한 인접한 나노튜브 간의 가장 근접한 간격은 유한 요소 분석에 의해 계산될 수 있고, 그 결과 슬롯 내에 연속적으로 증착되는 무작위로 접근하는 하전 입자의 궤도를 예측할 수 있다.

[0058] 100 nm의 길이를 갖는 나노튜브에 이 분석을 사용함으로써, 1nm 직경을 갖는 나노튜브 간의 가장 근접한 간격은 대략 15 nm로 평가되었다. 직경 10nm와 길이 100 nm를 갖는 나노튜브를 위해서, 인접한 나노튜브의 가장 근접한 간격은 대략 20 nm이다. 임의의 기하학적 배열을 갖는 나노튜브의 가장 근접한 간격을 계산하기 위해서 동일 방법이 사용될 수 있다. 두 개의 근접한 간격을 갖는 나노튜브에 근접한 전기장을 계산하고, 계산된 전기장이 이미 증착된 두 개의 나노튜브 사이 안으로 제 3의 나노튜브가 증착되는 것을 배제하는 분포를 가질 때까지 간격을 감소시키기 위한 대체적인 방법이 사용될 수 있다.

[0059] 나노튜브 간의 가장 근접한 간격(s)이 알려지면, 슬롯 내에 증착되는 나노튜브의 개수, N은 N=MOD(L/s)에 의해 구해진다. 함수 MOD()는 결과 개수 L/s의 끝수를 버리고 정수로 만든다. 슬롯의 말단에서의 형태는 또한 라운딩의 정도에 따라서 이 결과를 변형할 수 있다. 만약 라운딩이 없다면, 이 계산은 가장 정확하다. 라운딩이 존재할 때, 추가적인 정도의 포커싱이 증착되는 나노튜브의 개수를 감소시킬 수 있고, 이는 정확한 기하학적 배열을 위한 3차원 유한요소분석을 사용하여 결정될 수 있다.

[0060] 상술한 실시예들은 다른 탄소 나노튜브(CNT), 예를 들어, CNT 전계 효과 트랜지스터(CNT-FET)의 제조에 사용될 수 있다. CNT-FET를 형성하기 위한 재료와 공정이 상보성 금속 산화물 반도체(CMOS)에 통상적으로 사용되는 것과 호환될 수 있기 때문에, 그러한 트랜지스터는 쉽게 CMOS 프로세싱에 통합되어 3차원 반도체 구조를 제공할 수 있다.

[0061] 도 7a 내지 7i는 본 발명의 실시예에 따른 수직 CNT-FET의 제조를 위한 프로세싱 시퀀스를 진행하는 동안의 다양한 구조를 설명하는 개략적인 단면도이다. 용어 “수직(vertical)”은 채널이 구조의 평면에 대해 수직 방향으로 놓이도록 형성되는 트랜지스터를 나타내기 위해 사용된다. 본 발명의 일 실시예는 기판의 평면 내에 그 채널과 함께 “수평” 장치로써 제공되는 하나 또는 그 이상의 CMOS 장치와 함께 집적되는 CNT-FET를 제공한다.

[0062] 도 7a는 몇몇 재료층이 반도체 프로세싱 분야의 당업자에게 알려진 기술을 사용하여 이전 단계(미도시)에서 기판 위에 형성되고 가공된 구조를 나타낸다. 기술될 프로세스 시퀀스는 CNT-FET를 제조의 다른 단계에 있는 CMOS 장치에 집적한 하이브리드 구조를 포함하는 다양한 반도체 구조의 하나 또는 그 이상의 CNT-FET를 형성하는데 사용될 수 있다.

[0063] 예를 들어, 하이브리드 구조 안에서, 수직 CNT-FET(VFET) 프로세스 단계는 CMOS 장치의 금속 레벨(즉, 인터커넥트 레벨)의 프로세스 플로우 내에 삽입된다. 즉, VFET를 위한 패터닝은 CMOS의 하나 또는 그 이상의 금속 레벨(VFET에 대해 적어도 세 개의 금속 레벨이 요구된다)과 VFET 레벨 장치 로직이 “수평 트랜지스터”인터커넥트와 함께 인터커넥트 레벨에 통합되는 것과 동시에 행해진다. VFET는 “수평 트랜지스터” 로직과 함께 전체 로

직 다이어그램의 일부가 된다.

[0064] 도 7a는 기판(700) 상에 일반적으로 실리콘(Si) 웨이퍼일 수 있는 절연층(702)를 포함하는 구조를 나타내거나, 또는 절연층은 유전체층일 수 있는데, 유전체층 상에 임의의 적당한 금속 레벨이 CMOS 집적 회로 내에 증착되며, 회로 레이아웃에 의존할 것이다. 절연층(702)으로써 사용하기에 적당한 재료는 특히 실리콘 옥사이드($SiO_2$), 실리콘 나이트라이드를 포함한다.

[0065] 적당한 재료, 예를 들어, Al, Cu, TiN, 또는 Co를 절연층(702) 위에 증착하여 전도층(704)이 형성되며, 수직 CNT-FET의 소스(또는 드레인)를 형성하도록 패터닝된다. 전도층(704)의 재료는 프로세싱을 하는 동안 CNT(채널로써 형성되며 이후 증착 단계, 예를 들어, 도 7f 내지 7g에서 논의됨)에 충분히 부착되어야 하며, 프로세싱이 완료된 후 CNT에 최소의 접촉 저항을 가져야 한다. 표준 CMOS 집적 회로 내의 Al 및 Cu와 같이, 재료의 표면저항(sheet resistance)은 또한 저-전류 오퍼레이션과 호환가능하도록 충분히 낮아야 한다. 한편, CNT 채널과 VFET 소스 및 드레인 간의 콘택은 복합 재료로써 제공될 수 있는데, 이는 다른 낮은 표면저항을 가진 재료와 함께 결합된 좋은 부착과 낮은 접촉 저항을 갖는 것으로 알려진 금속을 포함할 수 있다. Co/Al, Co/Cu, Fe/Al, Fe/Cu와 같은 조합이 CNT와 직접 접촉하고 있는 Co 또는 Fe에 적당할 수 있다. CNT의 화학적 기상 증착법에서 종자 금속으로써 사용되는 대부분의 금속이 또한 EPD 증착된 CNT와 직접적으로 접촉하는데 적합할 수 있다.

[0066] 게다가, 만약 CNT-FET가 CMOS 장치의 제 1 금속 레벨에 집적되어야 한다면, 절연층(702)과 전도층(704)이 각각 CMOS 장치의 유전체 1(D1) 및 금속 1(M1) 레벨에 해당할 수 있는 반면, 기판(700)이 웨이퍼와 유전체 1 레벨을 앞서는 모든 프로세스 레벨에 해당할 수 있다. 예를 들어, CNT-FET의 소스/드레인을 형성하는 전도층(704)의 패터닝이 CMOS 장치의 M1과 동일한 마스크 레벨에서 수행된다.

[0067] 전도층(704)이 패터닝된 후, 절연재료가 증착되고 그 결과 구조는 연마되어 평탄화 유전체층(706)을 형성한다. CNT-FET의 소스(740)와 (형성될)게이트 간의 거리에 해당하는 유전체층(706)의 두께는 장치 사양에 의해 결정된다. 유전체층(706)은 집적구조 내 CMOS 장치의 유전체 2(D2) 레벨에 해당할 수 있다.

[0068] 전도성 재료가 유전체(706) 위에 제공되어 전도층(708)을 형성하도록 패터닝되며, 후술할 추가 프로세싱 후에 CNT-FET의 게이트를 형성할 것이다. 일 실시예에서, 재료는 회로 설계의 요구조건에 따라서 약 10nm 내지 약 100 nm 범위 의 두께를 갖는 알루미늄(Al)이다. 다른 적당한 재료는 구리, Cu를 포함한다. CNT-FET의 게이트 금속이 또한 CMOS 금속 스택 안에서 M2의 역할을 하는 CNT-FET와 CMOS의 집적된 공정의 경우, 게이트용 재료는 M2에 요구되는 모든 현재 가지고 있는(current carrying) 사양을 충족시켜야 할 것이다. 한편, 수직 CNT-FET용 게이트 금속은 CMOS 금속 스택 안의 두 개의 정상적인 금속 레벨 간의 개별적인 금속 레벨로써 제공될 수 있다(즉, 수직 CNT-FET의 각 레벨을 위한 추가적 금속 레벨을 요구함).

[0069] 도 7a의 구조에 나타낸 바와 같이, 절연재료를 증착하고 예를 들어 광학 리소그래피로 패터닝을 함으로써 유전체층(710)이 형성되어 개구(720)를 정의한다. 일 실시예에서, 개구(720)는 대략 100 nm 미만 또는 이와 동등한 직경(D), 또는 측면 치수를 가진다. 직경 D는 전도층(708) 상에 증착될 나노튜브를 수용하기에 충분히 커야 한다. 일 실시예에서, 직경 D는 개구(720)를 한정하기 위해 사용되는 리소그래피 프로세스의 분해능에 해당하는 최저한계(lower limit)를 가진다. 예를 들어, 대략 90nm의 분해능이 193 nm에서 통상적인 광학 리소그래피에 의해 수득될 수 있다. 유전체층(710)이 CMOS 장치의 유전체 3(D3) 레벨에 해당할 수 있다.

[0070] 도 7b는 개구(720)에 의해 노출되거나 정의된 전도층(708)의 영역 위에 다중-벽 탄소 나노튜브(MWNT)(725)가 형성된 구조를 나타낸다. 일 실시예에서, MWNT(725)는 대략 10 nm와 대략 40 nm 사이의 직경을 가진다. 하기에서 알 수 있는 바와 같이, MWNT(725)는 다른 나노스케일 비아 또는 개구를 정의하는데 사용되며, 이는 차례로 FET의 채널 역할을 하는 단일-벽 나노튜브의 증착용 영역을 정의할 것이다.

[0071] 본 발명의 실시예에 따라서, MWNT(725)는 이미 논의된 바와 같이 전기영동에 의해 증착된다. 예를 들어, MWNT 나노튜브의 현탁액, 예를 들면 사전-선별된 것이 사용될 수 있다. 개구(720) 내부에 단지 하나의 MWNT(725)가 증착되도록 전기영동용 파라미터와 개구(720)의 형상이 선택된다. 이미 언급하였던 바와 같이, 개구(720)는 개구 안에 증착될 MWNT의 직경을 수용하기에 충분히 크다. 게다가, 개구(720)는 단지 하나의 MWNT가 개구 내에 증착되는 것을 허용하도록 형성된다. 일반적으로, 720의 최대 직경은 나노튜브의 직경, 나노튜브의 길이, 및 개구의 깊이에 의존한다. 회로 설계에 요구되는 특정 기하학적 배열을 위한 유한요소분석을 사용함으로써 추정될 수 있다. 게다가, MWNT(725)는 개구(720) 안의 실질적 중심에 위치하여 실질적으로 수직을 향하며, 그 말단이 전도층(708) 상의 정의된 영역의 중심(708C)에 근접하는데, 예를 들어 중심(708C)으로부터 수 나노미터 내이다. MWNT(725)를 증착한 후, 웨이퍼는 증류 및 탈이온수 안에서 헹구어진다.

[0072] 후속 단계에서, 바람직하게는 개구(720)를 적어도 실질적으로 채우기에 충분한 두께의 유전체 재료(712)가 도 7b의 구조 위와 유전체층(710)의 상부 표면 위에 증착된다. 그 후 유전체 재료(712)를 가진 구조는 예를 들어 화학적 기계적 연마(CMP)에 의해 유전체층(710)까지 연마된다. 결과 구조는 도 7c에 나타내었는데, 유전체 재료(712)와 절연층(710)의 표면이 평탄화되었다. 게이트 금속과 소스/드레인 금속 간의 거리에 해당하는 유전체층(710)의 남은 두께는 장치 사양에 의해 결정된다.

[0073] 도 7d는 MWNT(725)가 산화 또는 화학적 에칭, 예를 들어 산소 플라즈마로, 또는 유전체 재료(712)와 전도성 재료(708)에 선택적인 공정에 의해 제거되는 다음 공정 단계 이후의 구조를 나타낸다. 그 후, 마스크의 역할을 하는 평탄화 층(710, 712)을 가지고, 전도층(708)은 아래로 에칭되어 절연층(706)에서 정지한다. 도 7d에 나타낸 바와 같이, MWNT(725)의 직경 또는 측면 치수(d)에 해당하는 직경 또는 측면 치수를 가진 개구(730)가 전도층(708) 내에 이제 형성되어, 밑에 있는 절연층(706)을 노출시킨다.

[0074] 도 7e는 유전체 재료(712)의 적어도 상부 부분이 에칭에 의해서 부분적으로 제거되어서, 이전에 절연층(710) 안에 형성된 개구(720)를 효과적으로 “복원(restoring)”하는 다음 단계를 보여준다. 한편, 유전체 재료(712)는 또한 완벽하게 제거되어 전도층(708)과 개구(720)의 밑에 있는 영역을 노출할 수 있다.

[0075] 개구(730)는 절연층(706)을 통해 확장되어 전도층(704)에서 정지한다. 바람직하게는, 전도층(708)은 반응성 이온 에칭 공정을 사용하여 절연층(706)을 에칭하기 위한 에칭 마스크의 역할을 한다. 712 및 706을 위한 에칭이 절연층(710)을 심하게 에칭하지 않는 것이 또한 바람직하다. 전도층(704)의 영역은 이와 같이 개구(730)에 의해 정의되며, MWNT(725)의 직경, 예를 들어, 대략 10 nm 내지 40 nm 범위에 해당하는 측면치수(d)를 가진다. 한편, 개구(720)는 개구(730) 보다 큰 직경 D를 갖는데, 개구(730)는 개구(720)에 대해 실질적인 중심에 위치해 있다.

[0076] 도 7f는 SWNT(FET의 채널 역할을 함)의 증착과 게이트 유전체를 형성하는 후속하는 단계를 도시한 것이다. CNT-FET의 게이트가 될 전도층(708)의 수직 측벽(708W) 주변에 유전체(714)를 형성하는 이 단계에서 다양한 옵션이 이용될 수 있다. 한가지 가능한 접근은 게이트 유전체를 형성하기 전에 개구(730) 내부에 SWNT(735)를 증착하는 것이다. 일 실시예에서, SWNT(735)는 이미 논의된 바와 같이 전기영동을 사용하여 증착될 수 있다. DC 소스로부터 적당한 바이어스 전압이 기판(700)의 가장자리에 있는 전기적 콘택으로의 커넥션을 통해 전도층(708)에 인가될 수 있다. 절연층(710)의 표면에서의 전하 축적으로 인한 전기장 분포는 SWNT(735)를 개구(730)의 중심과 또한 실질적으로 일치하는 개구(720)의 중심을 향하게 하고 집중되도록 할 것이다. 따라서, 전기장 포커싱은 더욱 정교한 배열 구성(elaborate alignment scheme)없이도 SWNT(735)가 더 작은 개구(730) 안에 자동적으로 배열되도록 한다. 도 7g에 나타낸 바와 같이, 증착된 SWNT(735)는 개구(730)에 의해 정의된 영역의 중심(704C)에 인접한 전도층(704)과 접촉하고 있는 일 말단을 가진다.

[0077] 그 후 적당한 유전체 재료(예를 들어, ~2 nm 내지 30 nm의 실리콘 나이트라이드)가 증착되어 도 7g에 나타낸 바와 같이 측벽(708W)과 SWNT(735)를 덮은 전도층(708) 위에 컨포멀 유전체층(714)을 형성한다.

[0078] 도 7f를 참조하면, 예를 들어 전도체(708) 상에 고유한 산화물을 사용하여 SWNT(735)의 증착 전에 게이트 유전체(714)를 증착하거나 또는 플라즈마 화학기상 증착(plasma enhanced chemical vapor deposition (PECVD))을 진행하는 동안 전기장을 사용하여 전도층(704)이 게이트 유전체를 피하도록 하면서, 그리고 게이트 유전체를 증착한 후에 EPD에 의해 SWNT(725)를 증착하면서 전도층(708) 위에 울트라-신(ultra-thin) 게이트 유전체를 증착하는 플라즈마 화학기상 증착(PECVD) 공정을 개발함으로써 SWNT(735) 및 게이트 유전체(714)를 형성하기 위한 시퀀스에 대한 다른 변형이 또한 사용될 수 있다.

[0079] SWNT(735)의 증착과 게이트 유전체 형성 후, 이후 단계에서 SWNT(735)를 포지셔닝 및 오리엔팅 시켜서 전도층(708)의 측벽(708W)에서 유전체층(714)과 접촉할 수 있다. 이는 도 7h에 도시된 바와 같이, 전도층(704, 708)에 전압을 인가함으로써 행해질 수 있다. DC 전압원(790)은 웨이퍼 기판(700)의 가장자리에서 콘택 패드(미도시)를 통해 양 전도층(704, 708)에 연결되는 외부 소스일 수 있다. SWNT(735)는 한 쪽으로 끌어당겨지는데, 즉 그 수평 또는 수직 방향(도 7h에서 점선으로 나타냄)에서 떨어지도록 끌어당겨져서, 전도층(704)의 상부 표면과 $90^{\circ}$ 미만의 각 Θ를 형성한다. 유전체(714)와 접촉하는 SWNT(735)의 부분(737)은 CNT-FET의 채널 영역에 해당할 수 있다. 채널 영역과 측벽(308W)(게이트) 간의 거리를 최소화함으로써 CNT-FET 내 개선된 성능을 제공할 것으로 예측된다.

[0080] 도 7f를 참조하면, 다른 변형은 개구(730)를 충분히 작게 만드는 것, 즉 증착된 MWNT(725)(도 7c 내지 7d 참조)에 의해 정의된 것과 같은 것을 수반하여, SWNT(735)와 게이트 유전체(714)를 수용하기에 대략 충분한 공간

이다. SWNT(735)를 증착한 후에, PECVD를 진행하는 동안 전기장을 사용하여 전도층(704)이 게이트 유전체를 피하도록 하면서, 적당한 유전체 재료가 증착되어 SWNT(735) 주변의 개구(730)의 나머지 부분을 채운다. 이 방법은 도 7b에 나타낸 바와 같이 증착 단계를 위해 나노튜브에 좁은 범위의 직경을 제공하기 위해서 EPD 현탁액 안에서 MWNT(725)가 사전 선별되는 것이 필요할 것이다.

[0081] 다음 단계에서(즉, SWNT 증착 및 게이트 유전체 형성 후), 절연층(710)을 덮을 뿐만 아니라 SWNT(735)(도 7i 참조)를 둘러싸기 위해서 개구(730, 720)의 내부에 충분히 두꺼운 유전체 재료(716) 층이 증착된다. 그 후 재료(716)는 연마되어 절연층(710)과 SWNT(735)의 다른 말단을 가진 평탄화 표면을 형성한다. 게이트 금속과 소스/드레인 금속 간의 거리에 해당하는 유전체층(716, 710)의 남은 두께는 장치 사양에 의해 결정된다.

[0082] 전도성 재료(예를 들어, Al, Cu, TiN, 또는 Co)가 평탄화 구조 위에 증착되고 CNT-FET의 드레인(또는 소스)(718)을 형성하기 위해 패터닝된다. 전도층(718)을 위한 재료는 프로세싱이 완료된 후 CNT(735)에 최소의 접촉저항을 가져야 한다. 표준 CMOS 집적 회로 내의 Al 및 Cu와 같이, 재료의 표면저항은 또한 저-전류 오퍼레이션에 혼화가능하도록 충분히 낮아야 한다. 또한, CNT(735)와 VFET 드레인간의 콘택은 복합 재료로써 제공될 수 있고, 이는 낮은 표면 저항을 가진 다른 금속과 결합된 좋은 부착과 낮은 접촉저항을 갖는 것으로 알려진 금속을 포함할 수 있다. Co/Al, Co/Cu, Fe/Al, Fe/Cu와 같은 조합이 CNT(735)와 직접 접촉하고 있는 Co 또는 Fe에 적당할 수 있다. CNT의 CVD 에 종자 금속으로써 사용되는 대부분의 금속은 EPD 증착된 CNT와 직접적으로 접촉하기에 또한 적당할 수 있다.

[0083] 도 7i는 전도층(704)에 의해 형성된 그 소스 영역, SWCNT(735)에 의해 제공된 채널, 전도층(708)의 수직 측벽(708W)에 의해 형성된 게이트, 708W의 게이트 영역의 게이트 유전체(714), 및 전도층(718)에 의해 형성된 드레인 영역을 갖는 수직 CNT-FET를 나타낸다.

[0084] 수직 CNT-FET의 완성 후, 제조 목적, 예를 들어 전기영동으로 사용된 전도층(704,708)에 대한 전기적 커넥션은 이 기술분야의 당업자에게 알려진 방법으로 절단된다. 수직 FET의 다른 레벨이 전도층(718) 위에 제조될 수 있다.

[0085] 상술한 바와 같이, 본 발명의 실시예는 정의된 영역 내에 전기영동을 사용하여 나노튜브를 조절가능하게 증착하는 방법을 제공한다. 증착영역은 증착된 나노튜브의 간격뿐만 아니라 영역 내 증착될 수 있는 나노튜브의 개수를 조절하도록 형성될 수 있는 개구에 의해 정의될 수 있다. 예를 들어 대략 100 nm 미만과 같이 충분히 작은 개구 크기를 제공하여 적절하게 개구를 형성함으로써, 수 나노미터의 측면 배열 정확도를 가지며 영역 내에 단지 단일 나노튜브가 증착되도록 증착을 조절할 수 있다.

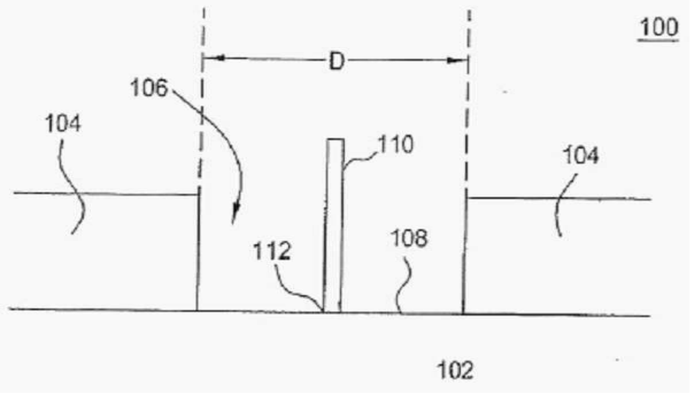
[0086] 또한 본 발명의 실시예는 쉽게 잴 수 있고(scalable) 통상적인 제조 공정 및 재료와 호환가능한 상온 공정을 제공하고, 장치 제조에 사용되는 나노튜브의 특성 조절의 개선이 가능하게 한다. 게다가 상기 공정은 CMOS 장치로 나노튜브 전계 효과 트랜지스터의 통합을 가능하게 한다.

[0087] 탄소나노튜브의 증착에 관해 비록 몇몇 예가 논의되었지만, 이 방법이 다른 나노튜브의 증착을 위해 일반적으로 개조될 수 있다고 이해된다. 게다가, 본 발명의 실시예는 일반적으로 다른 장치의 제조용 단일벽, 다중벽, 반도체성 또는 금속성 나노튜브의 증착에 적용될 수 있다.

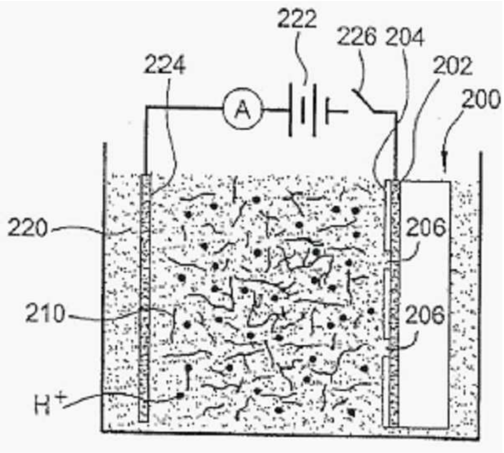
[0088] 전술한 것들이 본 발명의 실시예에 관한 것이기는 하지만, 본 발명의 다른 추가적인 실시예가 그 기본적인 범위를 벗어나지 않으면서 고안될 수 있으며, 그 기본적인 범위는 후술할 청구항에 의해 결정된다.

도면

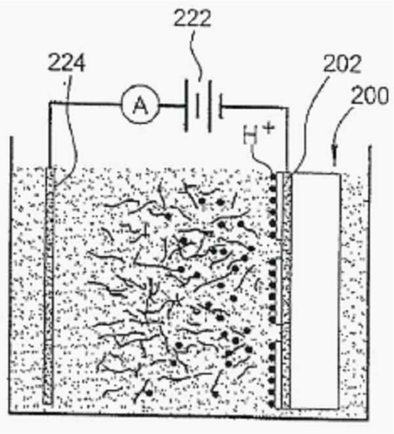
도면1



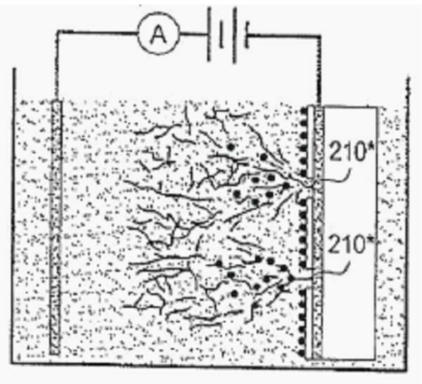

도면2a



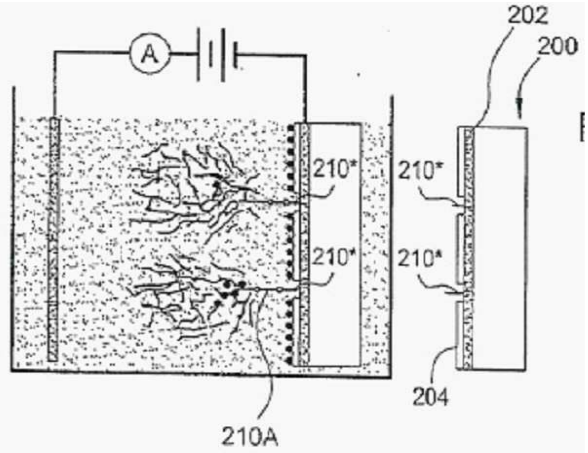

도면2b



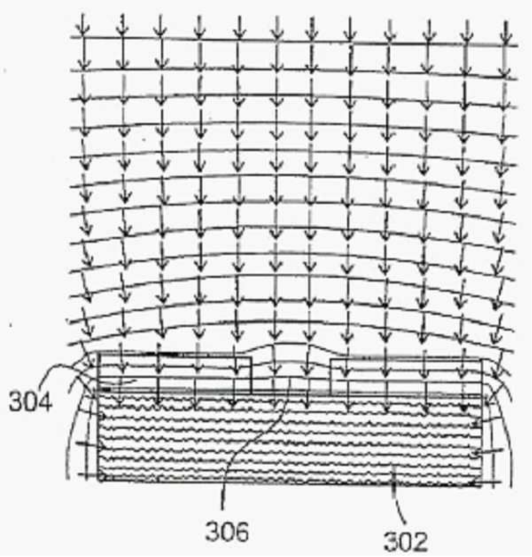
도면2c



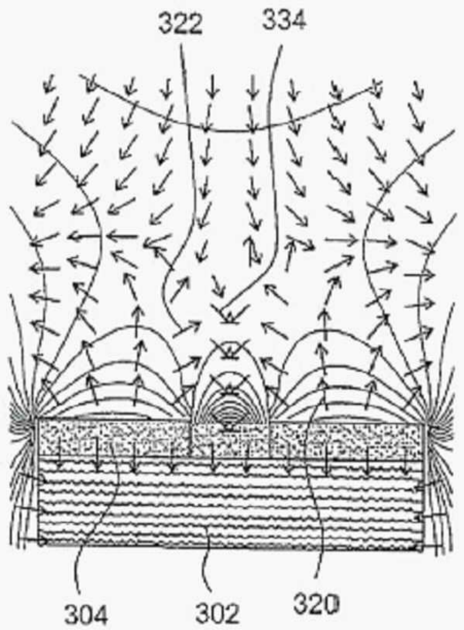

도면2d



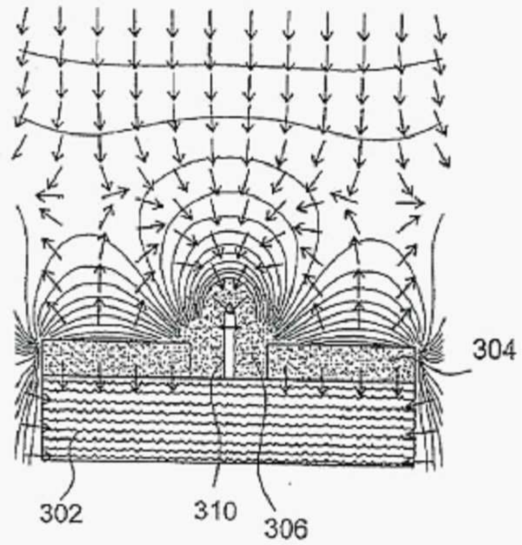

도면3a



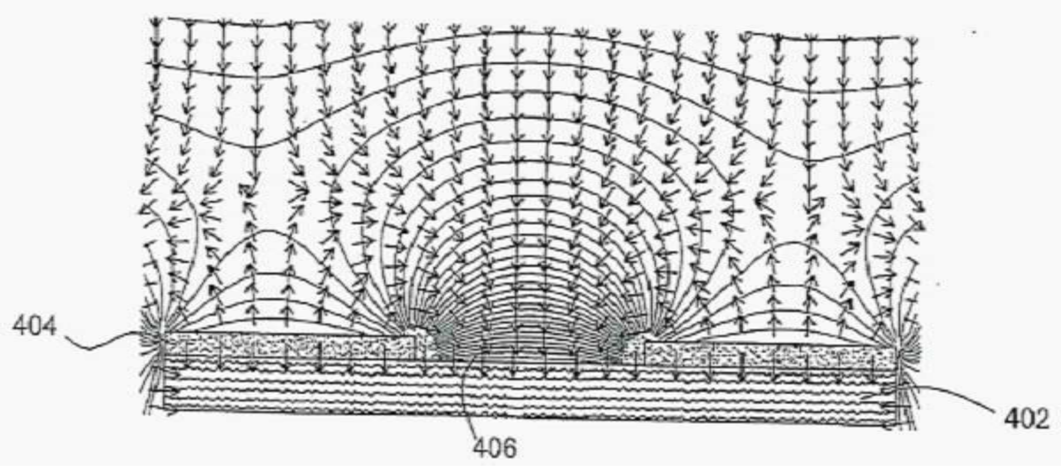
*도면3b*



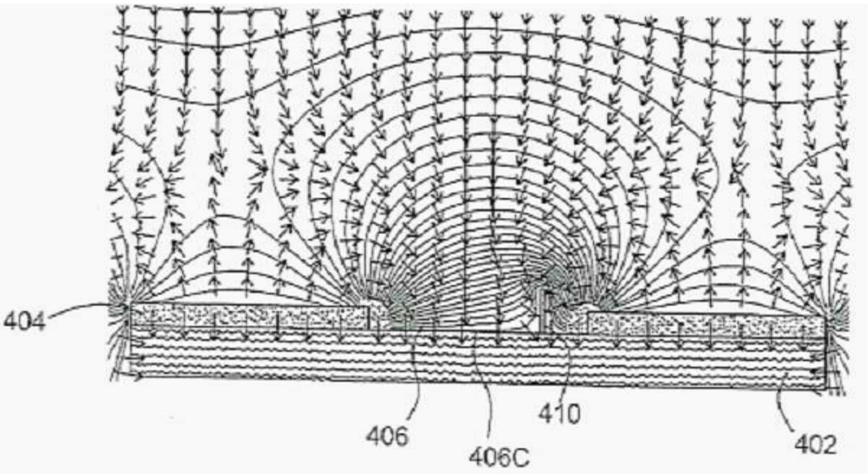

*도면3c*



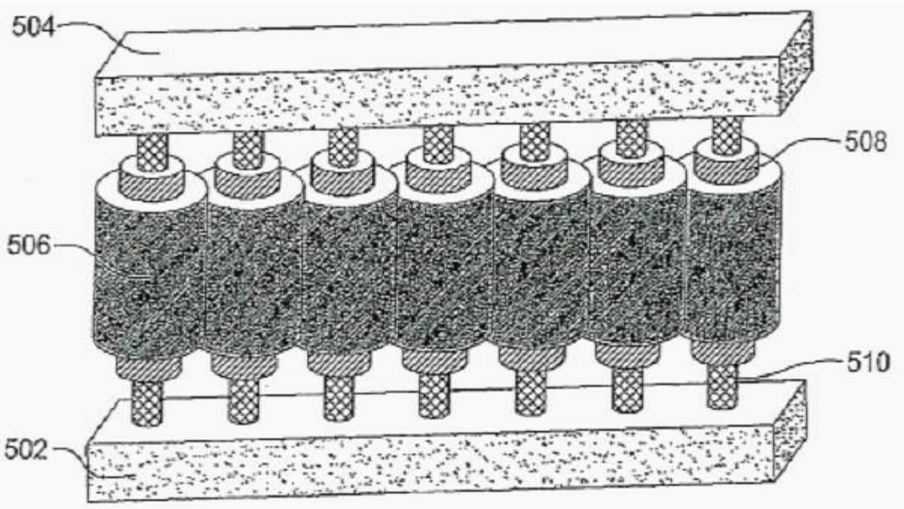
도면4a



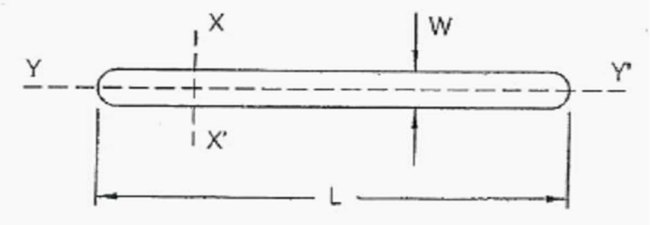

도면4b



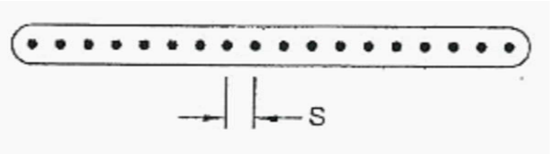

도면5



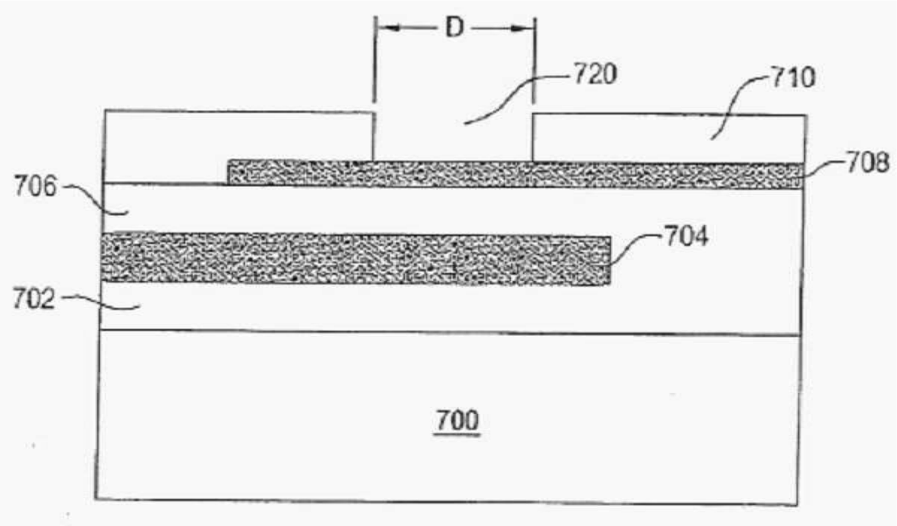
도면6a



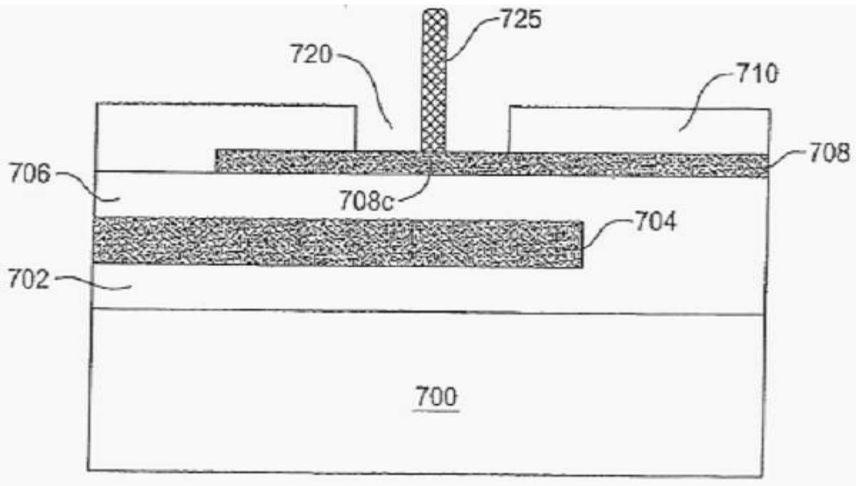

도면6b



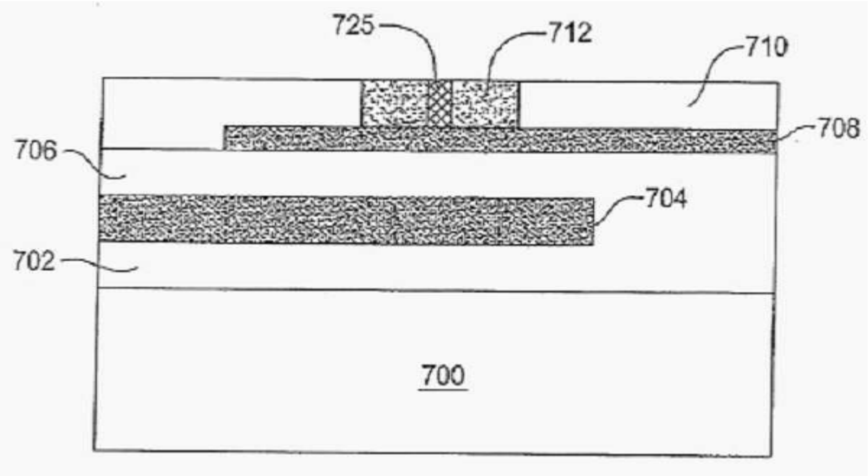

도면7a



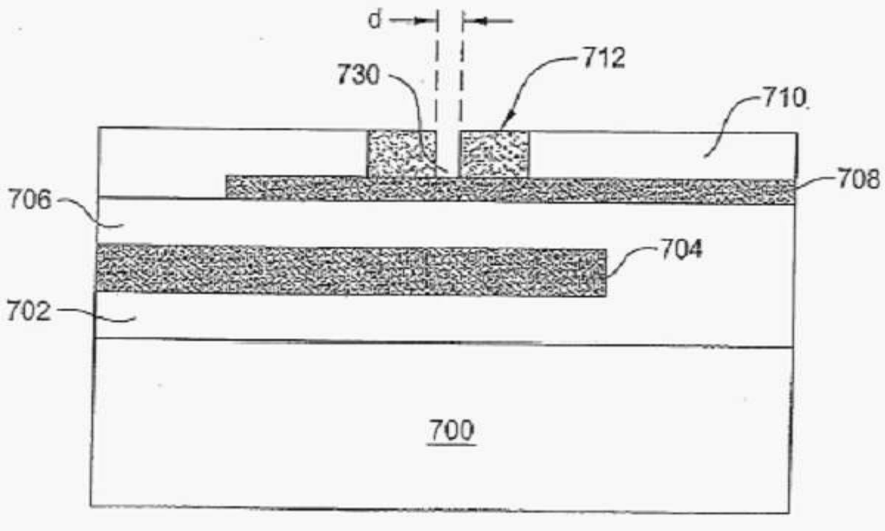

도면7b



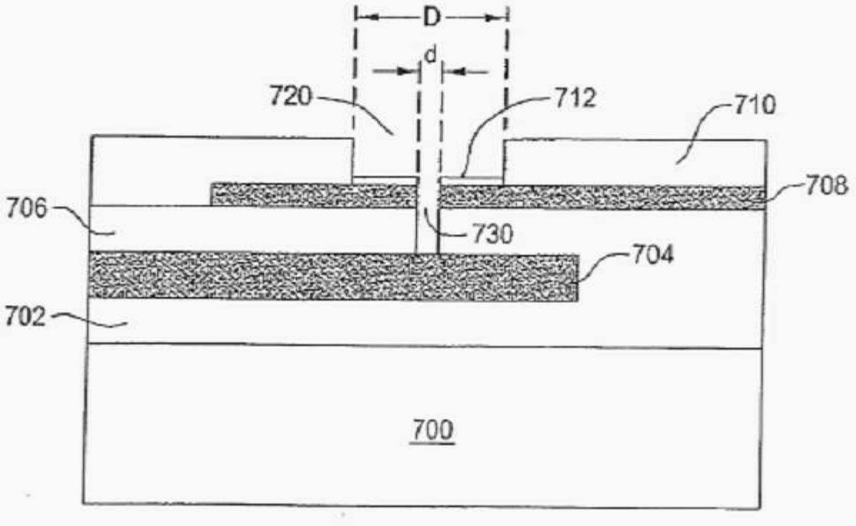
도면7c



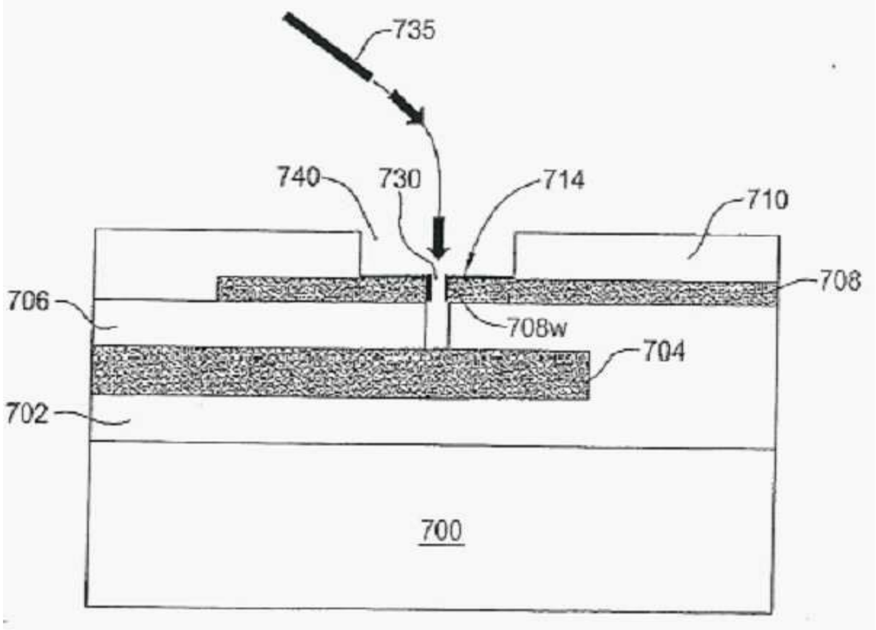

도면7d



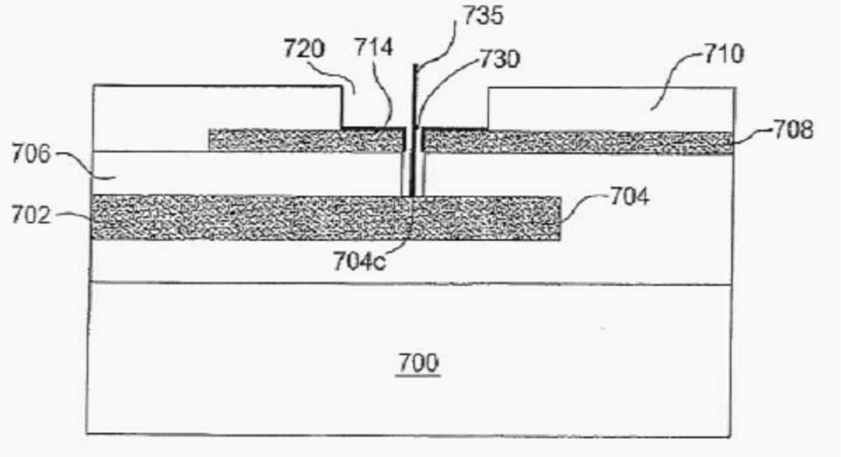

도면7e



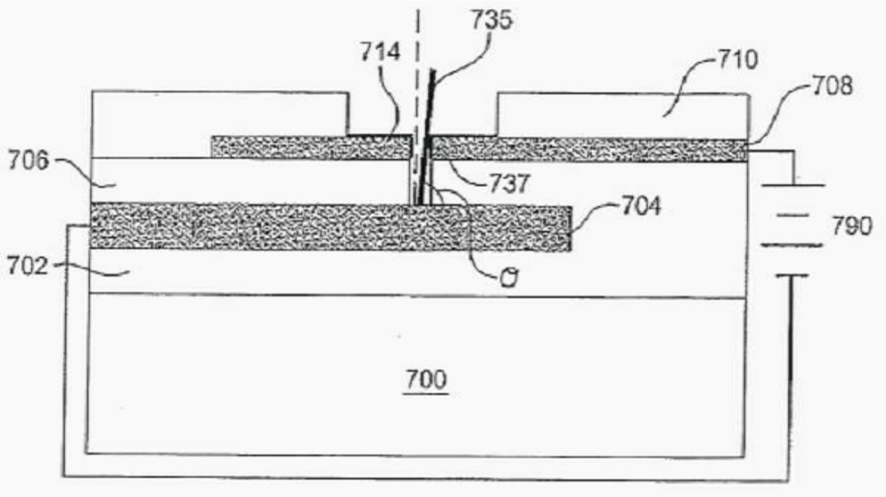
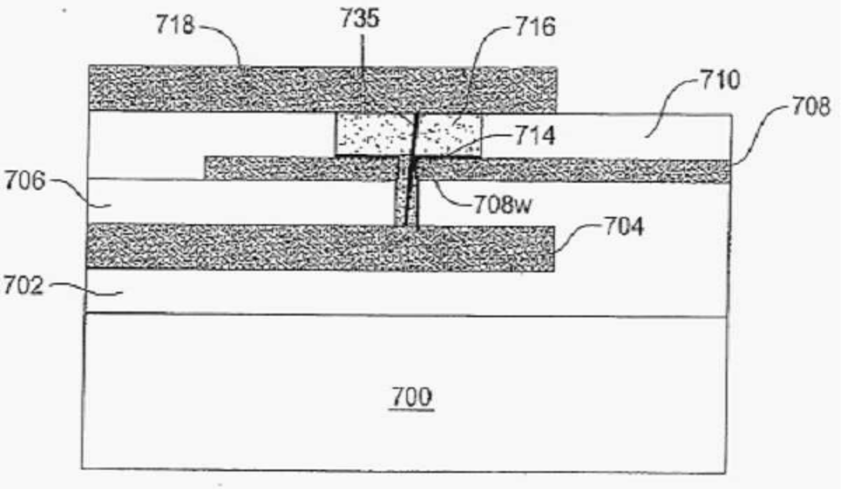
도면7f




도면7g




도면7h



도면7i