



(12) 发明专利申请

(10) 申请公布号 CN 104137535 A

(43) 申请公布日 2014. 11. 05

(21) 申请号 201280070803. 3

H04N 5/374(2006. 01)

(22) 申请日 2012. 02. 28

(85) PCT国际申请进入国家阶段日
2014. 08. 28

(86) PCT国际申请的申请数据
PCT/JP2012/054978 2012. 02. 28

(87) PCT国际申请的公布数据
W02013/128581 JA 2013. 09. 06

(71) 申请人 佳能株式会社
地址 日本东京

(72) 发明人 樱井克仁 桥本诚二 古林笃

(74) 专利代理机构 中国国际贸易促进委员会专
利商标事务所 11038

代理人 宿小猛

(51) Int. Cl.
H04N 5/363(2006. 01)

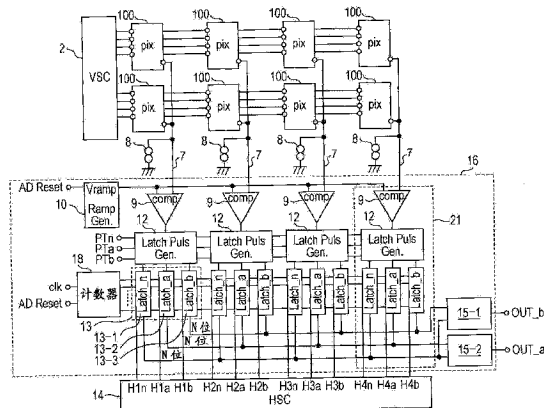
权利要求书3页 说明书19页 附图17页

(54) 发明名称

成像装置、成像系统和成像装置的驱动方法

(57) 摘要

常规地,为了获得 A+N 信号和 N 信号之间的差信号以及 A+B+N 信号与 A+N 信号之间的差信号,A+N 信号需要被保持在两个不同电容器中。这导致了如下问题:由于这两个电容器的电容的变化,可能不能精确地获得 A+N 信号和 N 信号之间的差信号以及 A+B+N 信号与 A+N 信号之间的差信号。本发明提供了一种成像装置,该成像装置生成通过从数字 A+N 信号和数字 A+B+N 信号减去同一数字 N 信号而获得的信号。



1. 一种成像装置,所述成像装置包括模拟信号输出单元和模数转换单元,所述模拟信号输出单元包括像素,所述像素具有光电转换单元,所述模拟信号输出单元输出作为所述模拟信号输出单元中的噪声信号的第一信号,基于在所述光电转换单元中生成的信号电荷的第二信号,以及基于通过将在所述光电转换单元中生成的其它信号电荷加到所述信号电荷上而获得的信号电荷的第三信号,所述模数转换单元将第一信号、第二信号和第三信号中的每一个转换成数字信号,所述模数转换单元包括保持从第一信号转换得到的数字信号的信号保持单元。
2. 根据权利要求1所述的成像装置,其中所述像素包括至少 n (n 是2或更大的自然数)个光电转换单元,并且其中,所述模拟信号输出单元输出第二信号,所述第二信号是基于所述 n 个光电转换单元中的 m (m 是满足关系表达式 $n > m$ 的自然数)个光电转换单元中生成的信号电荷的,以及第三信号,所述第三信号是基于在所述 n 个光电转换单元中生成的信号电荷的。
3. 根据权利要求2所述的成像装置,其中,所述模数转换单元通过使用从第一信号转换得到的数字信号生成从第二信号转换得到的数字信号与从第一信号转换得到的数字信号之间的差信号、以及从第三信号转换得到的数字信号与从第一信号转换得到的数字信号之间的差信号,从第一信号转换得到的数字信号被保持在同一信号保持单元中。
4. 根据权利要求2或3所述的成像装置,其中,所述成像装置进一步包括具有多个微透镜的微透镜阵列,并且其中,微透镜之一将光聚集到所述像素中的多个光电转换单元上以使得光入射到该多个光电转换单元上。
5. 根据权利要求1-4中任一项所述的成像装置,其中,所述模数转换单元包括比较器和计数器,其中,所述比较器输出作为第一信号、第二信号和第三信号中的每一个与基准信号进行比较的结果而获得的比较结果信号,所述基准信号的电势随时间改变,其中,所述计数器被供给时钟脉冲信号,并且输出通过对所述时钟脉冲信号的脉冲进行计数而获得的计数信号,以及其中,所述模数转换单元基于所述比较结果信号的信号值改变的定时以及基于所述计数信号将第一信号、第二信号和第三信号转换成数字信号。
6. 根据权利要求5所述的成像装置,其中,所述信号保持单元保持在从所述基准信号的电势开始随时间改变的定时到所述比较结果信号的信号值改变的定时的时段期间获得的计数值。
7. 根据权利要求5或6所述的成像装置,其中,所述模数转换单元包括多个电路单元,其中,所述多个电路单元中的每一个包括所述比较器和所述信号保持单元,其中,所述成像装置包括多个模拟信号输出单元,并且其中,所述多个模拟信号输出单元中的每一个和所述多个电路单元中的每一个被设置

为彼此对应。

8. 根据权利要求 5-7 中任一项所述的成像装置,其中,从第一信号转换得到的数字信号是在从第一信号和基准信号之间的比较结果信号的信号值改变的定时到基准信号的电势的随时间的改变结束的定时的时段中获得的计数信号的信号值,并且

其中,在第二信号与基准信号进行比较时以及在第三信号与基准信号进行比较时,所述计数器对于从基准信号的电势开始随时间改变的定时到比较结果信号的信号值改变的定时的时段、从被从信号值保持单元输出给所述计数器的由第一信号转换得到的数字信号的信号值开始进行计数。

9. 根据权利要求 1 到 9 中任一项所述的成像装置,其中,所述模拟信号输出单元包括放大单元,并且

其中,所述噪声信号和多个信号中的每一个是通过使用放大单元将从像素输出的信号进行放大而获得的并且被从放大单元输出的信号。

10. 一种成像系统,包括:

根据权利要求 4 所述的成像装置;

将光聚集到所述成像装置上的光学系统;以及

数字信号处理单元,从所述成像装置向所述数字信号处理单元输入从第二信号转换得到的数字信号与从第一信号转换得到的数字信号之间的第一差信号以及从第三信号转换得到的数字信号与从第一信号转换得到的数字信号之间的第二差信号,

其中,所述数字信号处理单元

获得第三差信号,所述第三差信号是第一差信号和第二差信号之间的差,并且使用第三差信号和第一差信号执行焦点检测。

11. 一种成像装置驱动方法,所述成像装置包括模拟信号输出单元和模数转换单元,

所述模拟信号输出单元包括像素,

所述像素具有光电转换单元,

所述模拟信号输出单元输出

代表所述模拟信号输出单元中的噪声信号的第一信号,

基于在所述光电转换单元中生成的信号电荷的第二信号,以及

基于通过将在所述光电转换单元中生成的其它信号电荷加到所述信号电荷上而获得的信号电荷的第三信号,

所述模数转换单元将第一信号、第二信号和第三信号转换成数字信号。

12. 根据权利要求 11 所述的成像装置驱动方法,其中,所述像素包括至少 n (n 是 2 或更大的自然数) 个光电转换单元,并且

其中,所述模拟信号输出单元输出

第二信号,所述第二信号是基于所述 n 个光电转换单元中的 m (m 是满足关系表达式 $n > m$ 的自然数) 个光电转换单元中生成的信号电荷的,以及

第三信号,所述第三信号是基于在所述 n 个光电转换单元中生成的信号电荷的。

13. 根据权利要求 12 所述的成像装置驱动方法,其中,在输出第一信号、第二信号和第三信号之后,所述模拟信号输出单元输出

基于与所述 n 个光电转换单元不同的 p (p 是自然数) 个光电转换单元中生成的信号电

荷的信号,以及

基于与所述 n 个光电转换单元不同的 q (q 是自然数) 个光电转换单元中生成的信号电荷的信号,并且 q 大于 p 。

14. 根据权利要求 11 到 13 中任一项所述的成像装置驱动方法,其中,所述模数转换单元通过使用从第一信号转换得到的同一数字信号生成从第二信号转换得到的数字信号与从第一信号转换得到的数字信号之间的差信号、以及从第三信号转换得到的数字信号与从第一信号转换得到的数字信号之间的差信号。

15. 一种成像系统驱动方法,所述成像系统包括:

成像装置,所述成像装置包括均包含像素的多个模拟信号输出单元、被设置为与模拟信号输出单元对应的模数转换单元、以及具有多个微透镜的微透镜阵列,以及

光学系统,将光聚集到成像装置上,

所述像素包括分别被设置为与微透镜之一相对应的光电转换单元中的至少 n (n 是 2 或更大的自然数) 个光电转换单元,

所述方法包括:

如下步骤,在该步骤中,模拟信号输出单元输出

作为所述模拟信号输出单元中的噪声信号的第一信号,

基于所述 n 个光电转换单元中的 m (m 是满足关系表达式 $n > m$ 的自然数) 个光电转换单元中生成的信号电荷的第二信号,以及

第三信号,所述第三信号是基于在所述 n 个光电转换单元中生成的信号电荷的,以及模数转换单元将第一信号、第二信号和第三信号中的每一个转换成数字信号;

第一步骤,在第一步骤中,所述模数转换单元通过使用从第一信号转换得到的同一数字信号生成从第二信号转换得到的数字信号与从第一信号转换得到的数字信号之间的差信号、以及从第三信号转换得到的数字信号与从第一信号转换得到的数字信号之间的差信号,

第二步骤,所述第二步骤获得第三差信号,所述第三差信号是第一差信号和第二差信号之间的差,并且

使用第三差信号和第一差信号执行焦点检测。

16. 根据权利要求 15 所述的成像系统驱动方法,其中,所述成像装置进一步包括滤色器,所述滤色器具有设置为与多个光电转换单元对应的颜色,

其中,第一步骤是如下步骤:基于第一信号以及基于第二信号和第三信号,来获得第一差信号和第二差信号,该第二信号和第三信号是基于通过在该处设置具有同一颜色的滤色器的 n 个光电转换单元和 m 个光电转换单元生成的信号电荷的。

17. 根据权利要求 16 所述的成像装置驱动方法,其中,具有相同颜色的滤色器被设置在第一像素和第二像素中包含的 n 个光电转换单元处,并且

其中,第一步骤是对于第一像素和第二像素中的每一个、获得基于第一信号、第二信号和第三信号的第一差信号和第二差信号的步骤,并且

其中,第二步骤是获得第一像素的第三差信号的步骤,以及

基于第一差信号和第一像素的第三差信号以及基于基于第一像素的第二差信号和第二像素的第二差信号来执行焦点检测。

成像装置、成像系统和成像装置的驱动方法

技术领域

[0001] 本发明涉及一种成像装置,其具有包括模数转换单元和多个光电转换单元的像素。

背景技术

[0002] 常规地已知包括像素单元和列并行模数转换单元的成像装置,该像素单元执行光电转换并且在其上以矩阵形式布置有像素,每个像素被配置用于输出基于入射光的信号,在该列并行模数转换单元中安置模数转换单元以便对应于各像素列(下文,模数转换单元被称为ADC(模数转换器),并且列并行ADC被称为列ADC)。在列ADC中,用于各列的电路单元执行模数转换(下文被称为AD转换)以将从像素输出的模拟信号(从像素输出的模拟信号在下文被称为像素信号)转换成数字信号。

[0003] PTL1描述了一种成像装置,该成像装置包括像素,像素具有将光信号转换成信号电荷并累积该信号电荷的多个光电转换单元,以及在接收到来自多个光电转换单元中的每一个的信号电荷时输出对应于该信号电荷的信号的一个放大MOS晶体管。PTL1中描述的像素1向垂直信号线输出从像素输出的具有噪声水平的第一信号(下文被称为N信号)、基于要在至少一个光电转换单元中累积的第一信号电荷的第二信号(下文被称为A+N信号)、以及基于通过进一步将要在另一光电转换单元中累积的信号电荷添加到该第一信号电荷而获得的信号电荷的第三信号(下文被称为A+B+N信号)。A+N信号被保持在第一电容器和第二电容器中的每一个中,第一电容器和第二电容器与垂直信号线电连接。A+B+N信号被保持在第三电容器中,第三电容器与垂直信号线8电连接。

[0004] 引文列表

[0005] 专利文献

[0006] PTL 1:日本专利特开 No. 2004-134867

发明内容

[0007] 技术问题

[0008] 在PTL 1中描述的成像装置中,A+N信号需要被保持在两个不同的电容器中以便获得A+N信号与N信号之间的差信号以及A+B+N信号与A+N信号之间的差信号。因此,存在如下问题:由于两个电容器的电容的变化,可能不能准确地获得A+N信号与N信号之间的差信号以及A+B+N信号与A+N信号之间的差信号。

[0009] 问题的解决方案

[0010] 本发明是鉴于前述问题被提出的,并且本发明的一个方面提供了一种成像装置,该成像装置包括模拟信号输出单元和模数转换单元,模拟信号输出单元包括像素,该像素具有光电转换单元,该模拟信号输出单元输出作为模拟信号输出单元中的噪声信号的第一信号,基于在光电转换单元中生成的信号电荷的第二信号,以及基于通过将在光电转换单元中生成的其它信号电荷加到该信号电荷上而获得的信号电荷的第三信号,该模数转换单

元将第一信号、第二信号和第三信号中的每一个转换成数字信号,该模数转换单元包括保持从第一信号转换得到的数字信号的信号保持单元。

[0011] 本发明的另一方面提供了一种成像装置的驱动方法,该成像装置包括模拟信号输出单元和模数转换单元,其中,模拟信号输出单元包括像素,该像素具有光电转换单元,该模拟信号输出单元输出代表模拟信号输出单元中的噪声信号的第一信号,基于在光电转换单元中生成的信号电荷的第二信号,以及基于通过将在光电转换单元中生成的其它信号电荷加到该信号电荷上而获得的信号电荷的第三信号,该模数转换单元将第一信号、第二信号和第三信号转换成数字信号。

[0012] 此外,本发明的一个方面提供一种成像系统的驱动方法,该成像系统包括成像装置,该成像装置包括多个模拟信号输出单元、被设置为对应于模拟信号输出单元的模数转换单元、具有多个微透镜的微透镜阵列、以及将光聚集到成像装置上的光学系统,每个模拟信号输出单元包括像素,该像素包括分别被设置为对应于微透镜之一的多个光电转换单元中的至少 n 个 (n 是为 2 或更大的自然数) 光电转换单元,该方法包括以下步骤,模拟信号输出单元输出作为模拟信号输出单元中的噪声信号的第一信号,基于通过 n 个光电转换单元中的 m 个 (m 是自然数,满足关系式 $n > m$) 光电转换单元生成的信号电荷的第二信号,以及基于通过 n 个光电转换单元生成的信号电荷的第三信号,并且模数转换单元将第一信号、第二信号和第三信号中的每一个转换成数字信号; 第一步,其中通过使用从第一信号转换得到的同一数字信号,成像装置生成从第二信号转换得到的数字信号与从第一信号转换得到的数字信号之间的第一差信号,以及从第三信号转换得到的数字信号与从第一信号转换得到的数字信号之间的第二差信号; 以及第二步,该第二步获得第三差信号,该第三差信号是第一差信号和第二差信号之间的差,并且使用第三差信号和第一差信号执行焦点检测。

[0013] 本发明的有利效果

[0014] 本发明可提供一种成像装置,该成像装置可在不在多个电容器中保持从像素输出的噪声信号的情况下获得 A 信号和 A+B 信号,由此更准确地生成 A 信号和 A+B 信号。

附图说明

[0015] 图 1A 是示出像素的等效电路的示例的示图。

[0016] 图 1B 是示出成像装置的等效电路的示例的示图。

[0017] 图 2 是示出成像装置的操作的示例的示图。

[0018] 图 3A 是示出另一种形式的成像装置的等效电路的示例的示图。

[0019] 图 3B 是示出其它形式的成像装置的操作的示例的示图。

[0020] 图 4A 是示出另一种形式的成像装置的等效电路的示例的示图。

[0021] 图 4B 是示出其它形式的计数器的等效电路的示例的示图。

[0022] 图 5 是示出其它形式的成像装置的操作的示例的示图。

[0023] 图 6A 是示出另一种形式的成像装置的等效电路的示例的示图。

[0024] 图 6B 是示出其它形式的计数器的等效电路的示例的示图。

[0025] 图 7 是示出其它形式的成像装置的操作的示例的示图。

[0026] 图 8A 是示出另一种形式的像素的等效电路的示例的示图。

- [0027] 图 8B 是示出其它形式的像素的截面的示例的示图。
- [0028] 图 9 是示出另一种形式的成像装置的操作的示例的示图。
- [0029] 图 10 是示出另一种形式的成像装置的操作的示例的示图。
- [0030] 图 11A 是示出另一种形式的像素的布置的示例的示图。
- [0031] 图 11B 是示出另一种形式的像素的布置的示例的示图。
- [0032] 图 11C 是示出另一种形式的像素的布置的示例的示图。
- [0033] 图 11D 是示出另一种形式的像素的布置的示例的示图。
- [0034] 图 11E 是示出另一种形式的像素的操作的示例的示图。
- [0035] 图 11F 是示出另一种形式的像素的操作的示例的示图。
- [0036] 图 11G 是示出另一种形式的像素的布置的示例的示图。
- [0037] 图 11H 是示出另一种形式的像素的布置的示例的示图。
- [0038] 图 12 是示意性地示出成像系统的框图。

具体实施方式

[0039] 示例性实施例 1

[0040] 下文将参照附图描述此示例性实施例的成像装置。

[0041] 图 1A 示出根据此示例性实施例的像素的等效电路的示例。附图标记 1 和 51 指示光电转换单元。在此示例性实施例中,光电转换单元是光电二极管。附图标记 20 和 50 指示传送 MOS 晶体管,附图标记 4 指示复位 MOS 晶体管,附图标记 5 指示放大 MOS 晶体管,并且附图标记 6 指示选择 MOS 晶体管。在光电二极管 1 和 51 中,通过光电转换生成基于入射光的信号电荷。当要通过下文描述的垂直扫描电路(在图 1B 中表示为 VSC(垂直扫描电路))2 被供给传送 MOS 晶体管 20 的栅极的传送脉冲 PTX1 被设定为高电平(下文被称为 H 电平,类似的,低电平被称为 L 电平)时,光电二极管 1 中保持的信号电荷被传送至放大 MOS 晶体管 5 的栅极。放大 MOS 晶体管 5 的栅极是放大 MOS 晶体管 5 的控制电极。类似的,当要通过垂直扫描电路 2 被供给传送 MOS 晶体管 50 的栅极的传送脉冲 PTX2 被设定为 H 电平时,光电二极管 51 中保持的信号电荷被传送至放大 MOS 晶体管 5 的栅极。当要通过垂直扫描电路 2 被供给复位 MOS 晶体管 4 的栅极的复位脉冲 PRES 被设定为 H 电平时,放大 MOS 晶体管 5 的栅极的电势被复位。放大 MOS 晶体管 5 将基于被传送至其栅极的信号电荷的电信号输出至选择 MOS 晶体管 6。在要从垂直扫描电路 2 供给其栅极的选择脉冲 PSEL 被设定为 H 电平时,选择 MOS 晶体管 6 将从放大 MOS 晶体管 5 输出的信号输出至垂直信号线 7。从像素 100 输出至垂直信号线 7 的信号对应于上文所述的像素信号。各列的垂直信号线 7 被供给来自电流源 8 的电流。此示例性实施例的模拟信号输出单元包括像素 100。

[0042] 要被输出至垂直信号线 7 的、基于在该处复位脉冲 PRES 被设为 H 电平然后被设定为 L 电平的放大 MOS 晶体管 5 的栅极的电势的信号被表示为 PN 信号。PN 信号是在放大 MOS 晶体管 5 的栅极的电势具有复位电平时被输出至垂直信号线 7 的噪声信号。PN 信号是要从包括像素的模拟信号输出单元输出的第一信号。此外,要被输出至垂直信号线 7 的、基于已被传送来自光电二极管 1 的信号电荷的放大 MOS 晶体管 5 的栅极的电势的信号被表示为 P(A+N) 信号。P(A+N) 信号是如下这样的信号,其中基于通过作为多个光电二极管之一的光电二极管 1 生成的信号电荷的 PA 信号被叠加在 PN 信号上。在此示例性实施例中, P(A+N)

信号是要从模拟信号输出单元输出的第二信号。此外,传送脉冲 PTX1 和 PTX2 被设定为 H 电平,使得在光电二极管 1 和 51 中的每一个中累积的信号电荷被传送至放大 MOS 晶体管 5 的栅极。由于在此时段期间复位脉冲 PRES 被保持为 L 电平,因此从两个光电二极管供给的电荷被保持在放大 MOS 晶体管 5 的栅极中。要被输出至垂直信号线 7 的、基于此时放大 MOS 晶体管 5 的栅极的电势的信号被表示为 P(A+B+N) 信号。P(A+B+N) 信号是如下这样的信号,其中基于多个光电二极管 1 和 51 生成的信号电荷的 P(A+B) 信号被叠加在 PN 信号上。在此示例性实施例中,P(A+B+N) 信号是要从模拟信号输出单元输出的第三信号。此外,第一、第二和第三信号是模拟信号。前文描述了像素 100。

[0043] 接下来,将参照图 1B 描述此示例性实施例的模数转换单元 160。

[0044] 比较器(在图 1B 中被表示为 Comp(比较器))9 比较斜坡信号 Vramp 与从像素 100 输出至垂直信号线 7 的信号,并且将作为基于比较结果的信号的比较结果信号 CMP 输出至锁存器选择电路(在图 1B 中表示为 Latch puls Gen.)12。斜坡信号 Vramp 是基准信号,其电势随时间改变并且由斜坡信号生成电路(在图 1B 中被表示为 Ramp Gen.(斜坡发生器))10 生成。斜坡信号生成电路 10 被从定时发生器(未示出)供给模数转换单元复位脉冲 AD Reset,该复位脉冲被公共地供给下文描述的第一计数器 18。锁存器选择电路 12 被设置为对应于其中布置多个像素 100 的矩阵的列。锁存器选择电路 12 中的每一个根据锁存器选择脉冲 PTn、PTa 和 PTb 的信号值将比较结果信号 CMP 输出至 Latch_n 13-1、Latch_a 13-2 以及 Latch_b 13-3 中的任一个。例如,如果锁存器选择脉冲 PTn 位于 H 电平并且其它锁存器选择脉冲 PTa 和 PTb 位于 L 电平,则锁存器选择电路 12 将比较结果信号 CMP 输出至 Latch_n 13-1。此外,如果锁存器选择脉冲 PTa 位于 H 电平并且其它锁存器选择脉冲 PTn 和 PTb 位于 L 电平,则锁存器选择电路 12 将比较结果信号 CMP 输出至 Latch_a 13-2。此外,如果锁存器选择脉冲 PTb 位于 H 电平并且其它锁存器选择脉冲 PTa 和 PTn 位于 L 电平,则锁存器选择电路 12 将比较结果信号 CMP 输出至 Latch_b 13-3。在以下描述中,Latch_n 13-1、Latch_a 13-2 以及 Latch_b 13-3 被统称为锁存器电路 13。锁存器电路 13 是存储器单元,并且被设置为对应于其中布置多个像素 100 的矩阵的每一列。Latch_n 13-1 是第一信号保持电源,其保持从作为第一信号的 PN 信号转换得到的数字信号。Latch_a 13-2 保持从 P(A+N) 信号转换得到的数字信号。Latch_b 13-3 保持从 P(A+B+N) 信号转换得到的数字信号。Latch_a 13-2 和 Latch_b 13-3 是第二信号保持单元,其分别保持从作为第二信号的 P(A+N) 信号以及作为第三信号的 P(A+B+N) 信号转换得到的数字信号。模数转换单元 160 包括多个电路单元 21。多个电路单元 21 被设置为对应于各个像素列。此外,多个电路单元 21 中的每一个包括比较器 9、锁存器选择电路 12 和锁存器电路 13。

[0045] 时钟脉冲信号 c1k 和模数转换单元复位脉冲 AD Reset 被从定时发生器(未示出)输出至第一计数器(在图 1B 中表示为 Counter)18。第一计数器 18 生成通过对于斜坡信号生成电路 10 的斜坡信号 Vramp 的随时间的电势变化的从开始到结束的时间段对时钟脉冲信号 c1k 的脉冲进行计数而获得的计数值。锁存器电路 13(即 Latch_n 13-1、Latch_a 13-2 以及 Latch_b 13-3)中的每一个保持在从比较器 9 输出的比较结果信号 CMP 改变时获得的计数信号。水平扫描电路(在图 1B 中表示为 HSC(水平扫描电路))14 依次选择用于各个列的锁存器电路 13,并且使得用于各个列的锁存器电路 13 输出其中保持的计数信号。在水平扫描电路 14 的控制下输出的数字 N 信号和数字 A+B+N 信号被输出至差信号输出单

元 15-1。差信号输出单元 15-1 输出数字 A+B 信号作为 OUT_b 输出, 数字 A+B 信号是数字 A+B+N 信号与数字 N 信号之间的差信号。数字 N 信号和数字 A+N 信号被输出至差信号输出单元 15-2。差信号输出单元 15-2 输出数字 A 信号作为 OUT_a 输出, 数字 A 信号是数字 A+N 信号与数字 N 信号之间的差信号。数字 A+B 信号和数字 A 信号是此示例性实施例中的成像装置输出的信号。

[0046] 接下来, 将参照图 2 描述图 1A 和 1B 中的作为示例示出的成像装置的操作。

[0047] 在时间 t11, 选择脉冲 PSEL 和模数转换单元复位脉冲 AD Reset 处于 H 电平。模数转换单元复位脉冲 AD Reset 被供给图 1B 中所示的斜坡信号生成电路 10 和第一计数器 18 中的每一个。当模数转换单元复位脉冲 AD Reset 为 H 电平时, 斜坡信号 Vramp 的电势具有复位电平, 并且第一计数器 18 的计数信号被复位为初始值。在时间 t11, 此外, 复位脉冲 PRES 被从 H 电平改变为 L 电平。在时间 t11 复位被释放之后从像素 100 输出至垂直信号线 7 的信号是 PN 信号。

[0048] 在时间 t12, 模数转换单元复位脉冲 AD Reset 从 H 电平改变为 L 电平。然后, 斜坡信号 Vramp 的电势开始随时间改变。此外, 第一计数器 18 开始对时钟脉冲信号 c1k 的脉冲进行计数, 并且将计数信号输出至用于各个列的锁存器电路 13。此外, 锁存器选择脉冲 PTn 被设定为 H 电平。

[0049] 例如, 假定斜坡信号 Vramp 与垂直信号线 7 的电势 Vline 之间的大小关系在时间 t13 反转。在此情况下, 比较器 9 输出比较结果信号 CMP 至锁存器选择电路 12。由于锁存器选择脉冲 PTn 处于 H 电平, 因此比较结果信号 CMP 被输出至 Latch_n 13-1。Latch_n 13-1 保持在比较结果信号 CMP 被输出时获得的计数信号。此时, 计数信号值为“4”, 由此在 Latch_n 13-1 中保持计数信号“4”。在 Latch_n 13-1 中保持的计数信号“4”是数字 N 信号。在此示例性实施例中, 为了便于描述, 计数信号值被用十进制形式表示。实际上, 要被保持在 Latch_n 13-1 中的计数信号是通过将十进制数“4”转换成二进制而获得的值。而且在以下的描述中, 计数信号值在文中将被用十进制形式表示。

[0050] 在时间 t14, 模数转换单元复位脉冲 AD Reset 从 L 电平改变为 H 电平, 并且斜坡信号 Vramp 的电势的随时间的改变结束。此外, 锁存器选择脉冲 PTn 从 H 电平改变为 L 电平。

[0051] 在时间 t15, 传送脉冲 PTX1 从 L 电平改变为 H 电平。因此, 在光电二极管 51 中累积的电荷被传送至放大 MOS 晶体管 5 的栅极, 并且 P(A+N) 信号被从像素 100 输出至垂直信号线 7。

[0052] 在时间 t16, 模数转换单元复位脉冲 AD Reset 从 H 电平改变为 L 电平。然后, 斜坡信号 Vramp 的电势开始随时间改变。此外, 第一计数器 18 开始对时钟脉冲信号 c1k 的脉冲进行计数, 并且将计数信号输出至用于各个列的锁存器电路 13。此外, 锁存器选择脉冲 PTa 被设定为 H 电平。

[0053] 例如, 假定斜坡信号 Vramp 与垂直信号线 7 的电势 Vline 之间的大小关系在时间 t17 反转。在此情况下, 比较器 9 输出比较结果信号 CMP 至锁存器选择电路 12。由于锁存器选择脉冲 PTa 处于 H 电平, 因此比较结果信号 CMP 被输出至 Latch_a 13-2。Latch_a 13-2 保持在比较结果信号 CMP 被输出时获得的计数信号。由于此时的计数信号值为“6”, 由此在 Latch_a 13-2 中保持计数信号“6”。在 Latch_a 13-2 中保持的计数信号“6”是数字 A+N 信号。

[0054] 在时间 t18, 模数转换单元复位脉冲 AD Reset 从 L 电平改变为 H 电平, 并且斜坡信号 Vramp 的电势的随时间的改变结束。此外, 锁存器选择脉冲 PTa 从 H 电平改变为 L 电平。此外, 水平扫描电路 14 使得 Latch_n 13-1 和 Latch_a 13-2 分别将其中保持的计数信号输出至差信号输出单元 15-2。差信号输出单元 15-2 执行 Latch_a 13-2 中保持的计数信号“6”与 Latch_n 13-1 中保持的计数信号“4”之间的差分处理, 并且输出计数信号“2”作为 OUT_a 输出。计数信号“2”是数字 A 信号。

[0055] 在时间 t19, 传送脉冲 PTX2 从 L 电平改变为 H 电平。因此, 在光电二极管 1 中累积的电荷被传送至放大 MOS 晶体管 5 的栅极, 并且 P(A+B+N) 信号被从像素 100 输出至垂直信号线 7。

[0056] 在时间 t20, 模数转换单元复位脉冲 AD Reset 从 H 电平改变为 L 电平。然后, 斜坡信号 Vramp 的电势开始随时间改变。此外, 第一计数器 18 开始对时钟脉冲信号 c1k 的脉冲进行计数, 并且将计数信号输出至用于各个列的锁存器电路 13。此外, 锁存器选择脉冲 PTb 被设定为 H 电平。

[0057] 例如, 假定斜坡信号 Vramp 与垂直信号线 7 的电势 Vline 之间的大小关系在时间 t21 反转。在此情况下, 比较器 9 输出比较结果信号 CMP 至锁存器选择电路 12。由于锁存器选择脉冲 PTb 处于 H 电平, 因此比较结果信号 CMP 被输出至 Latch_b 13-3。Latch_b 13-3 保持在比较结果信号 CMP 被输出时获得的计数信号。由于此时的计数信号值为“8”, 由此在 Latch_b 13-3 中保持计数信号“8”。在 Latch_b 13-3 中保持的计数信号“8”是数字 A+B+N 信号。

[0058] 在时间 t22, 模数转换单元复位脉冲 AD Reset 从 L 电平改变为 H 电平, 并且斜坡信号 Vramp 的电势的随时间的改变结束。此外, 锁存器选择脉冲 PTb 从 H 电平改变为 L 电平。此外, 水平扫描电路 14 使得 Latch_n 13-1 和 Latch_b 13-3 分别将其中保持的计数信号输出至差信号输出单元 15-1。差信号输出单元 15-1 执行 Latch_b 13-3 中保持的计数信号“8”与 Latch_n 13-1 中保持的计数信号“4”之间的差分处理, 并且输出计数信号“4”作为 OUT_b 输出。计数信号“4”是数字 A+B 信号。

[0059] 通过上述操作, 此示例性实施例的成像装置可输出数字 A 信号和数字 A+B 信号。在此示例性实施例的成像装置中, 数字 N 信号、数字 A+N 信号以及数字 A+B+N 信号被保持在各个锁存器电路 13 中。因此, 不同于 PTL1, 由于在多个不同的电容器保持一个信号而导致的电容器的电容的变化不会发生。因此, 此示例性实施例的成像装置可准确获得数字 A 信号和数字 A+B 信号。除了像素 100 的噪声分量之外, 此示例性实施例的数字 N 信号还包含多个比较器 9 中的各比较器的操作变化分量。此示例性实施例的成像装置从数字 A+N 信号和数字 A+B+N 信号中减去数字 N 信号, 并且输出所得到的信号。因此, 可去除被包含在数字 A+N 信号和数字 A+B+N 信号中的像素 100 的噪声分量和多个比较器 9 中的各比较器的操作变化分量, 并且可减小图像质量降低。

[0060] 差信号输出单元 15-2 输出数字 A 信号。数字 A 信号是从第二信号转换得到的数字 A+N 信号与从第一信号转换得到的数字 N 信号之间的第一差信号。差信号输出单元 15-1 输出数字 A+B 信号。数字 A+B 信号是从第三信号转换得到的数字 A+B+N 信号与从第一信号转换得到的数字 N 信号之间的第二差信号。

[0061] 此外, 为了通过使用 PTL1 中描述的成像装置获得 P(A+B) 信号, 该信号是从

$P(A+B+N)$ 信号减去 PN 信号而获得的差信号,可考虑除了电容器 23-1 之外, N 信号还被保持在电容器 23-2 中。但是,在此形式中,多个电容器需要保持 N 信号,并且存在如下问题:由于多个电容器的电容的变化, A 信号和 $A+B$ 信号不能被准确地获得。因此,在 PTL1 中,即使从一个像素 100 输出相同 PN 信号,由于保持 PN 信号的多个电容器的电容的变化, PN 信号的信号值仍可能变化。作为对比,在此示例性实施例的成像装置中, PN 信号被保持在锁存器电路 Latch_n 13-1 中作为数字 N 信号。因此,由于被保持在不同电容器中而导致的 PN 信号的变化可被减小。

[0062] 在此示例性实施例中,已经描述了包括像素 100 的成像装置,每个像素 100 具有两个光电二极管 1 和 51。此示例性实施例不限于此形式。此示例性实施例还可根据需要通过如下这样的成像装置实现,该成像装置包括均具有单个光电二极管的像素 100。也就是说,在作为示例在图 1A 中所示的像素 100 的配置中,光电二极管 51 和传送 MOS 晶体管 50 可被省略。在此情况中,传送脉冲 PTX2 可在时间 t_{15} 和时间 t_{19} 被设定为 H 电平。首先,传送脉冲 PTX2 在时间 t_{15} 被设定为 H 电平,使得通过光电二极管 1 生成的信号电荷被传送至放大 MOS 晶体管 5 的栅极。这里输出的信号是第二信号。此后,传送脉冲 PTX2 被设定为 L 电平。然后,光电二极管 1 再次基于入射光执行光电转换以生成信号电荷。在时间 t_{19} ,传送脉冲 PTX2 再次被设为 H 电平。因此,在光电二极管 1 中累积的信号电荷被传送至放大 MOS 晶体管 5 的栅极。由于在此时段期间复位脉冲 PRES 被保持为 L 电平,因此在时间 t_{15} 从光电二极管 1 传送的信号电荷以及在时间 t_{19} 传送的信号电荷被保持在放大 MOS 晶体管 5 的栅极中。此时从像素 100 输出的信号是第三信号。这样,例如,第二信号和第三信号可以是基于通过改变光电二极管 1 的曝光持续期而生成的信号电荷的信号。

[0063] 此外,像素 100 具有多个光电二极管的形式甚至可与此示例性实施例中描述的形式不同。即,在一种形式中,像素 100 可输出通过将放大 MOS 晶体管 5 的栅极的电势设定为复位电平而被输出至垂直信号线 7 的第一信号、基于像素 100 中包含的多个光电二极管之中的 m (m 是自然数) 个光电二极管生成的信号电荷的第二信号、以及基于 n (n 是自然数) 个光电二极管生成的信号电荷的第三信号,其中 n 大于 m 。

[0064] 本示例性实施例提供了 Latch_n 13-1 保持一个数字 N 信号的形式。在另一种形式中,具有能够保持数字 N 信号的多个存储器的双缓冲器存储器可被使用。即,Latch_n 13-1 中包含的第一存储器保持数字 N 信号,该数字 N 信号是从在时间 t_{14} 此示例性实施例的第一行中的像素的 PN 信号转换得到的。然后,在从时间 t_{14} 到时间 t_{18} 的任何时段期间数字 N 信号被从第一存储器传送至第二存储器。水平扫描电路 14 使得数字 N 信号被从第二存储器输出至差信号输出单元 15-2。同时,在数字 N 信号被传送至第二存储器之后,选择脉冲 PSEL 在时间 t_{22} 被设定为 L 电平,并且用于后续行中的像素 100 的选择脉冲 PSEL 和复位脉冲 PRES 被设定为 H 电平。此后,模数转换单元复位脉冲 AD Reset 从 H 电平改变为 L 电平,并且执行生成从后续行中的像素 100 的 PN 信号转换得到的数字信号的操作。因此,在时间 t_{22} ,Latch_n 13-1 可并行地执行数字 N 信号到差信号输出单元 15-1 的输出以及从后续行中的像素 100 的 PN 信号转换得到的数字信号的生成。这可减少生成和输出从多个行中的像素 100 输出的信号转换得到的数字信号所需的时间。

[0065] 此外,此示例性实施例已经基于如下形式被描述,其中水平扫描电路 14 使得数字 $A+N$ 信号和数字 $A+B+N$ 信号分别从 Latch_a 13-2 和 Latch_b 13-3 输出。在另一种形式

中,数字信号可被从 Latch_a 13-2 传送至 Latch_b 13-3,并且水平扫描电路 14 可使得从 Latch_b 13-2 输出数字信号。具体而言,在时间 t18,Latch_a 13-2 将其中保持的数字 A+N 信号传送至 Latch_b 13-3。水平扫描电路 14 使得数字 A+N 信号从 Latch_b 13-3 输出。此外,Latch_a 13-2 保持从 P(A+B+N) 信号转换得到的数字 A+B+N 信号,该 P(A+B+N) 信号是通过对于从时间 t20 到时间 t22 的时间段对时钟脉冲信号 clk 的脉冲进行计数而得到的。在时间 t22,Latch_a 13-2 将其中保持的数字 A+B+N 信号传送至 Latch_b 13-3。水平扫描电路 14 将数字 A+B+N 信号从 Latch_b 13-3 传送至差信号输出单元 15。因此,在此示例性实施例中提供的多个差信号输出单元 15-1 和 15-2 可被用一个差信号输出单元 15 替换。

[0066] 此外,此示例性实施例的模数转换单元是如下类型的,即基于电势随时间改变的斜坡信号与像素信号的比较而执行 AD 转换。任何其它 AD 转换类型(例如,逐次逼近 AD 转换或者 delta-sigma AD 转换)可被执行。

[0067] 示例性实施例 2

[0068] 将专注于与示例性实施例 1 不同之处而描述此示例性实施例的成像装置。

[0069] 将参照附图进行以下描述。

[0070] 图 3A 是示出此示例性实施例的成像装置的示例的等效电路图。与上文在示例性实施例 1 中描述的图 1B 中的部分具有相同功能的部分被分配与图 1B 中分配的附图标记相同的附图标记。

[0071] 与示例性实施例 1 的不同之处在于从各像素 100 输出的 PN 信号、P(A+N) 信号和 P(A+B+N) 信号中的每一个被反相放大器 17 反转和放大,并且被输出至比较器 9。反相放大器 17 是放大单元,放大像素信号并且将放大后的信号输出至比较器 9。多个反相放大器 17 被设置为与以矩阵形式布置的多个像素 100 的列对应。每个垂直信号线 7 被分别标识为表示从像素 100 延伸到反相放大器 17 的电气路径的垂直信号线 7-1 和表示从反相放大器 17 延伸到比较器 9 的电气路径的垂直信号线 7-2。此示例性实施例的模拟信号输出单元包括像素 100 和反相放大器 17。在此示例性实施例中,基于从像素 100 输出的 PN 信号而从反相放大器 17 输出的信号被供给比较器 9。基于从像素 100 输出的 PN 信号而从反相放大器 17 输出的信号被表示为 GN 信号。类似的,基于从像素 100 输出的 P(A+N) 信号而从反相放大器 17 输出的信号被表示为 G(A+N) 信号,并且基于 P(A+B+N) 信号而从反相放大器 17 输出的信号被表示为 G(A+B+N) 信号。在此示例性实施例中,从模拟信号输出单元输出的第一信号是 GN 信号。此外,从模拟信号输出单元输出的第二信号是 G(A+N) 信号。此外,从模拟信号输出单元输出的第三信号是 G(A+B+N) 信号。

[0072] 图 3B 是示出在图 3A 中作为示例示出的成像装置的操作的示例的时序图。在图 2 中,如上文在示例性实施例 1 中描述的,对应于此示例性实施例的垂直信号线 7-1 的电势被表示为垂直信号线 7 的电势 Vline。相反,此示例性实施例的图 3B 示出垂直信号线 7-2 的电势 Vline2,该垂直信号线 7-2 是从反相放大器 7 延伸到比较器 9 的电气路径。

[0073] 垂直信号线 7-2 的电势 Vline2 是通过将垂直信号线 7-1 的电势反转和放大而获得的信号,因此具有与垂直信号线 7-1 的电极性相反的电极性。因此,在此示例性实施例中,垂直信号线 7-2 的电势 Vline2 响应于从像素 100 输出的 P(A+N) 信号和 P(A+B+N) 信号而改变的方向与示例性实施例 1 中的方向相反。因此,斜坡信号 Vramp 的电势随时间改变的方向也与示例性实施例 1 中的相反。

[0074] Latch_n 13-1 中保持的数字 N 信号是通过将 GN 信号转换成数字信号而获得的信号。此示例性实施例的数字 N 信号是包括模拟信号输出单元的噪声分量以及多个比较器 19 中的每个比较器的操作变化分量的信号,该模拟信号输出单元包括像素 100 和反相放大器 17。

[0075] 此外,Latch_a 13-2 中保持的数字 A+N 信号是通过将从像素 100 输出的 G(A+N) 信号转换成数字信号而获得的信号。

[0076] 此外, Latch_b 13-3 中保持的数字 A+B+N 信号是通过将 G(A+B+N) 信号转换成数字信号而获得的信号。

[0077] 其它方面与示例性实施例 1 的成像装置中的那些相似。即,在时间 t31 到 t42 中的每一个处的操作可类似于在示例性实施例 1 的时间 t11 到 t22 中的每一个处的操作。

[0078] 除了包括像素 100 和反相放大器 17 的模拟信号输出单元的噪声分量之外,此示例性实施例的数字 N 信号还包括多个比较器 19 中的每个比较器的操作变化分量。此示例性实施例的成像装置从数字 A+N 信号和数字 A+B+N 信号减去数字 N 信号,并且输出得到的信号。因此,包含于数字 A+N 信号和数字 A+B+N 信号中的包括像素 100 和反相放大器 17 的模拟信号输出单元的噪声分量和多个比较器 19 中的每个比较器的操作变化分量可被去除,并且可减小图像质量的下降。

[0079] 此示例性实施例的成像装置也可实现与示例性实施例 1 类似的优点。反相放大器 17 可被非反相放大器或者缓冲器电路替换。在此情况中,电势 Vline2 和斜坡信号 Vramp 改变的方向与图 2 中所示的电势 Vline 和斜坡信号 Vramp 的改变方向匹配。

[0080] 示例性实施例 3

[0081] 将专注于与示例性实施例 2 不同之处而描述此示例性实施例的成像装置。

[0082] 将参照附图进行以下描述。

[0083] 图 4A 是示出此示例性实施例的成像装置的示例的等效电路图。此示例性实施例的成像装置没有设置有锁存器选择电路 12,而是设置有计数器控制电路 16 以便对应于各个像素列。此外,在示例性实施例 1 和 2 中,第一计数器 18 向用于各个列的锁存器电路 13 供给公共计数信号。但是,在此示例性实施例中,第二计数器 19 被设置为对应于用于各列的计数器控制电路 16。保持第二计数器 19 的信号的存储器 25 被设置为对应于用于各个列的第二计数器 19。保持第二计数器 19 的信号的存储器 25 是第一信号保持单元,其保持基于从反相放大器 17 输出的 GN 信号生成的数字 N' 信号。此外,在第三信号与斜坡信号 Vramp 之间的比较中,存储器 25 输出数字 N' 信号给第二计数器 19。时钟脉冲信号 clk 从定时发生器(未示出)被输入计数器控制电路 16。此外,计数器控制电路 16 基于计数信号复位脉冲 CNT Reset、脉冲“transtom”和脉冲“transtoc”激活第二计数器 19 和存储器 25。锁存器 26 保持第二计数器 19 的计数信号。在示例性实施例 2 中,两个锁存器,即 Latch_a 13-1 和 Latch_b 13-2 被包含在第二信号保持单元中,该第二信号保持单元保持从第二信号转换得到的数字信号和从第三信号转换得到的数字信号。作为对比,在此示例性实施例中,仅一个锁存器,即锁存器 26 可被使用。锁存器 26 是此示例性实施例的第二信号保持单元,其保持从第二信号转换得到的数字信号和从第三信号转换得到的数字信号。锁存信号 LAT 被供给用于各个列的锁存器 26。当锁存信号 LAT 处于 H 电平时,锁存器 26 捕获从第二计数器 19 输出的计数信号值。用于将斜坡信号的电势复位为初始值的斜坡信号复位脉冲

Ramp Reset 被供给斜坡信号生成电路 10。

[0084] 图 4B 是作为示例示出在图 4A 中作为示例示出的成像装置中的第二计数器 19 和存储器 25 的等效电路图。第二计数器 19 具有生成计数信号的多个触发电路 FF1-1 到 FF1-4。即,第二计数器 19 具有生成包括多个位信号的计数信号的多个触发电路 FF1-1 到 FF1-4。位信号是计数信号的每一位的信号。作为第一信号保持单元的存储器 25 具有多个位存储器 250-1 到 250-4,并且多个位存储器 250-1 到 250-4 中的每一个电连接到多个触发电路 FF1-1 到 FF1-4 中的每一个。即,存储器 25 具有保持单独的位信号的多个位存储器 250-1 到 250-4,并且多个位存储器中的每一个电连接到多个触发电路 FF1-1 到 FF1-4 中的对应的一个触发电路。此示例性实施例的第二计数器 19 被配置为使得多个触发电路 FF1-1 到 FF1-4 以如下方式电连接,即在先级的非反相输出端子 Q 的输出连接到在后级的时钟端子的输入。此外,触发电路 FF1-1 到 FF1-4 的非反相输出端子 Q 的输出 D0 到 D3 连接到锁存器 26 的输入,并且还分别被供给位存储器 250-1 到 250-4。

[0085] 此外,作为此示例性实施例的特征,多个触发电路 FF1-1 到 FF1-4 中的每一个具有反相输出端子 NQ,该反相输出端子 NQ 的输出被供给其端子 D,并且各个非反相输出端子 Q 的输出也被供给位存储器 250-1 到 250-4。此外,位存储器 250-1 到 250-4 中保持的信号被输出至各个触发电路的 S 端子。

[0086] 图 5 是示出上文参照图 4A 和 4B 描述的成像装置的操作的示例的时序图。计数器控制脉冲是从计数器控制电路 16 输出至第二计数器 19 的信号,并且第二计数器 19 基于该计数器控制脉冲进行操作。

[0087] 在时间 t51,选择脉冲 PSEL 和斜坡信号复位脉冲 Ramp Reset 处于 H 电平。此外,在时间 t51,复位脉冲 PRES 从 H 电平改变为 L 电平。此外,计数器控制脉冲处于“停止”状态,在该状态中第二计数器 19 不工作。

[0088] 在时间 t52,斜坡信号复位脉冲 Ramp Reset 从 H 电平改变为 L 电平。然后,斜坡信号 Vramp 的电势随时间开始改变。

[0089] 例如,假定斜坡信号 Vramp 的电势与垂直信号线 7-2 的电势 Vline2 之间的大小关系在时间 t53 反转。在此情况下,比较器 9 输出比较结果信号 CMP 至计数器控制电路 16。计数器控制电路 16 接收比较结果信号 CMP,并且将计数器控制脉冲从“停止”状态改变为“计数”状态。因此,第二计数器 19 在时间 t53 开始其计数操作。

[0090] 在时间 t54,斜坡信号 Vramp 的电势的随时间的改变结束,并且斜坡信号复位脉冲 Ramp Reset 从 L 电平改变为 H 电平。此外,计数器控制脉冲从“计数”状态改变为“停止”状态。因此,第二计数器 19 在时间 t54 临时停止其计数操作。此外,脉冲“transtom”被设定为 H 电平。因此,通过从时间 t53 到时间 t54 进行计数而获得的计数信号被保持在存储器 25 中。在此时刻在存储器 25 中保持的信号是数字 N' 信号。然后,脉冲“transtom”被设定为 L 电平。

[0091] 在时间 t55,传送脉冲 PTX1 从 L 电平改变为 H 电平。因此,在光电二极管 51 中累积的电荷被传送至放大 MOS 晶体管 5 的栅极,并且 P(A+N) 信号被从像素 100 输出至垂直信号线 7。G(A+N) 信号被从反相放大器 17 输出至比较器 9。

[0092] 在时间 t56,斜坡信号复位脉冲 Ramp Reset 从 H 电平改变为 L 电平。然后,斜坡信号 Vramp 的电势开始随时间改变。此外,计数器控制脉冲从“停止”状态改变为“计数”状

态。因此,第二计数器 19 从在时间 t_{54} 获得的计数信号值开始其计数操作。

[0093] 例如,假定斜坡信号 V_{ramp} 的电势与垂直信号线 7-2 的电势 V_{line2} 之间的大小关系在时间 t_{57} 反转。在此情况下,比较器 9 输出比较结果信号 CMP 至计数器控制电路 16。计数器控制电路 16 接收比较结果信号 CMP ,并且将计数器控制脉冲从“计数”状态改变为“停止”状态。因此,第二计数器 19 保持通过从在时间 t_{54} 获得的计数信号值开始从时间 t_{56} 到时间 t_{57} 进一步计数而获得的计数信号。

[0094] 在时间 t_{58} ,斜坡信号复位脉冲 $Ramp\ Reset$ 从 L 电平改变为 H 电平,并且斜坡信号 V_{ramp} 的电势的随时间的改变结束。此外,锁存信号 LAT 被设定为 H 电平。因此,在时间 t_{58} ,在第二计数器 19 中保持的计数信号被捕获在锁存器 26 中。

[0095] 现在将描述在此时刻保持的数字信号。从时间 t_{52} 到时间 t_{54} 的操作在下文被称为 N 转换。在此示例性实施例的 N 转换中,作为当通过从比较器 9 输出比较结果信号 CMP 时的时间 t_{53} 至时间 t_{54} 计数而获得的计数信号值的数字 N' 信号被保持在第二计数器 19 中。此计数信号值是如下的计数信号值 ($N_{max}-N_{cnt}$),其是通过从在 N 转换期间的最大计数信号值 N_{max} (即,从斜坡信号 V_{ramp} 的电势开始随时间改变时的时间 t_{52} 到时间 t_{54} 的整个时段中进行计数而获得的计数信号值) 减去通过从时间 t_{52} 到时间 t_{53} 计数而获得的计数信号值 N_{cnt} 来获得的。尽管在示例性实施例 2 中, $Latch_n$ 13-1 保持计数信号值 V_{cnt} ,但是在此示例性实施例中,锁存器 26 保持计数信号值 ($N_{max}-N_{cnt}$)。

[0096] 接下来,将描述从时间 t_{56} 到时间 t_{58} 的时段期间的操作(下文被称为 A+N 转换)。在时间 t_{56} ,第二计数器 19 保持计数信号值 ($N_{max}-N_{cnt}$)。因此,第二计数器 19 在从时间 t_{56} 到时间 t_{57} 的时段期间、从计数信号值 ($N_{max}-N_{cnt}$) 起开始其计数操作。在时间 t_{58} 在第二计数器 19 中保持的计数信号值是通过将计数信号值 ($N_{max}-N_{cnt}$) 与计数信号值 $A_{cnt}+N_{cnt}$ 相加而获得的值,该计数信号值 $A_{cnt}+N_{cnt}$ 是通过在时间 t_{56} 到时间 t_{57} 的时段期间的、从初始计数信号值(即在时间 t_{52} 获得的计数信号值)起的计数操作获得的。在时间 t_{58} 获得的计数信号值由 $A_{cnt}+N_{cnt}+(N_{max}-N_{cnt})$ 表示,即 $A_{cnt}+A_{max}$ 。因此,不包含 GN 信号的分量并且其中 N_{max} 的偏差被加到数字 A 信号上的数字信号被保持在锁存器 26 中。具有计数信号值 $A_{cnt}+A_{max}$ 的数字信号是从要基于 PA 信号被输出的 GA 信号转换得到的数字信号。

[0097] 因此,为了获得数字 A 信号,从在时间 t_{58} 保持在第二计数器 19 中的计数信号值 $A_{cnt}+N_{max}$ 减去在 N 转换期间获得的已知的最大计数信号值 N_{max} 。因此,可获得计数信号值 A_{cnt} ,即数字 A 信号。

[0098] 在锁存信号 LAT 在时间 t_{58} 被设定为 H 电平之后,锁存信号 LAT 被设定为 L 电平。

[0099] 在时间 t_{59} ,脉冲“ $transtoc$ ”被设定为 H 电平,并且第二计数器 19 的计数信号值返回在时间 t_{54} 获得的计数信号值。即,计数信号值被设定为数字 N' 信号的信号值。此外,水平扫描电路 14 依次选择用于各个列的锁存器 26,并且输出在该锁存器 26 中保持的数字 A 信号。

[0100] 在时间 t_{60} ,传送脉冲 $PTX2$ 从 L 电平改变为 H 电平。因此,在光电二极管 1 中累积的电荷被传送至放大 MOS 晶体管 5 的栅极,并且 $P(A+B+N)$ 信号被从像素 100 输出至垂直信号线 7。 $G(A+B+N)$ 信号被从反相放大器 17 输出至比较器 9。

[0101] 在时间 t_{61} ,斜坡信号复位脉冲 $Ramp\ Reset$ 从 H 电平改变为 L 电平。然后,斜坡信

号 V_{ramp} 的电势开始随时间改变。此外,计数器控制脉冲从“停止”状态改变为“计数”状态。因此,第二计数器 19 从在时间 t_{54} 获得的计数信号值(也是在时间 t_{59} 获得的计数信号值)开始其计数操作。

[0102] 例如,假定斜坡信号 V_{ramp} 的电势与垂直信号线 7-2 的电势 V_{line2} 之间的大小关系在时间 t_{62} 反转。在此情况下,比较器 9 输出比较结果信号 CMP 至计数器控制电路 16。计数器控制电路 16 接收比较结果信号 CMP ,并且将计数器控制脉冲从“计数”状态改变为“停止”状态。因此,第二计数器 19 保持通过从在时间 t_{54} 获得的计数信号值开始从时间 t_{61} 到时间 t_{63} 进一步计数而获得的计数信号。

[0103] 在时间 t_{63} ,斜坡信号 V_{ramp} 的电势的随时间的改变结束,并且斜坡信号复位脉冲 $Ramp\ Reset$ 从 L 电平改变为 H 电平。此外,锁存信号 LAT 被设定为 H 电平。因此,在时间 t_{63} 在第二计数器 19 中保持的计数信号被捕获在锁存器 26 中。

[0104] 现在将描述在此时刻在锁存器 26 中捕获的数字信号。将描述从时间 t_{61} 到时间 t_{63} 的操作(在下文被称为 $A+B+N$ 转换)。在时间 t_{61} ,第二计数器 19 保持计数信号值 $(N_{max}-N_{cnt})$ 。因此,第二计数器 19 在从时间 t_{61} 到时间 t_{62} 的时段期间从计数信号值 $(N_{max}-N_{cnt})$ 开始计数操作。在时间 t_{62} 在第二计数器 19 中保持的计数信号值是通过将计数信号值 $(N_{max}-N_{cnt})$ 与计数信号值 $A_{cnt}+B_{cnt}+N_{cnt}$ 相加而得到的值,计数信号值 $A_{cnt}+B_{cnt}+N_{cnt}$ 是通过在从时间 t_{61} 到时间 t_{62} 的时段期间的从初始计数信号值(即,在时间 t_{52} 获得的计数信号值)开始的计数操作得到的。在时间 t_{58} 的计数信号值被由 $A_{cnt}+B_{cnt}+N_{cnt}+(N_{max}-N_{cnt})$ 、即 $A_{cnt}+B_{cnt}+N_{max}$ 表示。因此,在锁存器 26 中保持如下这样的数字信号,该数字信号不包含 GN 信号的分量并且在该数字信号中 N_{max} 的偏差加到数字 $A+B$ 信号。具有计数信号值 $A_{cnt}+B_{cnt}+N_{max}$ 的数字信号是从要基于 $P(A+B)$ 信号输出的 $G(A+B)$ 信号转换得到的数字信号。

[0105] 因此,为了获得数字 $A+B$ 信号,从在时间 t_{63} 保持在第二计数器 19 中的计数信号值 $A_{cnt}+B_{cnt}+N_{max}$ 减去在 N 转换期间获得的已知的最大计数信号值 N_{max} 。因此,可获得计数信号值 $A_{cnt}+B_{cnt}$,即数字 $A+B$ 信号。

[0106] 在锁存信号 LAT 在时间 t_{63} 被设定为 H 电平之后,锁存信号 LAT 被设定为 L 电平。

[0107] 在时间 t_{64} ,计数信号复位脉冲 $CNT\ Reset$ 被设定为 H 电平。因此,第二计数器 19 的计数信号的信号值被复位为初始值。此外,水平扫描电路 14 依次选择用于各个列的锁存器 26,并且输出在时间 t_{63} 在该锁存器 26 中保持的数字信号。

[0108] 为了获得数字 A 信号以及数字 $A+B$ 信号而执行的用于从锁存器 26 中保持的数字信号减去 N_{max} 的处理可在成像装置中执行,或者通过与成像装置电连接的信号处理单元(未示出)来执行。

[0109] 此示例性实施例的对于各列安置的电路单元 21 包括比较器 9、计数器控制单元 16、第二计数器 19、存储器 25 和锁存器 26。用于各列的电路单元 21 输出数字 A 信号。数字 A 信号是从第二信号转换得到的数字 $A+N$ 信号与从第一信号转换得到的数字 N 信号之间的第一差信号。用于各列的电路单元 21 还输出数字 $A+B$ 信号。数字 $A+B$ 信号是从第三信号转换得到的数字 $A+B+N$ 信号与从第一信号转换得到的数字 N 信号之间的第二差信号。

[0110] 如上所述,此示例性实施例的成像装置也可获取数字 A 信号和数字 $A+B$ 信号。此外,锁存器 26 中保持的数字信号可以是不包含从 PN 信号转换得到的 GN 信号的分量的信

号。即,此示例性实施例的操作允许比较像素信号与斜坡信号 V_{ramp} 的操作以及从获得通过从 $A+N$ 信号和 $A+B+N$ 信号减去 N 信号而获得的信号转换得到的数字信号的操作并行地执行。

[0111] 此示例性实施例的成像装置也可获得与示例性实施例 1 和 2 的优点类似的优点。

[0112] 示例性实施例 4

[0113] 将专注于与示例性实施例 3 不同之处而描述此示例性实施例的成像装置。

[0114] 将参照附图进行以下描述。

[0115] 图 6A 是示出此示例性实施例的成像装置的示例的等效电路图。此示例性实施例的成像装置与示例性实施例 3 中的成像装置的不同之处在于从定时发生器(未示出)经由计数器控制电路 16 向第二计数器 19 供给模式设定脉冲“模式”。模式设定脉冲“模式”是用于如下所述切换第二计时器 19 的模式的脉冲。

[0116] 图 6B 是示出在图 6A 中作为示例示出的此示例性实施例的第二计数器 19 的等效电路图。此示例性实施例的第二计数器 19 被配置为使得触发电路 FF2-1 到 FF2-4 以如下方式电连接,即在先级的非反相输出端子 Q 的输出连接到在后级的时钟端子的输入。此外,触发电路 FF2-1 到 FF2-4 的非反相输出端子 Q 的输出作为 D0 到 D3 被供给锁存器 26。此外,计数器控制电路 15 向电连接到触发电路 FF2-1 到 FF2-4 的端子 D 的开关 SW3-1 到 SW3-4 以及电连接到时钟脉冲端子的开关 SW4-1 到 SW4-4 供给模式设定脉冲“模式”以切换模式。此外,定时发生器(未示出)经由计时器控制电路 16 分别向开关 SW1 和开关 SW2 供给脉冲“transtoc”和“transtom”。当模式设定脉冲“模式”处于 L 电平时,触发电路 FF2-1 到 FF2-4 中的每一个的反相输出端子 NQ 电连接到触发电路的端子 D。此外,计数 CLK 被供给时钟脉冲端子。另一方面,当模式设定脉冲“模式”处于 H 电平时,触发电路 FF2-1 到 FF2-4 中的每一个的端子 D 电连接到前一触发电路的非反相输出端子 Q。此外,当模式设定脉冲“模式”处于 H 电平时,偏移 CLK 被供给触发电路 FF2-1 到 FF2-4 的时钟脉冲端子。此外,当要被供给开关 SW2 的脉冲“transtom”处于 H 电平时,触发电路 FF2-4 的非反相输出端子 Q 与存储器 25 电连接。因此,当模式设定脉冲“模式”和脉冲“transtom”两者处于 H 电平时,从触发电路 FF2-1 到 FF2-4 输出的信号被依次输出至存储器 25。存储器 25 是例如移位寄存器电路,并且保持计数信号,该计数信号具有从触发电路 FF2-1 到 FF2-4 输出的、被依次输出的信号。此外,当模式设定脉冲“模式”和脉冲“transtoc”两者处于 H 电平时,触发电路 FF2-1 的端子 D 经由开关 SW1 电连接到存储器 25。因此,存储器 25 中保持的计数信号被依次供给触发电路 FF2-1 到 FF2-4。

[0117] 图 7 是示出作为示例在图 6A 中示出的成像装置的操作的示例的时序图。以下的描述将专注于与上文参照图 5 在示例性实施例 3 中描述的操作的不同之处。

[0118] 在时间 t_{71} ,模式设定脉冲“模式”处于 L 电平。其它操作可类似于图 5 中所示的在时间 t_{51} 进行的操作。

[0119] 从时间 t_{72} 到时间 t_{74} 的操作可类似于图 5 中所示的从时间 t_{52} 到时间 t_{54} 进行的操作。

[0120] 在从时间 t_{74} 到时间 t_{76} 的任意时段期间,模式设定脉冲“模式”和脉冲“transtom”被设定为 H 电平。因此,在时间 t_{74} 获得的计数信号值被保持在存储器 25 中。

[0121] 从时间 t_{74} 到时间 t_{76} 的其它操作以及从时间 t_{77} 到时间 t_{78} 的操作可类似于图

5 中所示的从时间 t54 到时间 t58 进行的操作。

[0122] 在从时间 t78 到时间 t80 的任意时段期间,模式设定脉冲“模式”和脉冲“transtoc”被设定为 H 电平。因此,在时间 t74 到时间 t76 的任意时段期间被保持在存储器 25 中的在时间 t74 获得的计数信号值被设定在第二计数器 19 中。

[0123] 从时间 t78 到时间 t80 的其它操作可类似于图 5 中所示的从时间 t58 到时间 t61 进行的操作。

[0124] 从时间 t81 到时间 t83 的操作可类似于图 5 中所示的从时间 t62 到时间 t64 进行的操作。

[0125] 如上所述,此示例性实施例的成像装置也可获得数字 A 信号和数字 A+B 信号。

[0126] 此示例性实施例的成像装置也可实现与示例性实施例 3 中的优点类似的优点。

[0127] 示例性实施例 5

[0128] 下文将参照附图描述此示例性实施例的成像装置。

[0129] 此示例性实施例为如下形式,其中使用从成像装置中设置的像素 100 输出的像素信号执行基于相位差检测方法的焦点检测。

[0130] 图 8A 是示出具有四个光电转换单元、即光电二极管 1、51、61 和 71 的像素的示例的等效电路图。

[0131] 光电二极管 1、51、61 和 71 中生成的信号电荷分别经由传送 MOS 晶体管 20、50、60 和 70 被传送至放大 MOS 晶体管 5 的栅极。类似于上文使用图 1B 描述的成像装置,传送脉冲 PTX1 被从垂直扫描电路 2 供给传送 MOS 晶体管 20 的栅极。而且,类似于上文使用图 1B 描述的成像装置,从垂直扫描电路 2,传送脉冲 PTX2 被供给传送 MOS 晶体管 50,传送脉冲 PTX3 被供给传送 MOS 晶体管 60,并且传送脉冲 PTX4 被供给传送 MOS 晶体管 70。不管模数转换单元具有上文在示例性实施例 1 到 4 中描述的配置中的哪一种,此示例性实施例的成像装置都可被实现。在以下的描述中,将描述包括根据示例性实施例 1 的模数转换单元 160 的成像装置。

[0132] 图 8B 是图 8A 中所示的像素 100 中包含的两个光电二极管的截面图。图 8B 示出所谓的背照明成像装置,其中光电二极管 1、51、61 和 71 被设置在一个微透镜 23 和电路单元 200 之间。此示例性实施例可根据需要通过背照明成像装置实现。电路单元 200 与光电二极管 1、51、61 和 71 可在分离的基板上形成,并且这两块基板可电连接以形成背照明成像装置。将组件分离到基板的示例由线段 $\alpha - \beta$ 指示。此外,还可在微透镜 23 与光电二极管 1、51、61 和 71 之间设置内部透镜,以提高将光聚集到光电二极管上的效率。

[0133] 图 9 是示出图 8A 中的成像装置的操作的示例的时序图。将专注于与上文使用图 2 在示例性实施例 1 中描述的时序不同之处进行描述。

[0134] 从时间 t91 到时间 t94 的操作可类似于示例性实施例 1 中的从时间 t11 到时间 t14 的操作。

[0135] 在时间 t95,传送脉冲 PTX1 和 PTX2 被设定为 H 电平。因此,在光电二极管 1 和 51 中生成的信号电荷被传送至放大 MOS 晶体管 5 的栅极。此时要被输出至垂直信号线 7 的像素信号是 P(A+B+N) 信号,在该信号中,基于光电二极管 1 的信号电荷的 PA 信号与基于光电二极管 51 的信号电荷的 PB 信号之和被叠加在 PN 信号上。在此示例性实施例中,在时间 t95 从像素 100 到垂直信号线 7 的信号输出操作被表示为第一像素输出操作。

[0136] 从时间 t_{96} 到时间 t_{98} 的操作可类似于示例性实施例 1 中的从时间 t_{16} 到时间 t_{18} 的操作。因此,通过将 $P(A+B+N)$ 信号转换成数字信号而获得的数字 $A+B+N$ 信号可被获得。

[0137] 在时间 t_{99} , 传送脉冲 $PTX3$ 和 $PTX4$ 被设定为 H 电平。因此,在光电二极管 61 和 71 中生成的信号电荷被传送至已经保持了在时间 t_{96} 在光电二极管 1 和 51 中生成的信号电荷的放大 MOS 晶体管 5 的栅极。因此, $P(A+B+C+D+N)$ 信号输出至垂直信号线 7,在该信号中,通过将 $P(A+B)$ 信号、基于光电二极管 61 中的信号电荷的 PC 信号与基于光电二极管 71 的信号电荷的 PD 信号相加而获得的信号被叠加在 PN 信号上。在此示例性实施例中,在时间 t_{99} 从像素 100 至垂直信号线 7 的信号输出操作被表示为第二像素输出操作。

[0138] 从时间 t_{100} 到时间 t_{102} 的操作可类似于示例性实施例 1 中的从时间 t_{20} 到时间 t_{22} 的操作。因此,通过将 $P(A+B+C+D+N)$ 信号转换成数字信号而获得的数字 $A+B+C+D+N$ 信号可被获得。

[0139] 差信号输出单元 15-2 输出数字 A 信号。数字 A 信号是从第二信号转换得到的数字 $A+N$ 信号与从第一信号转换得到的数字 N 信号之间的第一差信号。差信号输出单元 15-1 输出数字 $A+B$ 信号。数字 $A+B$ 信号是从第三信号转换得到的数字 $A+B+N$ 信号与从第一信号转换得到的数字 N 信号之间的第二差信号。

[0140] 在上文描述的第一像素输出操作中, $P(A+B+N)$ 信号被从像素 100 输出至垂直信号线 7。但是,此示例性实施例并不局限于此组合,并且基于相位差检测方法的操作可根据需要通过以下形式被实现,即信号电荷被从两个不同的光电二极管传送至放大 MOS 晶体管 5 的栅极。下文将使用图 11B 到 11D 描述细节。

[0141] 接下来,图 11A 示出了具有微透镜 23 和四个光电二极管的像素 100 的布置的示例。此示例性实施例的成像装置包括具有多个微透镜 23 的微透镜阵列,并且对于一个像素 100 设置一个微透镜 23。在图 11A 中,A、B、C 和 D 分别代表生成用于获得 PA、PB、PC 和 PD 信号的信号电荷的光电二极管的示例性位置。例如,上文结合图 8A 描述的光电二极管 1 被设置在由 A 表示的区域中。

[0142] 接下来,将使用图 11B 到 11D 描述基于相位差检测方法的焦点检测的示例。在图 11B 到 11D 中,被椭圆围绕的区域中的信号将加起来,并且得到的信号被输出至垂直信号线 7。即,在图 11B 中,在第一像素输出操作中, $P(A+C)$ 信号或者 $P(B+D)$ 信号被从像素 100 输出至垂直信号线 7。类似地,在图 11C 中,在第一像素输出操作中, $P(A+B+N)$ 信号或者 $P(C+D+N)$ 信号被从像素 100 输出至垂直信号线 7。类似地,在图 11D 中,在第一像素输出操作中, $P(A+D+N)$ 信号或者 $P(B+C+N)$ 信号被从像素 100 输出至垂直信号线 7。在第二像素输出操作中,在图 11B 到 11D 中的形式的任一种中, $P(A+B+C+D+N)$ 信号被输出。从为图 11B 到 11D 中的形式的模拟信号输出单元输出的第一信号是 PN 信号。此外,图 11B 中的第二信号是 $P(A+C+N)$ 信号或者 $P(B+D+N)$ 信号。此外,图 11C 中的第二信号是 $P(A+B+N)$ 信号或者 $P(C+D+N)$ 信号。图 11D 中的第二信号是 $P(A+D+N)$ 信号或者 $P(B+C+N)$ 信号。此外,图 11B 到 11D 的形式中的第三信号是 $P(A+B+C+D+N)$ 信号。

[0143] 接下来,将描述包括此示例性实施例的成像装置的成像系统。此成像系统的示例可包括数字静物照相机、数字摄影机、和安全照相机。图 12 示出当此示例性实施例的成像装置被用作数字静物照相机时的成像系统的示例的示意图。

[0144] 在图 12 中,成像系统包括用于保护透镜的挡板 151、用于在此示例性实施例的成像装置 154 上形成对象的光学图像的透镜 152、用于改变透射通过透镜 152 的光量的孔径光阑 153、以及用于处理从成像装置 154 输出的输出信号的输出信号处理单元 155。输出信号处理单元 155 是处理从成像装置 154 输出的数字信号的数字信号处理单元。透镜 152 和孔径光阑 153 形成将光聚集到成像装置 154 上的光学系统。成像装置 154 输出从第二信号转换得到的数字信号以及从第三信号转换得到的数字信号。输出信号处理单元 155 可执行用于从数字 $A+B$ 信号减去数字 A 信号以得到数字 B 信号的差分处理。此外,输出信号处理单元 155 在必要时执行对于信号执行各种校正和压缩操作的其它操作,并且输出得到的信号。

[0145] 在图 12 中作为示例示出的成像系统还包括用于临时存储图像数据的缓冲器存储器单元 156,以及用于与外部计算机等通信的外部接口单元 157。成像系统进一步包括用于记录或者读取捕获的图像数据的可移除记录介质 159(诸如半导体存储器),以及用于在记录介质 159 上进行记录或者从记录介质 159 进行读取的记录介质控制接口单元 158。成像系统进一步包括执行各种计算并且控制整个数字静物照相机的总体控制/计算单元 1510,以及将各种定时信号输出至成像装置 154 和输出信号处理单元 155 的定时生成单元 1511。这里,定时信号等可被从外部输入,并且成像系统可至少包括成像装置 154 和处理从成像装置 154 输出的输出信号的输出信号处理单元 155。

[0146] 在图 11B 中的形式中,假定例如在第一像素输出操作中输出 $P(A+C+N)$ 信号并且通过上文使用图 9 描述的数字转换来获得数字 $A+C+N$ 信号。在第二像素输出操作中输出 $P(A+B+C+D+N)$ 信号并且以与用于 $P(A+C+N)$ 信号的方式相似的方式来执行数字转换以获得数字 $A+B+C+D+N$ 信号。差信号输出单元 15 输出 $A+C$ 信号以及 $A+B+C+D$ 信号。输出信号处理单元 155 获得数字 $(B+D)'$ 信号,其是从成像装置输出的数字 $A+C$ 信号与数字 $A+B+C+D$ 信号之间的差。数字 $(B+D)'$ 信号是对应于通过对假定从像素 100 输出的 $P(B+D)$ 信号(但是 $P(B+D)$ 并不以此形式从像素 100 输出)进行数字转换而得到的数字 $B+D$ 信号的信号。光电二极管列中的相位差可使用数字 $A+C$ 信号和数字 $(B+D)'$ 信号被检测,并且焦点检测可被执行。

[0147] 类似地,在图 11C 中,可检测光电二极管行中的相位差,并且可执行焦点检测。此外,可检测对角线方向上的光电二极管中的相位差,并且可执行焦点检测。

[0148] 接下来,将使用图 11E 描述每一像素单元行的信号输出操作。图 11E 示出了像素单元的示意性表示,并且 $L1$ 到 $L4$ 分别示出从图 11E 的顶部开始的第一到第四像素行。此外,行 $L1$ 示出“ $A+C, A+B+C+D$ ”,它们指示作为包括 $P(A+C)$ 信号的 $P(A+C+N)$ 信号在第一像素输出操作中被从像素 100 输出至垂直信号线 7,以及作为包括 $P(A+B+C+D)$ 信号的 $P(A+B+C+D+N)$ 信号在第二像素输出操作中被从像素 100 输出至垂直信号线 7。这同样应用于行 $L2$ 到 $L4$ 。此布置使得可在行 $L1$ 中的像素 100 中检测光电二极管列中的相位差,以及可在行 $L2$ 中的像素 100 中检测光电二极管行中的相位差。因此,在像素 100 的各行中可检测每列或者每行光电二极管中的相位差。另外,必要的话可如图 11D 那样提供用于检测对角线方向上的光电二极管中的相位差的行。

[0149] 此外,在第二像素输出操作中获得的 $P(A+B+C+D)$ 信号是基于入射在像素 100 中包含的所有光电二极管上的光的像素信号。因此,为了获得基于入射到像素 100 上的光的图

像,可使用从 $P(A+B+C+D)$ 信号转换得到的数字 $A+B+C+D$ 信号而生成图像。

[0150] 接下来,将使用图 11F 描述用于每行像素单元的信号输出操作的另一种形式。在图 11F 中,符号代表与图 11E 中的元件类似的元件。在图 11F 中的信号输出操作中,各行中的像素 100 以时间共享方式将 PN 信号、 $P(A+N)$ 信号、 $P(A+B+N)$ 信号、 $P(D+N)$ 信号、和 $P(D+C+N)$ 信号输出至垂直信号线 7。将参照图 10 描述此输出操作。图 10 示出如下形式,其中 $Latch_n$ 13-1 是具有多个存储器的双缓冲器存储器,每个存储器能够保持数字 N 信号。

[0151] 从时间 t_{111} 到时间 t_{114} 的操作可类似于上文参照图 9 描述的从时间 t_{91} 到时间 t_{94} 的操作。

[0152] 在时间 t_{115} , 传送脉冲 $PTX1$ 被设定为 H 电平。因此, $P(A+N)$ 信号被从像素 100 输出至垂直信号线 7。

[0153] 从时间 t_{116} 到时间 t_{118} 的操作可类似于上文参照图 9 描述的从时间 t_{96} 到时间 t_{98} 的操作。因此,通过将 $P(A+N)$ 信号转换成数字信号而获得的数字 $A+N$ 信号可被获得。

[0154] 在时间 t_{119} , 传送脉冲 $PTX2$ 被设定为 H 电平。因此, $P(A+B+N)$ 信号被从像素 100 输出至垂直信号线 7。

[0155] 从时间 t_{120} 到时间 t_{122} 的操作可类似于上文参照图 9 描述的从时间 t_{100} 到时间 t_{102} 的操作。因此,通过将 $P(A+B+N)$ 信号转换成数字信号而获得的数字 $A+B+N$ 信号可被获得。

[0156] 在时间 t_{123} , 复位脉冲 $PRES$ 被设定为 H 电平。因此,放大 MOS 晶体管 5 的栅极的电势具有复位电平。

[0157] 从时间 t_{124} 到时间 t_{127} 的操作可类似于上文描述的从时间 t_{111} 到时间 t_{114} 的操作。由于 $Latch_n$ 13-1 是双缓冲器存储器,因此 N 转换的时段以及在其期间在时间 t_{114} 保持的数字 N 信号被传送至差信号输出单元 15-1 的时段可重叠。

[0158] 在时间 t_{128} , 传送脉冲 $PTX3$ 被设定为 H 电平。因此, $P(D+N)$ 信号被从像素 100 输出至垂直信号线 7。

[0159] 从时间 t_{129} 到时间 t_{131} 的操作可类似于上文描述的从时间 t_{116} 到时间 t_{118} 的操作。因此,通过将 $P(D+N)$ 信号转换成数字信号而获得的数字 $D+N$ 信号可被获得。

[0160] 在时间 t_{132} , 传送脉冲 $PTX4$ 被设定为 H 电平。因此, $P(C+D+N)$ 信号被从像素 100 输出至垂直信号线 7。

[0161] 从时间 t_{133} 到时间 t_{135} 的操作可类似于上文描述的从时间 t_{120} 到时间 t_{122} 的操作。因此,通过将 $P(D+C+N)$ 信号转换成数字信号而获得的数字 $D+C+N$ 信号可被获得。

[0162] 通过使用从时间 t_{125} 到时间 t_{127} 的操作再次将 PN 信号转换成数字 N 信号。在一种形式中,可省略此操作,并且仅从时间 t_{112} 到时间 t_{115} 获得的数字 N 信号可被使用。

[0163] 如上所述,从成像装置输出数字 A 信号、数字 $A+B$ 信号、数字 D 信号和数字 $D+C$ 信号。在此形式中, n 个光电转换单元包括光电二极管 1 和 51,并且与 n 个光电转换单元不同的 p (p 是自然数) 个光电转换单元包括光电二极管 71。此外,与 n 个光电转换单元不同的 q (q 是自然数) 个光电转换单元包括光电二极管 61 和 71,其中 q 大于 p 。此形式已经在 $n = 2$ 、 $p = 1$ 和 $q = 2$ 的上下文中被描述。但是,此示例性实施例不局限于此形式,并且光电转换单元的数量可根据需要改变。即,光电转换单元的数量、即 m 、 n 、 p 和 q 可满足关系表达式 $m < n$ 和 $p < q$ 。

[0164] 输出信号处理单元 155 获得数字 B' 信号,其是从成像装置输出的数字 A 信号和数字 A+B 信号之间的差。数字 B' 信号是对应于通过对假定被从像素 100 输出的 B 信号执行数字转换而得到的数字 B 信号的信号。光电二极管列中的相位差可使用数字 A 信号和数字 B' 信号被检测。类似地,输出信号处理单元获得数字 C' 信号,其是数字 D 信号和数字 D+C 信号之间的差。数字 C' 信号是对应于通过对假定被从像素 100 输出的 C 信号执行数字转换而得到的数字 C 信号的信号。光电二极管列中的相位差可使用数字 D 信号和数字 C' 信号被检测。即,在图 11F 中的形式中,使用数字 A 信号和数字 B' 信号的相位差检测以及使用数字 D 信号和数字 C' 信号的相位差检测可通过一个像素 100 执行。可根据需要通过使用这两个相位差检测操作中的每一个或者组合这两个相位差检测操作来执行焦点检测。与图 11E 中的信号输出操作相比,焦点检测的精度可被提高。

[0165] 已经在如下形式的上下文中描述了图 11F 中的操作,在该形式中,作为示例,像素 100 输出 $P(A+N)$ 、 $P(A+B+N)$ 、 $P(D+N)$ 以及 $P(D+C+N)$ 信号。但是,可使用其他形式。即,可使用任何形式,只要基于一个给定光电二极管中的信号电荷的像素信号以及基于包括该给定二极管的两个光电二极管中的信号电荷的像素信号被输出即可。

[0166] 此示例性实施例的成像装置并不仅仅局限于图 11E 和图 11F 中的操作,并且图 11E 和 11F 中的操作可根据需要被组合地使用。例如,在 $P(A+N)$ 和 $P(A+B+N)$ 信号被从像素 100 输出之后, $P(A+B+C+D+N)$ 可被输出。

[0167] 图 11G 示出了光电二极管和滤色器 (RGB) 的布置的示例。在图 11G 中,两个像素 100-1 和 100-2 被示出。在图 11G 中,滤色器的颜色与生成用于获得 PA、PB、PC 和 PD 信号的信号电荷的光电二极管之间的布置关系被按照“滤色器的颜色与生成用于获得 PA、PB、PC 和 PD 信号的信号电荷的光电二极管”的顺序被示出。即,标记为“G-A”的区域是如下区域,其中设置绿色 (G) 滤色器,并且设置生成用于输出 PA 信号的信号电荷的光电二极管 1。在一个像素 100 中具有同一颜色的滤色器被设置在光电二极管的一行和两列上。此外,在两个像素 100-1 和 100-2 中,不同颜色的滤色器被设置成 Bayer 图案,从而同一颜色的滤色器被以一行和两列为单位进行布置。在此形式中,优选地,像素 100-1 和 100-2 中的每一个以与上文描述的在图 11C 中的方式类似的方式输出像素信号。这是因为,通过同一颜色的滤色器入射到光电二极管上的光的使用提供了高的焦点检测精度。此外,在一种形式中,焦点检测可使用从多个像素 100 输出的像素信号来执行。例如,在一种形式中,焦点检测可通过检测相位差来执行,通过使用从像素 100-1 的像素信号转换得到的数字 B 信号和数字 A 信号的组合、从像素 100-2 的像素信号转换得到的数字 D 信号和数字 C 信号的组合、以及从其中设置有绿色 (G) 滤色器的区域中包含的光电二极管输出的数字 A+B 信号和数字 C+D 信号的组合来检测相位差,可执行焦点检测。此外,在此形式的焦点检测中,可使用数字 B 信号和数字 A 信号的组合或数字 D 信号和数字 C 信号的组合,以及数字 A+B 信号和数字 C+D 信号的组合。此外,在图 11G 中,示出了如下形式,其中使用在水平方向 (HSC14 扫描的方向) 上设置的像素 100-1 和 100-2 执行焦点检测。作为对比,图 11H 示出了在使用在垂直方向 (VSC2 扫描的方向) 上设置的像素 100-1 和 100-2 执行焦点检测时的滤色器的布置的示例。还在使用在垂直方向上设置的多个像素 100 执行焦点检测的形式中,优选地,像素 100-1 和 100-2 中的每一个以与上文描述的图 11C 中的形式类似的形式输出像素信号。在像素 100-1 和像素 100-2 中的滤色器的布置中,可仅需要至少在像素 100-1 和像素 100-2 中的相邻光

电转换单元处设置的滤色器为同一颜色。即,在图 11H 中的形式中,仅需要像素 100-2 中的具有同一颜色的滤色器的“R-A”和“R-B”与像素 100-1 中的“R-C”和“R-D”相邻地布置。此外,优选地,如图 11H 中那样,像素 100-2 中的滤色器被布置成相对于像素 100-1 中的滤色器上下倒置。

[0168] 已经基于如下形式描述了此示例性实施例,该形式包括均作为示例在图 8A 中示出的像素 100 以及示例性实施例 1 的模数转换单元 160。在另一种形式中,如上所述,可根据需要实现如下的成像装置,该成像装置包括均作为示例在图 8A 中示出的像素 100 以及上文在示例性实施例 2-5 中描述的模数转换单元 160。另外,图 8A 中的像素 100 具有四个光电二极管,但是此示例性实施例不局限于此数目。即,可根据需要实现如下配置,该配置包括像素 100,每个像素 100 包括多个光电二极管并且设置有一个微透镜。根据需要,甚至上述形式仍可实现示例性实施例 1 到 4 中的上文描述的优点,并且也可提供基于相位差检测方法执行焦点检测的优点。

[0169] 示例性实施例 6

[0170] 将描述在成像系统中使用上文描述的示例性实施例 1 到 4 中的任一个的成像装置的示例性实施例。成像系统的示例可包括数字静物照相机、数字摄影机和安全照相机。在其中使用成像装置作为数字静物照相机的示例性实施例的成像系统的示例的示意图可与图 12 中的类似,已经结合图 12 描述了示例性实施例 5。

[0171] 如上所述,此示例性实施例的成像系统能够使用成像装置 154 执行成像操作。

[0172] 本发明不限于前述示例性实施例,并且可在不背离本发明的精神和范围的情况下作出多种改变和修改。因此,所附的以下权利要求清楚限定本发明的范围。

[0173] 附图标记列表

- [0174] 1, 51 光电转换单元
- [0175] 2 垂直扫描电路
- [0176] 4 复位 MOS 晶体管
- [0177] 5 放大 MOS 晶体管
- [0178] 6 选择 MOS 晶体管
- [0179] 7 垂直信号线
- [0180] 8 电源
- [0181] 9 比较器
- [0182] 10 斜坡信号生成电路
- [0183] 13 锁存器电路
- [0184] 14 水平扫描电路
- [0185] 15 差信号输出单元
- [0186] 16 模数转换单元
- [0187] 18 计数器
- [0188] 20, 50 传送 MOS 晶体管
- [0189] 21 电路单元
- [0190] 100 像素

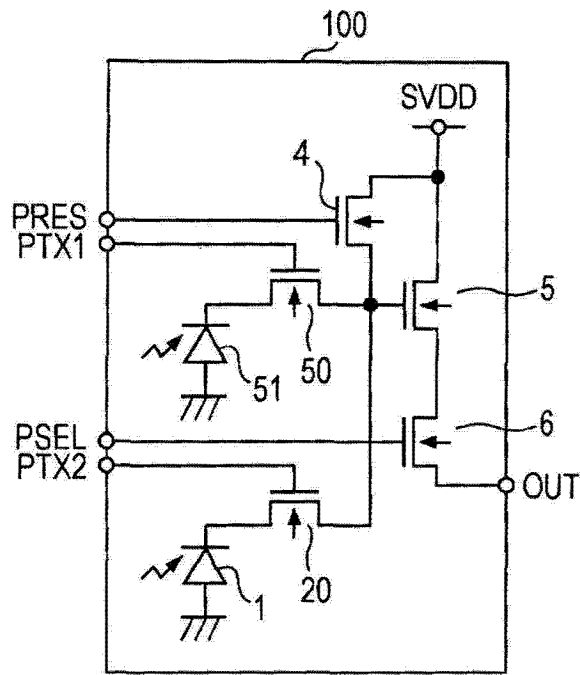


图 1A

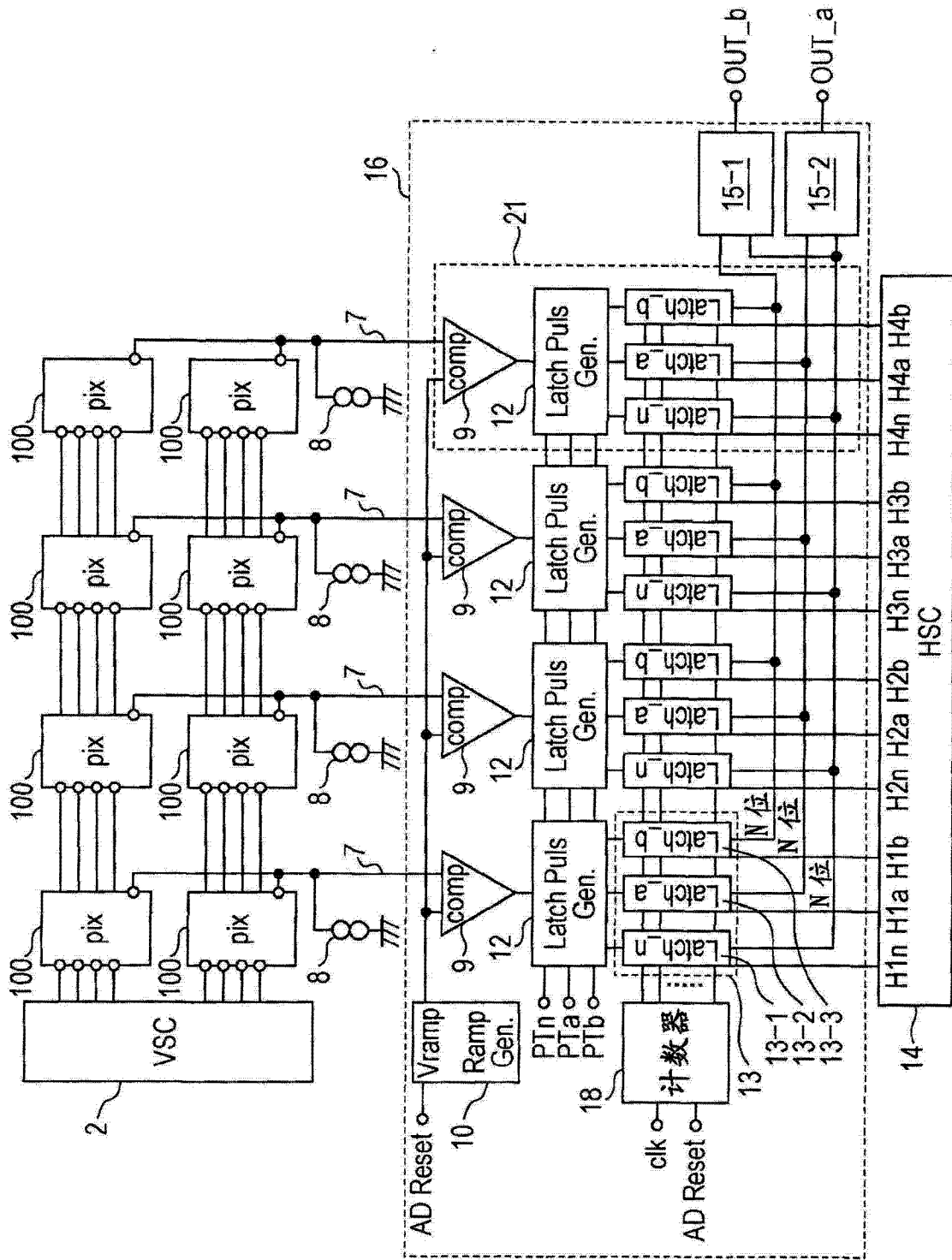


图 1B

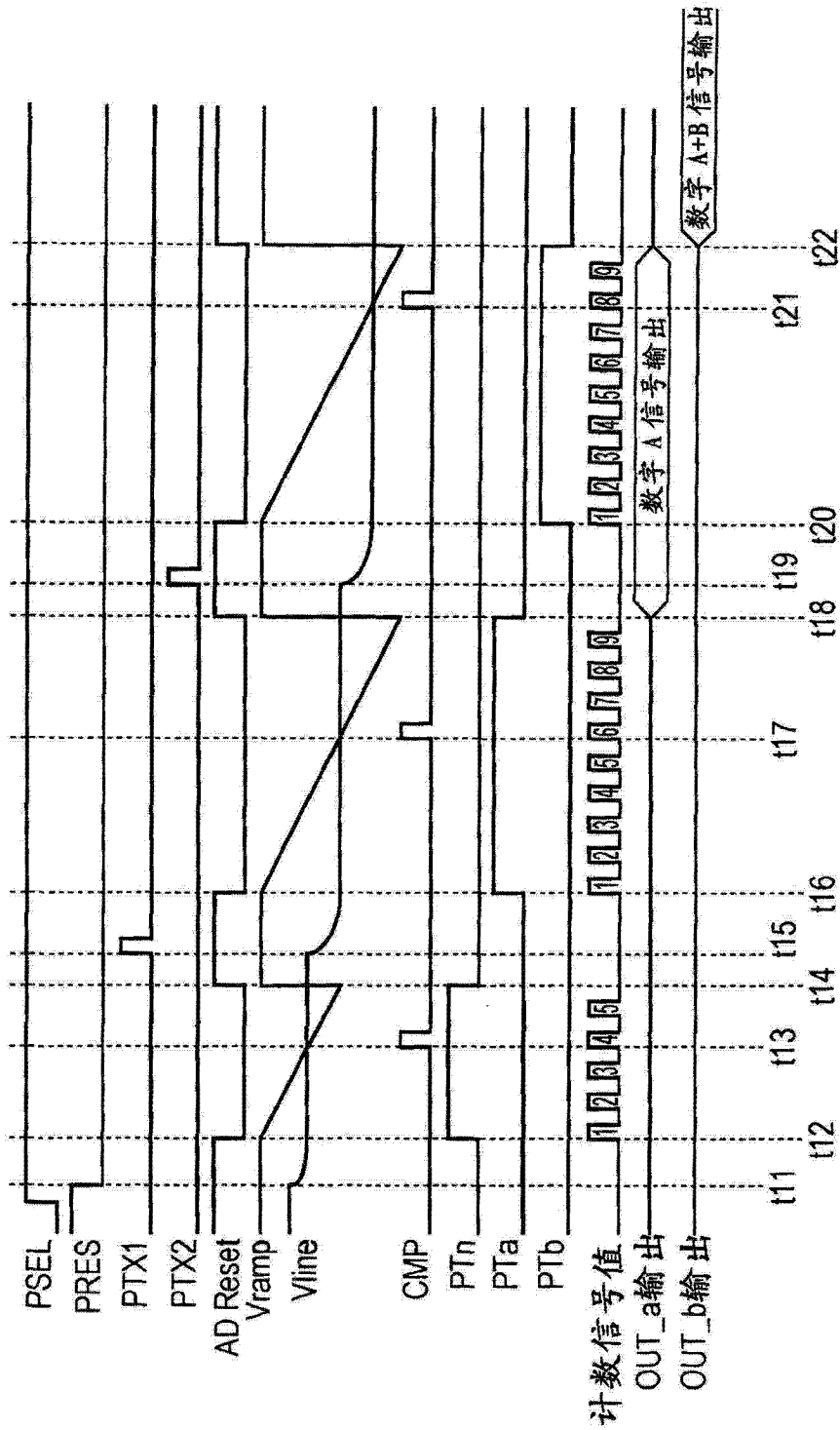


图 2

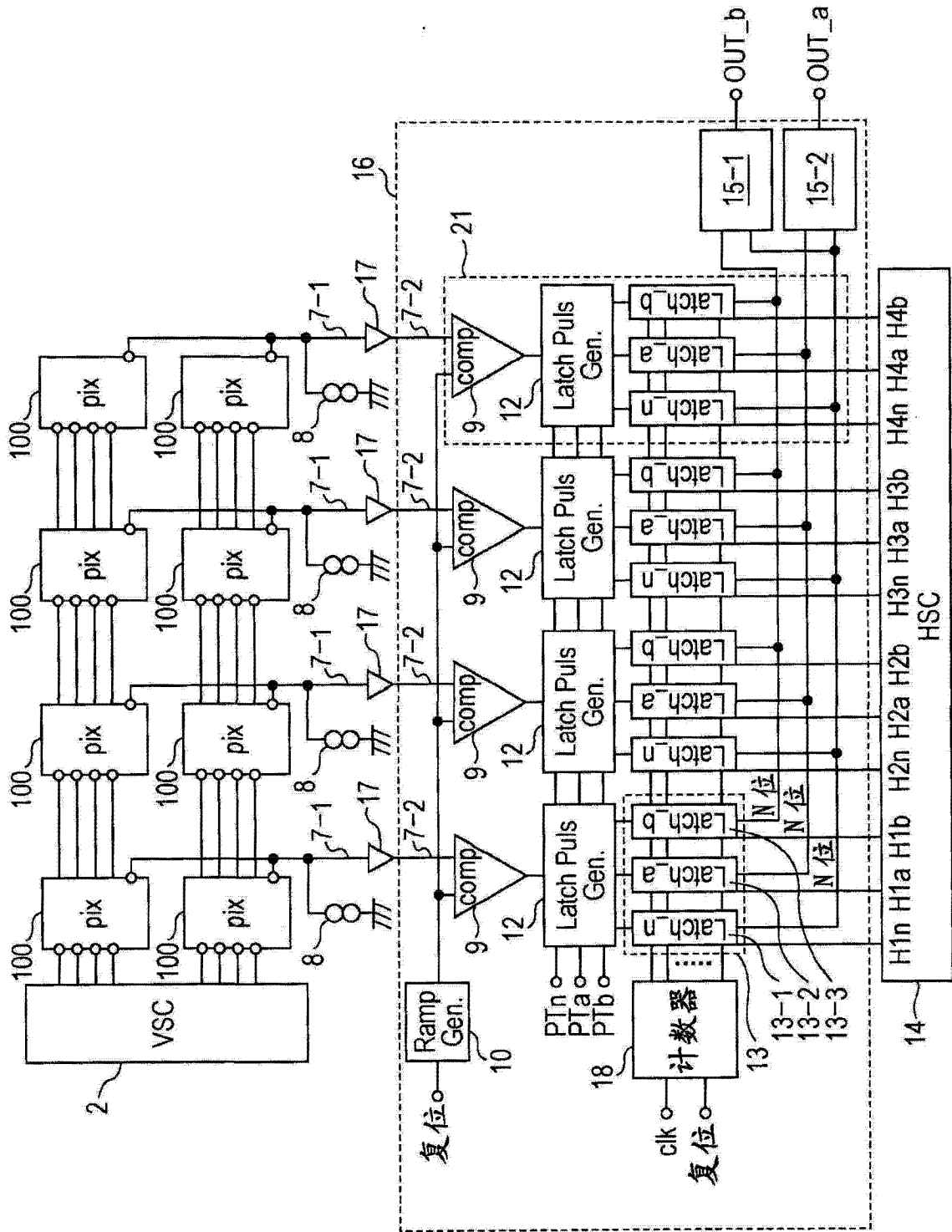


图 3A

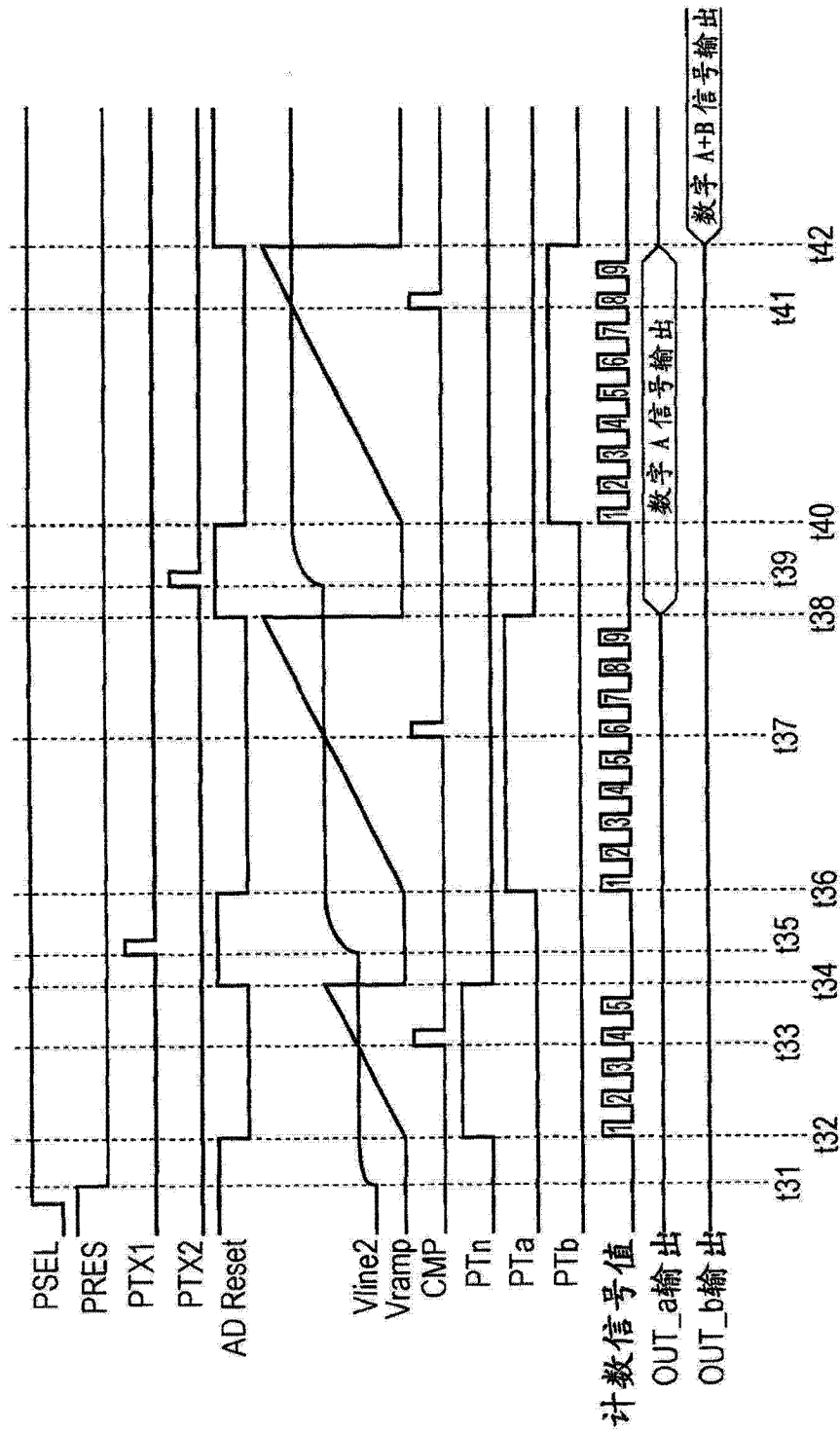


图 3B

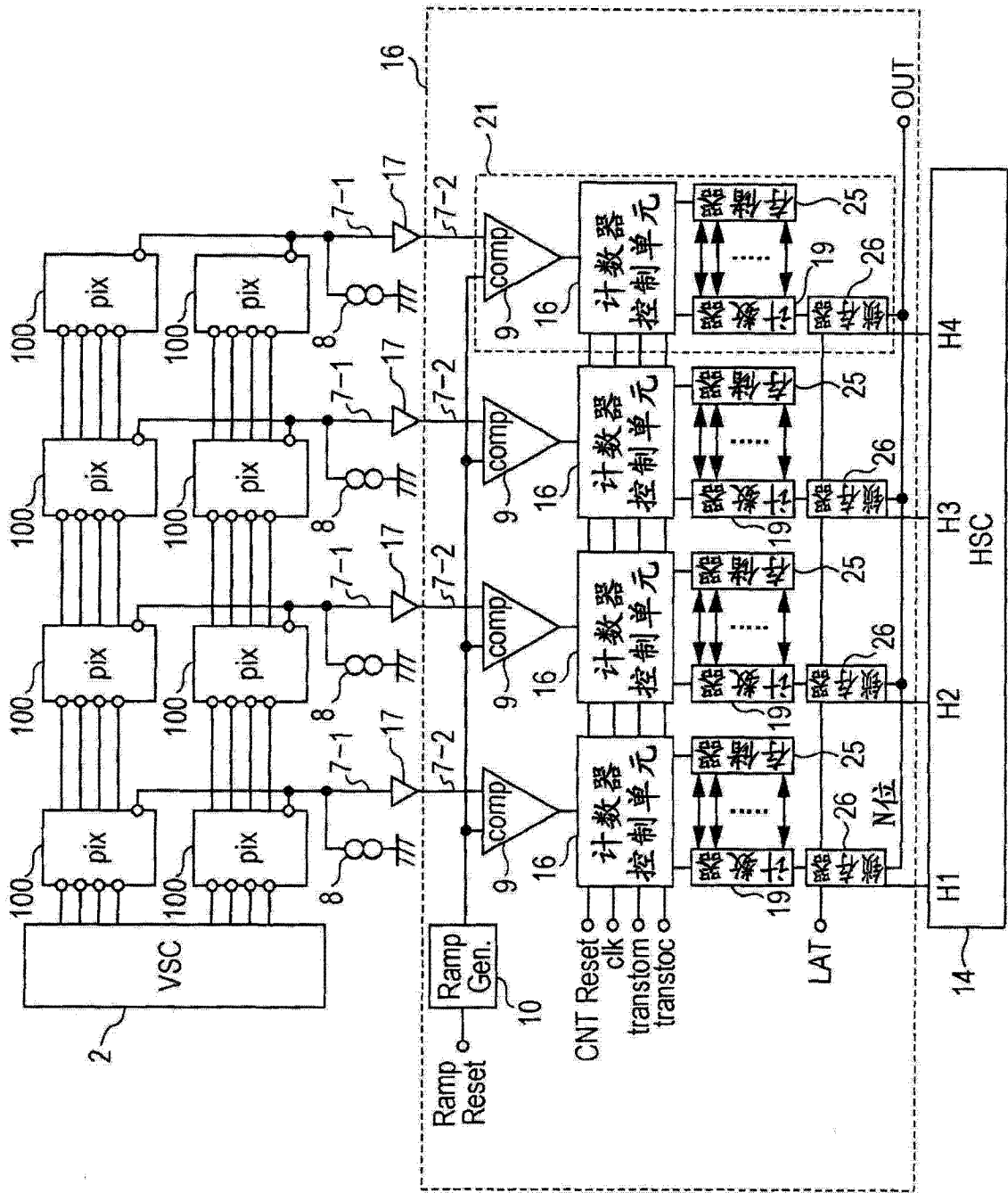


图 4A

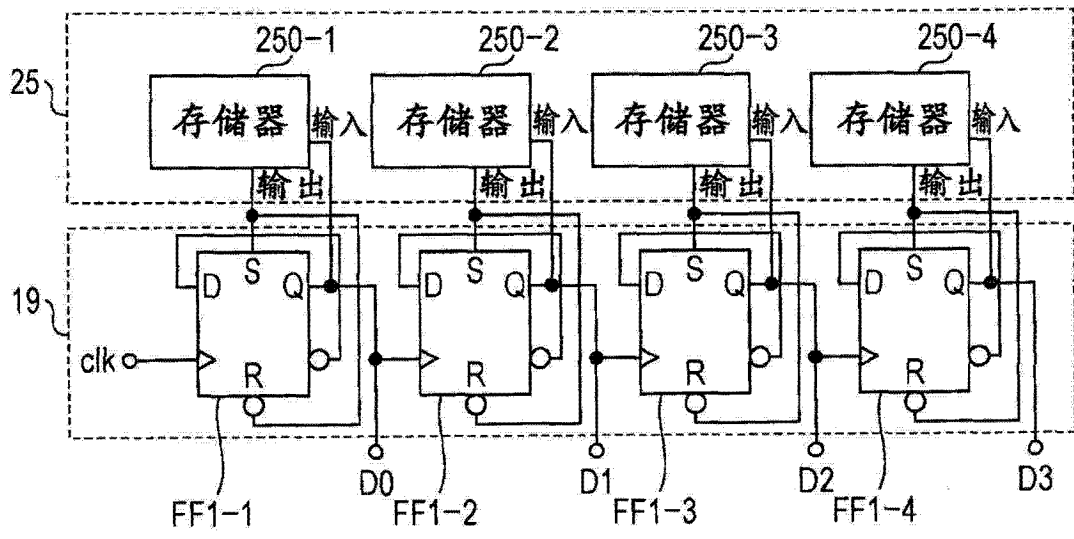


图 4B

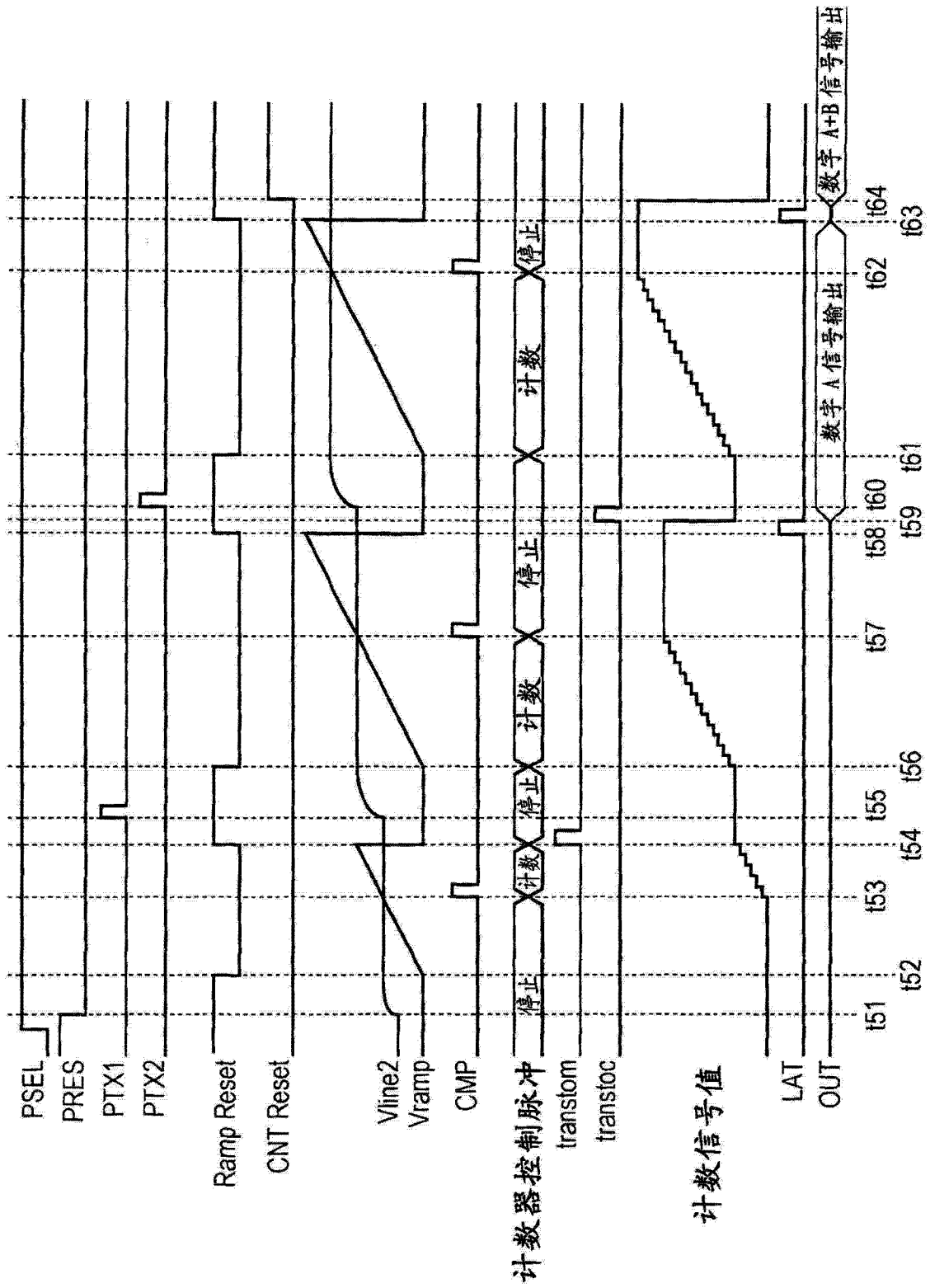


图 5

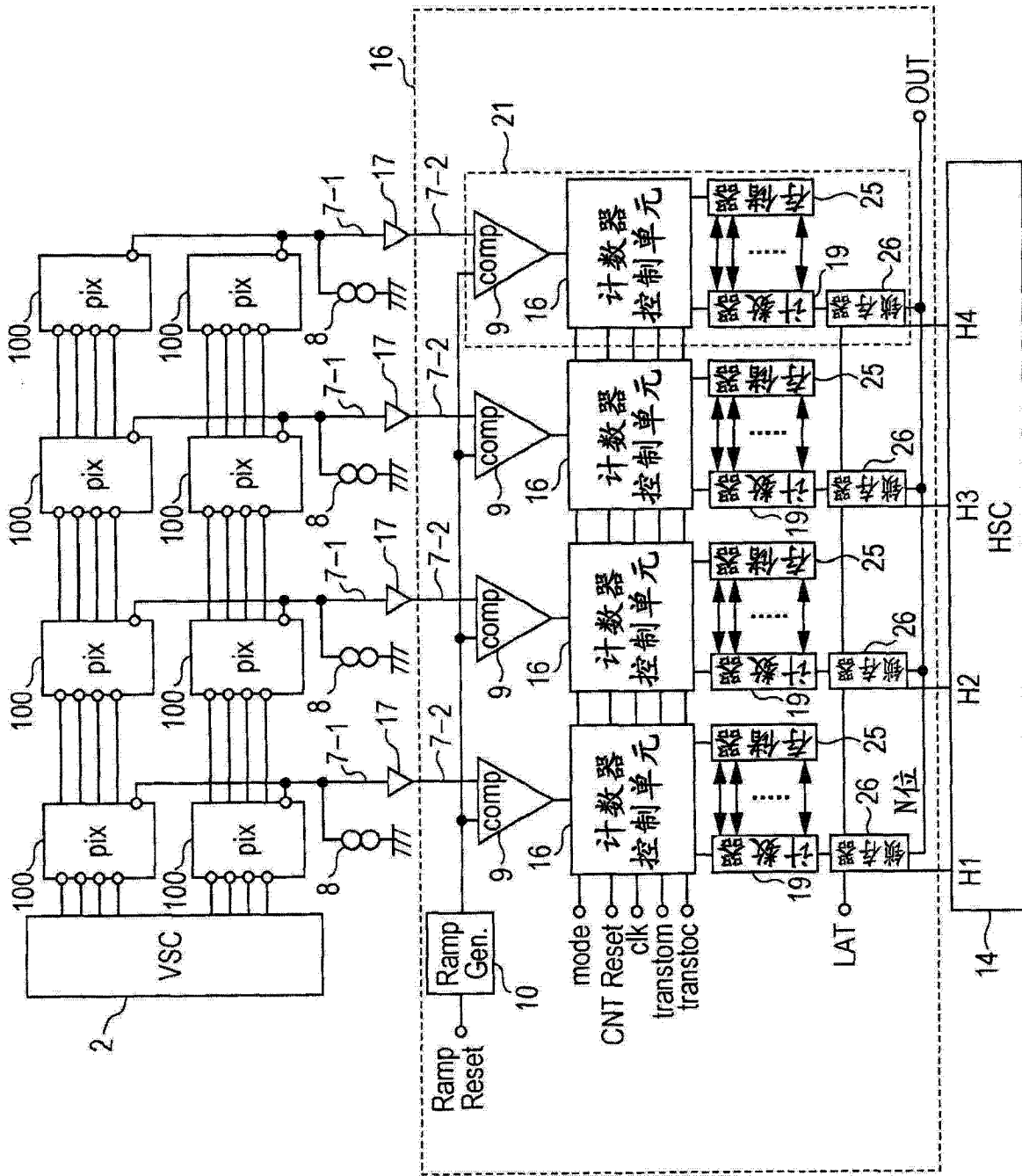


图 6A

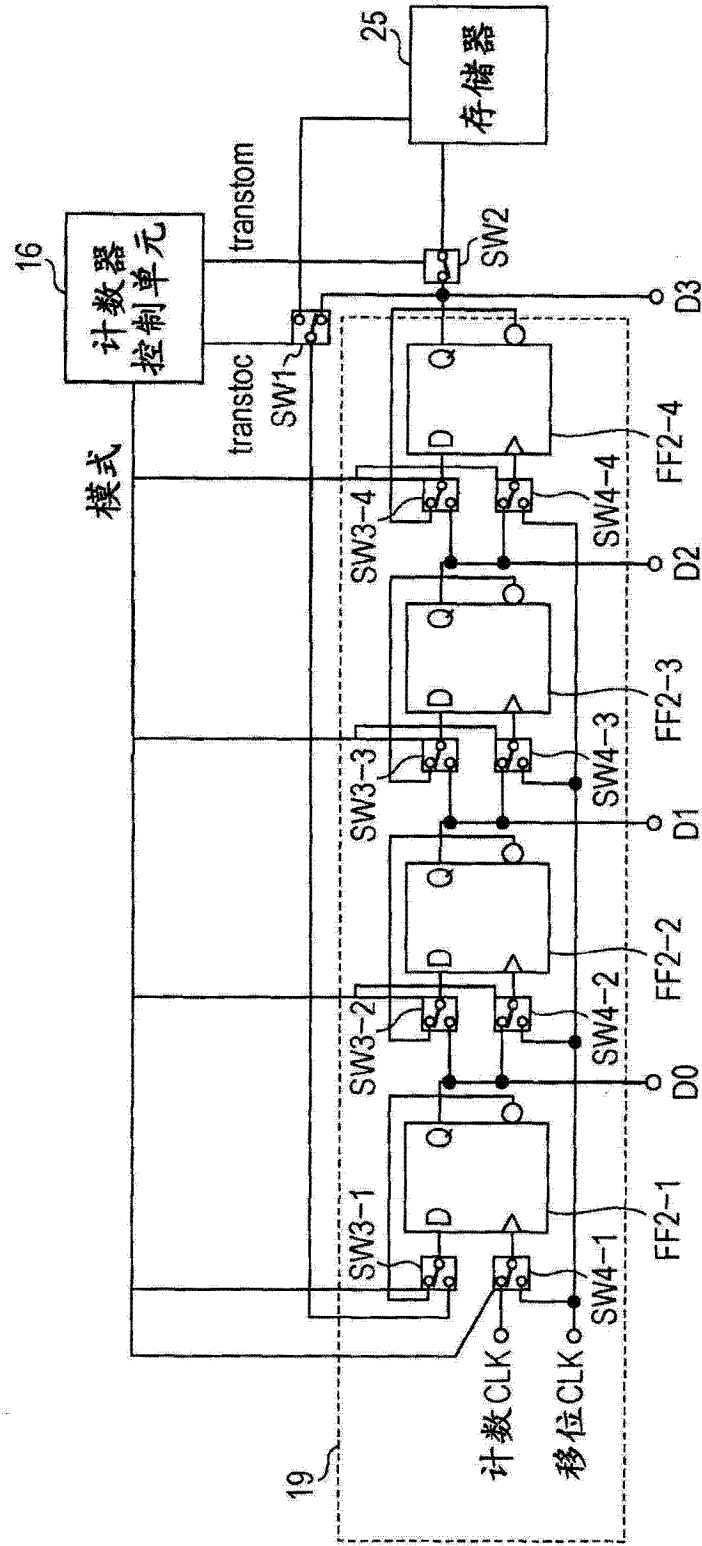


图 6B

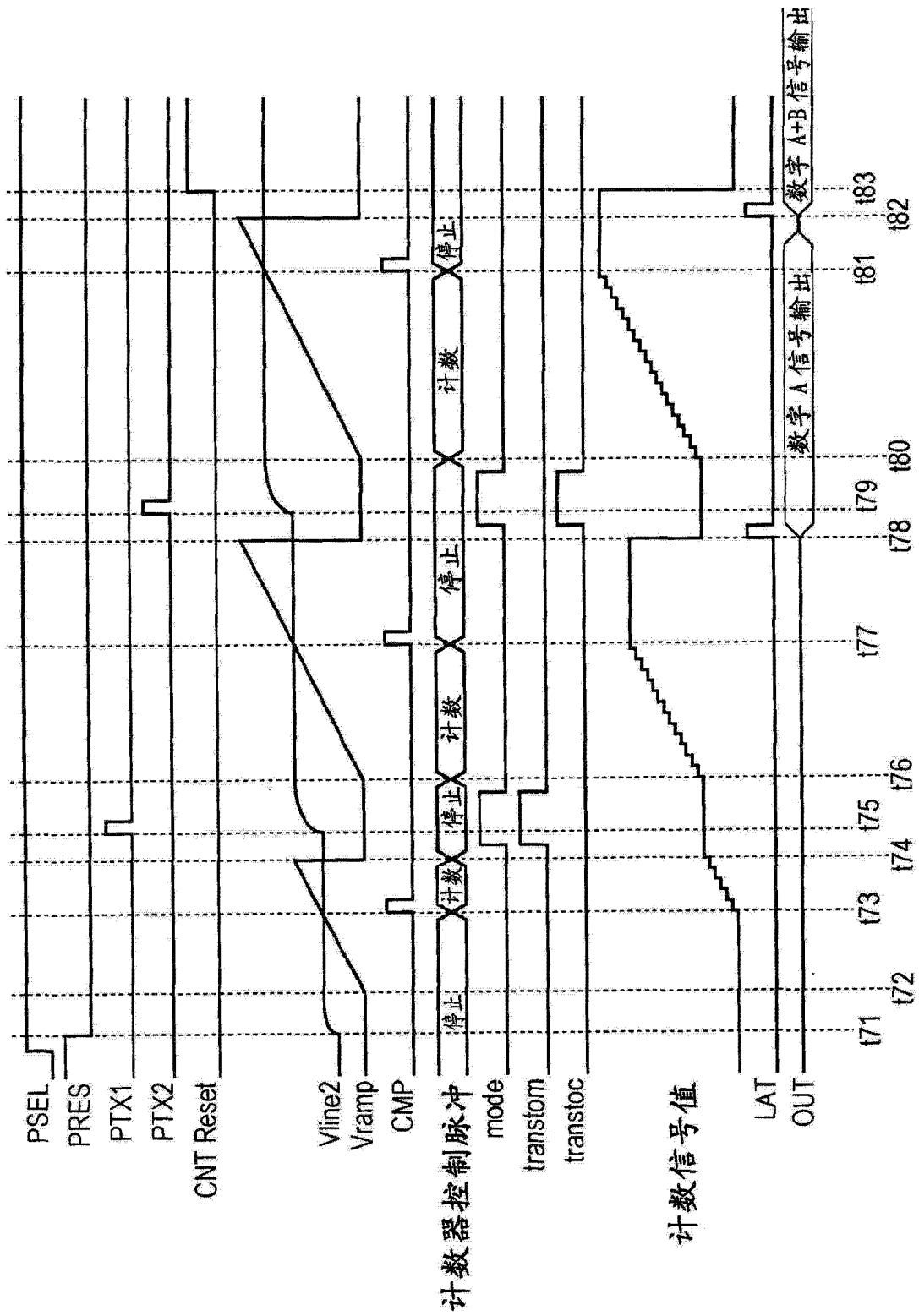


图 7

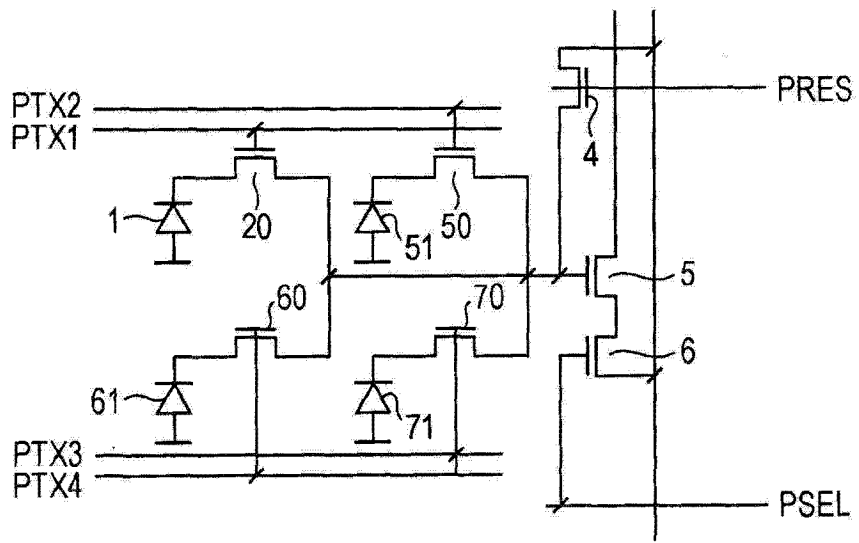


图 8A

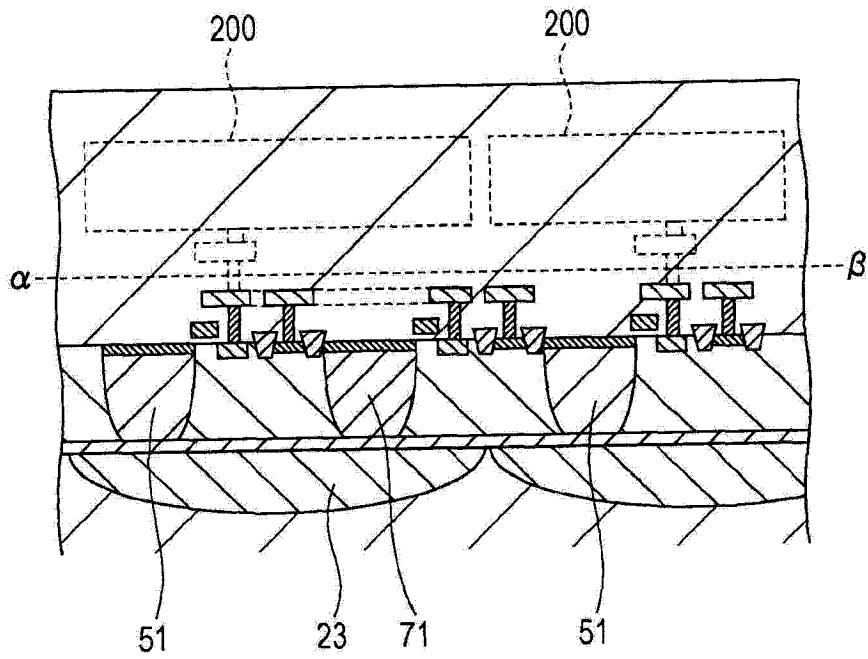


图 8B

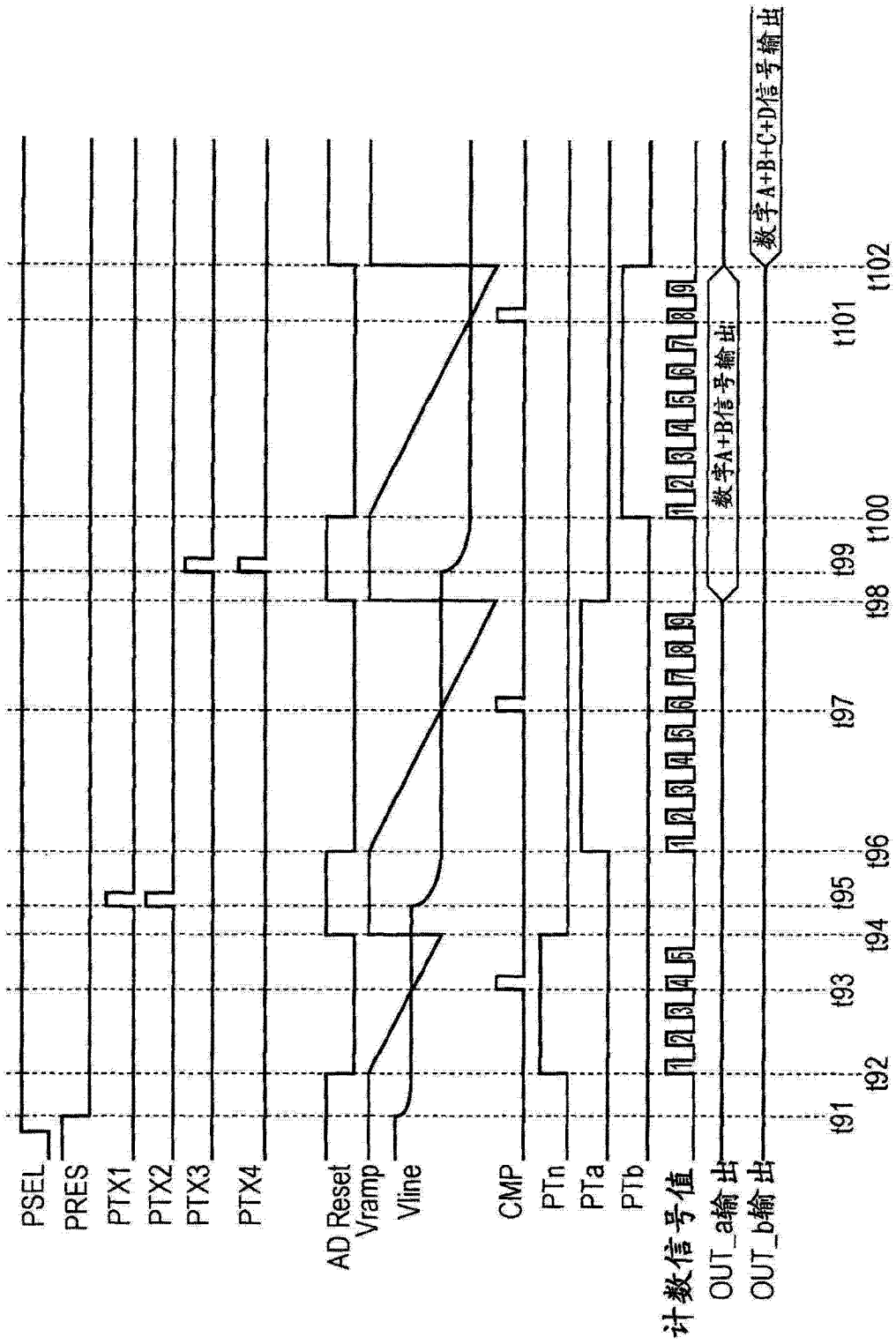


图 9

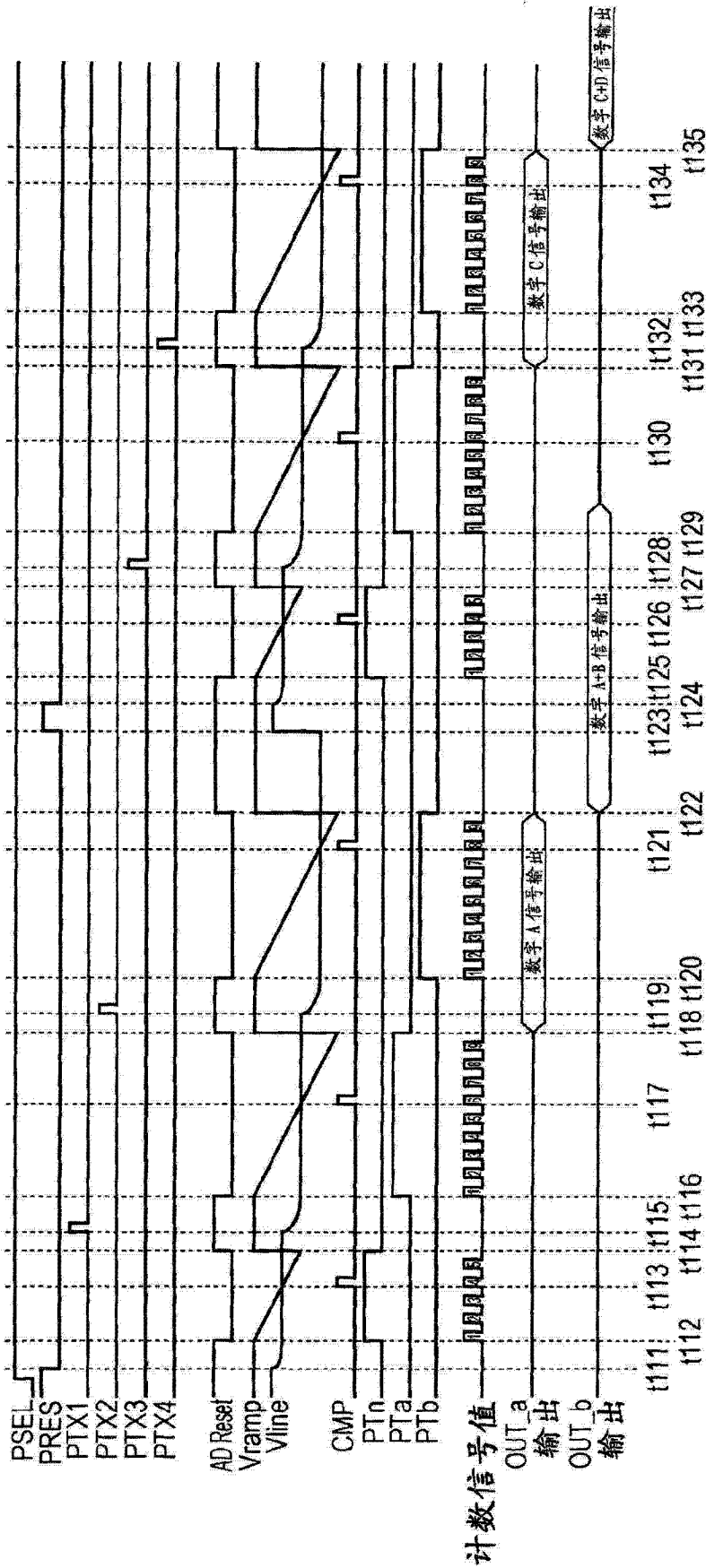


图 10

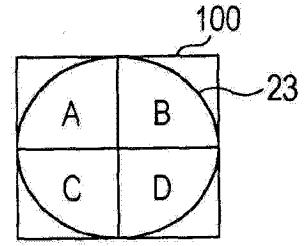


图 11A

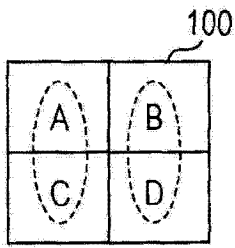


图 11B

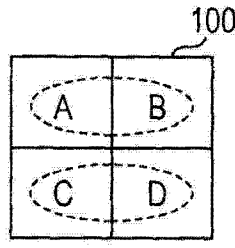


图 11C

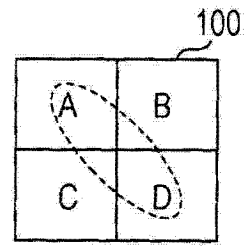


图 11D

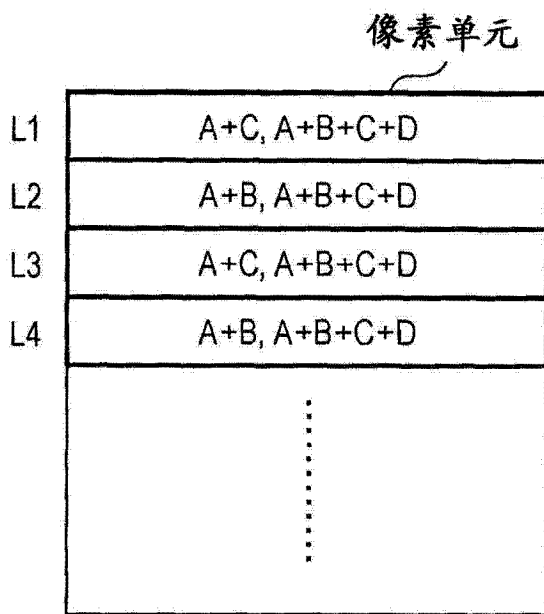


图 11E

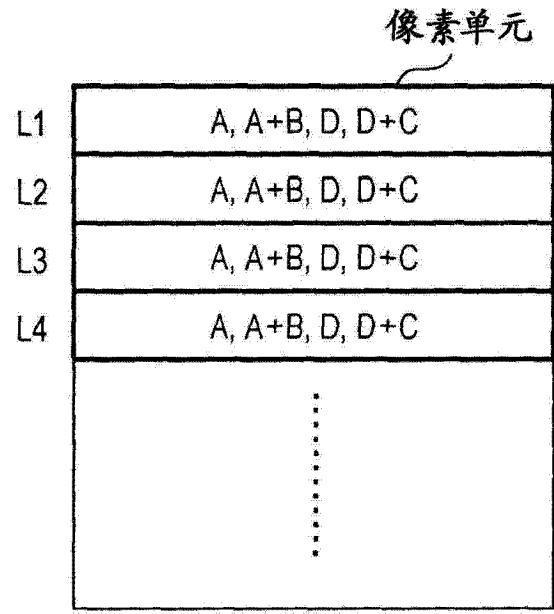


图 11F

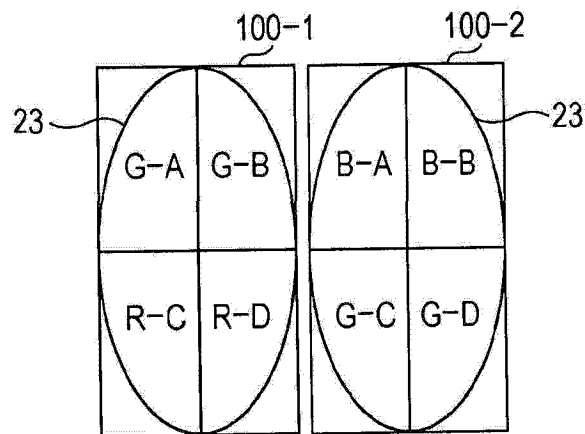


图 11G

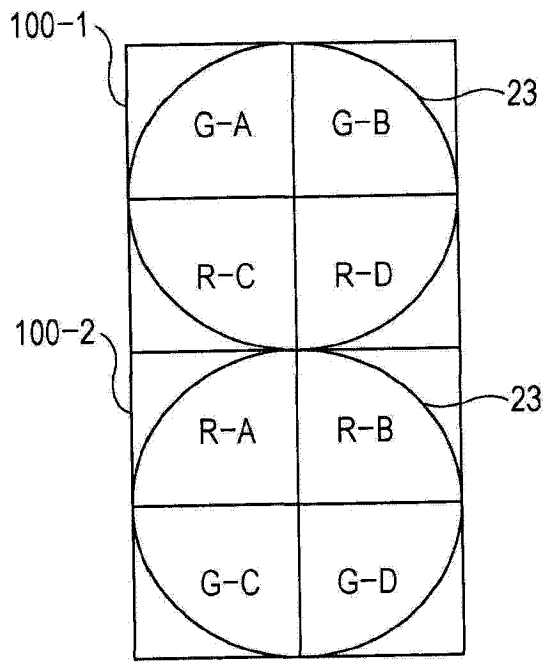


图 11H

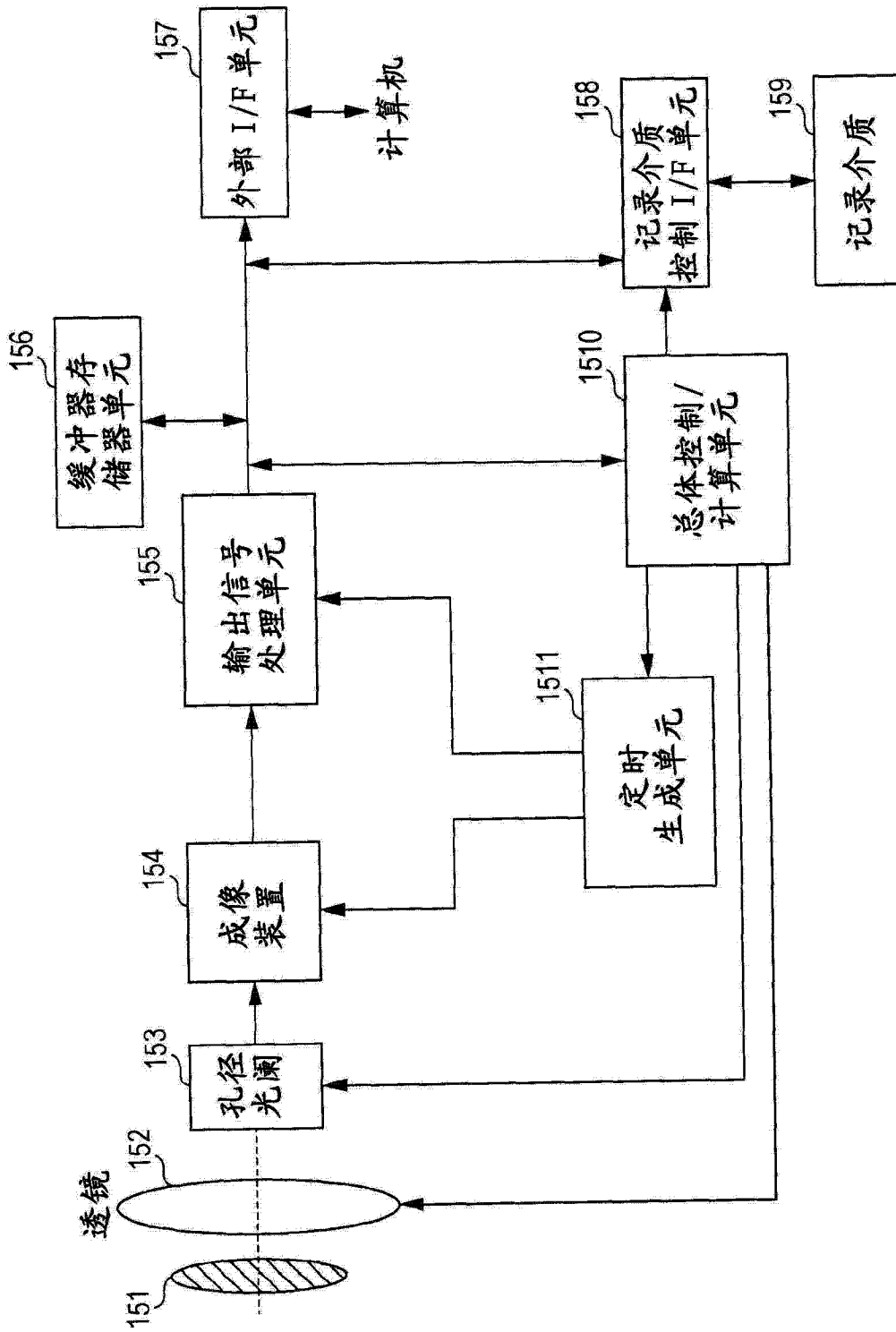


图 12