

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4769429号
(P4769429)

(45) 発行日 平成23年9月7日 (2011.9.7)

(24) 登録日 平成23年6月24日 (2011.6.24)

(51) Int. Cl.

F I

H O 1 L 21/301 (2006.01)

H O 1 L 21/78

B

B 2 3 K 26/00 (2006.01)

H O 1 L 21/78

X

B 2 3 K 26/18 (2006.01)

H O 1 L 21/78

L

B 2 3 K 101/40 (2006.01)

H O 1 L 21/78

Q

H O 1 L 21/78

S

請求項の数 9 (全 19 頁) 最終頁に続く

(21) 出願番号 特願2004-155881 (P2004-155881)
 (22) 出願日 平成16年5月26日 (2004.5.26)
 (65) 公開番号 特開2005-340423 (P2005-340423A)
 (43) 公開日 平成17年12月8日 (2005.12.8)
 審査請求日 平成19年5月22日 (2007.5.22)

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部 1 7 5 3 番地
 (74) 代理人 100080001
 弁理士 筒井 大和
 (72) 発明者 阿部 由之
 東京都千代田区丸の内二丁目4番1号 株
 式会社ルネサステクノロジ内
 (72) 発明者 宮崎 忠一
 東京都千代田区丸の内二丁目4番1号 株
 式会社ルネサステクノロジ内
 (72) 発明者 植松 俊英
 東京都千代田区丸の内二丁目4番1号 株
 式会社ルネサステクノロジ内

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

以下の工程を含むことを特徴とする半導体装置の製造方法：(a) 複数のチップ領域と、前記複数のチップ領域のうちの互いに隣り合うチップ領域間に設けられた切断領域とを備えた半導体ウエハを準備する工程；(b) 前記 (a) 工程の後、前記半導体ウエハにテープを貼り付ける工程；(c) 前記 (b) 工程の後、前記半導体ウエハの前記切断領域に形成された金属パターンを認識する工程；(d) 前記 (c) 工程の後、前記半導体ウエハの内部に集光点を合わせ、前記切断領域にレーザを照射し、前記切断領域における前記半導体ウエハの前記内部に改質層を形成する工程；(e) 前記 (d) 工程の後、前記テープを引き伸ばすことにより、前記改質層を起点として前記半導体ウエハを分割する工程；ここで、前記 (d) 工程では、平面視において前記金属パターンと重ならないように、前記切断領域に沿ってレーザを照射し、平面視において前記金属パターンと重ならない位置に前記改質層を形成する。

【請求項 2】

請求項 1 記載の半導体装置の製造方法において、

前記半導体ウエハは、主面と、前記主面とは反対側の裏面とを有し、

10

20

前記 (b) 工程の後、かつ、前記 (c) 工程の前に、前記テープに前記半導体ウエハの前記主面を貼り付けた状態で、前記半導体ウエハの前記裏面を研削する工程を有することを特徴とする半導体装置の製造方法。

【請求項 3】

請求項 2 記載の半導体装置の製造方法において、

前記半導体ウエハを研削した後に、前記半導体ウエハを研磨することを特徴とする半導体装置の製造方法。

【請求項 4】

請求項 3 記載の半導体装置の製造方法において、

前記半導体ウエハを研磨した後の前記半導体ウエハの厚さは、 $100\text{ }\mu\text{m}$ または $100\text{ }\mu\text{m}$ より薄いことを特徴とする半導体装置の製造方法。 10

【請求項 5】

請求項 3 記載の半導体装置の製造方法において、

前記研磨する工程は、研磨パッドを用いて行われることを特徴とする半導体装置の製造方法。

【請求項 6】

請求項 3 記載の半導体装置の製造方法において、

前記研磨する工程は、エッチング法により行われることを特徴とする半導体装置の製造方法。

【請求項 7】

請求項 1 記載の半導体装置の製造方法において、

前記金属パターンは、前記切断領域の幅方向において、中心からずれて配置されていることを特徴とする半導体装置の製造方法。 20

【請求項 8】

請求項 1 記載の半導体装置の製造方法において、

前記テープには、枠体が貼り付けられており、
前記 (b) 工程では、平面視において前記枠体の内側に前記半導体ウエハが位置するように、前記半導体ウエハに前記テープを貼り付けることを特徴とする半導体装置の製造方法。

【請求項 9】

請求項 8 記載の半導体装置の製造方法において、

前記半導体ウエハの主面は、前記テープの主面に形成された接着層を介して貼り付けられていることを特徴とする半導体装置の製造方法。 30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造技術に関し、特にステルスダイシング (Stealth Dicing) 技術に適用して有効な技術に関するものである。

【背景技術】

【0002】

近年、半導体装置は、携帯電話やデジタルカメラ等のような小型の電子装置に使用される他、メモリカードや IC (Integrated circuit) カード等のようなさらに薄型の電子装置に組み込まれたり、さらには各種商品に添付されて品質管理に利用されたり、紙幣等のような有価証券に内蔵されて偽造防止用に使用されたりする等、益々薄型化が進められている。

【0003】

このような半導体装置の薄型化に伴い半導体装置の製造時の基板材料として、例えば厚さ $100\text{ }\mu\text{m}$ 以下の極めて薄い半導体ウエハが使用されるようになってきている。しかし、このような薄い半導体ウエハを使用する半導体装置の後工程では新たな問題が生じつつある。特に、高速回転するダイシングブレードにより半導体ウエハを切断するブレードダ 50

イシング技術では、厚さが $100\text{ }\mu\text{m}$ 以下の極薄の半導体ウエハをダイシングブレードにより切断すると半導体ウエハの特に裏面側にチップング等が生じ、薄型の半導体チップの抗折強度が著しく低下する問題がある。また、上記のチップングが生じないようにするには、低速でダイシングせざるを得ず、スループットが低下する問題もある。

【0004】

これに対して、ステルスダイシング技術は、レーザ光を半導体ウエハの内部に照射して選択的に改質層を形成させながらダイシングラインを形成し、その改質層を半導体ウエハの主面に垂直な方向に成長させて半導体ウエハを切断するダイシング技術であり、上記のような問題を回避する新しいダイシング技術として注目されている。この技術によれば、厚さ $30\text{ }\mu\text{m}$ 程度の極めて薄い半導体ウエハでも、物理的にストレスを与えずに直接切断
10
できるので、チップングを低減でき、半導体チップの抗折強度を向上でき、半導体装置の歩留まりや信頼性を向上できる上、半導体ウエハの厚さに関わらず、毎秒 300 mm 以上の高速ダイシングが可能なので、スループットを向上させることもできる。

【0005】

上記のようなステルスダイシング技術については、例えば特開 $2004-1076$ 号公報に記載があり、ウエハの表面に保護テープを装着し、ウエハの裏面をレーザ光入射面として基板の内部に集光点を合わせてレーザ光を照射することにより多光子吸収による熔融処理領域を形成し、この熔融処理領域によってウエハの切断予定ラインに沿ってウエハの内部に切断起点領域を形成した後、ウエハの裏面にエキスパンドテープを貼り付けてエキ
20
スパンドテープを伸張させることにより、ウエハの切断起点領域を起点としてウエハを分割する技術が開示されている（特許文献1参照）。

【特許文献1】特開 $2004-1076$ 号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

ところが、上記ステルスダイシング技術においては、以下の課題があることを本発明者は見出した。

【0007】

すなわち、ステルスダイシング技術では、図41に示すように、半導体ウエハ50の主面のダイシング領域に配置されているTEG（Test Element Group）やアライメントター
30
ゲット用のアルミニウム等で形成された金属パターン51をきれいに切断することができず、その金属パターン51の切断部にひげ状の導体異物51aが残され、その導体異物51aがボンディングワイヤや電極等に接触し短絡不良を引き起こし、薄型の半導体装置の信頼性や歩留まりが低下する問題がある。

【0008】

本発明の目的は、薄型の半導体装置の信頼性を向上させることのできる技術を提供することにある。

【0009】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。
40

【課題を解決するための手段】

【0010】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0011】

すなわち、本発明は、半導体ウエハの主面の切断領域に配置された金属パターンに溝を形成した後、ステルスダイシング処理を施す工程を有するものである。

【発明の効果】

【0012】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明
50

すれば以下のとおりである。

【 0 0 1 3 】

すなわち、半導体ウエハの主面の切断領域に配置された金属パターンに溝を形成した後、ステルスダイシング処理を施すことにより、半導体ウエハを分割する際に分割する力が金属パターンの溝に沿って働き、金属パターンをきれいな形状で切断できるので、ひげ状の導体異物の発生を低減でき、薄型の半導体装置の信頼性を向上させることができる。

【 発明を実施するための最良の形態 】

【 0 0 1 4 】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。また、本実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【 0 0 1 5 】

（実施の形態 1）

本実施の形態 1 の半導体装置の製造方法を図 1 のフロー図に沿って図 2 ～ 図 3 1 により説明する。

【 0 0 1 6 】

まず、前工程 1 0 0 では、例えば直径 3 0 0 mm 程度の平面略円形状の半導体ウエハ（以下、単にウエハという）を用意し、その主面に複数の半導体チップ（以下、単にチップという）を形成する。前工程 1 0 0 は、ウエハプロセス、拡散工程またはウエハファブリケーションとも呼ばれ、ウエハの主面にチップ（素子や回路）を形成し、プローブ等により電氣的試験を行える状態にするまでの工程である。前工程には、成膜工程、不純物導入（拡散またはイオン注入）工程、フォトリソグラフィ工程、エッチング工程、メタライズ工程、洗浄工程および各工程間の検査工程等がある。図 2 は前工程 1 0 0 後のウエハ 1 W の主面の全体平面図、図 3 は図 2 の X 1 - X 1 線の断面図をそれぞれ示している。ウエハ 1 W の主面には、例えば平面四角形状の複数のチップ 1 C が、その各々の周囲に切断領域 C R を介して配置されている。ウエハ 1 W の半導体基板（以下、単に基板という）1 S は、例えばシリコン（S i）単結晶からなり、その主面には素子および配線層 1 L が形成されている。この段階のウエハ 1 W の厚さ（基板 1 S の厚さと配線層 1 L の厚さとの総和）は、例えば 7 7 5 μ m 程度である。符号の N はノッチを示している。

【 0 0 1 7 】

図 4 は図 2 のウエハ 1 W の一例の要部拡大平面図、図 5 は図 4 の領域 R 1 の拡大平面図、図 6 は図 5 の X 2 - X 2 線の断面図をそれぞれ示している。配線層 1 L には、層間絶縁膜 1 L i、配線 1 L 1、1 L 2、ボンディングパッド（外部端子；以下、単にパッドという）1 L B、テスト（T E G : Test Element Group）用のパッド 1 L B t、アライメントターゲット A m および保護膜 1 L p が形成されている。層間絶縁膜 1 L i は、例えば酸化シリコン（S i O₂等）のような無機系の絶縁膜により形成されている。配線 1 L 1、1 L 2、パッド 1 L B、1 L B t およびアライメントターゲット A m は、例えばアルミニウム等のような金属膜で形成されている。最上の配線 1 L 2 およびパッド 1 L B、1 L B t を覆う保護膜 1 L p は、例えば酸化シリコンのような無機系の絶縁膜とポリイミド樹脂の

ような有機系の絶縁膜との積層膜からなる。この保護膜 1 L p の有機系の絶縁膜は、ウエハ 1 W の主面最上面に露出された状態で堆積されている。この保護膜 1 L p の一部には、開口部 2 が形成されており、そこからパッド 1 L B , 1 L B t の一部が露出されている。パッド 1 L B は、チップ 1 C の外周に沿って並んで配置され、配線 1 L 1 を通じてチップ 1 C の集積回路素子と電氣的に接続されている。

【 0 0 1 8 】

テスト用のパッド 1 L B t およびアライメントターゲット A m は、チップ 1 C の切断領域 C R に配置されている。テスト用のパッド 1 L B t は、例えば平面矩形状に形成され、配線 1 L 1 を通じて T E G 用の素子と電氣的に接続されている。アライメントターゲット A m は、例えば露光装置等のような製造装置とウエハ 1 W のチップ 1 C との位置合わせの際に用いられるパターンで、例えば平面十字状に形成されている。アライメントターゲット A m は、十字状の他に、L 字状やドット状に形成される場合もある。本実施の形態 1 では、この切断領域 C R に配置されているテスト用のパッド 1 L B t およびアライメントターゲット A m の上面に分割用の溝 S が形成されている。この分割用の溝 S は、後述のステルスダイシング処理によりウエハ 1 W を個々のチップ 1 C に分割する時に、切断領域 C R に位置するパッド 1 L B t やアライメントターゲット A m も破線で示す切断線 C L に沿ってきれいに分割されるように分割を誘導する部分あるいは分割の起点となる部分であり、平面で見ると切断線 C L 上に直線状（連続的）に延び、断面で見るとパッド 1 L B t やアライメントターゲット A m の厚さ方向の途中の深さ位置まで延びるように形成されている。本実施の形態 1 では、溝 S の断面形状は V 字形状となっているが、これに限定されるものでなく種々変更可能であり、例えば U 字形状や凹部となっても良い。溝 S は、例えばフォトレジストパターンをエッチングマスクとしたエッチング（ウエットまたはドライエッチング）処理により形成されている。ただし、溝 S の形成方法は、これに限定されるものではなく種々変更可能であり、例えば加工ツールをパッド 1 L B t やアライメントターゲット A m の上面に押し当てる等して機械的に形成しても良いし、レーザビームや集束イオンビーム等のようなエネルギービームを切断線 C L 上に沿って照射することで形成しても良い。これらの方法の場合、フォトレジストパターンを形成しないので、製造工程を簡略化できる。また、溝 S は、図 7 に示すように、切断線 C L 上に沿ってミシン目（破線）状に形成しても良い。これにより、後述のテスト工程 1 0 1 時に、テスト用のパッド 1 L B t とこれに当てるプローブとの接触状態を良好にできるので、テストの信頼性を向上できる。なお、図 7 の X 2 - X 2 線の断面図は図 6 と同じである。

【 0 0 1 9 】

次に、図 1 のテスト工程 1 0 1 では、ウエハ 1 W の各チップ 1 C のパッド 1 L B および切断領域 C R のテスト用のパッド 1 L B t にプローブを当てて各種の電氣的特性検査を行う。このテスト工程は、G / W（Good chip/Wafer）チェック工程とも呼ばれ、主としてウエハ 1 W に形成された各チップ 1 C の良否を電氣的に判定する試験工程である。上記溝 S は、このテスト工程の後に形成しても良い。これにより、テスト用のパッド 1 L B t とプローブとの接触状態を良好にできるので、テストの信頼性を向上できる。

【 0 0 2 0 】

続く図 1 の後工程 1 0 2 は、上記テスト工程 1 0 1 後の工程であって、チップ 1 C を封止体（パッケージ）に収納し完成するまでの工程であり、裏面加工工程 1 0 2 A、チップ分割工程 1 0 2 B および組立工程 1 0 2 C を有している。

【 0 0 2 1 】

まず、裏面加工工程 1 0 2 A では、ウエハ 1 W の主面（チップ形成面）にテープを貼り付ける（工程 1 0 2 A 1）。図 8 はウエハ 1 W が貼り付けられた治具 3 の全体平面図、図 9 は図 8 の X 4 - X 4 線の断面図、図 1 0 は図 8 の他の例の X 4 - X 4 線の断面図をそれぞれ示している。なお、図 8 ではウエハ 1 W の主面のチップ 1 C を破線で示した。

【 0 0 2 2 】

治具 3 は、テープ 3 a とリング（枠体）3 b とを有している。テープ 3 a のテープベース 3 a 1 は、例えば柔軟性を持つプラスチック材料からなり、その主面には接着層 3 a 2

が形成されている。テープ 3 a は、その接着層 3 a 2 によりウエハ 1 W の主面にしっかりと貼り付けられている。テープ 3 a の厚さ（テープベース 3 a 1 の厚さと接着層 3 a 2 の厚さとの総和）は、あまり厚いとその後の工程でのハンドリングやテープ 3 a の剥離が難しくなるので、例えば $130 \sim 210 \mu\text{m}$ 程度の薄いものが使用されている。このテープ 3 a として、例えば UV テープを使用することも好ましい。UV テープは、接着層 3 a 2 の材料として紫外線（UV）硬化性樹脂が使用された粘着テープであり、強力な粘着力を持ちつつ、紫外線を照射すると接着層 3 a 2 の粘着力が急激に弱くなる性質を有している。

【0023】

本実施の形態 1 では、このテープ 3 a の外周に剛性を持つリング 3 b が貼り付けられている。リング 3 b は、テープ 3 a が撓まないように支える機能を有する補強部材である。この補強の観点からリング 3 b は、例えばステンレス等のような金属により形成することが好ましいが、金属と同程度の硬度を持つように厚さを設定したプラスチック材料により形成しても良い。リング 3 b の外周には、切り欠き部 3 b 1 , 3 b 2 が形成されている。この切り欠き部 3 b 1 , 3 b 2 は、治具 3 のハンドリング時や治具 3 と治具 3 を載置する製造装置との位置合わせ時に使用する他、製造装置に治具 3 を固定する際の引っかかり部として使用される。本実施の形態 1 においては、後述のようにダイシング時にも治具 3 を使用するので、治具 3 の各部（切り欠き部 3 b 1 , 3 b 2 も含む）の寸法や形状が裏面加工とダイシングとで共用可能なように設定されている。図 9 ではリング 3 b がテープ 3 a の主面（ウエハ貼付面）に貼り付けられている場合を示し、図 10 ではリング 3 b がテープ 3 a の裏面（ウエハ貼付面とは反対側の面）に貼り付けられている場合を示している。リング 3 b は、テープ 3 a にウエハ 1 W を貼り付ける前に貼り付けても良いし、テープ 3 a にウエハ 1 W を貼り付けた後に貼り付けても良い。

【0024】

続いて、テープ 3 a にリング 3 b を貼り付けてサポート強度を向上させた状態で、ウエハ 1 W の厚さを測定する（工程 102 A 2）。図 11 はウエハ 1 W の厚さ測定の一例の様子を示す断面図、図 12 は図 11 のウエハ 1 W の厚さ測定時の要部拡大平面図をそれぞれ示している。ここでは、ウエハ 1 W を保持した治具 3 を、裏面加工装置の吸着ステージ 4 上に載せ真空吸着により固定した状態で、例えばレーザ変位計 5 a を用いてウエハ 1 W の裏面の高さ H 1 と、テープ 3 a の主面の高さ H 2 とを測定する。これにより、ウエハ 1 W の実際の厚さと、テープ 3 a の厚さのばらつき（ $\pm 7 \sim 8 \mu\text{m}$ 程度）とを測定でき、正確な研削量および研磨量を決めることができる。

【0025】

その後、図 13 に示すように、研削研磨工具 6 および吸着ステージ 4 を回転させて、上記研削量および研磨量に基づいてウエハ 1 W の裏面に対して研削処理および研磨処理を順に施す（工程 102 A 3 , 102 A 4）。これにより、図 14 に示すように、ウエハ 1 W の厚さを、例えば $100 \mu\text{m}$ 以下（ここでは、例えば $90 \mu\text{m}$ 程度）の極めて薄い厚さ（極薄）にする。この時の研磨処理は、チップの厚さが薄くなり $100 \mu\text{m}$ 以下になると上記研削処理によりウエハ 1 W の裏面に生じた損傷やストレスが原因でチップの抗折強度が低下しチップを実装する時の圧力でチップが割れてしまう不具合が生じ易くなるので、そのような不具合が生じないようにウエハ 1 W の裏面の損傷やストレスを無くす上で重要な処理となっている。研磨処理としては、研磨パッドとシリカとを用いて研磨する方法や化学機械研磨（Chemical Mechanical Polishing : CMP）法その他、例えば硝酸とフッ酸とを用いたエッチング法を用いても良い。

【0026】

以上のような裏面加工工程後、吸着ステージ 4 の真空吸引状態を解除し、極薄のウエハ 1 W を保持した治具 3 を裏面加工装置から取り出す。この時、本実施の形態 1 では、ウエハ 1 W が極薄とされていてもリング 3 b によりテープ 3 a をしっかりと支えることができるので、極薄のウエハ 1 W のハンドリングや搬送を容易にすることができる。また、そのハンドリングや搬送時にウエハ 1 W が割れたり反ったりすることを防止することができる

10

20

30

40

50

。したがって、ウエハ 1 W の品質を確保することができるようになっている。このため、本実施の形態 1 では、この裏面加工後の段階で極薄のウエハ 1 W を治具 3 に保持させたままの状態での製造工場（例えばアセンブリファブ）に搬送出荷し、裏面加工後のダイシングおよび組立を依頼しても良い。

【 0 0 2 7 】

次に、チップ分割工程 1 0 2 B に移行する。ここでは、まず、極薄のウエハ 1 W を保持した治具 3 をそのままダイシング装置に搬送し、図 1 5 に示すように、ダイシング装置の吸着ステージ 7 に載置する。すなわち、通常は、裏面加工時にウエハ 1 W の主面に貼り付けたテープを剥がして、ウエハ 1 W の裏面にダイシングテープを貼り付ける（ウエハマウント）工程が必要とされているが、本実施の形態 1 では、そのウエハマウント工程を削減できるので、半導体装置の製造工程を簡素化することができる。したがって、半導体装置の製造時間を短縮できる。また、ダイシングテープを不要とすることができるので、材料費を低減でき、半導体装置のコストを低減できる。

【 0 0 2 8 】

続いて、本実施の形態 1 ではウエハ 1 W の主面にテープ 3 a が貼り付いた状態でダイシングするため、治具 3 を真空吸引した状態でウエハ 1 W の裏面から赤外線カメラ（以下、I R カメラ）5 b によりウエハ 1 W の主面のパターン（チップ 1 C や切断領域 C R のパターンの他、切断領域 C R に配置されているパッド 1 L B t やアライメントターゲット A m 等のような金属パターンやチップ 1 C 内に配置されているパッド 1 L B 等のような金属パターン）を認識する（工程 1 0 2 B 1 ）。この時、本実施の形態 1 では、ウエハ 1 W が極めて薄いのでウエハ 1 W の主面のパターンの様子を充分に観測できる。その後、I R カメラ 5 b で得られたパターン情報に基づいて切断線 C L の位置合わせ（位置補正）を実施し、以下のようにステルスダイシング処理を行う。

【 0 0 2 9 】

まず、図 1 6 に示すように、レーザ発生部 9 から放射されたレーザ光（エネルギービーム）L B を上記パターン情報に基づいて位置合わせされた切断線 C L に沿って相対的に移動させる。この時、レーザ光 L B をウエハ 1 W の裏面からウエハ 1 W の内部に集光点を合わせた状態で照射することにより、図 1 7 に示すように、ウエハ 1 W の内部に多光子吸収による改質層（光学的損傷部）P L を形成し、この改質層 P L により切断線 C L に沿って切断起点領域を形成する。この場合、ウエハ 1 W の裏面は、レーザ光 L B が入射されるレーザ光入射面となっているので、レーザ光 L B の散乱を低減または防止するために平坦かつ滑面であることが好ましい。上記改質層 P L は、ウエハ 1 W の内部が多光子吸収によって加熱され熔融されたことで形成されている。この熔融処理領域は、一旦熔融した後に再固化した領域や、まさに熔融状態の領域や、熔融状態から再固化する状態の領域であり、相変化した領域や結晶構造が変化した領域ということもできる。また、熔融処理領域とは単結晶構造、非晶質構造、多結晶構造において、ある構造が別の構造に変化した領域ということもできる。例えば単結晶構造から非晶質構造に変化した領域、単結晶構造から多結晶構造に変化した領域、単結晶構造から非晶質構造および多結晶構造を含む構造に変化した領域を意味する。ここでは、改質層 P L は、例えば非晶質シリコンとされている。また、ここでは、レーザ光 L B をウエハ 1 W の裏面を透過させてウエハ 1 W の内部に多光子吸収を発生させて改質層 P L を形成しており、ウエハ 1 W の裏面ではレーザ光 L B がほとんど吸収されていないので、ウエハ 1 W の裏面が熔融することはない。特に限定されるものではないが、レーザ光 L B の照射条件は、例えば以下の通りである。すなわち、光源は、例えば波長が 1 0 6 4 n m の Y A G レーザ、照射速度は 3 0 0 m m / s とし、0 . 7 μ m 間隔で照射した。なお、上記集光点とはレーザ光 L B が集光した箇所である。また、切断線 C L は切断領域 C R の幅方向（短方向）のほぼ中心を通るように配置される。

【 0 0 3 0 】

続いて、図 1 8 に示すように、治具 3 を載置台 1 0 に載せた状態で、リング 3 b を矢印 A に示す方向に押し下げテープ 3 a を矢印 B に示すように引き伸ばす。すると、テープ 3 a の伸びる力により、図 1 9 のウエハ 1 W の要部拡大断面図に示すように、改質層 P L を

起点としてウエハ 1 W の厚さ方向に沿って割れ C が生じ、さらには図 2 0 および図 2 1 に示すように、改質層を形成しない状態で切断するために要する力よりもウエハ 1 W が非常に小さな力で切断され、個々のチップ 1 C に分割される。この時、本実施の形態 1 によれば、ウエハ 1 W を分割する時の力が、切断領域 C R に配置されたテスト用のパッド 1 L B t やアライメントターゲット A m の分割用の溝 S に沿って働き、図 2 2 に示すように、パッド 1 L B t やアライメントターゲット A m をきれいな形状で切断できるので、ひげ状の導体異物の発生を低減できる。このため、薄型の半導体装置の信頼性を向上させることができる。また、ダイシングブレードによりウエハ 1 W を切断するブレードダイシング方式の場合、ウエハ 1 W が薄くなってくると切断時にチップングが生じ易くなりチップの抗折強度が低下するので、チップ 1 C の品質を確保する観点から低速（例えば毎秒 6 0 mm 程度またはウエハ 1 W の厚さに応じてそれ以下）で処理せざるを得なくなってくる。これに対して、ステルスダイシング方式の場合、ウエハ 1 W の表面に損傷を与えず内部のみを切断するため、チップ 1 C の表面に存在するチップングを極少に抑えることができる。このため、チップ 1 C の抗折強度を向上させることができる。また、例えば毎秒 3 0 0 mm という高速な切断処理ができるので、スループットを向上させることができる。また、上記のようにウエハ 1 W の主面の切断領域 C R には、レーザ光が透過することができないテスト用のパッド 1 L B t が存在するので、ウエハ 1 W の主面側からレーザ光を照射するとテスト用のパッド 1 L B t が邪魔になりその部分の加工（改質層の形成）が上手くできない場合がある。これに対して、本実施の形態 1 では、テスト用のパッド 1 L B t 等のようなメタルの存在しないウエハ 1 W の裏面側からレーザ光を照射するので、上記のような不具合を生じることなく良好に改質層を形成でき、ウエハ 1 W を良好に切断することができる。

【 0 0 3 1 】

ここで、本実施の形態 1 では、上記のようなダイシング後の段階で極薄の複数のチップ 1 C を治具 3 に保持させたままの状態での他の製造工場（例えばアセンブリファブ）に搬送出荷し、ダイシング工程後の組立を依頼しても良い。

【 0 0 3 2 】

次に、組立工程 1 0 2 C に移行する。ここでは、複数のチップ 1 C を保持した治具 3 をピックアップ装置に搬送する。図 2 3 はピックアップ装置に載置された治具 3 の要部拡大断面図を示している。テープ 3 a の裏面側には押上ピン 1 1 が上下動可能な状態で設置されている。また、チップ 1 C の裏面上方には、コレット 1 2 が上下左右に移動可能な状態で設置されている。コレット 1 2 として平コレットを用いたが角錐コレットを用いても良い。このピックアップ工程では、図 2 4 に示すように、テープ 3 a の裏面を真空吸引した状態で、押上ピン 1 1 によりテープ 3 a の裏面からチップ 1 C を押し上げる。この時、テープ 3 a として上記 U V テープを使用した場合にはテープ 3 a の接着層 3 a 2 に紫外線を照射することにより接着層 3 a 2 を硬化させ接着力を弱める。この状態でチップ 1 C をコレット 1 2 により真空吸引することにより、図 2 5 に示すように、チップ 1 C をピックアップする（工程 1 0 2 C 1 ）。

【 0 0 3 3 】

しかし、チップ 1 C が薄くなると U V テープを使用したとしても押上ピン 1 1 の押圧力によりチップ 1 C の割れやピックアップミスを引き起こす場合がある。そのような場合には、次のようにしても良い。図 2 6 はピックアップ装置に載置された治具 3 の要部拡大断面図を示している。ここではテープ 3 a の裏面側に多突起吸着駒 1 3 が設置されている。この場合、図 2 7 に示すように、多突起吸着駒 1 3 の吸引孔を通じてテープ 3 a をその裏面側から真空吸引することにより、チップ 1 C の主面とテープ 3 a の主面との接触状態を面接触から点接触に変える。これにより、チップ 1 C とテープ 3 a との接触面積を低減できる。この状態で、図 2 8 に示すように、チップ 1 C をコレット 1 2 によりピックアップする（工程 1 0 2 C 1 ）。これにより、極薄のチップ 1 C でも割れ等を生じさせることなくピックアップすることができる。この場合は、テープ 3 a として U V テープを使用しなくてもチップ 1 C のピックアップを容易にできるが、U V テープを使用し、ピックアップ

時にテープ 3 a の接着層 3 a 2 に紫外線を照射し接着性を低下させることでさらにチップ 1 C のピックアップを容易にすることができる。

【 0 0 3 4 】

続いて、上記のようにしてピックアップしたチップ 1 C を既存の反転ユニットによりチップ 1 C の主面が上を向くように反転させた後、図 2 9 に示すように、コレット 1 2 により、例えばプリント配線基板 1 5 のチップ実装領域まで移送する。プリント配線基板 1 5 のチップ実装領域には、例えば銀 (A g) ペースト等のような接着材 1 6 がマトリクス状に点在した状態で塗布されている。プリント配線基板 1 5 に代えてリードフレームのダイパッド (チップ搭載部) 上にチップ 1 C を実装する場合もある。また、ピックアップしたチップ 1 C を搬送トレイに収容して他の製造工場 (例えばアセンブリファブ) に搬送出荷し、この工程後の組立を依頼しても良い (工程 1 0 3 A) 。続いて、図 3 0 に示すように、チップ 1 C の裏面をプリント配線基板 1 5 のチップ実装領域に向けた状態でチップ 1 C をチップ実装領域に載せ、適切な方向にスクラブし、かつ、チップ 1 C を適度に押し付けて接着材 1 6 をチップ 1 C の裏面全体に広げる。その後、接着材 1 6 を硬化させてチップ 1 C をプリント配線基板 1 5 上に固着する (工程 1 0 2 C 2) 。その後、図 3 1 に示すように、チップ 1 C の主面のパッド 1 L B とプリント配線基板 1 5 の電極とをボンディングワイヤ (以下、単にワイヤという) 1 7 により接続する (工程 1 0 2 C 3) 。その後、トランスファモールド法を用いてエポキシ樹脂等のようなプラスチック材料からなる封止体によりチップ 1 C を封止する (工程 1 0 2 C 4) 。チップ 1 C がバンパ電極を持つ場合は、上記ピックアップ工程 1 0 2 C 1 においてチップ 1 C をその主面が下を向いた状態でプリント配線基板 1 5 のチップ実装領域に移送し、チップ 1 C のバンパ電極とチップ実装領域の電極とをペースト材を用いて仮固定した後、リフロ処理することでチップ 1 C のバンパ電極とプリント配線基板 1 5 の電極とを固着する (フリップチップボンディング) 。その後、チップ 1 C とプリント配線基板 1 5 との対向面間にアンダーフィルを充填した後、チップ 1 C を上記と同様に封止する (工程 1 0 4 C 4) 。

【 0 0 3 5 】

図 3 2 は、本実施の形態 1 の半導体装置の製造方法により製造された半導体装置 2 0 の断面図の一例を示している。この半導体装置 2 0 は、1 つのパッケージ内に所望の機能のシステムが構築された S I P (System In Package) 構成とされている。この半導体装置 2 0 を構成するプリント配線基板 1 5 の裏面には、複数のバンパ電極 2 1 がマトリクス状に配置されている。また、プリント配線基板 1 5 の主面上には、複数の薄型のチップ 1 C 1 ~ 1 C 3 (1 C) が積層されている。最下層のチップ 1 C 1 は、その主面のバンパ電極 B M P を介してプリント配線基板 1 5 の主面上に実装されている。このチップ 1 C の主面には、例えば C P U (Central Processing Unit) や D S P (Digital Signal Processor) 等のような論理回路が形成されている。このチップ 1 C の裏面上には、ダイアタッチフィルム 2 2 を介してチップ 1 C 2 が実装されている。チップ 1 C 2 の主面には、例えば S R A M (Static Random Access Memory) やフラッシュメモリ等のようなメモリ回路が形成されている。このチップ 1 C 2 の主面のパッド 1 L B は、ワイヤ 1 7 を介してプリント配線基板 1 5 の主面の電極と電気的に接続されている。このチップ 1 C 2 の主面上には、スぺーサ 2 3 およびダイアタッチフィルム 2 2 を介してチップ 1 C 3 が実装されている。このチップ 1 C 3 には、例えば S R A M やフラッシュメモリ等のようなメモリ回路が形成されており、チップ 1 C 3 の主面のパッド 1 L B は、ワイヤ 1 7 を介してプリント配線基板 1 5 の主面の電極と電気的に接続されている。このようなチップ 1 C 1 ~ 1 C 3 およびワイヤ 1 7 は、例えばエポキシ樹脂からなる封止体 2 4 により封止されている。上記した本実施の形態 1 の半導体装置の製造方法によれば、図 3 2 のようなチップ 1 C 1 ~ 1 C 3 の多段積層ができ、S I P 構成を有する半導体装置 2 0 の薄型化を実現することができる。また、S I P 構成を有する半導体装置 2 0 の信頼性を向上させることができる。

【 0 0 3 6 】

(実施の形態 2)

図 3 3 は本実施の形態 2 の半導体装置の製造工程中のウエハ 1 W の切断領域 C R の拡大

平面図を示している。本実施の形態 2 では、パッド 1 L B t および前記アライメントターゲット A m (以下、パッド 1 L B t 等という) の中心線がステルスダイシング時のレーザ光 L B が照射される切断線 C L からずれて配置されている。図 3 3 では、パッド 1 B L t が切断線 C L を跨がずに切断線 C L の上下に互いに斜め方向の位置になるように配置されている。なお、パッド 1 L B t と電氣的に接続される T E G 用の素子や配線 1 L 1 も切断線 C L を跨がないように上下に分離されて配置されている。

【 0 0 3 7 】

このようなパッド 1 L B t 等の配置によれば、パッド 1 L B t 等は、ウエハ 1 W の切断時に既に分割されており切断されることがないので、ひげ状の導体異物の発生を防止できる。このため、薄型の半導体装置の信頼性をさらに向上させることができる。また、パッド 1 L B t 等をステルスダイシング時のレーザ光 L B が当たらないように離れて配置することにより、レーザ光 L B をウエハ 1 W の主面から照射することもできる。

【 0 0 3 8 】

図 3 4 および図 3 5 は、本実施の形態 2 の変形例を示している。図 3 4 では、パッド 1 L B t が切断線 C L を中心に上下対称に配置されている。また、図 3 3 および図 3 4 では、切断線 C L が切断領域 C R の幅方向のほぼ中心を通過するのに対して、図 3 5 では、切断線 C L が切断領域 C R の幅方向中心からずれて配置されている。この場合、図 3 3 および図 3 4 の場合と切断領域 C R の幅の寸法は同じでも、図 5、図 7、図 3 3 および図 3 4 の場合よりもパッド 1 L B t の面積を大きくできるので、上記テスト工程 1 0 1 においてパッド 1 L B t にプローブを当て易くすることができる。

【 0 0 3 9 】

(実施の形態 3)

本実施の形態 3 では、チップ 1 C の裏面にダイアタッチフィルム 2 2 を設ける場合について説明する。

【 0 0 4 0 】

まず、前工程 1 0 0 からステルスダイシングのレーザ光 L B の照射工程 1 0 2 B 2 までは前記実施の形態 1 と同じである。続いて、図 3 6 に示すように、ウエハ 1 W の裏面にダイアタッチフィルム 2 2 を貼り付ける。ダイアタッチフィルム 2 2 は、引き伸ばすことで切断できるくらいの柔らかい材料であり、例えばポリイミドである。その後、前記実施の形態 1 と同様に図 3 7 に示すように、治具 3 を載置台 1 0 に載せた状態で、リング 3 b を矢印 A に示す方向に押し下げテープ 3 a を矢印 B に示すように引き伸ばしテープ 3 a の伸びる力により、ウエハ 1 W を改質層を形成しない状態で切断するために要する力よりも小さな力で切断し、個々のチップ 1 C に分割する。この時に、ダイアタッチフィルム 2 2 も一緒に切断される。このようにして、裏面にダイアタッチフィルム 2 2 を設けたチップ 1 C を用意することができる。

【 0 0 4 1 】

(実施の形態 4)

本実施の形態 4 では、一般的な後工程への適用例を図 3 8 の半導体装置の製造装置のフロー図に沿って説明する。

【 0 0 4 2 】

まず、前記実施の形態 1 と同様に、前工程 2 0 0 から裏面研磨工程 2 0 2 A 4 を行う。本実施の形態 4 では、裏面研磨工程 2 0 2 A 4 後のウエハ 1 W の厚さは、前記実施の形態 1 の場合よりも厚く、例えば 2 2 0 ~ 2 8 0 μm 程度とされている。また、裏面研削および裏面研磨に際してウエハ 1 W の主面に貼り付ける保護テープについては、リングを設けていない一般的なものを用いている。続いて、前記実施の形態 1 と同様に、ウエハ 1 W の主面のパターン (切断領域) を認識し (工程 2 0 2 B 1)、レーザ光 L B をウエハ 1 W の裏面から照射し、ウエハ 1 W の内部に改質層 P L を形成した後 (工程 2 0 2 B 2)、図 3 9 に示すようにウエハ 1 W をダイシング用の治具 2 7 に収めた後 (工程 2 0 2 B 4)、ウエハ 1 W の主面に貼り付けた保護テープを剥離する。治具 2 7 は、テープ 2 7 a とその主面の外周に貼り付けられた剛性を持つリング 2 7 b とを有している。テープ 2 7 a は、テ

ープベース 27a1 と、その主面の接着層 27a2 とを有している。テープ 27a の主面には、接着層 27a2 によりウエハ 1W の裏面が貼り付けられている。すなわち、ウエハ 1W はその主面を上に向けた状態でテープ 27a に貼り付けられている。その後、前記実施の形態 1 と同様に図 40 に示すように、治具 27 を載置台 10 に載せた状態で、リング 27b を矢印 A に示す方向に押し下げテープ 27a を矢印 B に示すように引き伸ばしテープ 27a の伸びる力により、ウエハ 1W を比較的小さな力で切断し、個々のチップ 1C に分割する。本実施の形態 4 においても、ウエハ 1W の切断領域 CR に配置されているパッド 1LBt 等に図 5 に示したように溝 S が設けられているため、パッド 1LBt 等をきれいな形状で切断できるので、ひげ状の導体異物の発生を低減できる。これ以降は、前記実施の形態 1 と同じなので説明を省略する。なお、ダイアタッチフィルム 22 を持つ製品を製造する場合には、工程 202B4 において、予めテープ 27a の主面（ウエハ 1W の裏面の対向面）にダイアタッチフィルム 22 が貼り付けられたものを使用し、ウエハ 1W の裏面をダイアタッチフィルム 22 を介してテープ 27a に貼り付けるようにすると良い。この場合のダイアタッチフィルム 22 の切断は、前記実施の形態 3 と同じである。

【0043】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0044】

例えば TEG やアライメント用の金属パターン（パッド 1LBt やアライメントターゲット Am）をチップの領域内の空き領域（例えば角部や外周近傍）に設け、その金属パターンを切断領域に設けないようにしても良い。これにより、前記実施の形態 1 等と同様の効果を得ることができる。

【0045】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である半導体装置の製造方法に適用した場合について説明したが、それに限定されるものではなく種々適用可能であり、例えばマイクロマシンの製造方法にも適用できる。

【産業上の利用可能性】

【0046】

本発明は、半導体装置の製造業に適用できる。

【図面の簡単な説明】

【0047】

【図 1】本発明の一実施の形態である半導体装置の製造工程のフロー図である。

【図 2】図 1 の前工程後の半導体ウエハの主面の全体平面図である。

【図 3】図 2 の X1 - X1 線の断面図である。

【図 4】図 2 の半導体ウエハの一例の要部拡大平面図である。

【図 5】図 4 の領域 R1 の拡大平面図である。

【図 6】図 5 の X2 - X2 線の断面図である。

【図 7】図 4 の領域 R1 の他の例の拡大平面図である。

【図 8】半導体ウエハが貼り付けられた治具の全体平面図である。

【図 9】図 8 の X4 - X4 線の断面図である。

【図 10】図 8 の他の例の X4 - X4 線の断面図である。

【図 11】半導体ウエハの厚さ測定の一例の様子を示す断面図である。

【図 12】図 11 の半導体ウエハの厚さ測定時の要部拡大平面図である。

【図 13】半導体ウエハの裏面加工工程の説明図である。

【図 14】半導体ウエハの裏面加工工程の説明図である。

【図 15】半導体ウエハの主面のパターン認識工程の説明図である。

【図 16】半導体ウエハの裏面からレーザを照射する工程の説明図である。

【図 17】図 16 の工程時の半導体ウエハの要部拡大断面図である。

【図 18】図 17 に続く半導体ウエハのダイシング工程の説明図である。

10

20

30

40

50

【図 19】図 18 の半導体ウエハの要部拡大断面図である。

【図 20】図 18 に続く半導体ウエハのダイシング工程の説明図である。

【図 21】図 20 の半導体ウエハの要部拡大断面図である。

【図 22】図 20 の半導体ウエハの主面側から見たときの切断領域の要部拡大平面図である。

【図 23】半導体チップのピックアップ工程の説明図である。

【図 24】図 23 に続く半導体チップのピックアップ工程の説明図である。

【図 25】図 24 に続く半導体チップのピックアップ工程の説明図である。

【図 26】半導体チップのピックアップ工程の他の例の説明図である。

【図 27】図 26 に続く半導体チップのピックアップ工程の説明図である。

10

【図 28】図 27 に続く半導体チップのピックアップ工程の説明図である。

【図 29】半導体チップのダイボンディング工程の説明図である。

【図 30】図 29 に続く半導体チップのダイボンディング工程の説明図である。

【図 31】図 30 のダイボンディング工程に続くワイヤボンディング工程の説明図である。

。

【図 32】本発明の一実施の形態である半導体装置の製造方法で製造された半導体装置の一例の断面図である。

【図 33】本発明の他の実施の形態である半導体装置の製造工程中の半導体ウエハの要部拡大平面図である。

【図 34】図 33 とは異なる本発明の他の実施の形態である半導体装置の製造工程中の半導体ウエハの要部拡大平面図である。

20

【図 35】図 33 および図 34 とは異なる本発明の他の実施の形態である半導体装置の製造工程中の半導体ウエハの要部拡大平面図である。

【図 36】本発明の他の実施の形態である半導体装置の製造工程のダイシング工程の説明図である。

【図 37】図 36 に続くダイシング工程の説明図である。

【図 38】本発明のさらに他の実施の形態である半導体装置の製造工程のフロー図である。

。

【図 39】図 38 のマウント工程の説明図である。

【図 40】図 38 の分割工程の説明図である。

30

【図 41】発明者が見出した問題点を説明するための半導体ウエハの主面の切断領域の部分平面図である。

【符号の説明】

【0048】

1 W 半導体ウエハ

1 C 半導体チップ

1 S 半導体基板

1 L 配線層

1 L i 層間絶縁膜

1 L 1 , 1 L 2 配線

40

1 L B ボンディングパッド

1 L B t テスト用のボンディングパッド（金属パターン）

1 L p 保護膜

2 開口部

3 治具

3 a テープ

3 a 1 テープベース

3 a 2 接着層

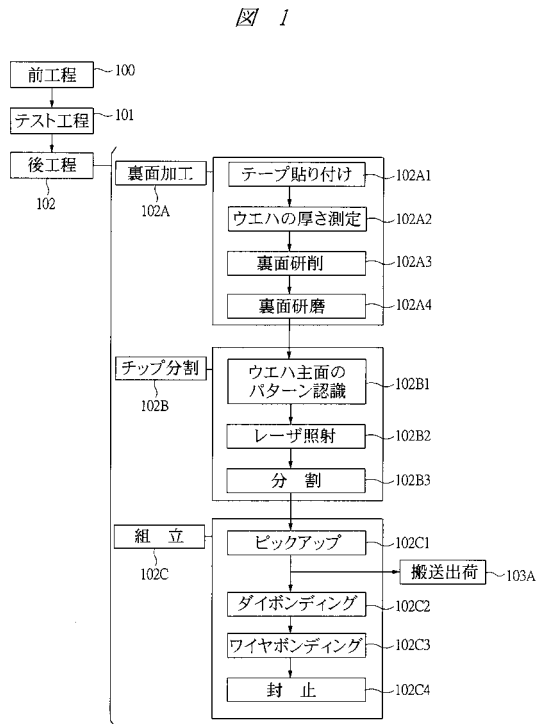
3 b リング（枠体）

3 b 1 , 3 b 2 切り欠き部

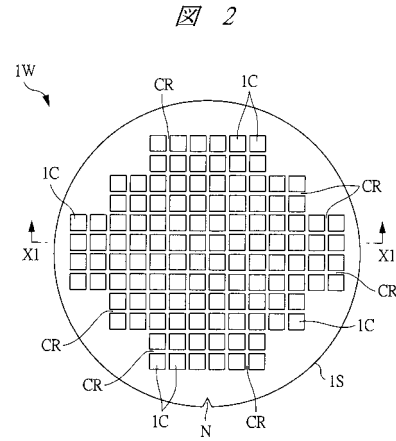
50

4	吸着ステージ	
5 a	レーザ変位計	
5 b	赤外線カメラ	
6	研削研磨工具	
7	吸着ステージ	
9	レーザ発生部	
1 0	載置台	
1 1	押上ピン	
1 2	コレット	
1 3	多突起吸着駒	10
1 5	プリント配線基板	
1 6	接着材	
1 7	ボンディングワイヤ	
2 0	半導体装置	
2 1	バンプ電極	
2 2	ダイアタッチフィルム	
2 3	スペーサ	
2 4	封止体	
2 7	治具	
2 7 a	テープ	20
2 7 a 1	テープベース	
2 7 a 2	接着層	
2 7 b	リング	
N	ノッチ	
A m	アライメントターゲット（金属パターン）	
S	溝	
L B	レーザ光（エネルギービーム）	
P L	改質層	

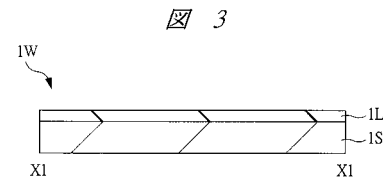
【図 1】



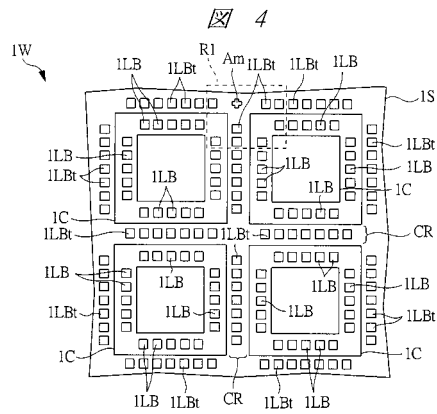
【図 2】



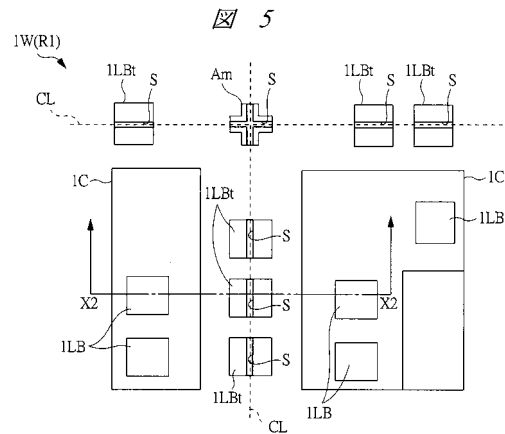
【図 3】



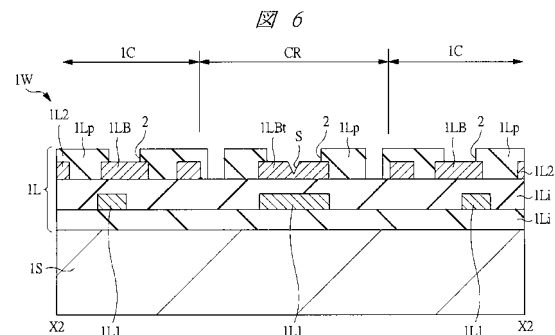
【図 4】



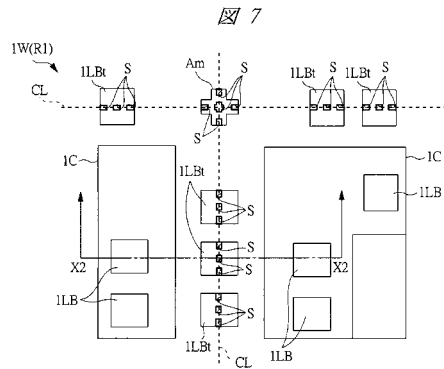
【図 5】



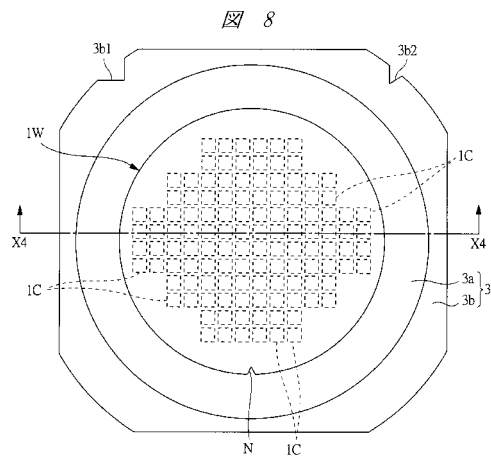
【図 6】



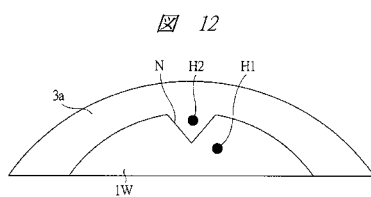
【図 7】



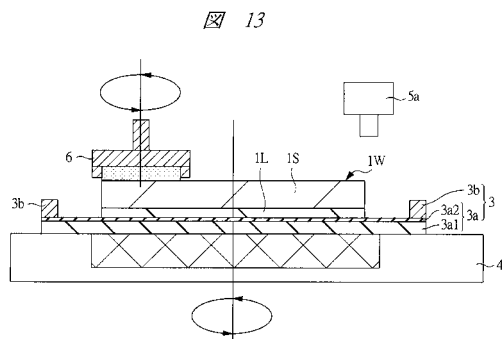
【図 8】



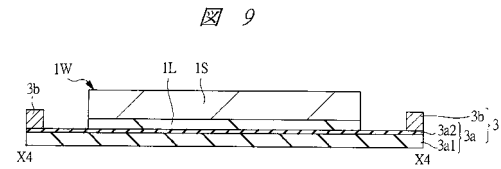
【図 12】



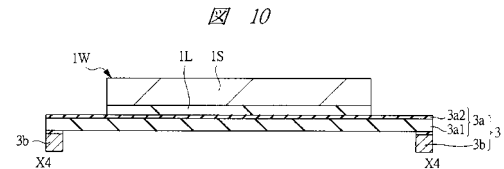
【図 13】



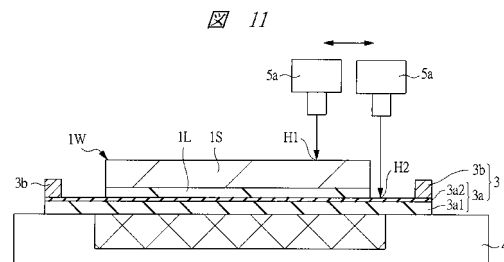
【図 9】



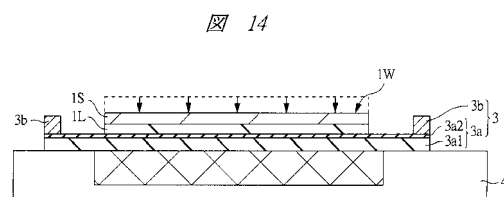
【図 10】



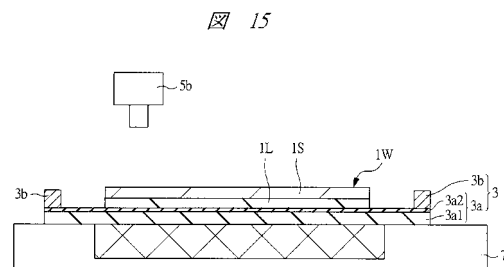
【図 11】



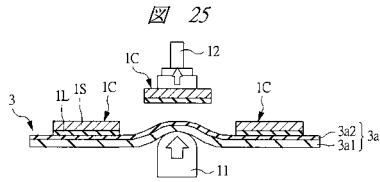
【図 14】



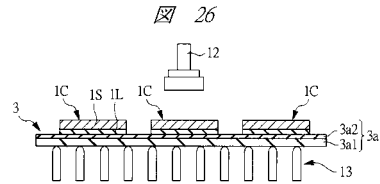
【図 15】



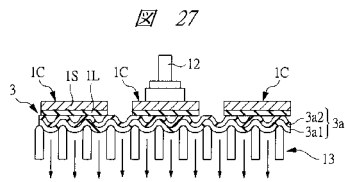
【図 25】



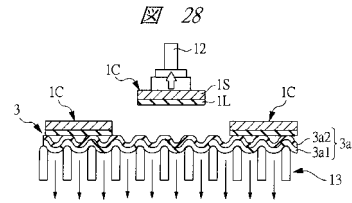
【図 26】



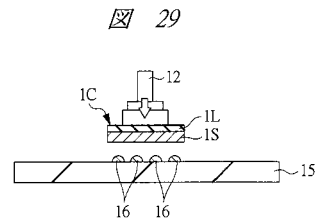
【図 27】



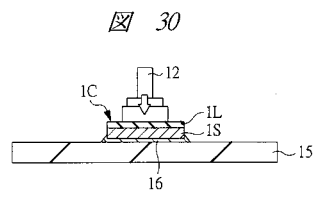
【図 28】



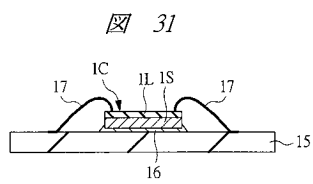
【図 29】



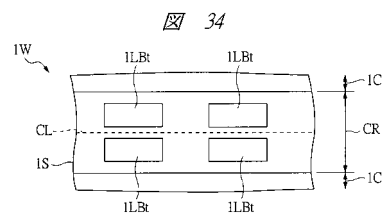
【図 30】



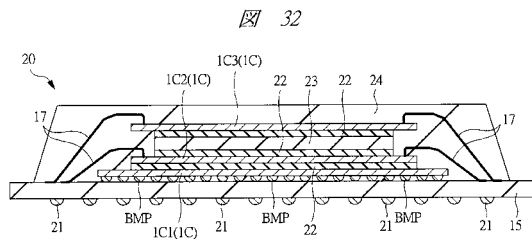
【図 31】



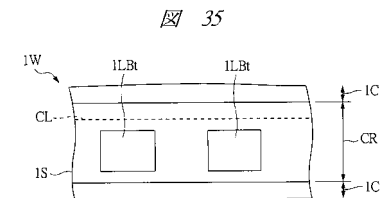
【図 34】



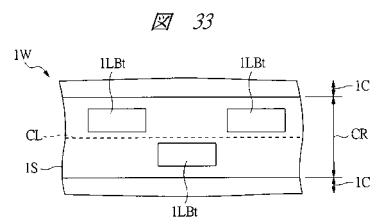
【図 32】



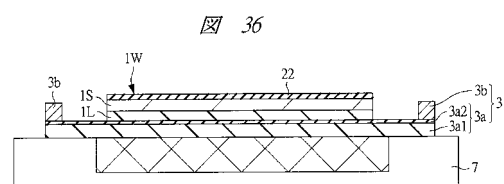
【図 35】



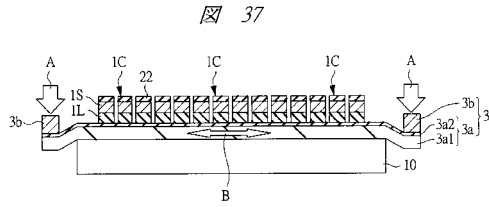
【図 33】



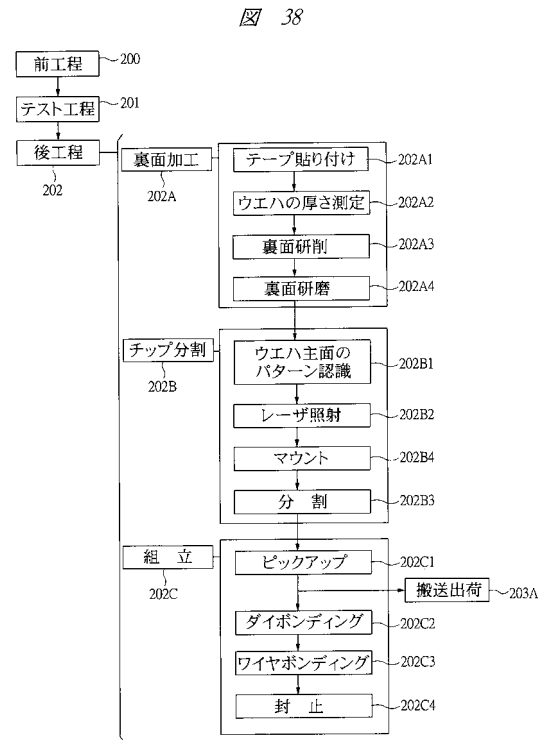
【図 36】



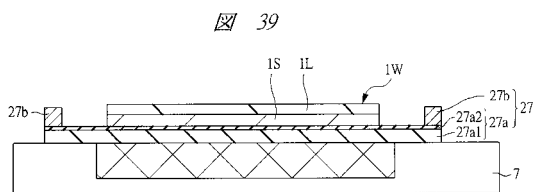
【図 37】



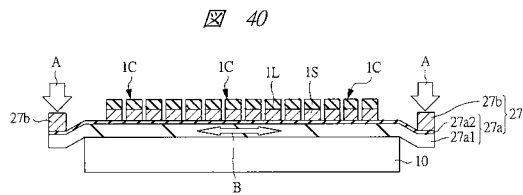
【図 38】



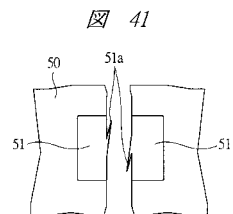
【図 39】



【図 40】



【図 41】



フロントページの続き

(51)Int.Cl. F I
B 2 3 K 26/00 D
B 2 3 K 26/18
B 2 3 K 101:40

(72)発明者 木村 稔
東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

審査官 岩瀬 昌治

(56)参考文献 特開2002-093750(JP,A)
特開2001-210609(JP,A)
特開2004-079746(JP,A)
特開2004-001076(JP,A)
特開2004-111601(JP,A)
特開2001-135595(JP,A)
特開2000-216123(JP,A)
特許第3825753(JP,B2)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 2 1 / 3 0 1
B 2 3 K 2 6 / 0 0
B 2 3 K 2 6 / 1 8
B 2 3 K 1 0 1 / 4 0