

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：97151291

※ 申請日期：97.12.29

※IPC 分類：H01L23/485(2006.01)
H01L23/28(2006.01)

一、發明名稱：(中文/英文)

基板結構及其製造方法

SUBSTRATE STRUCTURE AND MANUFACTURING METHOD THEREOF

二、申請人：(共1人)

姓名或名稱：(中文/英文)

日月光半導體製造股份有限公司

ADVANCED SEMICONDUCTOR ENGINEERING, INC.

代表人：(中文/英文) 張虔生 Chang, Chien-Sheng

住居所或營業所地址：(中文/英文)

高雄市楠梓加工區經三路26號

26 Chin 3rd Rd., Nantze Export Processing Zone Kaoshiung, Taiwan

國籍：(中文/英文) 中華民國 Taiwan(R.O.C.)

三、發明人：(共1人)

姓名：(中文/英文)

1. 李志成 LEE, CHIH-CHENG

國籍：(中文/英文)

1. 中華民國 (R.O.C.)

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明是有關於一種基板結構及其製造方法，且特別是有關於一種適用於覆晶式晶片之基板結構及其製造方法。

【先前技術】

請參照第 1A 圖，其繪示習知基板結構示意圖。習知之基板結構，例如是適用於覆晶式晶片之基板結構 100 具有一基材 116、一導電部 102 及一絕緣層 104。導電部 102 用以與一晶片（未繪示），例如是覆晶式晶片電性連接。部份之導電部 102 與絕緣層 104，例如是綠漆（Solder mask）接觸。第 1A 圖中之乾膜 106 係為了定義出導電部 102 之範圍，而於導電部 102 形成之前所形成。並於導電部 102 形成後被移除，以形成基板結構 100。乾膜 106 的形成過程中須使用光罩定義出乾膜 106 之範圍。

然而，由於導電部 102 之材質，例如是錫鉛合金，與絕緣層 104 之材質不同。因此具有不同熱膨脹係數，使基板結構 100 於製程中或基板結構 100 在通電運作時，容易因脹縮現象導致導電部 102 與乾膜 106 之接觸面 P 產生裂痕 C，因而導致導電部 102 之破壞。

此外，請參照第 1B 圖，其繪示第 1A 圖之乾膜對位異常之示意圖。由於光罩需要極精密的對位精度，若對位準度偏差太大時，將使乾膜 106 發生如第 1B 圖之偏位問題。

如此，將影響接下來的製程中導電部的形成，使得導電部也會隨之發生偏位問題。

請參照第 1C 圖，其繪示另一型態之習知基板結構的示意圖。習知之基板結構 108 具有一錫球 110、一絕緣層 118、，因為絕緣層開口 112 內之轉角處 114 之表面張力較大的關係，基板結構 108 之錫球 110 無法確實填滿轉角處 114。如此，也會影響錫球 110 之電性連接品質。

【發明內容】

本發明係有關於一種基板結構及其製造方法，基板結構之導電部完整地填滿絕緣層開口內之轉角處，提升了導電部之電性連接品質。

根據本發明之一方面，提出一種基板結構。基板結構包括一基材、一第一絕緣層、一導電部、一第二絕緣層、一第一種子層及一導電層。基材具有一第一線路層及一第二線路層，分別形成於基板之相對兩面。第一絕緣層形成於第一線路層上，第一絕緣層具有一第一絕緣層開口，第一絕緣層開口於第一絕緣層之外表面露出一第一開口並露出第一線路層之一部份。導電部形成於第一絕緣層開口，用以與一晶片電性連接且被第一開口之邊緣所圍繞，而露出之第一線路層之部份與導電部接觸。第二絕緣層形成於第二線路層上，第二絕緣層具有一第二絕緣層開口。第一種子層形成於第二絕緣層開口內。導電層形成於第一種子層上，用以與一電路板電性連接。

根據本發明之另一方面，提出一種基板結構之製造方法。製造方法包括以下步驟。提供一基材，基材具有一第一線路層及一第二線路層，分別形成於基板之相對兩面。形成一第一絕緣層於第一線路層上，第一絕緣層具有一第一絕緣層開口，第一絕緣層開口於第一絕緣層之外表面露出一第一開口並露出第一線路層之一部份。形成一第二絕緣層於第二線路層上，第二絕緣層具有一第二絕緣層開口。形成一第一種子層於第二絕緣層並同時形成一第二種子層於第一絕緣層。移除第二種子層。形成一導電部於第一絕緣層開口並同時形成一導電層於第一種子層上，導電部係用以與一晶片電性連接且被第一開口之邊緣所圍繞，而露出之第一線路層之部份與導電部接觸。導電層係用以與一電路板電性連接。

為讓本發明之上述內容能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

【實施方式】

請參照第 2 圖，其繪示依照本發明較佳實施例之基板結構。本實施例以一適用於覆晶式晶片的基板結構 100 為例作說明。基板結構 200 包括一基材 202、一第一絕緣層 204、一導電部 206、一第二絕緣層 208、一第一種子層 210 及一導電層 212。

基材 202 具有一第一線路層 214 及一第二線路層 216，分別形成於基板 202 之相對兩面且基材 202 更具有

一貫孔 (Via) 220 作為第一線路層 214 與第二線路層 216 之電性連接通道。此外，第一絕緣層 204，例如是綠漆，形成於第一線路層 214，第一絕緣層 204 具有一第一絕緣層開口 224，第一絕緣層開口 224 於第一絕緣層 204 之外表面 226 露出一第一開口 228 並露出第一線路層 214 之一部份 246。

雖然本實施例之基材 202 係以具有兩層線路層，即第一線路層 214 及第二線路層 216 為例作說明，然此非用以限定本發明，基材 202 也可以是具有多於兩層線路層的多層結構板。

第二絕緣層 208，例如是綠漆，形成於第二線路層 216 上，第二絕緣層 208 具有一第二絕緣層開口 232。第一種子層 210 形成於第二絕緣層開口 232 內，於本實施例中，基板結構 200 僅於基材 202 之一側具有種子層，即第一種子層 210。而導電層 212 形成於第一種子層 210 上，用以與一電路板（未繪示）作電性連接。

導電部 206 形成於第一絕緣層 204，用以與一晶片（未繪示）電性連接且露出的第一線路層 214 之部份 246 與導電部 206 完全接觸。如此，如第 2 圖所示，導電部 206 確實地填滿第一開口 228 之轉角處 234，有助於電性連接的品質。此外，導電部 206 之外表面 236 為一弧面且低於第一開口 228，然此非用以限定本發明之導電部 206 之高度。因此，導電部 206 之外表面 236 亦可等於或突出於第一開口 228。

此外，如第 2 圖所示，導電部 206 形成於第一開口 228 內，並沒有與第一絕緣層 204 之外表面 226 接觸。更進一步地說，請參照第 3 圖，其繪示第 2 圖中局部的基板結構的上視圖。本實施例之導電部 206 被第一開口 228 之邊緣 230 所圍繞，並未與第一絕緣層 204 之外表面 226 接觸。如此，本實施例之導電部 206 並不會發生如第 1A 圖的裂痕 C。

此外，於另一實施態樣中，請參照第 4 圖，其繪示另一實施例之基板結構的導電部示意圖。導電部 254 之外表面 248 突出於第一開口 228 (第一開口 228 繪示於第 2 圖) 且導電部 254 剛好接觸第一開口 228 之邊緣 230 (邊緣 230 繪示於第 3 圖)。如此，導電部 254 未與第一絕緣層 204 之外表面 226 接觸，同樣不會發生如第 1A 圖的裂痕 C。

此外，導電部 206 之材質可選擇自分屬不同種類的導電性材料，例如是金、銀、鎳、鈮、錫或銅。而導電層 212 之材質與導電部 206 係相同。

此外，請參照第 5 圖，其繪示另一實施例之導電部上形成有保護層之示意圖。在另一實施例中導電部 250 之外表面 252 可形成一保護層 238，用以保護導電部 250 及提升導電部 250 之電性連接品質。保護層之材質為金、銀、鎳、鈮、有機保護層 (Organic Solderability Preservative, OSP)、化學鎳金 (Electroless Ni & Immersion Gold, ENIG)、化學鎳鈮金 (Electroless Ni/Pd & Immersion Gold, ENEPIG) 或錫。

以下將介紹依照本發明較佳實施例之基板結構之製造方法。請參照第 6 圖，其繪示依照本發明較佳實施例之基板結構之製造方法流程圖。製造方法包括以下步驟。

首先，請同時參照第 7A 圖，其繪示本實施例之基材示意圖。於步驟 S702 中，提供基材 202。基材 202 具有第一線路層 214 及第二線路層 216，分別形成於基板 202 之相對兩面且基材 202 更具有貫孔 220 作為第一線路層 214 與第二線路層 216 之電性連接通道。

接著，請同時參照第 7B 圖，其繪示第 7A 圖之基材上形成有第一絕緣層之示意圖。於步驟 S704 中，形成第一絕緣層 204 於第一線路層 214 上。第一絕緣層 204 具有第一絕緣層開口 224，第一絕緣層開口 224 於第一絕緣層 204 之外表面 226 露出第一開口 228。

再來，請同時參照第 7C 圖，其繪示第 7B 圖之基材上形成有第二絕緣層之示意圖。於步驟 S706 中，形成第二絕緣層 208 於第二線路層 216 上，第二絕緣層 208 具有第二絕緣層開口 232。

然後，請同時參照第 7D 圖，其繪示第 7C 圖之基材上形成有第一種子層與第二種子層之示意圖。於步驟 S708 中，形成第一種子層 210 於第二絕緣層 208 並同時形成一第二種子層 240 於第一絕緣層 204。形成第一種子層 210 與第二種子層 240 之方式例如是以無電鍍方式 (electroless plating) 或濺鍍方式完成。

然後，請同時參照第 7E 圖，其繪示第 7D 圖之基材上

移除第二種子層之示意圖。於步驟 S710 中，移除第二種子層 240。移除第二種子層 240 可採用蝕刻方式，例如是濕蝕刻或乾蝕刻完成。如此，本實施例之基板結構 200 僅於基材 202 之一側具有種子層，即第一種子層 210，而於基材 202 的另一側則不具有種子層。

然後，請同時參照第 7F 圖，其繪示第 7E 圖之基材上形成有光阻層之示意圖。於步驟 S712 中，形成一光阻層 242，例如是一乾膜 (Dry Film) 於第二絕緣層 208 上。光阻層 242 具有一第二開口 244，第二開口 244 露出第二絕緣層開口 232。

然後，請同時參照第 7G 圖，其繪示第 7F 圖之基材上形成有導電部與導電層之示意圖。於步驟 S714 中，形成導電部 206 於第一絕緣層開口 224 並同時形成導電層 212 於第二絕緣層開口 232。導電部 206 用以與晶片電性連接且被第一開口 228 之邊緣所圍繞，如第 3 圖所示。而導電層 212 用以與電路板電性連接。形成導電部 206 與導電層 212 之步驟可用電鍍方式或化學沉積方式完成。

由於第一線路層 214 與第二線路層 216 係藉由貫孔 220 作電性導通，若是採用電鍍方式，當電鍍設備之電極與第一種子層 210 電性連接時，第一線路層 214 與第二線路層 216 同時導通。因此，導電部 206 與導電層 212 是同時形成。也就是說導電部 206 之材質與導電層 212 之材質係相同的。其中，導電部 206 的材質可以是金、銀、鎳、鈮、錫或銅。

此外，導電部 206 及導電層 212 的材質可選自多種不同種類的材料，當中包含價格較便宜的金屬，例如銅。相較於習知技術所採用之錫鉛合金而言，本實施例之導電部 206 及導電層 212 的成本確實降低許多。

在本步驟中，可藉由控制製程參數，例如是電鍍時間、電流值或電壓值來控制導電部 206 之高度，以使導電部之高度如第 2 圖或第 4 圖所示。如第 2 圖所示，導電部 206 之外表面 236 低於第一絕緣層 204 之外表面 226。或者如第 4 圖所示，導電部 254 剛好接觸第一開口 228（第一開口 228 繪示於第 2 圖）之邊緣 230（邊緣 230 繪示於第 3 圖），而使導電部 206 之外表面 236 突出於第一開口 228。

此外，由於第二種子層 240 已被移除而電鍍電極僅與第一種子層 210 電性連接，所以導電部 206 是漸進地隆起而成形，如此使導電部 206 之外表面 236 呈一弧面。弧面之最高點位於中間位置，因此有利於與晶片準確地對位，此有助於提升電性連接的品質。

導電部 206 以電鍍方式或化學沉積方式形成於第一絕緣層開口 224 內，過程中並不需使用光罩，因此不會發生因光罩的對位不準所導致的偏位問題。更進一步地說，本實施例之導電部 206 並不會發生偏位問題。

此外，如第 5 圖所示，於步驟 S714 後，也可以形成保護層 238 於第 7G 圖中導電部 206 的外表面 236 上，可保護導電部 206。保護層之材質為金、銀、鎳、鈮、有機

保護層、化學鍍金、化學鍍鈀金或錫。

然後，於步驟 S716 中，移除光阻層 242。至此，形成如第 2 圖所示之基板結構 200。移除光阻層 242 之步驟例如是以蝕刻方式、剝離方式 (Stripping) 完成。至此，完成基板結構 200。

本發明上述實施例所揭露之基板結構及其製造方法，具有多項優點，以下僅列舉部分優點說明如下：

(1). 導電部確實地填滿第一開口之轉角處，此有助於電性連接的品質。

(2). 導電部之外表面為一弧面，弧面之最高點位於中間位置，因此有利於與晶片準確地對位，提升電性連接品質。

(3). 形成導電部之過程中並不需使用光罩，因此無光罩才需要的對位精度要求。因此，本發明之導電部並不會發生偏位問題。

(4). 導電部及導電層之材質可以是價格較便宜的金屬，例如銅。相較於習知技術所採用之錫鉛合金，成本降低許多。

(5). 導電部之外表面可形成保護層，以保護導電部或提升導電部之電性連接品質。保護層之材質可選自分屬不同種類之材料，例如是金、銀、鍍、鈀、有機保護層、化學鍍金、化學鍍鈀金或錫。

(6). 導電部並未與第一絕緣層的外表面接觸，因此避免脹縮現象的發生。所以本發明的導電部並不會發生如第

1A 圖的裂痕 C。

綜上所述，雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明。本發明所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾。因此，本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1A 圖繪示習知基板結構示意圖。

第 1B 圖繪示第 1A 圖之乾膜對位異常之示意圖。

第 1C 圖繪示另一型態的習知基板結構的示意圖。

第 2 圖繪示依照本發明較佳實施例之基板結構。

第 3 圖繪示第 2 圖中局部的基板結構的上視圖。

第 4 圖繪示另一實施例之基板結構的導電部示意圖。

第 5 圖繪示另一實施例之導電部形成有保護層之示意圖。

第 6 圖繪示依照本發明較佳實施例之基板結構之製造方法流程圖。

第 7A 圖繪示本實施例之基材示意圖。

第 7B 圖繪示第 7A 圖之基材上形成有第一絕緣層之示意圖。

第 7C 圖繪示第 7B 圖之基材上形成有第二絕緣層之示意圖。

第 7D 圖繪示第 7C 圖之基材上形成有第一種子層與第

二種子層之示意圖。

第 7E 圖繪示第 7D 圖之基材上移除第二種子層之示意圖。

第 7F 圖繪示第 7E 圖之基材上形成有光阻層之示意圖。

第 7G 圖繪示第 7F 圖之基材上形成有導電部與導電層之示意圖。

【主要元件符號說明】

100、108、200：基板結構

102、206、254、250：導電部

104、118：絕緣層

106：乾膜

110：錫球

112：絕緣層開口

116、202：基材

114、234：轉角處

204：第一絕緣層

208：第二絕緣層

210：第一種子層

212：導電層

214：第一線路層

216：第二線路層

220：貫孔

- 224：第一絕緣層開口
- 226：第一絕緣層之外表面
- 228：第一開口
- 230：邊緣
- 232：第二絕緣層開口
- 236、248、252：導電部之外表面
- 238：保護層
- 240：第二種子層
- 242：光阻層
- 244：第二開口
- 246：第一線路層之一部份
- C：裂痕
- P：接觸面

五、中文發明摘要：(中文案件名稱：基板結構及其製造方法)

一種基板結構及其製造方法。基板結構包括一基材、一第一絕緣層、一導電部、一第二絕緣層、一種子層及一導電層。基材具有一第一線路層及一第二線路層，分別形成於基板之相對兩面。第一絕緣層形成於第一線路層上，第一絕緣層具有一第一絕緣層開口，第一絕緣層開口於第一絕緣層之外表面露出一第一開口。導電部形成於第一絕緣層開口，用以與一晶片電性連接，且導電部被第一開口之邊緣所圍繞。第二絕緣層形成於第二線路層上，第二絕緣層具有一第二絕緣層開口。種子層形成於第二絕緣層開口內。導電層形成於種子層上，用以與一電路板電性連接。

六、英文發明摘要：(英文案件名稱：SUBSTRATE STRUCTURE AND MANUFACTURING METHOD THEREOF)

A substrate structure and a manufacturing method thereof are provided. The substrate structure includes a substrate, a first insulation layer, a conductive part, a second insulation layer, a seed layer and a conductive layer. The substrate has a first circuit pattern and a second circuit pattern which are located opposite two surfaces of the substrate respectively. The first insulation layer is formed on the first circuit pattern, and has a

first hole which exposes a first opening in the outer surface of the first insulation layer. The conductive part is formed in the first hole for electrically connecting with a chip, and is enclosed by the edge of the first opening. The second insulation layer is formed on the second circuit pattern and has a second hole. The seed layer is formed on the second hole on which the seed layer is formed for electrically connecting with a Printed Circuit Board.

十、申請專利範圍：

1. 一種基板結構，包括：

一基材，具有一第一線路層及一第二線路層，分別形成於該基板之相對兩面；

一第一絕緣層，形成於該第一線路層上，該第一絕緣層具有一第一絕緣層開口，該第一絕緣層開口於該第一絕緣層之外表面露出一第一開口並露出該第一線路層之一部份；

一導電部，形成於該第一絕緣層開口，用以與一晶片電性連接且被該第一開口之邊緣所圍繞，而該第一線路層之該部份與該導電部接觸；

一第二絕緣層，形成於該第二線路層上，該第二絕緣層具有一第二絕緣層開口；

一第一種子層，形成於該第二絕緣層上；以及

一導電層，形成於該第一種子層上，用以與一電路板電性連接。

2. 如申請專利範圍第1項所述之基板結構，其中該導電部之外表面係低於或等於該第一開口。

3. 如申請專利範圍第1項所述之基板結構，其中該導電部之外表面係突出於該第一開口。

4. 如申請專利範圍第1項所述之基板結構，其中該導電部之外表面為一弧面。

5. 如申請專利範圍第1項所述之基板結構，更包括：

一保護層，形成於該導電部之外表面上，用以保護該

導電部。

6. 如申請專利範圍第 5 項所述之基板結構，其中該保護層之材質為金、銀、鎳、鈮、有機保護層 (Organic Solderability Preservative, OSP)、化學鎳金 (Electroless Ni & Immersion Gold, ENIG)、化學鎳鈮金 (Electroless Ni/Pd & Immersion Gold, ENEPIG) 或錫。

7. 如申請專利範圍第 1 項所述之基板結構，其中該導電部之材質為金、銀、鎳、鈮、錫或銅。

8. 如申請專利範圍第 1 項所述之基板結構，其中該導電層之材質與該導電部之材質係相同。

9. 一種基板結構之製造方法，包括：

提供一基材，該基材具有一第一線路層及一第二線路層，分別形成於該基板之相對兩面；

形成一第一絕緣層於該第一線路層上，該第一絕緣層具有一第一絕緣層開口，該第一絕緣層開口於該第一絕緣層之外表面露出一第一開口並露出該第一線路層之一部份；

形成一第二絕緣層於該第二線路層上，該第二絕緣層具有一第二絕緣層開口；

形成一第一種子層於該第二絕緣層並同時形成一第二種子層於該第一絕緣層；

移除該第二種子層；以及

形成一導電部於該第一絕緣層開口並同時形成一導電層於該第一種子層上，該導電部係用以與一晶片電性連

接且被該第一開口之邊緣所圍繞而該第一線路層之該部份與該導電部接觸，該導電層係用以與一電路板電性連接。

10. 如申請專利範圍第 9 項所述之製造方法，其中於移除該第二種子層之該步驟之後，該製造方法更包括：

形成一光阻層於該第二絕緣層上，該光阻層具有一第二開口，該第二開口係露出該第二絕緣層開口。

11. 如申請專利範圍第 10 項所述之製造方法，其中於同時形成該導電部與該導電層之該步驟之後，該製造方法更包括：

移除該光阻層。

12. 如申請專利範圍第 11 項所述之製造方法，其中該光阻層為一乾膜 (Dry Film)，移除該光阻層之該步驟係以蝕刻方式或剝離方式 (Stripping)。

13. 如申請專利範圍第 9 項所述之製造方法，其中同時形成該導電部與該導電層之該步驟係以電鍍方式完成。

14. 如申請專利範圍第 9 項所述之製造方法，其中同時形成該導電部與該導電層之該步驟係以化學沉積方式完成。

15. 如申請專利範圍第 9 項所述之製造方法，其中同時形成該第一種子層與該第二種子層之該步驟係以無電鍍方式 (electroless plating) 或濺鍍方式完成。

16. 如申請專利範圍第 9 項所述之製造方法，其中移除該第二種子層之該步驟係以蝕刻方式完成。

17. 如申請專利範圍第 9 項所述之製造方法，其中該導電部之外表面係低於該第一開口。

18. 如申請專利範圍第 9 項所述之製造方法，其中該導電部之外表面突出於該第一開口。

19. 如申請專利範圍第 9 項所述之製造方法，其中該導電部之外表面為一弧面。

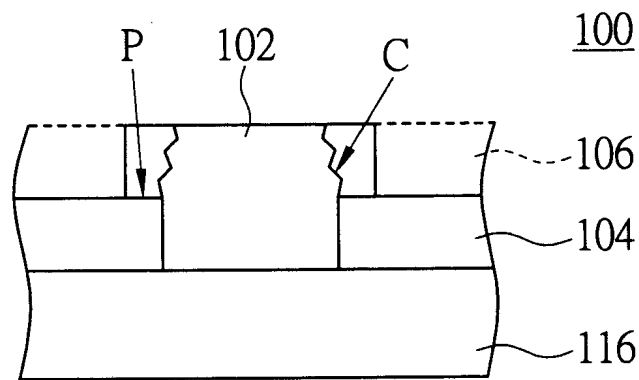
20. 如申請專利範圍第 9 項所述之製造方法，其中於同時形成該導電部與該導電層之該步驟之後，該製造方法更包括：

形成一保護層於該導電部之外表面上，用以保護該導電部。

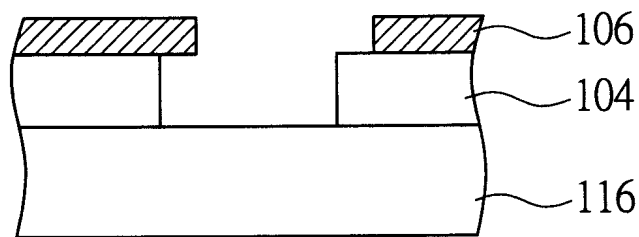
21. 如申請專利範圍第 20 項所述之製造方法，其中該保護層之材質為金、銀、鎳、鈮、有機保護層、化學鎳金、化學鎳鈮金或錫。

22. 如申請專利範圍第 9 項所述之製造方法，其中該導電部之材質為金、銀、鎳、鈮、錫或銅。

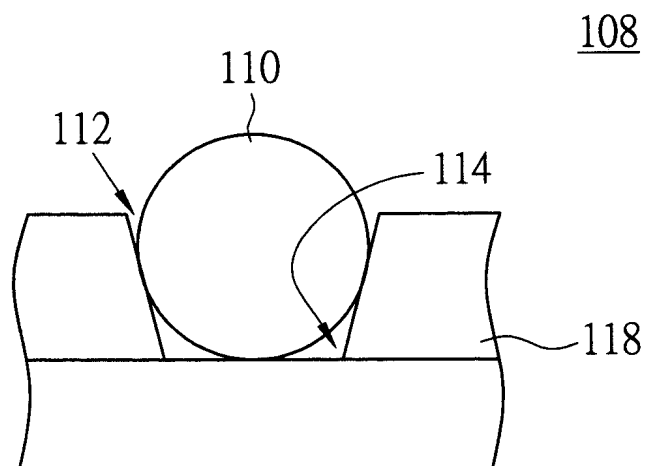
23. 如申請專利範圍第 9 項所述之製造方法，其中該導電層之材質與該導電部之材質係相同。



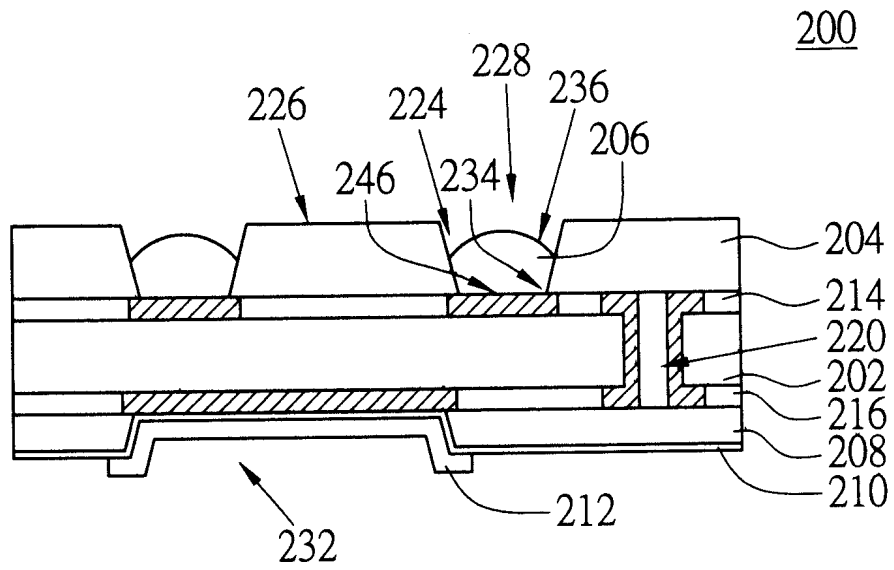
第 1A 圖(習知技藝)



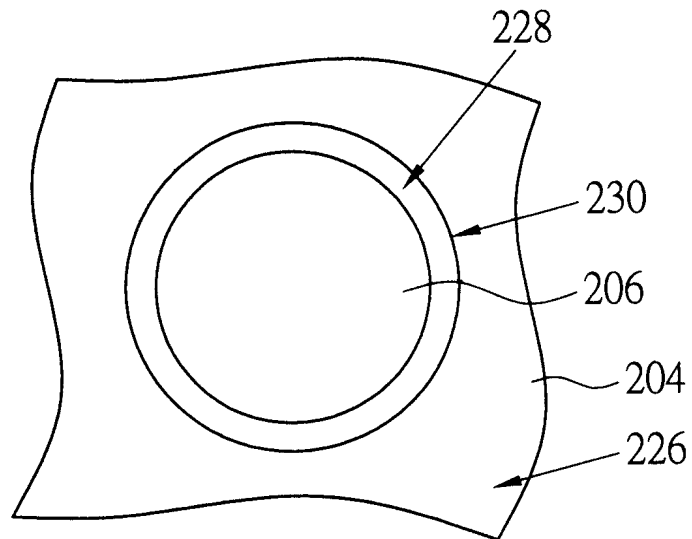
第 1B 圖(習知技藝)



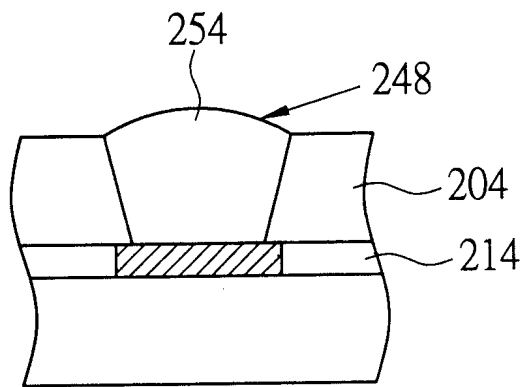
第 1C 圖(習知技藝)



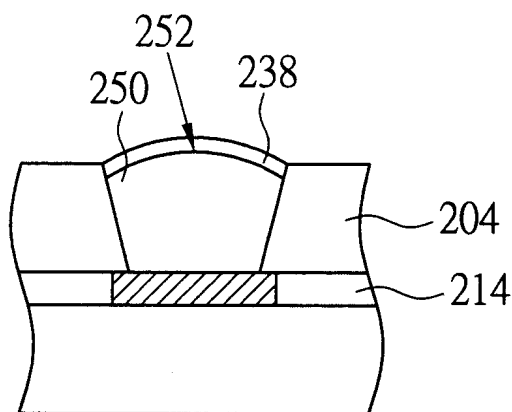
第 2 圖



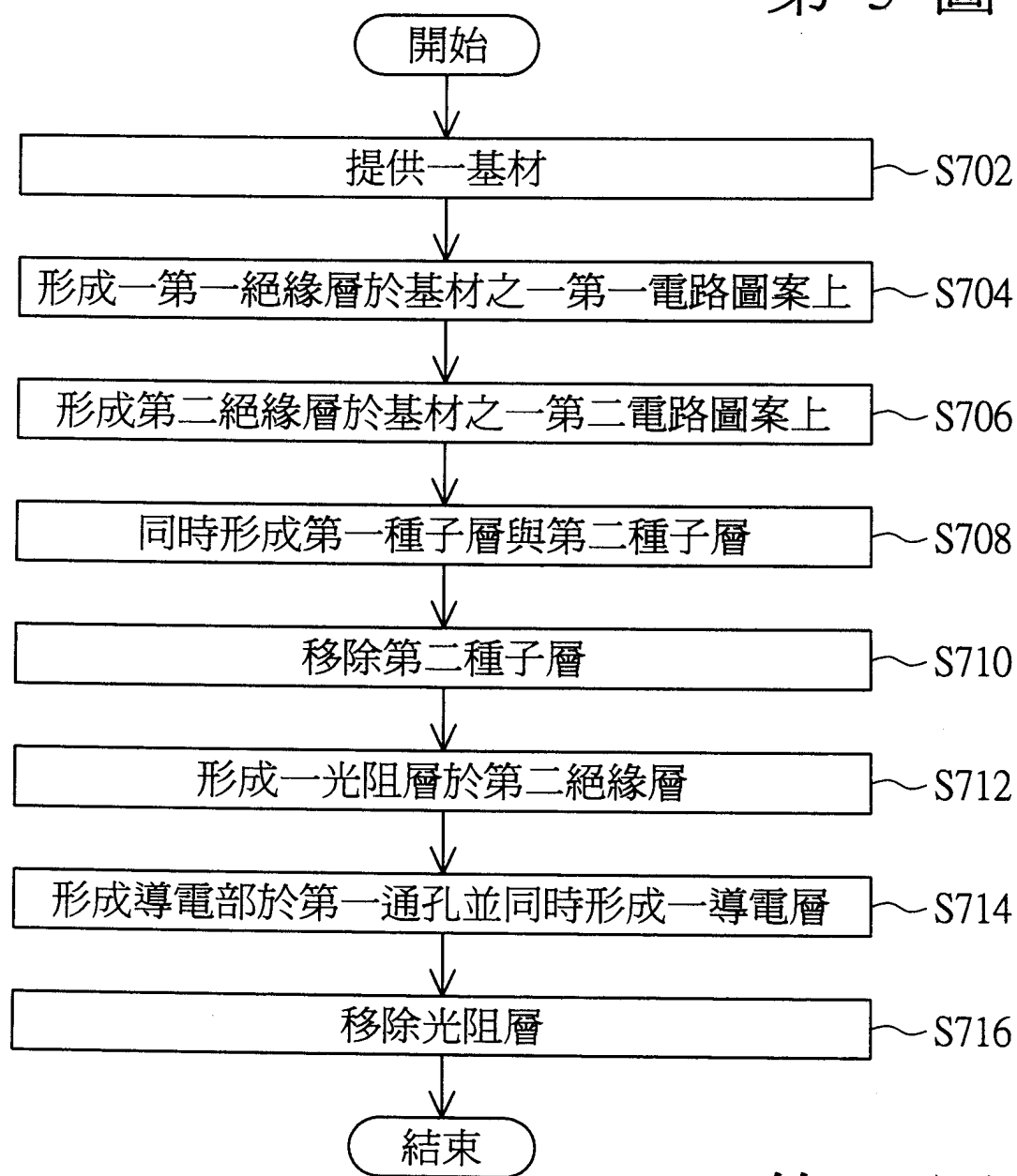
第 3 圖



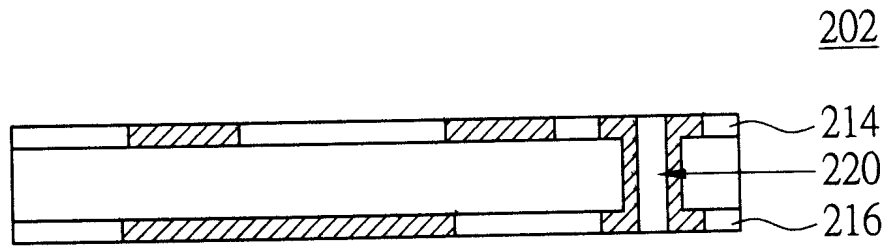
第 4 圖



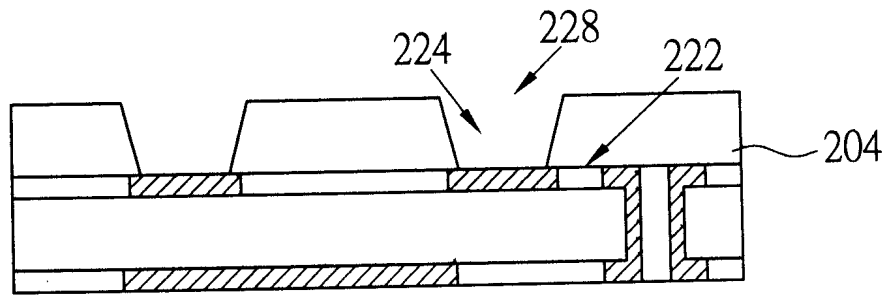
第 5 圖



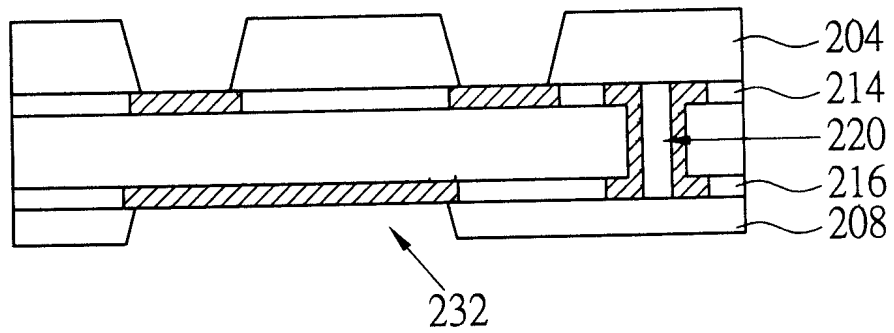
第 6 圖



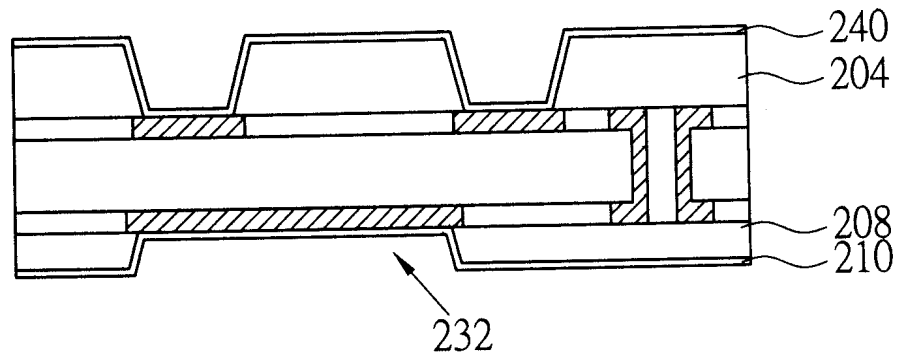
第 7A 圖



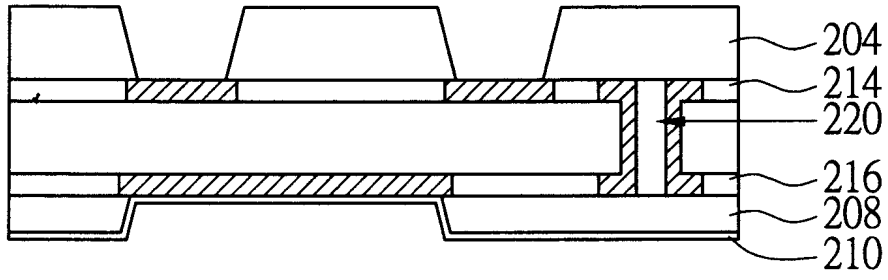
第 7B 圖



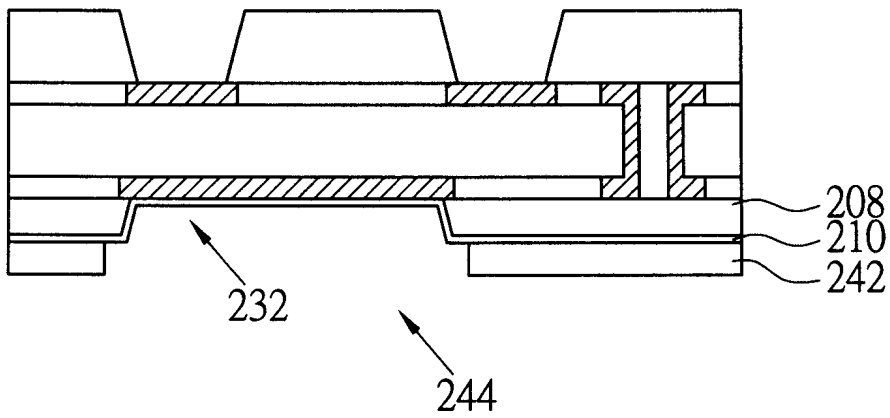
第 7C 圖



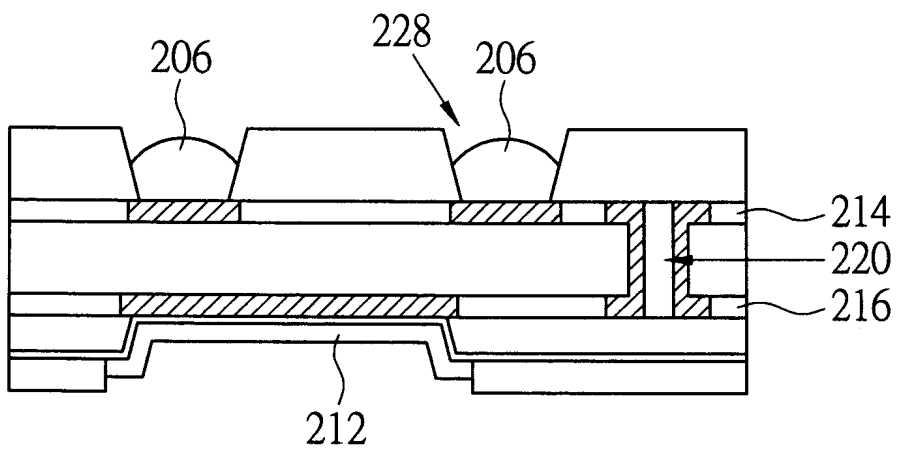
第 7D 圖



第 7E 圖



第 7F 圖



第 7G 圖

七、指定代表圖：

(一)本案指定代表圖為：第 2 圖

(二)本代表圖之元件符號簡單說明：

200：基板結構

202：基材

204：第一絕緣層

206：導電部

208：第二絕緣層

210：第一種子層

212：導電層

214：第一線路層

216：第二線路層

220：貫孔

224：第一絕緣層開口

226：第一絕緣層之外表面

228：第一開口

232：第二絕緣層開口

234：轉角處

236：導電部之外表面

246：第一線路層之一部份

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無