

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6117282号
(P6117282)

(45) 発行日 平成29年4月19日 (2017. 4. 19)

(24) 登録日 平成29年3月31日 (2017. 3. 31)

(51) Int. Cl.

F I

H O 1 L 21/8242 (2006. 01)

H O 1 L 27/10 3 2 1

H O 1 L 27/108 (2006. 01)

H O 1 L 27/10 6 7 1 Z

請求項の数 1 (全 36 頁)

(21) 出願番号 特願2015-129552 (P2015-129552)
 (22) 出願日 平成27年6月29日 (2015. 6. 29)
 (62) 分割の表示 特願2011-235706 (P2011-235706)
 の分割
 原出願日 平成23年10月27日 (2011. 10. 27)
 (65) 公開番号 特開2015-233144 (P2015-233144A)
 (43) 公開日 平成27年12月24日 (2015. 12. 24)
 審査請求日 平成27年6月30日 (2015. 6. 30)
 (31) 優先権主張番号 特願2010-242925 (P2010-242925)
 (32) 優先日 平成22年10月29日 (2010. 10. 29)
 (33) 優先権主張国 日本国 (JP)
 (31) 優先権主張番号 特願2011-113233 (P2011-113233)
 (32) 優先日 平成23年5月20日 (2011. 5. 20)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷 3 9 8 番地
 (72) 発明者 齋藤 利彦
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 審査官 上田 智志

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

複数のメモリセルと、センスアンプと、を有し、
 前記複数のメモリセルそれぞれは、トランジスタと、前記トランジスタと電気的に接続されたキャパシタと、を有し、
 前記センスアンプは、シリコンウエハ又は S O I 基板を用いて形成され、
 前記センスアンプ及び前記キャパシタは、前記トランジスタの下方に層間膜を介して設けられ、
 前記トランジスタは、酸化物半導体層にチャネルが形成され、
 前記酸化物半導体層は、I n と、G a と、Z n と、を有する酸化物であって、複数の結
 晶部を有し、
 前記複数の結晶部は、前記酸化物半導体層の被形成面に垂直な方向に沿うように c 軸配向し、
 前記複数の結晶部は、a 軸の向きが異なり、
 前記複数の結晶部は、b 軸の向きが異なることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

半導体記憶装置に関する。

【背景技術】

【 0 0 0 2 】

D R A M (D y n a m i c R a n d o m A c c e s s M e m o r y) は、1つのトランジスタと1つのキャパシタで1ビット分のデータを記憶することができる半導体記憶装置である。D R A Mは、単位メモリセルあたりの面積が小さく、モジュール化した際の集積が容易であり、かつ安価に製造できる。

【 0 0 0 3 】

D R A Mは、キャパシタに蓄積した電荷がトランジスタのオフ電流によってリークしてしまうため、必要な電荷が失われる前に充電し直す（リフレッシュする）必要があった。

【 先行技術文献 】

【 特許文献 】

10

【 0 0 0 4 】

【 特許文献 1 】 特開 2 0 1 0 - 1 4 7 3 9 2 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 5 】

図 1 1 (A) に示す D R A M の回路図を用いて説明する。D R A Mは、ビット線 B L と、ワード線 W L と、センスアンプ S A m p と、トランジスタ T r と、キャパシタ C と、を有する。

【 0 0 0 6 】

キャパシタ C に保持された電位は、図 1 1 (B) に示すようにトランジスタ T r を介したリークにより、時間の経過とともに徐々に低減していく。当初 V 0 から V 1 まで充電された電位は、一定時間が経過すると d a t a 1 を読み出す限界点である V A まで低減する。この期間を保持期間 T _ 1 とする。即ち、2 値メモリセルの場合、保持期間 T _ 1 の間にリフレッシュをする必要がある。

20

【 0 0 0 7 】

特許文献 1 に記載の発明では、シリコンでなる半導体基板にチャネルが形成されるトランジスタの構造を工夫し、オフ電流を低減することを提案している。しかしながら、該トランジスタのオフ電流を十分に小さくすることは難しい。よって、従来の D R A M では記憶した情報を書き換ええない場合であっても、所定の周期（例えば、1 秒間に数十回）で記憶素子をリフレッシュする必要があった。

30

【 0 0 0 8 】

一方、単位面積あたりのメモリモジュールの記憶容量を増加させるためには、D R A M を縮小化するだけでは限界があり、1 メモリセルあたりに複数のデータを記憶する多値化が求められている。

【 0 0 0 9 】

次に、d a t a 1 および d a t a 2 を読み出し可能とした 3 値メモリセルについて説明する。図 1 1 (C) において、d a t a 2 を読み出す限界点は V 1 となり、d a t a 2 を読み出すことができる期間を保持期間 T _ 2 とする。保持期間 T _ 2 は、2 値メモリセルの保持期間 T _ 1 と比べて、その期間が短いことがわかる。そのため、さらにリフレッシュの頻度を上げる必要があった。よって、読み出しの正確さを考慮すると多値メモリセルは実現が困難であった。

40

【 0 0 1 0 】

そこで、単位面積あたりのメモリモジュールの記憶容量を増加させることを課題の一とする。

【 0 0 1 1 】

また、消費電力の小さなメモリモジュールを提供することを課題の一とする。

【 課題を解決するための手段 】

【 0 0 1 2 】

メモリセルの多値化および積層構造化によって、単位面積あたりのメモリモジュールの記憶容量を増加させる。

50

【0013】

本発明の一態様は、ビット線と、二以上のワード線と、トランジスタおよびキャパシタからなるサブメモリセルを二以上有するメモリセルと、を有し、トランジスタのソースまたはドレインの一方がビット線と接続し、トランジスタのソースまたはドレインの他方がキャパシタと接続し、トランジスタのゲートがワード線の二と接続し、キャパシタの容量が各サブメモリセルで異なることを特徴とする半導体記憶装置である。

【0014】

キャパシタからの電荷の消失は、トランジスタのオフ電流によって起こる。オフ電流とは、トランジスタがオフ状態のときソースおよびドレイン間を流れる電流であり、オフ電流が流れることによりキャパシタに蓄積された電荷は時間の経過とともに消失してしまう。このような現象を回避するためにオフ電流の小さいトランジスタを用いることで、キャパシタの電位の保持期間を延ばすことができる。

10

【0015】

トランジスタのオフ電流は、半導体膜のキャリアの再結合に起因して起こる。そのため、半導体膜のバンドギャップが大きいほど、また、キャリアの再結合中心となる不純物が少ないほどオフ電流は流れにくくなる。例えば、トランジスタは、高純度化された、バンドギャップが2.5 eV以上、好ましくは2.8 eV以上、さらに好ましくは3 eV以上の酸化物半導体膜、炭化シリコン膜または窒化ガリウム膜などを用いればよい。

【0016】

特に、酸化物半導体膜はスパッタリング装置などで容易に成膜可能であり、かつ本発明の一態様に係る酸化物半導体膜を活性層に用いたトランジスタは低いオフ電流を実現するため、本発明の実施に適した材料である。例えば、In-Ga-Zn-Oからなる酸化物半導体膜を用いたトランジスタのオフ電流は、 1×10^{-18} A以下、高純度化されたIn-Ga-Zn-Oからなる酸化物半導体膜を用いたトランジスタのオフ電流は、 1×10^{-21} A以下、さらに不純物を低減していくと 1×10^{-24} A以下という極めて小さな値をとる。これは、シリコンでなる半導体基板にチャネルが形成されるトランジスタのオフ電流の実に 10^{14} 分の1～ 10^8 分の1であり、キャパシタの電荷の保持期間は $10^8 \sim 10^{14}$ 倍にもなる。

20

【0017】

このように、オフ電流の小さなトランジスタを用いることで、リフレッシュの頻度を低減してもキャパシタの電荷を長期間保持することができる。

30

【0018】

また、リフレッシュの頻度を低減することによって、消費電力を小さくすることができる。

【0019】

また、電荷の消失がほとんど起こらないことによって微小な容量の差が判別可能となるため、キャパシタのサイズを小さくできる。メモリセルを縮小化できるため、メモリモジュールの小面積化が実現可能となる。

【0020】

さらに、キャパシタの容量の異なる二以上のサブメモリセルを組み合わせることでメモリセルを構成することによって、容量の差を利用した多値メモリセルを実現することができる。

40

【0021】

例えば、メモリセルを容量C1のキャパシタを有する第1のサブメモリセル(、容量C2のキャパシタを有する第2のサブメモリセル)乃至容量Cnのキャパシタを有する第nのサブメモリセル(nは二以上の自然数)で構成する。ここで、 $C1(: C2) : Cn = 1(: 2) : 2^{n-1}$ とすることで、メモリセルに保持される電位の組み合わせが 2^n 組でき、 2^n 値メモリセルを作製することができる。ただし、nの値が大きくなるとキャパシタの面積も大きくなってはならない。そのため、nの値が大きくなると小面積化には不利となることがある。また、電位の読み出しが困難になることがあるため、nを適切な範囲とすることが好ましい。例えば、nを2～8、好ましくは3～5とすればよい。

50

【 0 0 2 2 】

また、本発明の一態様は、サブメモリセルを重畳してメモリセルとすることができる。これは、酸化物半導体膜がスパッタリング法などで形成できるためである。サブメモリセルを重畳して設けることで小さな面積のメモリセルを作製でき、単位面積あたりのメモリモジュールの記憶容量をさらに増加させることができる。

【 0 0 2 3 】

または、メモリセルを重畳して設ける構成としても構わない。サブメモリセルのサイズはキャパシタの面積の寄与が大きい。最も容量の大きなキャパシタを有するサブメモリセル（最大サブメモリセルともいう。）と、最も容量の小さなキャパシタを有するサブメモリセル（最小サブメモリセルともいう。）とを重畳すると、 2^n 値メモリセルの面積は、最大サブメモリセルの大きさとなる。即ち、メモリセルを並べてモジュール化した際に、最大サブメモリセルの面積に応じた個数を集積することになる。また、サブメモリセルを同一層に配置してメモリセルを作製し、その後同じサイズのメモリセルを重畳することで、モジュール化した際にスペースの無駄が生じにくい構造となる。よって、単位面積あたりのメモリモジュールの記憶容量をさらに増加することができる。

【 0 0 2 4 】

また、本発明の一態様である半導体装置は、ビット線と、二以上のワード線と、トランジスタおよびキャパシタからなるサブメモリセルを二以上有するメモリセルと、第1の選択トランジスタと、第2の選択トランジスタと、アンプと、第1の選択線と、第2の選択線と、サブビット線と、を有し、第1の選択トランジスタのゲートが第1の選択線と接続し、第1の選択トランジスタのソースまたはドレインの一方がビット線と接続し、第1の選択トランジスタのソースまたはドレインの他方がサブビット線に接続し、サブビット線を介して、第1の選択トランジスタと、各サブメモリセルにあるトランジスタのソースまたはドレインの一方、およびアンプの一端と、が接続し、アンプの他端が第2の選択トランジスタのソースまたはドレインの一方と接続し、第2の選択トランジスタのソースまたはドレインの他方がビット線と接続し、第2の選択トランジスタのゲートが第2の選択線と接続し、トランジスタのソースまたはドレインの他方がキャパシタと接続し、トランジスタのゲートがワード線のーと接続し、キャパシタの容量がサブメモリセルごとに異なる。

【 0 0 2 5 】

従来のDRAMでは、読み出しの際、ビット線の寄生容量が上乗せされることによって、メモリセルのキャパシタに一定の容量が必要であった。本発明の一態様のように、サブビット線を各メモリセルに設けることで、読み出しの際のビット線の寄生容量の影響を低減することができる。即ち、多値化した際にデータの識別が容易になる。よって、メモリセルにおけるキャパシタの容量を一層低減することができる。

【 発明の効果 】

【 0 0 2 6 】

メモリセルの多値化および積層構造化によって、単位面積あたりのメモリモジュールの記憶容量を増加させることができる。

【 0 0 2 7 】

また、リフレッシュの頻度を低減させることで、メモリモジュールの消費電力を低減することができる。

【 図面の簡単な説明 】

【 0 0 2 8 】

【図1】半導体記憶装置の例を示す回路図。

【図2】半導体記憶装置の書き込みを説明する回路図。

【図3】半導体記憶装置の書き込みおよび読み出しを説明する回路図。

【図4】半導体記憶装置の例を示す回路図。

【図5】半導体記憶装置のモジュール化の例を示す回路図。

【図6】半導体記憶装置のメモリセルの断面構造を説明する図。

【図7】半導体記憶装置のメモリモジュールの断面構造を説明する図。

【図 8】半導体記憶装置のメモリモジュールの断面構造を説明する図。

【図 9】半導体記憶装置のメモリセルの断面構造を説明する図。

【図 10】半導体記憶装置のメモリセルの断面構造を説明する図。

【図 11】従来の半導体記憶装置について説明する図。

【図 12】酸化物半導体の結晶構造を説明する図。

【図 13】酸化物半導体の結晶構造を説明する図。

【図 14】酸化物半導体の結晶構造を説明する図。

【図 15】計算によって得られた電界効果移動度のゲート電圧依存性を説明する図。

【図 16】計算によって得られたドレイン電流と電界効果移動度のゲート電圧依存性を説明する図。

10

【図 17】計算によって得られたドレイン電流と電界効果移動度のゲート電圧依存性を説明する図。

【図 18】計算によって得られたドレイン電流と電界効果移動度のゲート電圧依存性を説明する図。

【図 19】計算に用いたトランジスタの断面構造を説明する図。

【図 20】酸化物半導体膜を用いたトランジスタ特性のグラフ。

【図 21】試料 A および試料 B の X R D スペクトルを示す図。

【図 22】トランジスタのオフ電流と測定時基板温度との関係を示す図。

【図 23】 I_d および電界効果移動度の V_g 依存性を示す図。

【図 24】基板温度としきい値電圧の関係および基板温度と電界効果移動度の関係を示す図。

20

【図 25】半導体装置の上面図および断面図。

【図 26】半導体装置の上面図および断面図。

【発明を実施するための形態】

【0029】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、図面を用いて発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる。なお、同様のものを指す際にはハッチパターンを同じくし、特に符号を付さない場合がある。

30

【0030】

なお、第 1、第 2 として付される序数詞は便宜上用いるものであり、工程順または積層順を示すものではない。また、本明細書において発明を特定するための事項として固有の名称を示すものではない。

【0031】

以下、本発明の説明を行うが、本明細書で用いる用語について簡単に説明する。まず、トランジスタのソースとドレインについては、本明細書においては、一方をドレインと呼ぶとき他方をソースとする。すなわち、電位の高低によって、それらを区別しない。従って、本明細書において、ソースとされている部分をドレインと読み替えることもできる。

40

【0032】

本明細書においては、「接続する」と表現される場合であっても、現実の回路においては、物理的な接続部分がなく、配線が延在している場合だけのこともある。例えば、絶縁ゲート型電界効果トランジスタ (M I S F E T) の回路では、一本の配線が複数の M I S F E T のゲートを兼ねている場合もある。その場合、回路図では、一本の配線からゲートに何本もの分岐が生じるように書かれることもある。本明細書では、そのような場合でも、「配線がゲートに接続する」という表現を用いることがある。

【0033】

なお、本明細書では、マトリクスにおいて特定の行や列、位置を扱う場合には、符号に座標を示す記号をつけて、例えば、「第 1 の選択トランジスタ S T r 1 _ n _ m」、「ピッ

50

ト線 BL_m 」、「サブビット線 $SB L_n_m$ 」というように表記するが、特に、行や列、位置を特定しない場合や集合的に扱う場合、またはどの位置にあるか明らかである場合には、「第1の選択トランジスタ $STr1$ 」、「ビット線 BL 」、「サブビット線 $SB L$ 」、または、単に「第1の選択トランジスタ」、「ビット線」、「サブビット線」というように表記することもある。

【0034】

(実施の形態1)

本実施の形態では、半導体記憶装置であるメモリセルの構成およびその動作の例について、図1を用いて説明する。

【0035】

図1は、ビット線 BL と、ワード線 WL_1 (、 WL_2) 乃至 WL_n と、トランジスタ Tr_1 (、 Tr_2 乃至) Tr_n と、キャパシタ C_1 (、 C_2) 乃至 C_n と、センスアンプ $SAmp$ と、を有するメモリセルの回路図である。

【0036】

トランジスタ Tr_1 のゲートはワード線 WL_1 と接続し、トランジスタ Tr_1 のソースまたはドレインの一方はビット線 BL と接続し、トランジスタ Tr_1 のソースまたはドレインの他方はキャパシタ C_1 の一端と接続し、キャパシタ C_1 の他端と GND が接続する。同様にトランジスタ Tr_2 のゲートはワード線 WL_2 と接続し、トランジスタ Tr_2 のソースまたはドレインの一方はビット線 BL と接続し、トランジスタ Tr_2 のソースまたはドレインの他方はキャパシタ C_2 の一端と接続し、キャパシタ C_2 の他端と GND が接続する。同様にトランジスタ Tr_n のゲートはワード線 WL_n と接続し、トランジスタ Tr_n のソースまたはドレインの一方はビット線 BL と接続し、トランジスタ Tr_n のソースまたはドレインの他方はキャパシタ C_n の一端と接続し、キャパシタ C_n の他端と GND が接続する。ビット線 BL はセンスアンプ $SAmp$ と接続する。なお、 GND に接続するとは、接地することをいう。

【0037】

ここで、トランジスタと、キャパシタとを一つずつ接続した構成をサブメモリセル $SC L$ とする。具体的には、トランジスタ Tr_1 およびキャパシタ C_1 の構成をサブメモリセル $SC L_1$ 、トランジスタ Tr_2 およびキャパシタ C_2 の構成をサブメモリセル $SC L_2$ 、トランジスタ Tr_n およびキャパシタ C_n の構成をサブメモリセル $SC L_n$ とする。

【0038】

トランジスタ Tr_1 (、 Tr_2) 乃至 Tr_n には、オフ電流の小さいトランジスタを用いる。具体的には、高純度化された、バンドギャップが 2.5 eV 以上、好ましくは 2.8 eV 以上、さらに好ましくは 3 eV 以上の、酸化物半導体膜、炭化シリコン膜または窒化ガリウム膜などの半導体膜を活性層に用いたトランジスタとすればよい。前述の半導体膜はバンドギャップが大きく、不純物準位が少ないため、キャリアの再結合が少なく、オフ電流が小さい。

【0039】

オフ電流の小さいトランジスタをサブメモリセルに用いることで、キャパシタに保持された電位の変動を抑制できる。そのため、電位の保持期間が延び、リフレッシュの頻度を低くしてもよくなるため、消費電力の低減が見込める。また、電位の変動が抑制できることによって、キャパシタの容量を小さくでき、メモリセルを小面積化することができる。

【0040】

さらに、各サブメモリセルにおけるキャパシタの容量を調整することによって、保持される電位を複数持たせることができる。即ち多値化したメモリセルが作製できる。

【0041】

例えば、容量を C_1 (： C_2)： $C_n = 1$ (： 2)： 2^{n-1} (n は二以上の自然数) とすることによって、電位の組み合わせを 2^n 個作ることができる。このとき、最も容量の小さい C_1 の容量が 0.1 fF 以上 1 fF 以下となるようにすればよい。ただし

10

20

30

40

50

、 n の値が大きくなるとキャパシタの面積も大きくしなくてはならない。そのため、 n の値が大きくなると小面積化には不利となることがある。また、電位の読み出しが困難になることがあるため、 n を適切な範囲とすることが好ましい。例えば、 n を2～8、好ましくは3～5とすればよい。

【0042】

例えば、 $n = 3$ で、キャパシタ C_1 の容量が1 fF、キャパシタ C_2 の容量は2 fF、キャパシタ C_3 の容量は4 fFのときの書き込みの方法について説明する。

【0043】

各容量の書き込みは、独立して行うことができる。即ち、ビット線を所定の電位VDD（キャパシタの充電に十分な電位）とし、書き込みを行うキャパシタを有するサブメモリセルに接続するワード線に、VHを印加すればよい。本明細書において、VHは、トランジスタのしきい値電圧（ V_{th} ）にVDDを加えたよりも高い電圧をいう。表1に、各ワード線の電位とキャパシタの容量の組み合わせを示す。

【0044】

【表1】

WL_1	WL_2	WL_3	保持容量[fF]
GND	GND	GND	0
VH	GND	GND	1
GND	VH	GND	2
GND	GND	VH	3
VH	VH	GND	4
VH	GND	VH	5
GND	VH	VH	6
VH	VH	VH	7

【0045】

蓄積された電位をセンスアンプで検出することで、3ビット（8値）のデータの読み出しが可能となる。即ち、 $n = 3$ とすることで、8値メモリセルを作製することができる。

【0046】

従来のシリコンでなる半導体基板にチャネルが形成されるトランジスタでは、オフ電流が大きいため電位を保持することができずメモリセルの多値化は困難となるところ、オフ電流の小さなトランジスタを用いることでメモリセルの多値化を実現できる。

【0047】

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

【0048】

（実施の形態2）

本実施の形態では、半導体記憶装置であるメモリセルの構成およびその動作の実施の形態1と異なる例について、図4を用いて説明する。

【0049】

図4は、ビット線BLと、サブビット線SBLと、第1の選択線SL_1と、第2の選択線SL_2と、ワード線WL_1（、WL_2）乃至WL_nと、第1の選択トランジスタSTr_1と、第2の選択トランジスタSTr_2と、トランジスタTr_1（、Tr_2）乃至Tr_nと、キャパシタC_1（、C_2）乃至C_nと、アンプAmpと、を有するメモリセルの回路図である。

【0050】

トランジスタTr_1（、Tr_2）乃至Tr_n、キャパシタC_1（、C_2）乃至C_n、ならびにサブメモリセルSCL_1（、SCL_2）乃至SCL_nは、実施の形態1と同様の構成とすればよい。

【 0 0 5 1 】

第 1 の選択トランジスタ S_{Tr_1} のソースまたはドレインの一方はビット線 B_L と接続し、第 1 の選択トランジスタ S_{Tr_1} のソースまたはドレインの他方はサブビット線 S_{B_L} を介してトランジスタ T_{r_1} (、 T_{r_2}) 乃至 T_{r_n} のソースまたはドレインの一方、ならびにアンプ A_{mp} を介して第 2 の選択トランジスタ S_{Tr_2} のソースまたはドレインの一方と接続し、第 2 の選択トランジスタ S_{Tr_2} のソースまたはドレインの他方はビット線 B_L と接続する。

【 0 0 5 2 】

サブビット線はビット線と比較して物理的距離を短くできるため、寄生容量を低減することができる。そのため、メモリセルの容量が小さくても、誤動作を起こさず信号を増幅でき、かつ増幅した信号をビット線に出力することができる。

10

【 0 0 5 3 】

そのため、実施の形態 1 よりもさらにサブメモリセルのキャパシタの容量を低減でき、メモリセルを小面積化できる。具体的には、キャパシタの容量は 0.1 fF 以上 1 fF 以下まで小さくすることができる。もちろん、キャパシタの容量を 1 fF より大きくしても構わない。

【 0 0 5 4 】

また、1つのサブビット線に対し1つのアンプが接続するため、特にセンスアンプを設けなくとも電位の判別が可能となる。もちろん、実施の形態 1 と同様に、センスアンプを設ける構成としてもよい。

20

【 0 0 5 5 】

本実施の形態によって、電位の保持期間が延び、リフレッシュの頻度を低くしてもよいため、消費電力の低減が見込める。また、電位の変動が抑制できることに加えて、サブビット線を設けることによってキャパシタの容量を小さくでき、さらにメモリセルを小面積化することができる。

【 0 0 5 6 】

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

【 0 0 5 7 】

(実施の形態 3)

本実施の形態では、半導体記憶装置の例として、実施の形態 1 で示したメモリセルを用いた n 行 m 列 (n 、 m は 3 以上の自然数) のメモリモジュールについて、図 5 を用いて説明する。

30

【 0 0 5 8 】

図 5 は、ビット線 B_{L_1} 、 B_{L_2} 乃至 B_{L_m} と、ワード線 W_{L_1} 、 W_{L_2} 乃至 W_{L_n} と、トランジスタ $T_{r_1_1}$ 乃至 $T_{r_m_n}$ と、キャパシタ C_{1_1} 乃至 C_{m_n} と、センスアンプ S_{Amp_1} 、 S_{Amp_2} 乃至 S_{Amp_m} と、を有するメモリモジュールである。

【 0 0 5 9 】

各トランジスタ、各キャパシタ、各サブメモリセル ($S_{CL_1_1}$ 乃至 $S_{CL_m_n}$) は、実施の形態 1 と同様の構成とすればよい。

40

【 0 0 6 0 】

メモリセル CL_1 の構成を示す。トランジスタ $T_{r_1_1}$ のゲートはワード線 W_{L_1} と接続し、トランジスタ $T_{r_1_1}$ のソースまたはドレインの一方はビット線 B_{L_1} と接続し、トランジスタ $T_{r_1_1}$ のソースまたはドレインの他方はキャパシタ C_{1_1} の一端と接続し、キャパシタ C_{1_1} の他端と GND が接続する。同様にトランジスタ $T_{r_1_2}$ のゲートはワード線 W_{L_2} と接続し、トランジスタ $T_{r_1_2}$ のソースまたはドレインの一方はビット線 B_{L_1} と接続し、トランジスタ $T_{r_1_2}$ のソースまたはドレインの他方はキャパシタ C_{1_2} の一端と接続し、キャパシタ C_{1_2} の他端と GND が接続する。同様にトランジスタ $T_{r_1_n}$ のゲートはワード線 W_{L_n} と接続し、トランジスタ $T_{r_1_n}$ のソースまたはドレインの一方はビット線 B

50

L_{__1}と接続し、トランジスタT_{r__1__n}のソースまたはドレインの他方はキャパシタC_{__1__n}の一端と接続し、キャパシタC_{__1__n}の他端とGNDが接続する。ビット線B_{L__1}はセンスアンプS_{Amp__1}と接続する。

【0061】

メモリセルC_{L__2}乃至C_{L__m}は、メモリセルC_{L__1}とはビット線およびセンスアンプが異なる以外は同様に構成すればよい。即ち、メモリセルC_{L__2}乃至C_{L__m}には、それぞれビット線B_{L__2}乃至B_{L__m}ならびにセンスアンプS_{Amp__2}乃至S_{Amp__m}を用いるが、同じ行のサブメモリセルはワード線を共有する。具体的には、1行目にあるトランジスタ(T_{r__1__1}、T_{r__2__1}乃至T_{r__m__1})のゲートにはワード線W_{L__1}を接続し、2行目にあるトランジスタ(T_{r__1__2}、T_{r__2__2}乃至T_{r__m__2})のゲートにはワード線W_{L__2}を接続し、n行目にあるトランジスタ(T_{r__1__n}、T_{r__2__n}乃至T_{r__m__n})のゲートにはワード線W_{L__n}を接続する。

10

【0062】

このような構成とすることで、 2^n 値メモリセルをm個接続した大容量のメモリモジュールを作製することができる。

【0063】

本実施の形態では、実施の形態1と同様の構成のメモリセルを複数接続する例を示したが、これに限定されるものではなく、実施の形態2で示したメモリセルを用いるなど、他の実施の形態と適宜組み合わせることができる。

【0064】

20

(実施の形態4)

本実施の形態では、図6を用いて、半導体記憶装置であるメモリセルの作製方法の例を示す。

【0065】

図6はサブメモリセル410、サブメモリセル420、サブメモリセル430を重畳して構成したメモリセルの断面図である。各サブメモリセルを重畳した構成とすることによって、メモリセルを小面積化することができる。なお、センスアンプ、アンプ、ビット線、ワード線は簡単のため省略する。

【0066】

領域400は、センスアンプやアンプなど(図示せず)を作製する領域で、シリコンウェハ401、シリコンウェハ401上のゲート絶縁膜404、ゲート絶縁膜404上の層間膜406などを含んで構成される。なお、領域400は前述の構成に限定されるものではない。例えば、シリコンウェハの代わりにゲルマニウム基板、SOI(Silicon On Insulator)基板などに代表される半導体基板を用いても構わない。

30

【0067】

ゲート絶縁膜404は、例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化ハフニウム、イットリア安定化ジルコニアなどを用いればよく、積層または単層で設ける。例えば、熱酸化法、CVD法、スパッタリング法などで形成すればよい。

【0068】

40

層間膜406は、例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコンなどを用いればよく、積層または単層で設ける。例えば、熱酸化法、CVD法、スパッタリング法などで形成すればよい。

【0069】

領域400の表面がCMP(Chemical Mechanical Polishing)などによって平坦化されていると、サブメモリセルを重畳して形成しやすくなるため好ましい。

【0070】

続いて、サブメモリセル410を作製する。サブメモリセル410は、トランジスタ451およびキャパシタ461で構成される。

50

【 0 0 7 1 】

トランジスタ 4 5 1 は、下地膜 4 1 2 と、下地膜 4 1 2 上の半導体膜 4 1 5 と、半導体膜 4 1 5 と一部が接する電極 4 1 3 および電極 4 1 8 と、半導体膜 4 1 5 と一部が接し、電極 4 1 3 および電極 4 1 8 を覆うゲート絶縁膜 4 1 4 と、ゲート絶縁膜 4 1 4 を介して半導体膜 4 1 5 上に設けられたゲート電極 4 1 7 と、で構成される。なお、トランジスタ 4 5 1 は、トップゲートトップコンタクト構造を採用しているが、これに限定されるものではなく、トップゲートボトムコンタクト構造、ボトムゲートトップコンタクト構造またはボトムゲートボトムコンタクト構造としても構わない。

【 0 0 7 2 】

下地膜 4 1 2 は、例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコンなどを用いればよく、積層または単層で設ける。例えば、熱酸化法、CVD法、スパッタリング法などで形成すればよい。ただし、後述する半導体膜 4 1 5 が酸化物半導体膜である場合、加熱処理により酸素を放出する絶縁膜を 200 nm 以上、好ましくは 300 nm 以上形成するとよい。加熱処理により酸素を放出する絶縁膜には、例えば、スパッタリング法で形成した酸化シリコン膜などが挙げられる。加熱処理により酸素を放出する絶縁膜を下地膜に用いることで、酸化物半導体膜中の酸素欠損を埋めることができ、電気特性が良好で信頼性の高いトランジスタを作製することができる。

10

【 0 0 7 3 】

半導体膜 4 1 5 は、高純度化された、バンドギャップが 2 . 5 e V 以上、好ましくは 2 . 8 e V 以上、さらに好ましくは 3 e V 以上の半導体膜を用いる。例えば、酸化物半導体膜、炭化シリコン膜、窒化ガリウム膜などを用いればよい。

20

【 0 0 7 4 】

酸化物半導体膜を用いる場合、少なくともインジウム (I n) あるいは亜鉛 (Z n) を含む酸化物半導体膜を用いることが好ましい。特に I n と Z n を含むことが好ましい。また、該酸化物半導体膜を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム (G a) を有することが好ましい。また、スタビライザーとしてスズ (S n) を有することが好ましい。また、スタビライザーとしてハフニウム (H f) を有することが好ましい。また、スタビライザーとしてアルミニウム (A l) を有することが好ましい。

【 0 0 7 5 】

また、他のスタビライザーとして、ランタノイドである、ランタン (L a) 、セリウム (C e) 、プラセオジウム (P r) 、ネオジウム (N d) 、サマリウム (S m) 、ユウロピウム (E u) 、ガドリニウム (G d) 、テルビウム (T b) 、ジスプロシウム (D y) 、ホルミウム (H o) 、エルビウム (E r) 、ツリウム (T m) 、イッテルビウム (Y b) 、ルテチウム (L u) のいずれか一種または複数種を有してもよい。

30

【 0 0 7 6 】

例えば、四元系金属酸化物である I n - S n - G a - Z n - O 系の材料、I n - H f - G a - Z n - O 系の材料、I n - A l - G a - Z n - O 系の材料、I n - S n - A l - Z n - O 系の材料、I n - S n - H f - Z n - O 系の材料、I n - H f - A l - Z n - O 系の材料や、三元系金属酸化物である I n - G a - Z n - O 系の材料 (I G Z O と表記する) 、I n - S n - Z n - O 系の材料、I n - A l - Z n - O 系の材料、S n - G a - Z n - O 系の材料、A l - G a - Z n - O 系の材料、S n - A l - Z n - O 系の材料、I n - H f - Z n - O 系の材料、I n - L a - Z n - O 系の材料、I n - C e - Z n - O 系の材料、I n - P r - Z n - O 系の材料、I n - N d - Z n - O 系の材料、I n - S m - Z n - O 系の材料、I n - E u - Z n - O 系の材料、I n - G d - Z n - O 系の材料、I n - T b - Z n - O 系の材料、I n - D y - Z n - O 系の材料、I n - H o - Z n - O 系の材料、I n - E r - Z n - O 系の材料、I n - T m - Z n - O 系の材料、I n - Y b - Z n - O 系の材料、I n - L u - Z n - O 系の材料や、二元系金属酸化物である I n - Z n - O 系の材料、S n - Z n - O 系の材料、A l - Z n - O 系の材料、Z n - M g - O 系の材料、S n - M g - O 系の材料、I n - M g - O 系の材料、I n - G a - O 系の材料や、I

40

50

n - O系の材料、Sn - O系の材料、Zn - O系の材料などを用いてもよい。また、上記の材料に酸化シリコンを含ませてもよい。ここで、例えば、In - Ga - Zn - O系の材料とは、インジウム (In)、ガリウム (Ga)、亜鉛 (Zn) を有する酸化物、という意味であり、その組成比は特に問わない。また、InとGaとZn以外の元素を含んでいてもよい。

【0077】

また、酸化物半導体膜は、化学式 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) で表記される材料を用いた薄膜により形成してもよい。ここで、Mは、Ga、Al、Fe、MnおよびCoから選ばれた一または複数の金属元素を示す。例えば、Mとして、Ga、GaおよびAl、GaおよびMnまたはGaおよびCoなどを用いてもよい。また、酸化物半導体膜として、 $\text{In}_3\text{SnO}_5(\text{ZnO})_n$ ($n > 0$) で表記される材料を用いてもよい。

10

【0078】

例えば、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ または $\text{In} : \text{Ga} : \text{Zn} = 2 : 2 : 1$ の原子数比のIn - Ga - Zn - O系の材料やその組成の近傍の酸化物半導体膜を用いることができる。または、 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$ 、 $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 3$ もしくは $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 5$ の原子数比のIn - Sn - Zn - O系の材料やその組成の近傍の酸化物半導体膜を用いるとよい。

【0079】

しかし、これらに限られず、酸化物半導体膜は、必要とする半導体特性 (移動度、しきい値電圧など) に応じて適切な組成のものを用いればよい。また、酸化物半導体膜は、必要とする半導体特性を得るために、キャリア濃度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間結合距離、密度などを適切なものとするのが好ましい。

20

【0080】

例えば、In - Sn - Zn - O系の材料では比較的容易に高い移動度を得られる。しかしながら、In - Ga - Zn - O系の材料でも、バルク内欠陥密度を低減することにより移動度を向上させることができる。

【0081】

なお、例えば、In、Ga、Znの原子数比が $\text{In} : \text{Ga} : \text{Zn} = a : b : c$ ($a + b + c = 1$) である酸化物半導体材料の組成が、原子数比が $\text{In} : \text{Ga} : \text{Zn} = A : B : C$ ($A + B + C = 1$) の酸化物半導体材料の組成の近傍であるとは、 a 、 b 、 c が、 $(a - A)^2 + (b - B)^2 + (c - C)^2 \leq r^2$ を満たすことをいい、 r は、例えば、0.05とすればよい。他の酸化物半導体材料でも同様である。

30

【0082】

酸化物半導体は単結晶でも、非単結晶でもよい。後者の場合、非晶質でも、多結晶でもよい。また、非晶質中に結晶性を有する領域を含むように完全な非晶質でなくてもよい。

【0083】

非晶質状態の酸化物半導体膜は、比較的容易に平坦な表面を得ることができるため、これを用いてトランジスタを作製した際の界面散乱を低減でき、比較的容易に、比較的高い電界効果移動度を得ることができる。

40

【0084】

また、結晶性を有する酸化物半導体膜を用いて作製したトランジスタでは、よりバルク内欠陥を低減することができ、表面の平坦性を高めれば非晶質状態の酸化物半導体膜以上の電界効果移動度を得ることができる。表面の平坦性を高めるためには、平坦な被成膜面上に酸化物半導体膜を成膜することが好ましく、具体的には、平均面粗さ (R_a) が1nm以下、好ましくは0.3nm以下、より好ましくは0.1nm以下の被成膜面上に成膜するとよい。

【0085】

なお、 R_a は、JIS B 0601で定義されている中心線平均粗さを面に対して適用できるように三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均し

50

た値」と表現でき、以下の式にて定義される。

【 0 0 8 6 】

【 数 1 】

$$Ra = \frac{1}{S_0} \int_{x_1}^{x_2} \int_{y_1}^{y_2} |f(x, y) - Z_0| dx dy \quad \dots (1)$$

【 0 0 8 7 】

なお、上記において、 S_0 は、測定面（座標 (x_1, y_1) (x_1, y_2) (x_2, y_1) (x_2, y_2) で表される 4 点によって囲まれる長方形の領域）の面積を指し、 Z_0 は測定面の平均高さを指す。 Ra は原子間力顕微鏡（AFM: Atomic Force Microscope）にて評価可能である。

10

【 0 0 8 8 】

酸化物半導体膜は、スパッタリング法、PLD法、スプレー法などで形成することができる。

【 0 0 8 9 】

例えば、In - Sn - Zn - O系の材料は、In : Sn : Znが原子数比で、1 : 2 : 2、2 : 1 : 3、1 : 1 : 1、または20 : 45 : 35などとなるターゲットを用いてスパッタリング法により成膜することができる。

【 0 0 9 0 】

20

特に、スパッタリング法を用いて、高純度で欠陥の少ない酸化物半導体膜を形成する場合、成膜中の酸素分圧を10%以上にすることが好ましい。また、成膜温度を200以上450以下とすることで、膜中の不純物（水素など）濃度を低減できる。

【 0 0 9 1 】

さらに、成膜後に熱処理を行うことで、より高純度で欠陥の少ない酸化物半導体膜を形成できる。具体的には、温度を150以上基板の歪み点未満、好ましくは250以上450以下、高純度化された窒素、酸素、希ガスまたはこれらの混合雰囲気中で6min以上24時間以下の熱処理を行えばよい。処理時間は24時間より長くなっても構わないが、時間を長くしすぎるとその費用対効果は小さくなる。

【 0 0 9 2 】

30

電極413および電極418は、同一層で形成すればよい。材料として、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタル、タングステンの単体金属、合金または金属窒化物を用いればよい。

【 0 0 9 3 】

または、電極413および電極418の材料として、酸化インジウム、酸化錫または酸化亜鉛を含む透明導電材料を用いても構わない。

【 0 0 9 4 】

または、電極413および電極418は、前述の材料を積層した構成としても構わない。

【 0 0 9 5 】

ゲート絶縁膜414は、ゲート絶縁膜404と同様の構成とすればよい。

40

【 0 0 9 6 】

ゲート電極417は、電極413および電極418と同様の構成とすればよい。

【 0 0 9 7 】

キャパシタ461は、電極413と、電極413を覆うゲート絶縁膜414と、ゲート電極と同一層で形成される容量配線419で構成される。即ち、本実施の形態ではゲート絶縁膜がキャパシタ用絶縁膜を兼ねる構成となっている。そのため、改めてキャパシタ用絶縁膜を形成する必要がなく、工程を簡略化できる。もちろん、本発明はこれに限定されて解釈されるものではなく、ゲート絶縁膜とは別にキャパシタ用絶縁膜を形成しても構わない。

【 0 0 9 8 】

50

ここで、容量配線 4 1 9 と電極 4 1 3 とに挟まれるゲート絶縁膜 4 1 4 の面積およびゲート絶縁膜 4 1 4 の厚さによってキャパシタ 4 6 1 の容量が決まる。ゲート絶縁膜 4 1 4 は、薄すぎるとキャパシタ 4 6 1 の電荷をリークしてしまう恐れがある。また、厚すぎるとトランジスタ 4 5 0 の電気特性の悪化および信頼性の低下が懸念されるため、5 nm 以上 1 0 0 nm 以下とする。好ましくは 1 0 nm 以上 3 0 nm 以下とする。ゲート絶縁膜 4 1 4 の厚さが小さいほど単位面積あたりの容量を大きくできるため、メモリセルを小面積化することができる。また、ゲート絶縁膜 4 1 4 に比誘電率の高い (High - k) 材料を用いることでも、メモリセルを小面積化できる。

【0099】

サブメモリセル 4 1 0 は、トランジスタ 4 5 1 およびキャパシタ 4 6 1 を覆う層間膜 4 1 6 を有する。

10

【0100】

層間膜 4 1 6 の表面がCMPなどによって平坦化されていると、サブメモリセルを重畳して形成しやすくなるため好ましい。

【0101】

サブメモリセル 4 2 0 およびサブメモリセル 4 3 0 もサブメモリセル 4 1 0 と同様の構成とすればよい。

【0102】

ここで、サブメモリセル 4 2 0 およびサブメモリセル 4 3 0 にあるキャパシタ 4 6 2 およびキャパシタ 4 6 3 の容量は、それぞれキャパシタ 4 6 1 の容量の 2 倍および 4 倍とすればよい。そのためには、例えば、キャパシタ 4 6 2 およびキャパシタ 4 6 3 の面積を、キャパシタ 4 6 1 の面積の 2 倍および 4 倍とすればよい。なお、キャパシタ 4 6 2 およびキャパシタ 4 6 3 の面積を変更するには、それぞれ容量配線 4 2 9 および容量配線 4 3 9 の面積を変更すればよい。または、サブメモリセル 4 2 0 およびサブメモリセル 4 3 0 のゲート絶縁膜の厚さを、ゲート絶縁膜 4 1 4 の 2 分の 1 および 4 分の 1 としても構わない。または、ゲート絶縁膜の比誘電率と厚さを適宜組み合わせることで容量値を制御しても構わない。もちろん、キャパシタ用絶縁膜を別途設ける構成の場合も同様である。

20

【0103】

本実施の形態では、サブメモリセルを 3 層重畳する構成としたが、3 層に限定されて解釈されるものではなく、4 層以上のサブメモリセルを重畳しても構わない。

30

【0104】

このような構成とすることで、メモリセルの小面積化が可能となる。そのため、本実施の形態で示したメモリセルを複数用いることで、単位面積あたりの記憶容量の大きなメモリモジュールを作製することができる。

【0105】

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

【0106】

(実施の形態 5)

本実施の形態では、実施の形態 1 乃至実施の形態 3 に示した半導体記憶装置であるメモリセルの作製方法について、実施の形態 4 と異なる例を示す。

40

【0107】

本実施の形態では、サブメモリセルを同一層に作製し、一つのメモリセルとする構成について説明する。

【0108】

サブメモリセルを同一層で作製することによって、メモリモジュールのさらなる小面積化が可能となる。

【0109】

図 7 は、実施の形態 4 で作製したメモリセル (メモリセル 5 8 1、メモリセル 5 8 2 およびメモリセル 5 8 3) を 3 列並べて作製したメモリモジュールの断面図の例である。

【0110】

50

なお、サブメモリセル 4 1 0、サブメモリセル 4 2 0 およびサブメモリセル 4 3 0 の構成については、実施の形態 4 で示しているため省略する。

【0 1 1 1】

領域 5 9 0 で例示したように、この構成ではメモリセル間に使われていないスペースが生じることがわかる。これは、キャパシタ 4 6 1 の容量 (C 1)、キャパシタ 4 6 2 の容量 (C 2) およびキャパシタ 4 6 3 の容量 (C 3) の関係を $C 1 : C 2 : C 3 = 1 : 2 : 4$ にするために容量配線の面積を調整しているためである。即ち、容量配線 4 1 9、容量配線 4 2 9 および容量配線 4 3 9 の面積を変化させていることによる。

【0 1 1 2】

図 8 は、サブメモリセル 4 1 0、サブメモリセル 4 2 0 およびサブメモリセル 4 3 0 を同一層として作製したメモリセル (メモリセル 5 7 1、メモリセル 5 7 2 およびメモリセル 5 7 3) を、3 段重畳して作製したメモリモジュールの断面図の例である。

10

【0 1 1 3】

メモリモジュールを図 8 に示す構成とすることによって、図 7 の領域 5 9 0 に示したようなスペースが小さくでき、より小面積化したメモリモジュールを作製することができる。

【0 1 1 4】

本実施の形態では、特にメモリセルを 3 つ有するメモリモジュールの例を用いて説明したが、これに限定されるものではなく、メモリセルを 4 つ以上有するメモリモジュールの構成としても構わない。もちろん、メモリセルが 2 つの構成としても構わない。

【0 1 1 5】

20

また、例えば本実施の形態のようにメモリモジュールを作製し、それを同一層に幾つも並べることができる。即ち、 2^n 値メモリセルを複数有する構成にすることができる。

【0 1 1 6】

このような構成とすることで、メモリモジュールの小面積化が可能となる。そのため、単位面積あたりの記憶容量の大きなメモリモジュールを作製することができる。

【0 1 1 7】

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

【0 1 1 8】

(実施の形態 6)

本実施の形態では、キャパシタの一つを領域 4 0 0 に設けた例について説明する。

30

【0 1 1 9】

キャパシタを領域 4 0 0 に設けることで、最大サブメモリセルのサイズを縮小でき、メモリセル全体でも小面積化できる。

【0 1 2 0】

シリコンウェハに凹部または凸部を形成し、該凹部または凸部にキャパシタを形成することで、シリコンウェハの単位面積あたりの容量を大きくすることができる。この構造は、トレンチ構造ともいう。

【0 1 2 1】

図 9 は、シリコンウェハ 4 0 1 に凹部を形成し、該凹部に重畳してキャパシタ 6 6 3 を形成したメモリモジュールの断面図である。なお、キャパシタ 6 6 3 は、サブメモリセル 6 3 0 のキャパシタとして機能する。

40

【0 1 2 2】

サブメモリセル 6 3 0 は、トランジスタ 6 5 1 を有する。トランジスタ 6 5 1 は、実施の形態 4 で示したトランジスタ 4 5 1 と同様の構成とすればよい。

【0 1 2 3】

領域 4 0 0 において、シリコンウェハ 4 0 1 には、キャパシタ 4 6 1 およびキャパシタ 4 6 2 の容量を考慮して、キャパシタ 6 6 3 が必要な容量を持つように凹部を形成する。なお、凹部の形状は図 9 に示した形状に限定されない。例えば、凹部の中に別の凹部を設ける構造や、凹部の中に凸部を設ける構造や、これらを組み合わせた構造にしても構わない。

50

【 0 1 2 4 】

また、ゲート絶縁膜 4 0 4 は、キャパシタ 6 6 3 の容量層として機能する。ゲート絶縁膜 4 0 4 を容量層に用いた例について示しているが、別途キャパシタ用絶縁膜を設ける構成としても構わない。

【 0 1 2 5 】

キャパシタ 6 6 3 は、サブメモリセル 6 3 0 のキャパシタであるため、トランジスタ 6 5 1 のソース電極またはドレイン電極とコンタクトホールを介して接続される。

【 0 1 2 6 】

電極 6 0 3 は、領域 4 0 0 に設けられるセンスアンプなどに用いられるトランジスタの電極と同一層としても構わない。容量配線 6 0 9 についても同様である。

10

【 0 1 2 7 】

電極 6 0 3 および容量配線 6 0 9 は、実施の形態 4 で示した電極 4 1 3 および電極 4 1 8 と同様の構成とすればよい。

【 0 1 2 8 】

シリコンウェハ 4 0 1 に凹部を形成することによって、電極 6 0 3 の表面積が増し、電極 6 0 3 と容量配線 6 0 9 を用いたキャパシタ 6 6 3 の容量を増大させることができる。そのため、同じ記憶容量のメモリセルをさらに小面積で作製することができる。

【 0 1 2 9 】

図 1 0 は、シリコンウェハ 4 0 1 に凸部 6 4 0 を形成し、キャパシタ 6 6 4 を形成したメモリモジュールの断面図である。なお、キャパシタ 6 6 4 は、サブメモリセル 6 3 0 のキャパシタとして機能する。

20

【 0 1 3 0 】

領域 4 0 0 において、シリコンウェハ 4 0 1 には、キャパシタ 4 6 1 およびキャパシタ 4 6 2 の容量を考慮して、キャパシタ 6 6 4 が必要な容量を持つように凸部 6 4 0 を形成する。なお、凸部の形状は図 1 0 に示した形状に限定されない。例えば、凸部の中に凹部を設ける構造や、凸部の中に別の凸部を設ける構造や、これらを組み合わせた構造にしても構わない。

【 0 1 3 1 】

シリコンウェハ 4 0 1 に凸部 6 4 0 を形成することによって、電極 6 0 3 の表面積が増し、電極 6 0 3 と容量配線 6 0 9 を用いたキャパシタ 6 6 4 の容量を増大していることがわかる。そのため、同じ記憶容量のメモリセルをさらに小面積で作製することができる。

30

【 0 1 3 2 】

なお、ゲート絶縁膜 4 0 4 を容量層に用いた例について示しているが、別途キャパシタ用絶縁膜を設ける構成としても構わない。

【 0 1 3 3 】

また、図示しないが、シリコンウェハ 4 0 1 の代わりに炭化シリコン基板や窒化ガリウム基板を用いる場合、領域 4 0 0 にトランジスタ 6 5 1 を設ける構成としても構わない。炭化シリコンおよび窒化ガリウムは、バンドギャップが大きいのでオフ電流が低く、キャパシタの電位を十分保持することができる。領域 4 0 0 にトランジスタを設ける構成とすることによって、さらに領域 4 0 0 にもサブメモリセルを作製することができるため、記憶容量の大きなメモリセルを作製することができて好ましい。

40

【 0 1 3 4 】

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

【 0 1 3 5 】

(実施の形態 7)

本実施の形態では、本発明の一態様を用いた半導体記憶装置の動作の例について説明する。

【 0 1 3 6 】

図 2 および図 3 は、3 ビットのメモリセルを二つ (C L _ 1 、 C L _ 2) 有する半導体記憶装置である。メモリセル C L _ 1 は、実施の形態 1 と同様の構成のサブメモリセルを三

50

つ(S C L _ 1 _ 1、S C L _ 1 _ 2 および S C L _ 1 _ 3) 有する。また、メモリセル C L _ 2 は、実施の形態 1 と同様の構成のサブメモリセルを三つ(S C L _ 2 _ 1、S C L _ 2 _ 2 および S C L _ 2 _ 3) 有する。サブメモリセル S C L _ 1 _ 1 とサブメモリセル S C L _ 2 _ 1 のトランジスタのゲートはワード線 W L _ 1 と接続し、サブメモリセル S C L _ 1 _ 2 とサブメモリセル S C L _ 2 _ 2 のトランジスタのゲートはワード線 W L _ 2 と接続し、サブメモリセル S C L _ 1 _ 3 とサブメモリセル S C L _ 2 _ 3 のトランジスタのゲートはワード線 W L _ 3 と接続する。サブメモリセル S C L _ 1 _ 1、S C L _ 1 _ 2 および S C L _ 1 _ 3 はビット線 B L _ 1 と接続し、サブメモリセル S C L _ 2 _ 1、S C L _ 2 _ 2 および S C L _ 2 _ 3 はビット線 B L _ 2 と接続する。図示しないが、ビット線 B L _ 1 および B L _ 2 は、センスアンプに接続する。

10

【 0 1 3 7 】

ここで、メモリセル C L _ 1、C L _ 2 に、それぞれ d a t a 5、d a t a 3 の書き込みおよび読み出しを行う動作について説明する。

【 0 1 3 8 】

まずは、ワード線 W L _ 1 を V H、ワード線 W L _ 2 および W L _ 3 を G N D とし、ビット線 B L _ 1 および B L _ 2 を V D D とする。これにより、サブメモリセル S C L _ 1 _ 1 および S C L _ 2 _ 1 は d a t a 1 となる(図 2 (A) 参照。)。

【 0 1 3 9 】

続いて、ワード線 W L _ 2 を V H、ワード線 W L _ 1 および W L _ 3 を G N D とし、ビット線 B L _ 1 を G N D、ビット線 B L _ 2 を V D D とする。これにより、サブメモリセル S C L _ 1 _ 2 は d a t a 0 となり、サブメモリセル S C L _ 2 _ 2 は d a t a 1 となる(図 2 (B) 参照。)。

20

【 0 1 4 0 】

続いて、ワード線 W L _ 3 を V H、ワード線 W L _ 1 および W L _ 2 を G N D とし、ビット線 B L _ 1 を V D D、ビット線 B L _ 2 を G N D とする。これにより、サブメモリセル S C L _ 1 _ 3 は d a t a 1 となり、サブメモリセル S C L _ 2 _ 3 は d a t a 0 となる(図 3 (A) 参照。)。

【 0 1 4 1 】

以上によって、メモリセル C L _ 1、C L _ 2 に、それぞれ d a t a C L _ 1 (d a t a 5)、d a t a C L _ 2 (d a t a 3) の書き込みを行うことができる。なお、ここでは行ごとにデータを書き込む方法を示したが、これに限定されず、サブメモリセルごとにデータを書き込む方法を採用しても構わない。

30

【 0 1 4 2 】

読み出しには、まず、ビット線 B L _ 1 および B L _ 2 を適切な電位にする。

【 0 1 4 3 】

続いて、ワード線 W L _ 1、W L _ 2 および W L _ 3 を V H とする(図 3 (B) 参照。)。これにより、ビット線 B L _ 1 および B L _ 2 の電位が、書き込まれたデータによりそれぞれ d a t a C L _ 1 および d a t a C L _ 2 に変動する。この電位をセンスアンプで読み取り、3 ビットのデータを 2 つ出力することができる。なお、ここでは行ごとにデータを読み出す方法を示したが、これに限定されず、サブメモリセルごとにデータを読み出す方法を採用しても構わない。

40

【 0 1 4 4 】

(実施の形態 8)

本実施の形態では、c 軸配向し、かつ a b 面、表面または界面の方向から見て三角形または六角形状の原子配列を有し、c 軸においては金属原子が層状または金属原子と酸素原子とが層状に配列しており、a b 面においては a 軸または b 軸の向きが異なる(c 軸を中心に回転した) 結晶(C A A C : C A x i s A l i g n e d C r y s t a l ともいう。) を含む酸化物について説明する。

【 0 1 4 5 】

C A A C を含む酸化物とは、広義に、非単結晶であって、その a b 面に垂直な方向から見

50

て、三角形、六角形、正三角形または正六角形の原子配列を有し、かつ c 軸方向に垂直な方向から見て、金属原子が層状、または金属原子と酸素原子が層状に配列した相を含む酸化物をいう。

【0146】

C A A C を含む酸化物は単結晶ではないが、非晶質のみから形成されているものでもない。また、C A A C は結晶化した部分（結晶部分）を含むが、1つの結晶部分と他の結晶部分の境界を明確に判別できないこともある。

【0147】

C A A C に酸素が含まれる場合、酸素の一部は窒素で置換されてもよい。また、C A A C を含む酸化物を構成する個々の結晶部分の c 軸は一定の方向（例えば、C A A C を含む酸化物を支持する基板面、C A A C を含む酸化物の表面などに垂直な方向）に揃っていてもよい。または、C A A C を含む酸化物を構成する個々の結晶部分の $a b$ 面の法線は一定の方向（例えば、C A A C を含む酸化物を支持する基板面、C A A C を含む酸化物の表面などに垂直な方向）を向いていてもよい。

10

【0148】

C A A C を含む酸化物は、その組成などに応じて、導体であったり、半導体であったり、絶縁体であったりする。また、その組成などに応じて、可視光に対して透明であったり不透明であったりする。

【0149】

このような C A A C の例として、膜状に形成され、膜表面または支持する基板面に垂直な方向から観察すると三角形または六角形の原子配列が認められ、かつその膜断面を観察すると金属原子または金属原子および酸素原子（または窒素原子）の層状配列が認められる結晶を挙げることができる。

20

【0150】

C A A C の結晶構造の一例について図12乃至図14を用いて詳細に説明する。なお、特に断りがない限り、図12乃至図14は上方向を c 軸方向とし、 c 軸方向と直交する面を $a b$ 面とする。なお、単に上半分、下半分という場合、 $a b$ 面を境にした場合の上半分、下半分をいう。また、図12において、丸で囲まれた O は4配位の O を示し、二重丸で囲まれた O は3配位の O を示す。

【0151】

図12(A)に、1個の6配位の $I n$ と、 $I n$ に近接の6個の4配位の酸素原子（以下4配位の O ）と、を有する構造を示す。ここでは、金属原子が1個に対して、近接の酸素原子のみ示した構造を小グループと呼ぶ。図12(A)の構造は、八面体構造をとるが、簡単のため平面構造で示している。なお、図12(A)の上半分および下半分にはそれぞれ3個ずつ4配位の O がある。図12(A)に示す小グループは電荷が0である。

30

【0152】

図12(B)に、1個の5配位の $G a$ と、 $G a$ に近接の3個の3配位の酸素原子（以下3配位の O ）と、 $G a$ に近接の2個の4配位の O と、を有する構造を示す。3配位の O は、いずれも $a b$ 面に存在する。図12(B)の上半分および下半分にはそれぞれ1個ずつ4配位の O がある。また、 $I n$ も5配位をとるため、図12(B)に示す構造をとりうる。図12(B)に示す小グループは電荷が0である。

40

【0153】

図12(C)に、1個の4配位の $Z n$ と、 $Z n$ に近接の4個の4配位の O と、を有する構造を示す。図12(C)の上半分には1個の4配位の O があり、下半分には3個の4配位の O がある。または、図12(C)の上半分に3個の4配位の O があり、下半分に1個の4配位の O があってもよい。図12(C)に示す小グループは電荷が0である。

【0154】

図12(D)に、1個の6配位の $S n$ と、 $S n$ に近接の6個の4配位の O と、を有する構造を示す。図12(D)の上半分には3個の4配位の O があり、下半分には3個の4配位の O がある。図12(D)に示す小グループは電荷が+1となる。

50

【 0 1 5 5 】

図 1 2 (E) に、2 個の Zn を含む小グループを示す。図 1 2 (E) の上半分には 1 個の 4 配位の O があり、下半分には 1 個の 4 配位の O がある。図 1 2 (E) に示す小グループは電荷が - 1 となる。

【 0 1 5 6 】

ここでは、複数の小グループの集合体を中グループと呼び、複数の中グループの集合体を大グループ（ユニットセルともいう。）と呼ぶ。

【 0 1 5 7 】

ここで、これらの小グループ同士が結合する規則について説明する。図 1 2 (A) に示す 6 配位の In の上半分の 3 個の O は、下方向にそれぞれ 3 個の近接 In を有し、下半分の 3 個の O は、上方向にそれぞれ 3 個の近接 In を有する。図 1 2 (B) に示す 5 配位の Ga の上半分の 1 個の O は、下方向に 1 個の近接 Ga を有し、下半分の 1 個の O は、上方向に 1 個の近接 Ga を有する。図 1 2 (C) に示す 4 配位の Zn の上半分の 1 個の O は、下方向に 1 個の近接 Zn を有し、下半分の 3 個の O は、上方向にそれぞれ 3 個の近接 Zn を有する。この様に、金属原子の上方向の 4 配位の O の数と、その O の下方向にある近接金属原子の数は等しく、同様に金属原子の下方向の 4 配位の O の数と、その O の上方向にある近接金属原子の数は等しい。 O は 4 配位なので、下方向にある近接金属原子の数と、上方向にある近接金属原子の数の和は 4 になる。従って、金属原子の上方向にある 4 配位の O の数と、別の金属原子の下方向にある 4 配位の O の数との和が 4 個のとき、金属原子を有する二種の小グループ同士は結合することができる。例えば、6 配位の金属原子（ In または Sn ）が下半分の 4 配位の O を介して結合する場合、4 配位の O が 3 個であるため、5 配位の金属原子（ Ga または In ）、または 4 配位の金属原子（ Zn ）のいずれかと結合することになる。

【 0 1 5 8 】

これらの配位数を有する金属原子は、 c 軸方向において、4 配位の O を介して結合する。また、このほかにも、層構造の合計の電荷が 0 となるように複数の小グループが結合して中グループを構成する。

【 0 1 5 9 】

図 1 3 (A) に、 $In - Sn - Zn - O$ 系の層構造を構成する中グループのモデル図を示す。図 1 3 (B) に、3 つの中グループで構成される大グループを示す。なお、図 1 3 (C) は、図 1 3 (B) の層構造を c 軸方向から観察した場合の原子配列を示す。

【 0 1 6 0 】

図 1 3 (A) においては、簡単のため、3 配位の O は省略し、4 配位の O は個数のみ示し、例えば、 Sn の上半分および下半分にはそれぞれ 3 個ずつ 4 配位の O があることを丸枠の 3 として示している。同様に、図 1 3 (A) において、 In の上半分および下半分にはそれぞれ 1 個ずつ 4 配位の O があり、丸枠の 1 として示している。また、同様に、図 1 3 (A) において、下半分には 1 個の 4 配位の O があり、上半分には 3 個の 4 配位の O がある Zn と、上半分には 1 個の 4 配位の O があり、下半分には 3 個の 4 配位の O がある Zn とを示している。

【 0 1 6 1 】

図 1 3 (A) において、 $In - Sn - Zn - O$ 系の層構造を構成する中グループは、上から順に 4 配位の O が 3 個ずつ上半分および下半分にある Sn が、4 配位の O が 1 個ずつ上半分および下半分にある In と結合し、その In が、上半分に 3 個の 4 配位の O がある Zn と結合し、その Zn の下半分の 1 個の 4 配位の O を介して 4 配位の O が 3 個ずつ上半分および下半分にある In と結合し、その In が、上半分に 1 個の 4 配位の O がある Zn 2 個からなる小グループと結合し、この小グループの下半分の 1 個の 4 配位の O を介して 4 配位の O が 3 個ずつ上半分および下半分にある Sn と結合している構成である。この中グループが複数結合して大グループを構成する。

【 0 1 6 2 】

ここで、3 配位の O および 4 配位の O の場合、結合 1 本当たりの電荷はそれぞれ - 0 . 6

67、-0.5と考えることができる。例えば、In（6配位または5配位）、Zn（4配位）、Sn（5配位または6配位）の電荷は、それぞれ+3、+2、+4である。従って、Snを含む小グループは電荷が+1となる。そのため、Snを含む層構造を形成するためには、電荷+1を打ち消す電荷-1が必要となる。電荷-1をとる構造として、図12（E）に示すように、2個のZnを含む小グループが挙げられる。例えば、Snを含む小グループが1個に対し、2個のZnを含む小グループが1個あれば、電荷が打ち消されるため、層構造の合計の電荷を0とすることができる。

【0163】

具体的には、図13（B）に示した大グループが繰り返されることで、In-Sn-Zn-O系の結晶（ $\text{In}_2\text{SnZn}_3\text{O}_8$ ）を得ることができる。なお、得られるIn-Sn-Zn-O系の層構造は、 $\text{In}_2\text{SnZn}_2\text{O}_7(\text{ZnO})_m$ （mは0または自然数。）とする組成式で表すことができる。

10

【0164】

また、このほかにも、四元系金属の酸化物であるIn-Sn-Ga-Zn-O系の材料や、三元系金属の酸化物であるIn-Ga-Zn-O系の材料（IGZOとも表記する。）、In-Al-Zn-O系の材料、Sn-Ga-Zn-O系の材料、Al-Ga-Zn-O系の材料、Sn-Al-Zn-O系の材料や、In-Hf-Zn-O系の材料、In-La-Zn-O系の材料、In-Ce-Zn-O系の材料、In-Pr-Zn-O系の材料、In-Nd-Zn-O系の材料、In-Sm-Zn-O系の材料、In-Eu-Zn-O系の材料、In-Gd-Zn-O系の材料、In-Tb-Zn-O系の材料、In-Dy-Zn-O系の材料、In-Ho-Zn-O系の材料、In-Er-Zn-O系の材料、In-Tm-Zn-O系の材料、In-Yb-Zn-O系の材料、In-Lu-Zn-O系の材料や、二元系金属の酸化物であるIn-Zn-O系の材料、Sn-Zn-O系の材料、Al-Zn-O系の材料、Zn-Mg-O系の材料、Sn-Mg-O系の材料、In-Mg-O系の材料や、In-Ga-O系の材料などを用いた場合も同様である。

20

【0165】

例えば、図14（A）に、In-Ga-Zn-O系の層構造を構成する中グループのモデル図を示す。

【0166】

図14（A）において、In-Ga-Zn-O系の層構造を構成する中グループは、上から順に4配位のOが3個ずつ上半分および下半分にあるInが、4配位のOが1個上半分にあるZnと結合し、そのZnの下半分の3個の4配位のOを介して、4配位のOが1個ずつ上半分および下半分にあるGaと結合し、そのGaの下半分の1個の4配位のOを介して、4配位のOが3個ずつ上半分および下半分にあるInと結合している構成である。この中グループが複数結合して大グループを構成する。

30

【0167】

図14（B）に3つの中グループで構成される大グループを示す。なお、図14（C）は、図14（B）の層構造をc軸方向から観察した場合の原子配列を示している。

【0168】

ここで、In（6配位または5配位）、Zn（4配位）、Ga（5配位）の電荷は、それぞれ+3、+2、+3であるため、In、ZnおよびGaのいずれかを含む小グループは、電荷が0となる。そのため、これらの小グループの組み合わせであれば中グループの合計の電荷は常に0となる。

40

【0169】

また、In-Ga-Zn-O系の層構造を構成する中グループは、図14（A）に示した中グループに限定されず、In、Ga、Znの配列が異なる中グループを組み合わせた大グループも取りうる。

【0170】

（実施の形態9）

本実施の形態では、酸化物半導体膜を用いたトランジスタの電界効果移動度に関して説明

50

する。

【 0 1 7 1 】

酸化物半導体膜に限らず、実際に測定される絶縁ゲート型トランジスタの電界効果移動度は、さまざまな理由によって本来の電界効果移動度よりも低くなる。電界効果移動度を低下させる要因としては半導体内部の欠陥や半導体と絶縁膜との界面の欠陥があるが、Levinsonモデルを用いると、半導体内部に欠陥がないと仮定した場合の電界効果移動度を理論的に導き出せる。

【 0 1 7 2 】

本来の電界効果移動度を μ_0 、測定される電界効果移動度を μ とし、半導体中に何らかのポテンシャル障壁（粒界など）が存在すると仮定すると、以下の式で表現できる。

10

【 0 1 7 3 】

【数 2】

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right) \quad \dots (2)$$

【 0 1 7 4 】

ここで、 E はポテンシャル障壁の高さであり、 k がボルツマン定数、 T は絶対温度である。また、ポテンシャル障壁が欠陥に由来すると仮定すると、Levinsonモデルでは、以下の式で表される。

20

【 0 1 7 5 】

【数 3】

$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g} \quad \dots (3)$$

【 0 1 7 6 】

ここで、 e は電気素量、 N はチャネル内の単位面積当たりの平均欠陥密度、 ϵ は半導体の誘電率、 n は単位面積当たりのチャネルに含まれるキャリア数、 C_{ox} は単位面積当たりの容量、 V_g はゲート電圧、 t はチャネルの厚さである。なお、厚さ 30 nm 以下の半導体層であれば、チャネルの厚さは半導体層の厚さと同一として差し支えない。

30

線形領域におけるドレイン電流 I_d は、以下の式となる。

【 0 1 7 7 】

【数 4】

$$I_d = \frac{W \mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right) \quad \dots (4)$$

【 0 1 7 8 】

ここで、 L はチャネル長、 W はチャネル幅であり、ここでは、 $L = W = 10 \mu m$ である。また、 V_d はドレイン電圧である。

40

上式の両辺を V_g で割り、更に両辺の対数を取ると、以下のようになる。

【 0 1 7 9 】

【数 5】

$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT \epsilon C_{ox} V_g} \quad \dots (5)$$

【 0 1 8 0 】

式(5)の右辺は V_g の関数である。この式からわかるように、縦軸を $\ln(I_d / V_g)$ 、横軸を $1 / V_g$ として実測値をプロットして得られるグラフの直線の傾きから欠陥密

50

度 N が求められる。すなわち、トランジスタの $V_g - I_d$ 特性から、欠陥密度を評価できる。酸化物半導体膜としては、 I_n 、 S_n および Z_n が、 $I_n : S_n : Z_n = 1 : 1 : 1$ [原子数比] のものでは欠陥密度 N は $1 \times 10^{12} / \text{cm}^2$ 程度である。

【0181】

このようにして求めた欠陥密度などをもとに式(2)および式(3)より $\mu_0 = 120 \text{ cm}^2 / \text{Vs}$ が導出される。欠陥のある $I_n - S_n - Z_n - O$ 膜を用いたトランジスタで測定される電界効果移動度は $35 \text{ cm}^2 / \text{Vs}$ 程度である。しかし、半導体内部および半導体とゲート絶縁膜との界面の欠陥が無い酸化物半導体膜を用いたトランジスタの電界効果移動度 μ_0 は $120 \text{ cm}^2 / \text{Vs}$ となると予想できる。

【0182】

ただし、半導体内部に欠陥がなくても、半導体とゲート絶縁膜との界面での散乱によってトランジスタの輸送特性は影響を受ける。すなわち、ゲート絶縁膜界面から x だけ離れた場所における電界効果移動度 μ_1 は、以下の式で表される。

【0183】

【数6】

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{G}\right) \quad \dots (6)$$

【0184】

ここで、 D はゲート方向の電界、 B 、 G は定数である。 B および G は、実際の測定結果より求めることができ、上記の測定結果からは、 $B = 4.75 \times 10^7 \text{ cm/s}$ 、 $G = 10 \text{ nm}$ (界面散乱が及ぶ深さ) である。 D が増加する(すなわち、ゲート電圧が高くなる)と式(6)の第2項が増加するため、電界効果移動度 μ_1 は低下することがわかる。

【0185】

半導体内部の欠陥が無い理想的な酸化物半導体膜をチャネルに用いたトランジスタの電界効果移動度 μ_2 を計算した結果を図15に示す。なお、計算にはシノプシス社製デバイスシミュレーションソフト、Sentaurus Deviceを使用し、酸化物半導体膜のバンドギャップを 2.8 eV 、電子親和力を 4.7 eV 、比誘電率を15、厚さを15

【0186】

さらに、ゲート、ソース、ドレインの仕事関数をそれぞれ、 5.5 eV 、 4.6 eV 、 4.6 eV とした。また、ゲート絶縁膜の厚さを 100 nm 、比誘電率を4.1とした。チャネル長およびチャネル幅はともに $10 \mu\text{m}$ 、ドレイン電圧 V_d は 0.1 V である。

【0187】

図15に示すように、ゲート電圧 1 V 強で電界効果移動度 $100 \text{ cm}^2 / \text{Vs}$ 以上のピーク値が得られるが、ゲート電圧がさらに高くなると、界面散乱の影響が大きくなり、電界効果移動度が低下する。なお、界面散乱の影響を低減するためには、半導体層表面を原子レベルで平坦にすること(Atomic Layer Flatness)が好ましい。

【0188】

このような理想的な酸化物半導体膜を用いて微細なトランジスタを作製した場合の特性を計算した結果を図16乃至図18に示す。なお、計算に用いたトランジスタの断面構造を図19に示す。図19に示すトランジスタは酸化物半導体膜に n^+ の導電型を呈する半導体領域1103aおよび半導体領域1103cを有する。半導体領域1103aおよび半導体領域1103cの抵抗率は $2 \times 10^{-3} \Omega \text{ cm}$ とする。

【0189】

図19(A)に示すトランジスタは、下地絶縁層1101と、下地絶縁層1101に埋め込まれるように形成された酸化アルミニウムよりなる埋め込み絶縁物1102の上に形成

10

20

30

40

50

される。トランジスタは半導体領域 1103a、半導体領域 1103c と、それらに挟まれ、チャンネル形成領域となる真性である半導体領域 1103b と、ゲート 1105 を有する。ゲート 1105 の幅を 33 nm とする。

【0190】

ゲート 1105 と半導体領域 1103b の間には、ゲート絶縁膜 1104 を有し、また、ゲート 1105 の両側面には側壁絶縁物 1106a および側壁絶縁物 1106b、ゲート 1105 の上部には、ゲート 1105 と他の配線との短絡を防止するための絶縁物 1107 を有する。側壁絶縁物の幅は 5 nm とする。また、半導体領域 1103a および半導体領域 1103c に接して、ソース 1108a およびドレイン 1108b を有する。なお、このトランジスタにおけるチャンネル幅を 40 nm とする。

10

【0191】

図 19 (B) に示すトランジスタは、下地絶縁層 1101 と、酸化アルミニウムよりなる埋め込み絶縁物 1102 の上に形成され、半導体領域 1103a、半導体領域 1103c と、それらに挟まれた半導体領域 1103b と、幅 33 nm のゲート 1105 とゲート絶縁膜 1104 と側壁絶縁物 1106a および側壁絶縁物 1106b と絶縁物 1107 とソース 1108a およびドレイン 1108b を有する点で図 19 (A) に示すトランジスタと同じである。

【0192】

図 19 (A) に示すトランジスタと図 19 (B) に示すトランジスタの相違点は、側壁絶縁物 1106a および側壁絶縁物 1106b の下の半導体領域の導電型である。図 19 (A) に示すトランジスタでは、側壁絶縁物 1106a および側壁絶縁物 1106b の下の半導体領域は n^+ の導電型を呈する半導体領域 1103a および半導体領域 1103c であるが、図 19 (B) に示すトランジスタでは、真性の半導体領域 1103b である。すなわち、図 19 (B) に示す半導体層において半導体領域 1103a (半導体領域 1103c) とゲート 1105 が L_{off} だけ重ならない領域ができています。この領域をオフセット領域といい、その幅 L_{off} をオフセット長という。図から明らかなように、オフセット長は、側壁絶縁物 1106a (側壁絶縁物 1106b) の幅と同じである。

20

【0193】

その他の計算に使用するパラメータは上述の通りである。計算にはシノプシス社製デバイスシミュレーションソフト、Sentaurus Device を使用した。図 16 は、図 19 (A) に示される構造のトランジスタのドレイン電流 (I_d 、実線) および電界効果移動度 (μ 、点線) のゲート電圧 (V_g 、ゲートとソースの電位差) 依存性を示す。ドレイン電流 I_d は、ドレイン電圧 (ドレインとソースの電位差) を +1 V とし、電界効果移動度 μ はドレイン電圧を +0.1 V として計算したものである。

30

【0194】

図 16 (A) はゲート絶縁膜の厚さを 15 nm としたものであり、図 16 (B) は 10 nm としたものであり、図 16 (C) は 5 nm としたものである。ゲート絶縁膜が薄くなるほど、特にオフ状態でのドレイン電流 I_d (オフ電流) が顕著に低下する。一方、電界効果移動度 μ のピーク値やオン状態でのドレイン電流 I_d (オン電流) には目立った変化が無い。ゲート電圧 1 V 前後で、ドレイン電流はメモリ素子などで必要とされる 10 μ A を超えることが示された。

40

【0195】

図 17 は、図 19 (B) に示される構造のトランジスタで、オフセット長 L_{off} を 5 nm としたもののドレイン電流 I_d (実線) および電界効果移動度 μ (点線) のゲート電圧 V_g 依存性を示す。ドレイン電流 I_d は、ドレイン電圧を +1 V とし、電界効果移動度 μ はドレイン電圧を +0.1 V として計算したものである。図 17 (A) はゲート絶縁膜の厚さを 15 nm としたものであり、図 17 (B) は 10 nm としたものであり、図 17 (C) は 5 nm としたものである。

【0196】

また、図 18 は、図 19 (B) に示される構造のトランジスタで、オフセット長 L_{off}

50

を 15 nm としたもののドレイン電流 I_d (実線) および電界効果移動度 μ (点線) のゲート電圧依存性を示す。ドレイン電流 I_d は、ドレイン電圧を $+1\text{ V}$ とし、電界効果移動度 μ はドレイン電圧を $+0.1\text{ V}$ として計算したものである。図 18 (A) はゲート絶縁膜の厚さを 15 nm としたものであり、図 18 (B) は 10 nm としたものであり、図 18 (C) は 5 nm としたものである。

【0197】

いずれもゲート絶縁膜が薄くなるほど、オフ電流が顕著に低下する一方、電界効果移動度 μ のピーク値やオン電流には目立った変化が無い。

【0198】

なお、電界効果移動度 μ のピークは、図 16 では $80\text{ cm}^2/\text{Vs}$ 程度であるが、図 17 では $60\text{ cm}^2/\text{Vs}$ 程度、図 18 では $40\text{ cm}^2/\text{Vs}$ 程度と、オフセット長 L_{off} が増加するほど低下する。また、オフ電流も同様な傾向がある。一方、オン電流もオフセット長 L_{off} の増加にともなって減少するが、オフ電流の低下に比べるとはるかに緩やかである。また、いずれもゲート電圧 1 V 前後で、ドレイン電流はメモリ素子などで必要とされる $10\text{ }\mu\text{A}$ を超えることが示された。

【0199】

(実施の形態 10)

本実施の形態では、酸化物半導体膜を用いたトランジスタの例について説明する。

【0200】

In 、 Sn および Zn を含む酸化物半導体膜にチャネル形成領域を有するトランジスタは、該酸化物半導体膜を成膜する際に基板を加熱して成膜すること、または酸化物半導体膜を成膜した後に熱処理を行うことで良好な特性を得ることができる。

【0201】

In 、 Sn および Zn を含む酸化物半導体膜の成膜後に基板を意図的に加熱することで、トランジスタの電界効果移動度を向上させることが可能となる。また、トランジスタのしきい値電圧をプラスシフトさせ、ノーマリ・オフ化させることが可能となる。ここで、ノーマリ・オフ化させるとは、しきい値電圧をプラス方向へシフトさせることをいう。

【0202】

例えば、図 20 (A) 乃至図 20 (C) は、 In 、 Sn および Zn を含む酸化物半導体膜を用いたトランジスタの特性である。なお測定に用いたトランジスタは、チャネル長 L が $3\text{ }\mu\text{m}$ 、チャネル幅 W が $10\text{ }\mu\text{m}$ であり、厚さ 100 nm のゲート絶縁膜を用いている。なお、 V_d は 10 V とした。

【0203】

図 20 (A) は基板を意図的に加熱せずにスパッタリング法で In 、 Sn および Zn を含む酸化物半導体膜を成膜したときのトランジスタ特性である。このとき電界効果移動度は $18.8\text{ cm}^2/\text{Vs}$ が得られている。一方、基板を意図的に加熱して In 、 Sn および Zn を含む酸化物半導体膜を成膜すると電界効果移動度を向上させることが可能となる。図 20 (B) は基板を 200°C に加熱して In 、 Sn および Zn を含む酸化物半導体膜を成膜したときのトランジスタ特性を示すが、電界効果移動度は $32.2\text{ cm}^2/\text{Vs}$ が得られている。

【0204】

電界効果移動度は、 In 、 Sn および Zn を含む酸化物半導体膜を成膜した後に熱処理をすることによって、さらに高めることができる。図 20 (C) は、 In 、 Sn および Zn を含む酸化物半導体膜をスパッタリング法により 200°C で成膜した後、 650°C で熱処理をしたときのトランジスタ特性を示す。このとき電界効果移動度は $34.5\text{ cm}^2/\text{Vs}$ が得られている。

【0205】

基板を意図的に加熱することで成膜中の水分が酸化物半導体膜中に取り込まれるのを低減する効果が期待できる。また、成膜後に熱処理をすることによっても、酸化物半導体膜から水素、水酸基、水分などを放出させ除去することができ、上記のように電界効果移動度

10

20

30

40

50

を向上させることができる。このような電界効果移動度の向上は、脱水化・脱水素化による不純物の除去のみならず、高密度化により原子間距離が短くなるためとも推定される。また、酸化物半導体膜から不純物を除去して高純度化することで結晶化を図ることができる。このように高純度化された非単結晶酸化物半導体膜は、理想的には $100 \text{ cm}^2/\text{Vs}$ を超える電界効果移動度を実現することも可能になると推定される。

【0206】

In、SnおよびZnを含む酸化物半導体膜に酸素イオンを注入し、熱処理により該酸化物半導体膜に含まれる水素、水酸基、水分などを放出させ、その熱処理と同時にまたはその後の熱処理により酸化物半導体膜を結晶化させてもよい。このような結晶化または再結晶化の処理により結晶性のよい非単結晶酸化物半導体膜を得ることができる。

10

【0207】

基板を意図的に加熱して成膜することおよび/または成膜後に熱処理することの効果は、電界効果移動度の向上のみならず、トランジスタのノーマリ・オフ化を図ることに寄与している。基板を意図的に加熱しないで成膜されたIn、SnおよびZnを含む酸化物半導体膜にチャネル形成領域を有するトランジスタは、しきい値電圧がマイナスシフトしてしまう傾向がある。しかし、基板を意図的に加熱して形成された酸化物半導体膜を用いた場合、このしきい値電圧のマイナスシフト化は解消される。つまり、しきい値電圧はトランジスタがノーマリ・オフとなる方向に動き、このような傾向は図20(A)と図20(B)との対比からも確認することができる。

【0208】

なお、しきい値電圧はIn、SnおよびZnの組成比を変えることによって制御することが可能であり、 $\text{In}:\text{Sn}:\text{Zn}=2:1:3$ [原子数比] とすることでトランジスタのノーマリ・オフ化を期待することができる。また、ターゲットを $\text{In}:\text{Sn}:\text{Zn}=2:1:3$ [原子数比] とすることで結晶性の高い酸化物半導体膜を得ることができる。

20

【0209】

意図的な基板加熱温度または熱処理温度は、 150 以上、好ましくは 200 以上、より好ましくは 400 以上であり、より高温での成膜、または熱処理によりトランジスタのノーマリ・オフ化を図ることが可能となる。

【0210】

また、意図的に基板を加熱した成膜および/または成膜後に熱処理をすることで、ゲートバイアス・ストレスに対する安定性を高めることができる。例えば、 $2 \text{ MV}/\text{cm}$ 、 150 、1時間印加の条件において、ドリフトがそれぞれ $\pm 1.5 \text{ V}$ 未満、好ましくは 1.0 V 未満を得ることができる。

30

【0211】

熱処理は酸素雰囲気中で行うことができるが、まず窒素などの不活性ガス、または減圧下で熱処理を行ってから酸素を含む雰囲気中で熱処理を行ってもよい。最初に脱水化・脱水素化を行ってから酸素を酸化物半導体膜に加えることで、熱処理の効果をより高めることができる。また、後から酸素を加えるには、酸素イオンを電界で加速して酸化物半導体膜に注入する方法を適用してもよい。

【0212】

酸化物半導体膜中、および酸化物半導体膜と接する膜との界面には、酸素欠損による欠陥が生成されやすいが、かかる熱処理により酸化物半導体膜中に酸素を過剰に含ませることで、定常的に生成される酸素欠損を過剰な酸素によって補償することが可能となる。過剰酸素は主に格子間に存在する酸素であり、その酸素濃度は $1 \times 10^{16}/\text{cm}^3$ 以上 $2 \times 10^{20}/\text{cm}^3$ 以下とすれば、結晶に歪みなどを与えることなく酸化物半導体膜中に含ませることができる。

40

【0213】

また、熱処理によって酸化物半導体膜の一部に結晶領域が含まれるようにすることで、より安定な酸化物半導体膜を得ることができる。例えば、原子数比 $\text{In}:\text{Sn}:\text{Zn}=1:1:1$ のターゲットを用いて、基板を意図的に加熱せずにスパッタリング成膜した酸化物

50

半導体膜は、X線回折 (XRD: X-Ray Diffraction) でハローパターンが観測される。この成膜された酸化物半導体膜を熱処理することによって結晶化させることができる。熱処理温度は任意であるが、例えば650 の熱処理を行うことで、X線回折により明確な回折ピークを観測することができる。

【0214】

実際に、In、SnおよびZnを含む酸化物半導体膜のXRD分析を行った。XRD分析には、Bruker AXS社製X線回折装置D8 ADVANCEを用い、Out-of-Plane法で測定した。

【0215】

XRD分析を行った試料として、試料Aおよび試料Bを用意した。以下に試料Aおよび試料Bの作製方法を説明する。

10

【0216】

脱水素化処理済みの石英基板上にIn、SnおよびZnを含む酸化物半導体膜を100nmの厚さで成膜した。

【0217】

In、SnおよびZnを含む酸化物半導体膜は、スパッタリング装置を用い、酸素雰囲気中で電力を100W (DC) として成膜した。ターゲットは、In:Sn:Zn=1:1:1 [原子数比] のIn-Sn-Zn-Oターゲットを用いた。なお、成膜時の基板加熱温度は200 とした。このようにして作製した試料を試料Aとした。

【0218】

20

次に、試料Aと同様の方法で作製した試料に対し熱処理を650 の温度で行った。熱処理は、はじめに窒素雰囲気中で1時間の熱処理を行い、温度を下げずに酸素雰囲気中でさらに1時間の熱処理を行っている。このようにして作製した試料を試料Bとした。

【0219】

図21に試料Aおよび試料BのXRDスペクトルを示す。試料Aでは、結晶由来のピークが観測されなかったが、試料Bでは、2θが35deg近傍および37deg~38degに結晶由来のピークが観測された。

【0220】

このように、In、SnおよびZnを含む酸化物半導体膜は成膜時に意図的に加熱することおよび/または成膜後に熱処理することによりトランジスタの特性を向上させることができる。

30

【0221】

この基板加熱や熱処理は、酸化物半導体膜にとって悪性の不純物である水素、水酸基、水分などを膜中に含ませないようにすること、または膜中から除去する作用がある。すなわち、酸化物半導体膜中でドナー不純物となる水素、水酸基、水分などを除去することで高純度化を図ることができ、それによってトランジスタのノーマリ・オフ化を図ることができる。ここで、上記オフ電流値の単位は、チャネル幅1μmあたりの電流値を示す。

【0222】

図22に、In、SnおよびZnを含む酸化物半導体膜を用いたトランジスタのオフ電流と測定時の基板温度 (絶対温度) の逆数との関係を示す。ここでは、簡単のため測定時の基板温度の逆数に1000を掛けた数値 (1000/T) を横軸としている。

40

【0223】

具体的には、図22に示すように、基板温度が125 の場合には1aA/μm (1×10^{-18} A/μm) 以下、85 の場合には100zA/μm (1×10^{-19} A/μm) 以下、室温 (27) の場合には1zA/μm (1×10^{-21} A/μm) 以下にすることができる。好ましくは、125 において0.1aA/μm (1×10^{-19} A/μm) 以下に、85 において10zA/μm (1×10^{-20} A/μm) 以下に、室温において0.1zA/μm (1×10^{-22} A/μm) 以下にすることができる。これらのオフ電流値は、シリコンを半導体膜として用いたトランジスタに比べて、極めて低いもの

50

であることは明らかである。

【0224】

もっとも、酸化物半導体膜の成膜時に水素、水酸基、水分などが膜中に混入しないように、成膜室外部からのリークや成膜室内の内壁からの脱ガスを十分抑え、成膜に用いるガスの高純度化を図ることが好ましい。例えば、成膜に用いるガスは水分が膜中に含まれないように露点 - 70 以下であるガスを用いることが好ましい。また、ターゲットそのものに水素、水酸基、水分などの不純物が含まれていていないように、高純度化されたターゲットを用いることが好ましい。In、SnおよびZnを含む酸化物半導体膜は熱処理によって膜中の水分を除去することができるが、In、GaおよびZnを含む酸化物半導体膜と比べて水分の放出温度が高いため、好ましくは最初から水分の含まれない膜を形成して

10

【0225】

また、酸化物半導体膜成膜後に650 の熱処理を行った試料Bを用いたトランジスタにおいて、基板温度と電気特性の関係について評価した。

【0226】

測定に用いたトランジスタは、チャネル長Lが3 μm 、チャネル幅Wが10 μm 、 L_{ov} が0 μm 、 dW が0 μm である。なお、 V_d は10Vとした。なお、基板温度は-40、-25、25、75、125 および150 で電気特性の測定を行った。ここで、トランジスタにおいて、ゲート電極と一对の電極との重畳する幅を L_{ov} と呼び、酸化物半導体膜に対する一对の電極のはみ出しを dW と呼ぶ。

20

【0227】

図23に、 I_d （実線）および電界効果移動度（点線）の V_g 依存性を示す。また、図24（A）に基板温度としきい値電圧の関係を、図24（B）に基板温度と電界効果移動度の関係を示す。

【0228】

図24（A）より、基板温度が高いほどしきい値電圧は低くなることがわかる。なお、その範囲は-40 ~ 150 で1.09V ~ -0.23Vであった。

【0229】

また、図24（B）より、基板温度が高いほど電界効果移動度が低くなることがわかる。なお、その範囲は-40 ~ 150 で36 cm^2/Vs ~ 32 cm^2/Vs であった。従って、上述の温度範囲において電気特性の変動が小さいことがわかる。

30

【0230】

上記のようなIn、SnおよびZnを含む酸化物半導体膜にチャネル形成領域を有するトランジスタによれば、オフ電流を1 aA / μm 以下に保ちつつ、電界効果移動度を30 cm^2/Vs 以上、好ましくは40 cm^2/Vs 以上、より好ましくは60 cm^2/Vs 以上とし、LSIで要求されるオン電流の値を満たすことができる。例えば、 $L/W = 33 \text{ nm} / 40 \text{ nm}$ のFETで、ゲート電圧2.7V、ドレイン電圧1.0Vのとき12 μA 以上のオン電流を流すことができる。またトランジスタの動作に求められる温度範囲においても、十分な電気特性を確保することができる。このような特性であれば、シリコン半導体で作られる集積回路の中に酸化物半導体膜を用いたトランジスタを混載しても、動作速度を犠牲にすることなく新たな機能を有する集積回路を実現することができる。

40

<作製例1>

本作製例では、In、SnおよびZnを含む酸化物半導体膜を用いたトランジスタの一例について、図25などを用いて説明する。

【0231】

図25は、トップゲート・トップコンタクト構造であるトランジスタの上面図および断面図の一例である。図25（A）にトランジスタの上面図を示す。また、図25（B）は図25（A）の一点鎖線A1 - A2に対応する断面図である。

【0232】

図25（B）に示すトランジスタは、基板1500と、基板1500上に設けられた下地

50

絶縁膜 1502 と、下地絶縁膜 1502 の周辺に設けられた保護絶縁膜 1504 と、下地絶縁膜 1502 および保護絶縁膜 1504 上に設けられた高抵抗領域 1506a および低抵抗領域 1506b を有する酸化物半導体膜 1506 と、酸化物半導体膜 1506 上に設けられたゲート絶縁膜 1508 と、ゲート絶縁膜 1508 を介して酸化物半導体膜 1506 と重畳して設けられたゲート電極 1510 と、ゲート電極 1510 の側面と接して設けられた側壁絶縁膜 1512 と、少なくとも低抵抗領域 1506b と接して設けられた一対の電極 1514 と、少なくとも酸化物半導体膜 1506、ゲート電極 1510 および一対の電極 1514 を覆って設けられた層間絶縁膜 1516 と、層間絶縁膜 1516 に設けられた開口部を介して少なくとも一対の電極 1514 の一方と接続して設けられた配線 1518 と、を有する。

10

【0233】

なお、図示しないが、層間絶縁膜 1516 および配線 1518 を覆って設けられた保護膜を有していても構わない。該保護膜を設けることで、層間絶縁膜 1516 の表面伝導に起因して生じる微小リーク電流を低減することができ、トランジスタのオフ電流を低減することができる。

【0234】

< 作製例 2 >

本作製例では、上記作製例 1 とは異なる In、Sn および Zn を含む酸化物半導体膜を用いたトランジスタの他の一例について示す。

【0235】

20

図 26 は、本作製例で作製したトランジスタの構造を示す上面図および断面図である。図 26(A) はトランジスタの上面図である。また、図 26(B) は図 26(A) の一点鎖線 B1 - B2 に対応する断面図である。

【0236】

図 26(B) に示すトランジスタは、基板 1600 と、基板 1600 上に設けられた下地絶縁膜 1602 と、下地絶縁膜 1602 上に設けられた酸化物半導体膜 1606 と、酸化物半導体膜 1606 と接する一対の電極 1614 と、酸化物半導体膜 1606 および一対の電極 1614 上に設けられたゲート絶縁膜 1608 と、ゲート絶縁膜 1608 を介して酸化物半導体膜 1606 と重畳して設けられたゲート電極 1610 と、ゲート絶縁膜 1608 およびゲート電極 1610 を覆って設けられた層間絶縁膜 1616 と、層間絶縁膜 1616 に設けられた開口部を介して一対の電極 1614 と接続する配線 1618 と、層間絶縁膜 1616 および配線 1618 を覆って設けられた保護膜 1620 と、を有する。

30

【0237】

基板 1600 としてはガラス基板を、下地絶縁膜 1602 としては酸化シリコン膜を、酸化物半導体膜 1606 としては In、Sn および Zn を含む酸化物半導体膜を、一対の電極 1614 としてはタングステン膜を、ゲート絶縁膜 1608 としては酸化シリコン膜を、ゲート電極 1610 としては窒化タンタル膜とタングステン膜との積層構造を、層間絶縁膜 1616 としては酸化窒化シリコン膜とポリイミド膜との積層構造を、配線 1618 としてはチタン膜、アルミニウム膜、チタン膜がこの順で形成された積層構造を、保護膜 1620 としてはポリイミド膜を、それぞれ用いた。

40

【0238】

なお、図 26(A) に示す構造のトランジスタにおいて、ゲート電極 1610 と一対の電極 1614 との重畳する幅を L_{ov} と呼ぶ。同様に、酸化物半導体膜 1606 に対する一対の電極 1614 のはみ出しを dW と呼ぶ。

【符号の説明】

【0239】

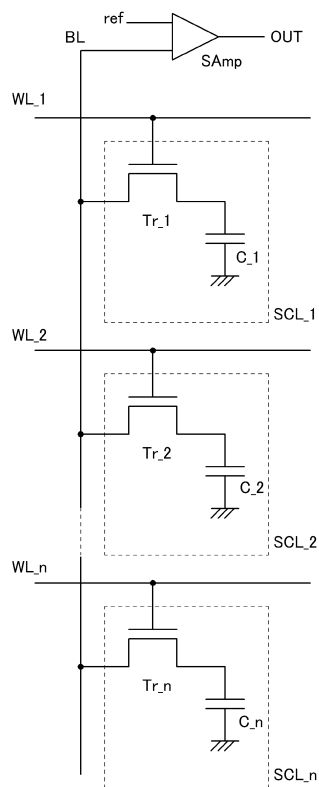
- 400 領域
- 401 シリコンウェハ
- 404 ゲート絶縁膜
- 406 層間膜

50

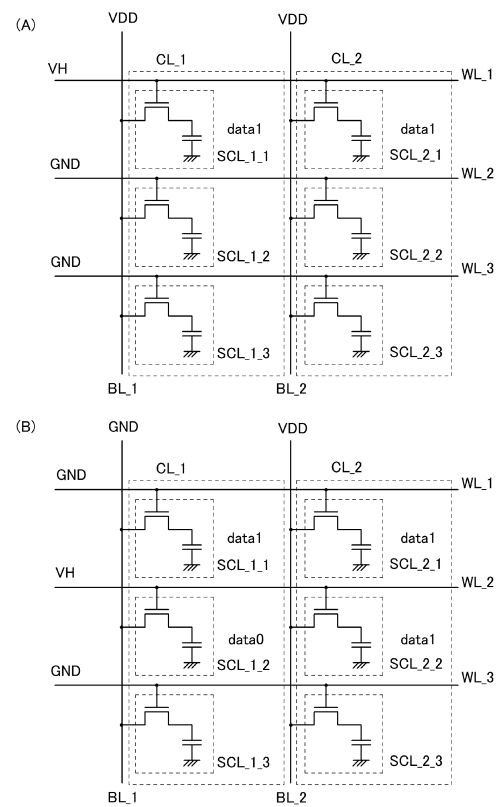
4 1 0	サブメモリセル	
4 1 2	下地膜	
4 1 3	電極	
4 1 4	ゲート絶縁膜	
4 1 5	半導体膜	
4 1 6	層間膜	
4 1 7	ゲート電極	
4 1 8	電極	
4 1 9	容量配線	
4 2 0	サブメモリセル	10
4 2 9	容量配線	
4 3 0	サブメモリセル	
4 3 9	容量配線	
4 5 0	トランジスタ	
4 5 1	トランジスタ	
4 6 1	キャパシタ	
4 6 2	キャパシタ	
4 6 3	キャパシタ	
5 7 1	メモリセル	
5 7 2	メモリセル	20
5 7 3	メモリセル	
5 8 1	メモリセル	
5 8 2	メモリセル	
5 8 3	メモリセル	
5 9 0	領域	
6 0 3	電極	
6 0 9	容量配線	
6 3 0	サブメモリセル	
6 4 0	凸部	
6 5 1	トランジスタ	30
6 6 3	キャパシタ	
6 6 4	キャパシタ	
1 1 0 1	下地絶縁層	
1 1 0 2	埋め込み絶縁物	
1 1 0 3 a	半導体領域	
1 1 0 3 b	半導体領域	
1 1 0 3 c	半導体領域	
1 1 0 4	ゲート絶縁膜	
1 1 0 5	ゲート	
1 1 0 6 a	側壁絶縁物	40
1 1 0 6 b	側壁絶縁物	
1 1 0 7	絶縁物	
1 1 0 8 a	ソース	
1 1 0 8 b	ドレイン	
1 5 0 0	基板	
1 5 0 2	下地絶縁膜	
1 5 0 4	保護絶縁膜	
1 5 0 6	酸化物半導体膜	
1 5 0 6 a	高抵抗領域	
1 5 0 6 b	低抵抗領域	50

1 5 0 8	ゲート絶縁膜
1 5 1 0	ゲート電極
1 5 1 2	側壁絶縁膜
1 5 1 4	一対の電極
1 5 1 6	層間絶縁膜
1 5 1 8	配線
1 6 0 0	基板
1 6 0 2	下地絶縁膜
1 6 0 6	酸化物半導体膜
1 6 0 8	ゲート絶縁膜
1 6 1 0	ゲート電極
1 6 1 4	一対の電極
1 6 1 6	層間絶縁膜
1 6 1 8	配線
1 6 2 0	保護膜

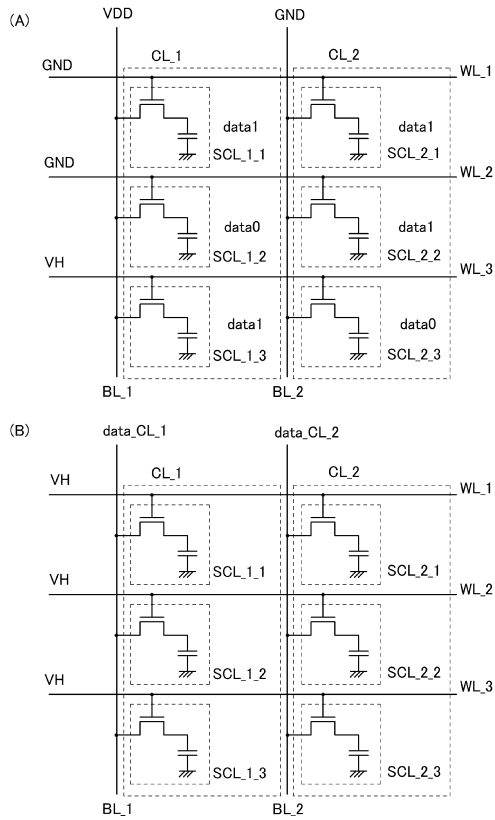
【図 1】



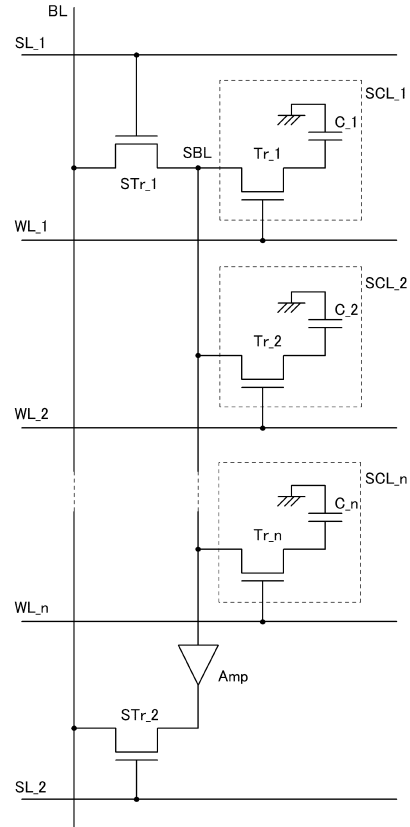
【図 2】



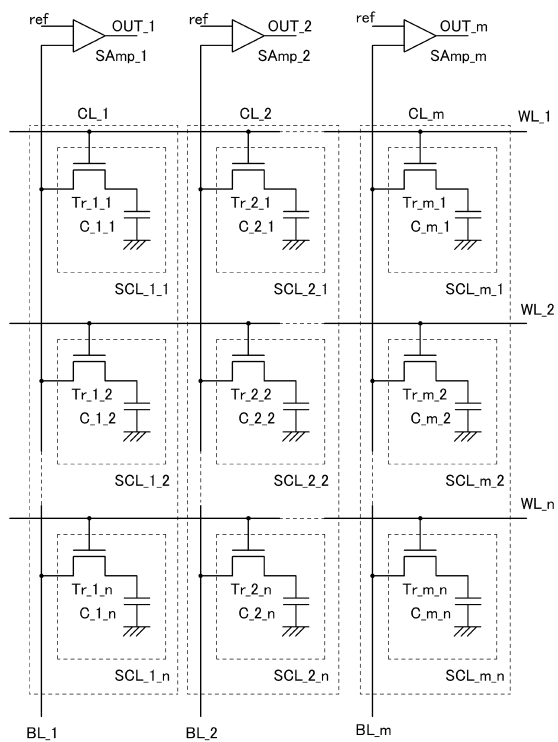
【図 3】



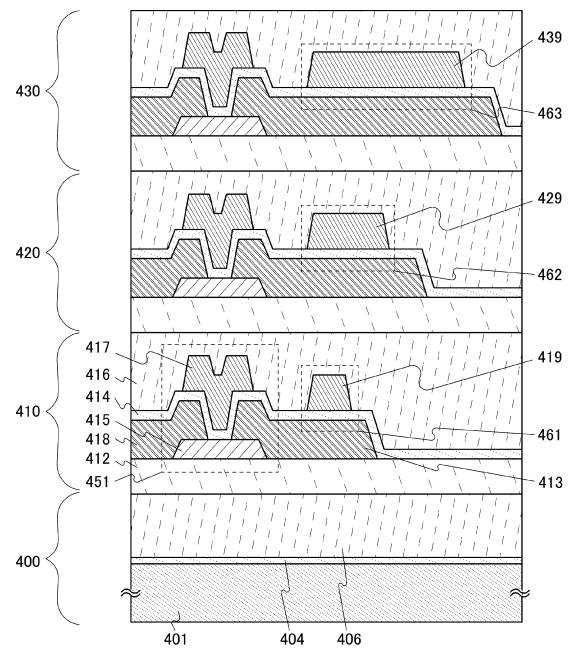
【図 4】



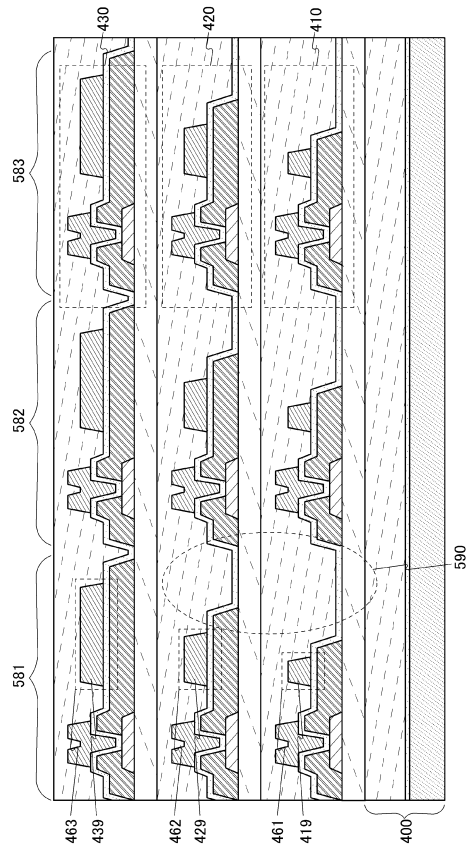
【図 5】



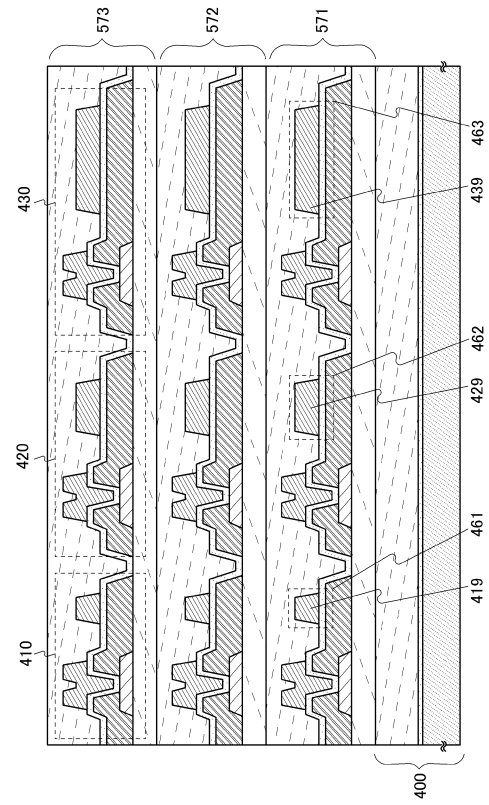
【図 6】



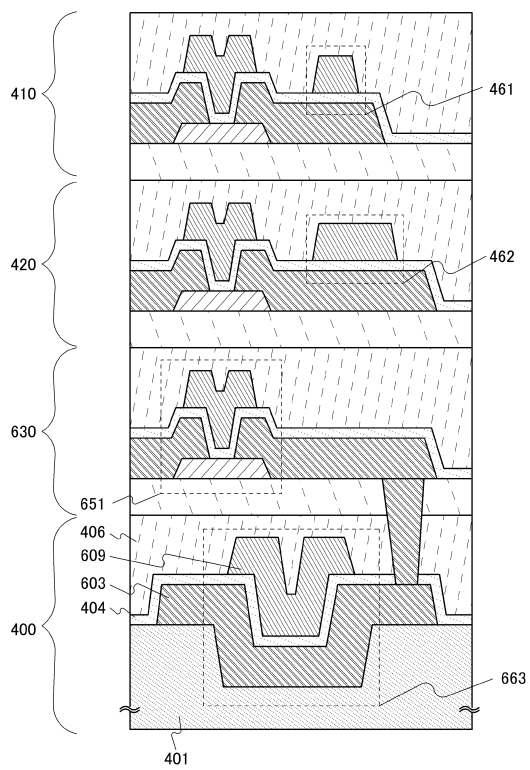
【図 7】



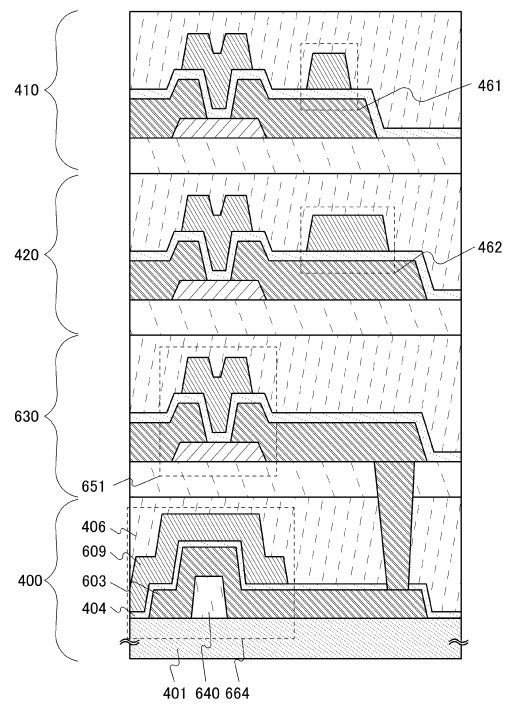
【図 8】



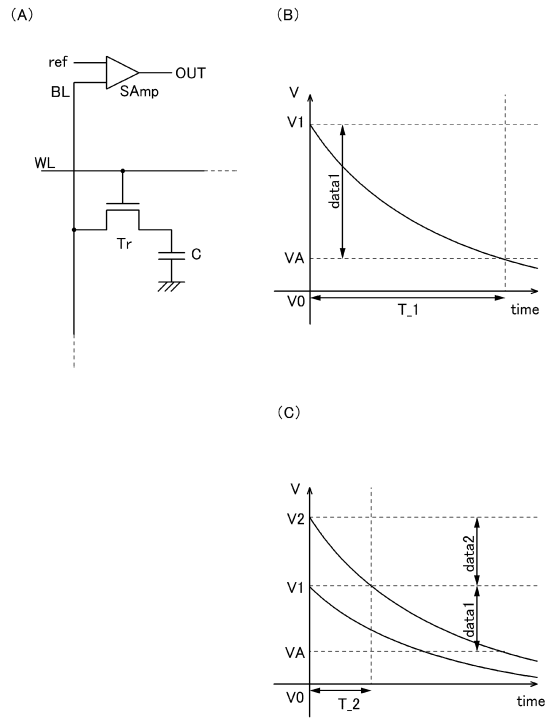
【図 9】



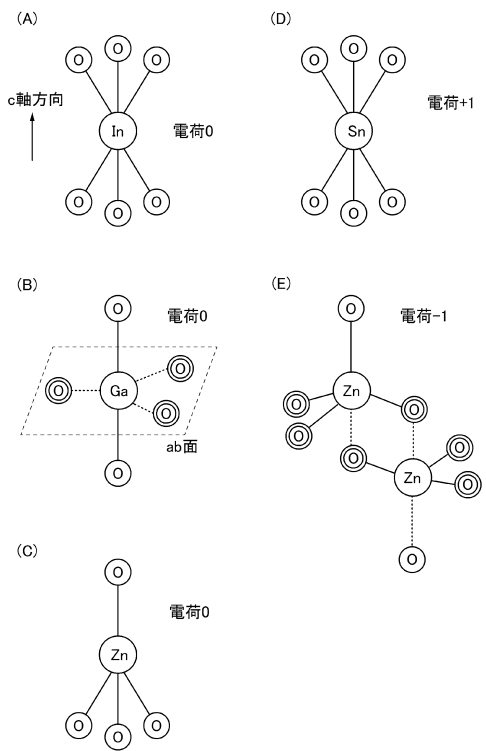
【図 10】



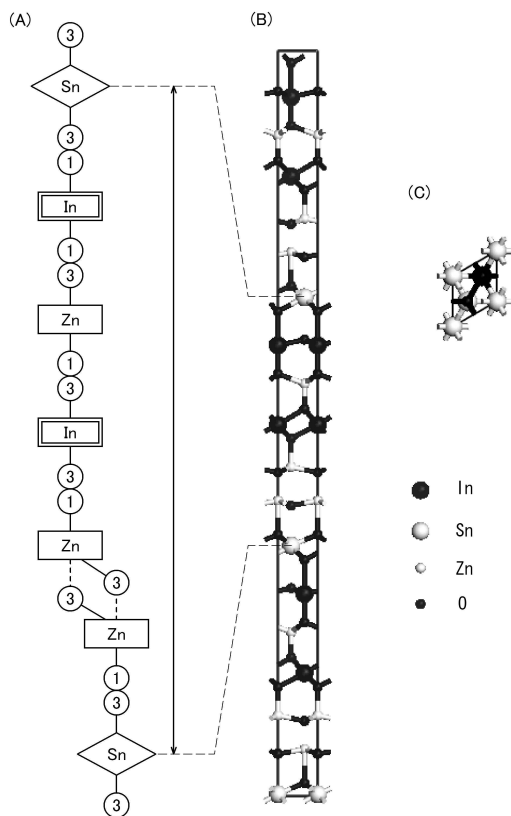
【図 1 1】



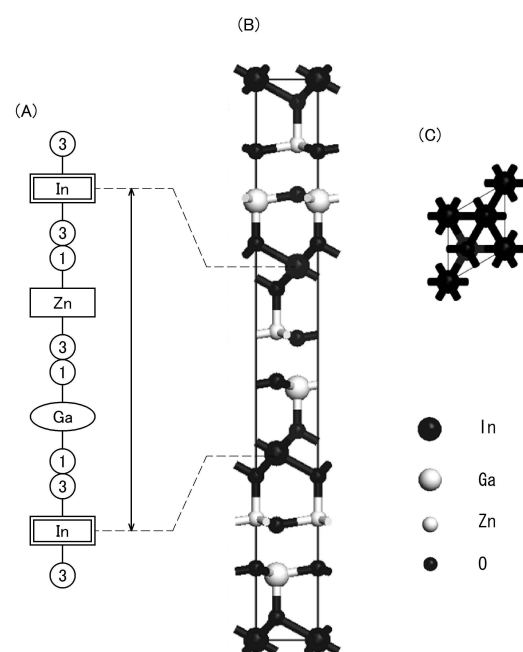
【図 1 2】



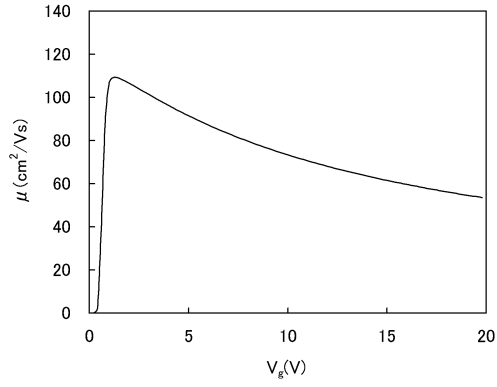
【図 1 3】



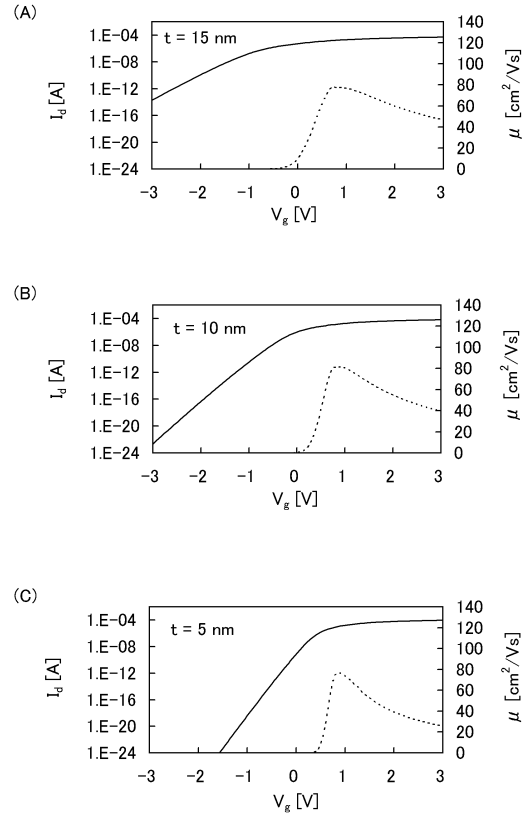
【図 1 4】



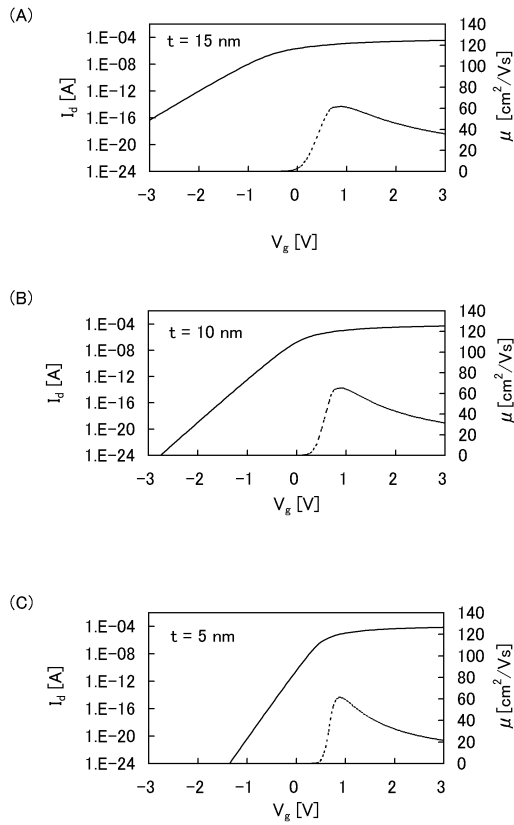
【図 15】



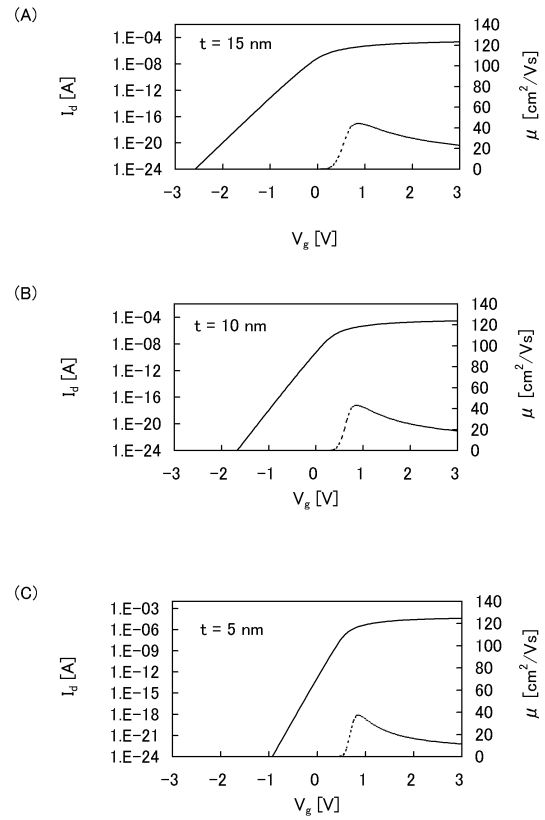
【図 16】



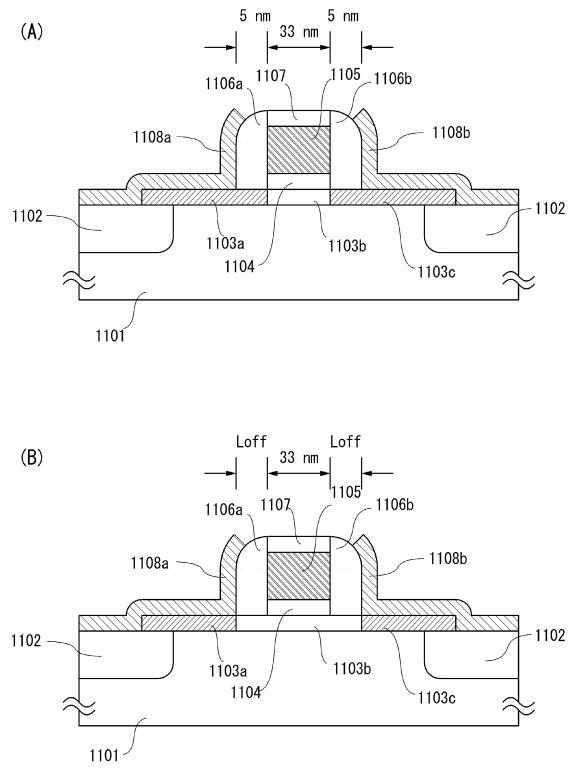
【図 17】



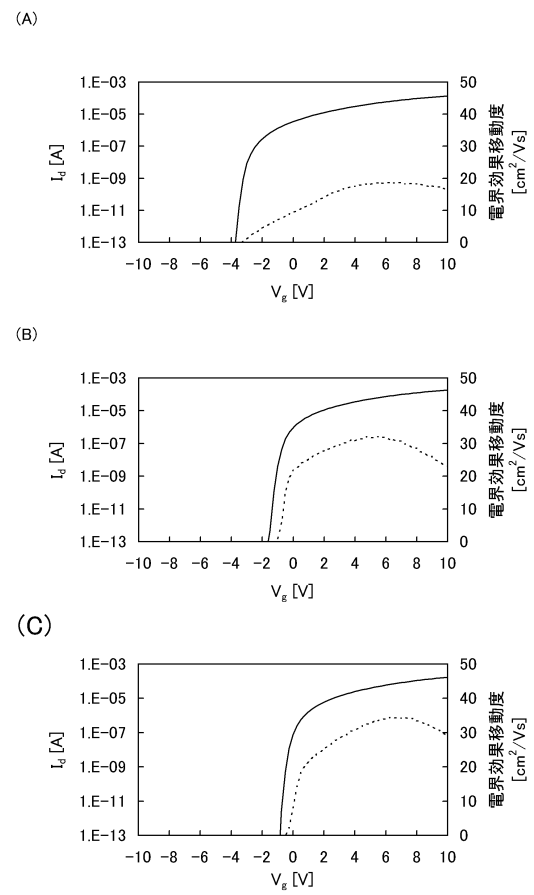
【図 18】



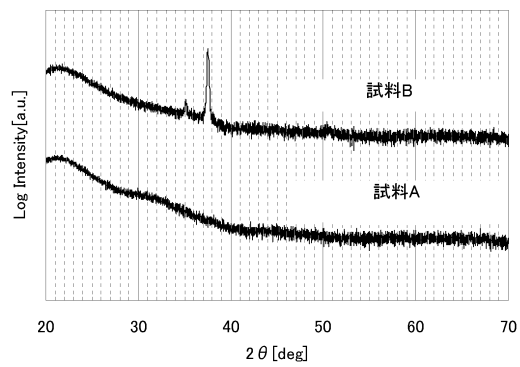
【図 19】



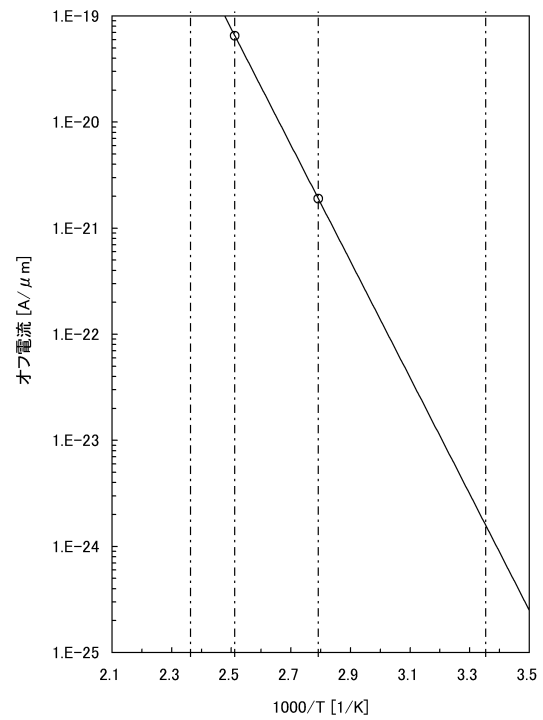
【図 20】



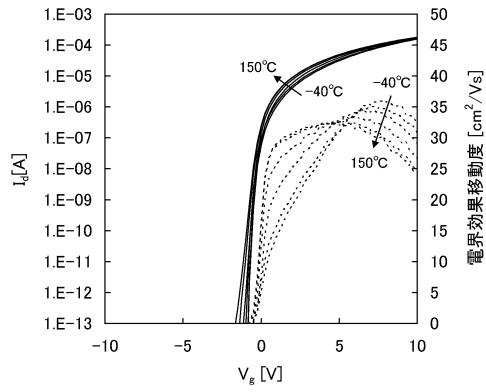
【図 21】



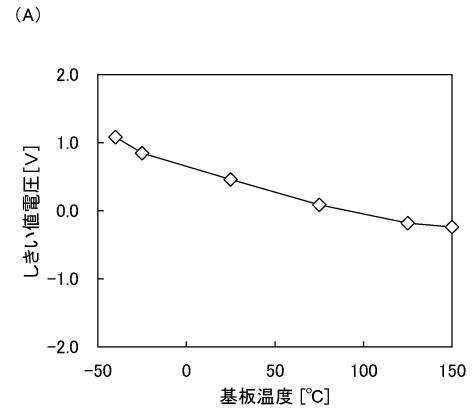
【図 22】



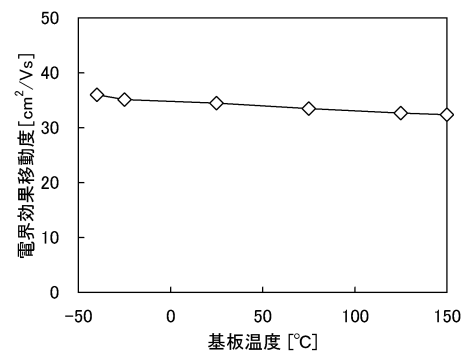
【図 2 3】



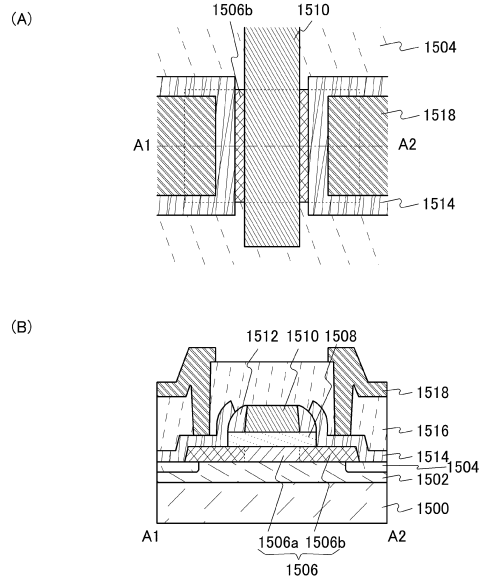
【図 2 4】



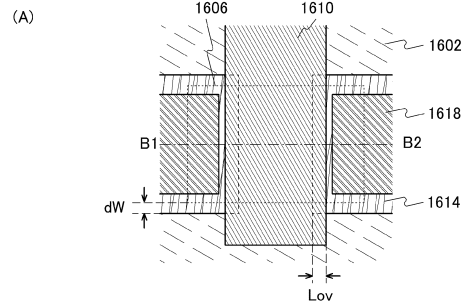
(B)



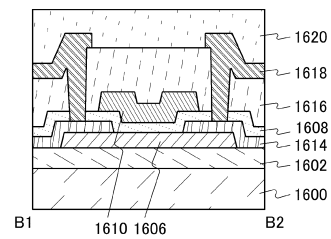
【図 2 5】



【図 2 6】



(B)



フロントページの続き

(56)参考文献 特開2010-034109(JP,A)
特開2002-319682(JP,A)
特開2003-037189(JP,A)
特開2009-167087(JP,A)
米国特許第06614068(US,B1)

(58)調査した分野(Int.Cl., DB名)
H01L 21/8242, 27/108, 29/786