

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4034086号
(P4034086)

(45) 発行日 平成20年1月16日(2008.1.16)

(24) 登録日 平成19年11月2日(2007.11.2)

(51) Int.Cl.

F I

G09G 3/30 (2006.01)

G09G 3/20 (2006.01)

G09G 3/30 J

G09G 3/20 611H

G09G 3/20 624B

G09G 3/20 641D

G09G 3/20 642A

請求項の数 11 (全 22 頁)

(21) 出願番号 特願2002-56555 (P2002-56555)
 (22) 出願日 平成14年3月1日(2002.3.1)
 (65) 公開番号 特開2003-255896 (P2003-255896A)
 (43) 公開日 平成15年9月10日(2003.9.10)
 審査請求日 平成17年3月1日(2005.3.1)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 犬飼 和隆
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 西島 篤宏

(58) 調査した分野(Int.Cl., DB名)
 G09G 3/00- 3/38

(54) 【発明の名称】 発光装置及び電子機器

(57) 【特許請求の範囲】

【請求項1】

第1のスイッチ、第2のスイッチ、第3のスイッチ、第4のスイッチ、電源線と前記第4のスイッチの間に直列に電氣的に接続された複数のトランジスタを含む駆動用素子、及び自発光素子を含む画素が設けられ、

前記複数のトランジスタの各々のゲート電極は、互いに電氣的に接続され、

前記複数のトランジスタから選択された二つのトランジスタの各々のソース又はドレインの一方は、互いに電氣的に接続され、

前記第1のスイッチは、前記複数のトランジスタの各々のゲート電極と信号線の間に設けられ、

前記第2のスイッチは、前記複数のトランジスタの各々のソース又はドレインの一方と前記信号線の間に設けられ、

前記第3のスイッチは、前記複数のトランジスタの各々のソース又はドレインの他方と前記電源線の間に設けられ、

前記第4のスイッチは、前記複数のトランジスタから選択された一つのトランジスタのソース又はドレインの他方と前記自発光素子の間に設けられ、

前記第1、前記第2、前記第3及び前記第4のスイッチのオンとオフは、第1の走査線から供給される信号により制御されることを特徴とする発光装置。

【請求項2】

第1のスイッチ、第2のスイッチ、第3のスイッチ、第4のスイッチ、第5のスイッチ

10

20

、電源線と前記第4のスイッチの間に直列に電氣的に接続された複数のトランジスタを含む駆動用素子、及び自発光素子を含む画素が設けられ、

前記複数のトランジスタの各々のゲート電極は、互いに電氣的に接続され、

前記複数のトランジスタから選択された二つのトランジスタの各々のソース又はドレインの一方は、互いに電氣的に接続され、

前記第1のスイッチは、前記複数のトランジスタの各々のゲート電極と信号線の間に設けられ、

前記第2のスイッチは、前記複数のトランジスタの各々のソース又はドレインの一方と前記信号線の間に設けられ、

前記第3のスイッチは、前記複数のトランジスタの各々のソース又はドレインの他方と前記電源線の間に設けられ、

前記第4のスイッチは、前記複数のトランジスタから選択された一つのトランジスタのソース又はドレインの他方と前記自発光素子の間に設けられ、

前記第5のスイッチは、前記複数のトランジスタから選択された一つのトランジスタのソース又はドレインの他方またはゲート電極と、前記電源線との間に設けられ、

前記第1のスイッチと前記第2のスイッチのオンとオフは、第1の走査線から供給される信号により制御され、

前記第3のスイッチ、前記第4のスイッチ及び前記第5のスイッチのオンとオフは、それぞれ、前記第1の走査線又は第2の走査線から供給される信号により制御されることを特徴とする発光装置。

【請求項3】

請求項1または請求項2において、

前記第1のスイッチは、少なくとも1つのトランジスタを含むことを特徴とする発光装置。

【請求項4】

請求項1または請求項2において、

前記第2のスイッチは、少なくとも1つのトランジスタを含むことを特徴とする発光装置。

【請求項5】

請求項1または請求項2において、

前記第3のスイッチは、少なくとも1つのトランジスタを含むことを特徴とする発光装置。

【請求項6】

請求項1または請求項2において、

前記第4のスイッチは、少なくとも1つのトランジスタを含むことを特徴とする発光装置。

【請求項7】

請求項2において、

前記第5のスイッチは、少なくとも1つのトランジスタを含むことを特徴とする発光装置。

【請求項8】

請求項1乃至請求項7のいずれか1項において、

前記画素には容量素子が設けられており、

前記容量素子の一方の電極は、前記複数のトランジスタの各々のゲート電極に電氣的に接続され、

前記容量素子の他方の電極は、前記電源線に電氣的に接続され、

前記容量素子は、前記複数のトランジスタの各々のゲート電極の電位を保持することを特徴とする発光装置。

【請求項9】

請求項1乃至請求項8のいずれか一項において、

前記画素を駆動する駆動回路が設けられており、
前記画素と前記駆動回路は、同じ基板上に設けられていることを特徴とする発光装置。

【請求項 10】

請求項 1 乃至請求項 9 のいずれか一項において、
前記自発光素子は、有機発光ダイオードであることを特徴とする発光装置。

【請求項 11】

請求項 1 乃至請求項 10 のいずれか一項に記載の前記発光装置を用いた電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

10

本発明は、発光装置及び表示装置の技術に関する。さらには、前記発光装置または表示装置を搭載した電子機器に関する。本明細書における発光装置とは、自発光素子から放出される光を利用した装置を指す。自発光素子の例としては、有機発光ダイオード（OLED）素子、無機材料系の発光ダイオード素子、電界放出発光素子（FED素子）などがある。本明細書における表示装置とは、複数の画素をマトリクス状に配置し画像情報を視覚的に伝達する装置、いわゆるディスプレイを指す。

【0002】

【従来の技術】

近年、画像の表示を行う表示装置の重要性が増している。表示装置としては、液晶素子を用いて画像の表示を行う液晶表示装置が、高画質、薄型、軽量などの利点を活かして、携

20

【0003】

他方で、自発光素子を用いた表示装置、発光装置の開発も進められている。この自発光素子には、有機材料、無機材料、薄膜材料、バルク材料、分散材料、広汎にわたり様々な種類の素子が存在する。

【0004】

なかでも表示装置向けに将来有望視されている代表的な自発光素子は、有機発光ダイオード（OLED）素子である。OLED素子を自発光素子として用いたOLED表示装置は、既存の液晶表示装置以上に薄型、軽量である特長に加え、動画表示に適した高応答速度、高視野角、低電圧駆動などの特長を有しているため、携帯電話や携帯情報端末（PDA）をはじめテレビ、モニターなど、幅広い用途が見込まれ、次世代ディスプレイとして注

30

【0005】

特にアクティブマトリクス（AM）型のOLED表示装置は、パッシブマトリクス（PM）型では困難な、高精細、大画面の表示も可能であるうえ、PM型を上回る低消費電力動作で高信頼性を有し、実用化への期待は大変強い。

【0006】

OLED素子は、陽極と、陰極と、該陽極と該陰極との間に挟まれた有機化合物の層とを有する構造をしている。OLED素子に流れる電流量と、OLED素子の発光輝度は概ね比例する関係にある。AM型OLED表示装置の画素では、該画素のOLED素子の発光輝度を制御する駆動用トランジスタを、OLED素子に直列に接続している。

40

【0007】

AM型OLED表示装置において画像を表示する駆動方式には、電圧入力方式と電流入力方式がある。前者の電圧入力方式は、画素に入力するビデオ信号として、電圧値形式データのビデオ信号を入力する。他方、後者の電流入力方式は、画素に入力するビデオ信号として、電流値形式データのビデオ信号を入力する。

【0008】

電圧入力方式では通常、画素の駆動用トランジスタのゲート電極にビデオ信号の電圧が直接印加される。そのためOLED素子を定電流発光させる場合、駆動用トランジスタの電気的特性が各々の画素間で均一でなくバラつきを有していると、各画素のOLED素子駆

50

動電流にバラつきが生じる。O L E D素子駆動電流のバラつきは、O L E D素子の発光輝度のバラつきとなる。O L E D素子の発光輝度のバラつきは、画面全体でみると砂嵐状あるいは絨毯模様のムラとして、表示画像の品位を低下させる。

【 0 0 0 9 】

特に、駆動用トランジスタとして非晶質（アモルファス）シリコン薄膜トランジスタ（T F T）を用いると、高輝度の発光に十分な電流が得られない。そこで、駆動用トランジスタとして、多結晶（ポリ）シリコンT F Tが用いられる。しかし、ポリシリコンでは結晶粒界における欠陥等に起因して、T F Tの電気的特性にバラつきが生じやすい問題がある。

【 0 0 1 0 】

このような電圧入力方式における、O L E D素子駆動電流のバラつきを防ぐための有効な手段の一つとして、電流入力方式がある。電流入力方式では通常、ビデオ信号のデータ電流値を記憶し、記憶した電流値と同一もしくは数倍（1未満を含む正の実数倍）の電流を、O L E D素子駆動電流として供給する。

【 0 0 1 1 】

電流入力方式のA M型O L E D表示装置の画素回路で、代表的な一例を図10（A）に示す（A. Yumoto et al., Proc. Asia Display / IDW '01 p.p.1395-1398（2001）等を参照）。516がO L E D素子である。この画素回路は、カレントミラー回路を用いている。そこでカレントミラーを構成する二つのトランジスタが同一の電気的特性さえ備えていれば、ビデオ信号のデータ電流値を正確に記憶することができる。相異なる画素の駆動用トランジスタの電気的特性間にバラつきがあっても、同一画素内の前記二つのトランジスタが各々同一の電気的特性を備えてさえいれば、O L E D素子の発光輝度のバラつきは防がれることになる。

【 0 0 1 2 】

電流入力方式のA M型O L E D表示装置の画素回路で、代表的な他の一例を図10（B）に示す（I. M. Hunter et al., Proc. AM-LCD 2000 p.p.249-252（2000）等を参照）。611がO L E D素子である。この画素回路は、駆動用トランジスタのゲート電極にビデオ信号に対応する電圧を書込むときに、駆動用トランジスタ自身のドレイン電極とゲート電極を短絡する。その状態でビデオ信号のデータ電流を流し、その後ゲート電極を電気的に絶縁させる。するとO L E D素子を発光させるときに、駆動用トランジスタを飽和領域にて動作させるようにすれば、書込み時のデータ電流と同一値の電流を、駆動用トランジスタはO L E D素子に供給する。従って、各画素の駆動用トランジスタに電気的特性のバラつきが存在しても、O L E D素子の発光輝度のバラつきは防がれることになる。

【 0 0 1 3 】

【発明が解決しようとする課題】

図10（A）（B）は、上記のように正確にデータ電流値を記憶できるはずであるが、以下の深刻な問題がある。

【 0 0 1 4 】

まず、図10（A）の画素回路における問題点は、カレントミラーを構成する二つのトランジスタが同一の電気的特性もつことが、前提条件とされていることである。設計時に工夫すれば、両トランジスタを基板上に隣り合わせに作製することも可能であるので、ある程度はバラつきを減少させることができる。とはいえ現在のポリシリコンでは、結晶粒界における欠陥等に起因して、T F Tのしきい値電圧、電界効果移動度等の電気的特性に、なお許容限度を超えるバラつきが残存してしまうのが普通である。

【 0 0 1 5 】

具体的には、例えば64階調の画像を表示する場合には、輝度バラつきは1%以内程度に抑える必要が生じる。しかし図10（A）の画素回路では、データ電流値を1%の精度で記憶することは、現在普通に使用されるポリシリコンでは困難である。すなわち、図10（A）の画素回路を使うのみでは、画面全体でムラがない十分に均一の、高品位表示画像を得ることはできない。

10

20

30

40

50

【0016】

次に、図10(B)の画素回路における問題点は、画素に書込むビデオ信号データ電流と、OLED素子を発光させるときのOLED素子駆動電流とが、同一値になってしまう点である。AM型OLED表示装置を作製する場合、両電流を同一値としなくてはならないという点は、事実上はかなり厳しい制約となる。

【0017】

具体的には、実際のAM型OLED表示装置においては、信号線等に多量の寄生容量、寄生抵抗がついてしまう。その結果、ビデオ信号データ電流はOLED素子駆動電流よりも大きくする措置をとることが必要な場合が、少なからず生じる。特に、ビデオ信号データ電流をアナログ値にして階調表現する場合には、暗部のビデオ信号データ電流の書込みが非常に困難となる。

10

【0018】

本発明は上記問題点の存在に鑑みてなされたものである。まず本発明は、図10(B)の画素回路とは異なり、画素に書込むビデオ信号データ電流と、OLED素子を発光させるときのOLED素子駆動電流との比が「1」に固定されない、AM型OLED表示装置を提供することを課題とする。次に本発明は、図10(A)の画素回路とは異なり、同一画素内の隣接設置されたトランジスタ間においても、なお電気的特性のバラつきがある程度残存することを前提とする。その上で本発明は、図10(A)のようなカレントミラーを用いた画素回路の場合と比較して、OLED素子駆動電流のバラつきが十分に抑制されたAM型OLED表示装置を提供することを課題とする。

20

【0019】

【課題を解決するための手段】

上記課題を解決するために、本発明はAM型表示装置または発光装置において、各画素に設置される駆動用素子を複数のトランジスタにより構成し、画素にデータ電流を読込むときには該複数のトランジスタを並列接続状態にし、自発光素子を発光させるときには該複数のトランジスタを直列接続状態にすることを特徴としている。

【0020】

なおOLED素子以外の素子を用いた表示装置、発光装置であっても、電流駆動型の素子を用いる場合には、本発明の構成が利用できる。

【0021】

このような、本発明の表示装置または発光装置の画素構成の概略について、図1(A)(B)を用いて説明する。図1(A)には、複数の画素を有する画素部において、j行i列目に配置された画素11を示す。画素11は、信号線(Si)、電源線(Vi)、第1走査線(Gaj)、スイッチング機能を有する第1スイッチ12～第3スイッチ14、駆動用素子15、容量素子16、自発光素子17を有する。なお、図1(A)(B)で容量素子16が設置されているノードの寄生容量が大きい場合などには、容量素子16は必ずしも設けなくてよい。

30

【0022】

自発光素子としては、典型的にはOLED素子が該当するため、本明細書では、自発光素子を表す記号としてダイオードの記号を用いる。しかし自発光素子にダイオード特性は必須ではなく、本発明はダイオード特性をもつ自発光素子の場合に限定されない。さらに断ると、本明細書での自発光素子は、電流駆動型の表示用素子であればよく、自発光により表示機能を担う必要もない。例えば、液晶のような光シャッターだが、電圧値でなく電流値により制御されるものも、本明細書での自発光素子に含まれる。

40

【0023】

第1スイッチ12～第3スイッチ14には、トランジスタなどのスイッチング機能を有する半導体素子を1個又は複数個用いることができる。同様に駆動用素子15にも、トランジスタなどの半導体素子を複数個用いることができる。第1スイッチ12及び第2スイッチ13は、第1走査線(Gaj)から与えられる信号により、オン又はオフが決定される。第1スイッチ12及び第2スイッチ13はスイッチとして機能すればよいので、用いられる

50

半導体素子の導電型に特に限定はない。

【0024】

なお第1スイッチ12は、信号線(Si)と駆動用素子15の間に設置されており、画素11に対する信号の書込みを制御する役割を果たす。また第2スイッチ13は、電源線(Vi)と駆動用素子15の間に設置されており、電源線から画素11への電流の供給を制御する。

【0025】

図1(B)には、図1(A)に示した画素11に、第4スイッチ18と第2走査線(Gbj)を追加して配置した場合を示す。第4スイッチ18には、トランジスタなどのスイッチング機能を有する半導体素子を1個又は複数個用いることができる。第4スイッチ18は、第2走査線(Gbj)から与えられる信号により、オン又はオフが決定される。第1スイッチ12及び第2スイッチ13はスイッチとして機能すればよいので、用いられる半導体素子の導電型に特に限定はない。

10

【0026】

なお第4スイッチ18は画素11の初期化用素子としての役割を担う。

第4スイッチ18がオンになると、容量素子16に保持されている電荷が放出されて、駆動用素子15はオフになり、さらに自発光素子17の発光は終了する。

【0027】

本発明では、駆動用素子15を複数のトランジスタで構成し、画素11にビデオ信号のデータ電流を書込む場合と、自発光素子17に電流を流し発光させる場合とにおいて、該複数のトランジスタの接続を並列と直列とに切替えて用いる点に特徴がある。図1(A)(B)では、第1スイッチ12及び第2スイッチ13を、走査線(Gaj)からの信号によりオン・オフ制御をすることが、駆動用素子15の複数のトランジスタを、並列接続状態と直列接続状態とを切替える手段となっている。

20

【0028】

ここで、一例として駆動用素子15が4つのトランジスタ20a~20dで構成された場合の画素11を図1(C)(D)に示し、画素11における電流の経路について以下に説明する。

【0029】

図1(C)は画素11にデータ電流を書込む場合を示し、図1(D)は自発光素子を発光させる場合を示している。なお図1(C)(D)において、第1スイッチ12、第2スイッチ13、駆動用素子15、自発光素子17、信号線(Si)及び電源線(Vi)以外の素子、配線は図示を省略する。

30

【0030】

最初に、画素11にデータ電流を書込む場合について説明する。図1(C)において、第1スイッチ12及び第2スイッチ13は、第1走査線(Gaj)から与えられる信号によりオンになる。すると駆動用素子15は、各トランジスタがダイオード接続状態となり、かつ相互に並列接続状態になる。電流経路は、電源線(Vi)から第2スイッチ13、駆動用素子15、第1スイッチ12を通して、信号線(Si)である。このときの電流値 I_w は、ビデオ信号のデータ電流値であり、信号線駆動回路が信号線(Si)に出力する所定の電流値である。

40

【0031】

次いで、自発光素子17を発光させる場合について説明する。図1(D)において、第1スイッチ12及び第2スイッチ13は、第1走査線(Gaj)から与えられる信号によりオフになる。すると駆動用素子15は、各トランジスタが相互に直列接続状態になる。電流経路は、電源線(Vi)からトランジスタ20a、20b、20c、20dを通して自発光素子17である。このときの電流値 I_E により、自発光素子17の発光輝度が決まる。

【0032】

上述したように本発明では、画素にデータ電流を書込むときには、駆動用素子15を構成するトランジスタ20a~20dを並列に使用する(図1(C))。他方、画素11が有する自発光素子17に電流を流すとき、すなわち自発光素子駆動時には、駆動用素子15

50

を構成するトランジスタ 20a ~ 20d を直列に使用する (図 1 (D))。従って、もしトランジスタ 20a ~ 20d の電気的特性が同一であると仮定すれば、書込み時の電流値 I_W は、自発光素子駆動時の電流値 I_E の 16 倍 (4^2 倍) となる。より一般的に、駆動用素子 15 を構成するトランジスタの数が n 個の場合を考えると、該トランジスタの全てが同一の電気的特性をもつとの条件の下では、ビデオ信号書込み時の電流値 I_W と自発光素子駆動時の電流値 I_E との間に次式 (1) の関係が成立する。

【0033】

【数 1】

$$I_W = n^2 \times I_E \cdots (1)$$

【0034】

なお式 (1) が厳密に成立するためには、駆動用素子 15 を構成するトランジスタの全てが同一の電気的特性をもつことが条件となる。しかし該トランジスタの電気的特性が、相互に若干のバラつきを伴っている場合であっても、近似的に式 (1) が成立するとして扱うことが現実的には可能である。

【0035】

よって本発明では、駆動用素子 15 を複数のトランジスタで構成し、画素 11 にビデオ信号電流を書込む場合と、自発光素子を発光させる場合とにおいて、該複数のトランジスタの接続を並列と直列とに切替えて用いることで、書込み時の電流値 I_W と自発光素子駆動時の電流値 I_E とを任意に設定することができる特長を有する。

【0036】

また本発明の別の特長として、駆動用素子 15 を構成する各トランジスタの電気的特性が、相互に若干のバラつきを伴っていたとしても、その影響が自発光素子駆動電流 I_E に反映されてしまうのを大きく軽減できる点がある。これに関しては具体的な例をとりあげ、実施の形態 5 において説明する。

【0037】

図 10 (A) のようなカレントミラーを用いる画素回路においても、画素内の二つのトランジスタに関する限り、同一の電気的特性をもつことが要求されてしまう問題があった。しかし本発明では同一画素内におけるトランジスタでさえ、相互に電気的特性が若干異なることを既に前提としている。すなわち本発明は、トランジスタの特性バラつきに対する耐性の点において、電流入力方式のカレントミラーを用いる画素回路と比較して、優れている。その結果本発明では、結晶粒界における欠陥等に起因するポリシリコン TFT の電気的特性バラつきが存在しても、自発光素子駆動電流 I_E を実用レベルにまで均一化することが可能となる。

【0038】

【発明の実施の形態】

(実施の形態 1)

以上、本発明の表示装置、発光装置の画素の概略を図 1 を用いて述べた。実施の形態 1 では、本発明の表示装置、発光装置の画素の具体的例について、図 2 ~ 4 を用いて説明する。簡単にするため、駆動用素子 15 を構成するトランジスタ数 n が、2 ~ 4 の場合の例を挙げる。

【0039】

まず最初の例を、図 2 (A) を用いて説明する。

【0040】

図 2 (A) には、 j 行 i 列目に配置された画素 11 を示す。そして画素 11 は、信号線 (Si)、電源線 (Vi)、走査線 (Gaj)、トランジスタ 21 ~ 26、容量素子 27、自発光素子 28 を有する。図 2 (A) に示す画素 11 は、図 1 (A) に示す画素 11 を具体的にトランジスタで図示したものであり、 p チャネル型のトランジスタ 21、22 は第 1 スイッチ 12 に相当する。 p チャネル型のトランジスタ 23 は第 2 スイッチ 13 に相当し、 n チャネル型のトランジスタ 24 は第 3 スイッチ 14 に相当する。 p チャネル型のトランジスタ 25、26 は駆動用素子 15 に相当する。

10

20

30

40

50

【 0 0 4 1 】

トランジスタ 2 1 ~ 2 4 の各ゲート電極は、走査線 (Gaj) に接続されている。容量素子 2 7 は、トランジスタ 2 5 のゲート・ソース間電圧を保持する役割を担う。なお、トランジスタ 2 5、2 6 のゲート容量が大きい場合や、該ノードの寄生容量が大きい場合などでは、容量素子 2 7 は必ずしも設けなくてもよい。

【 0 0 4 2 】

図 2 (A) に示す画素 1 1 に、ビデオ信号データ電流を書込むときには、走査線 (Gaj) に低電位信号を送り、トランジスタ 2 1 ~ 2 3 をオン、トランジスタ 2 4 をオフにする。このとき、トランジスタ 2 5、2 6 は電流経路上、互いに並列接続の関係になる。一方、自発光素子 2 8 に電流を流すときには、走査線 (Gaj) に高電位信号を送り、トランジスタ 2 1 ~ 2 3 をオフ、トランジスタ 2 4 をオンにする。このとき、トランジスタ 2 5、2 6 は電流経路上、互いに直列接続の関係になる。

10

【 0 0 4 3 】

図 2 (A) の例では、駆動用素子 1 5 のトランジスタ 2 5、2 6 の接続関係の切替えを、走査線 (Gaj) のみで制御する。また、第 1 スイッチを 2 個、第 2 スイッチを 1 個のトランジスタのみという、最少個数のトランジスタで構成する。このように図 2 (A) の例は、走査線数及びトランジスタ数を少なく抑えているため、開口率確保や製造不良発生率低減を重視する場合に、適した構成である。

【 0 0 4 4 】

次いで図 2 (A) とは別の例を、図 2 (B) を用いて説明する。

20

【 0 0 4 5 】

図 2 (B) には、j 行 i 列目に配置された画素 1 1 を示す。そして画素 1 1 は、信号線 (Si)、電源線 (Vi)、第 1 走査線 (Gaj)、第 2 走査線 (Gbj)、トランジスタ 3 1 ~ 3 9、4 2、容量素子 4 0、自発光素子 4 1 を有する。図 2 (B) に示す画素 1 1 は、図 1 (B) に示す画素 1 1 を具体的にトランジスタで図示したものであり、p チャネル型のトランジスタ 3 1 ~ 3 4 は第 1 スイッチ 1 2 に相当する。p チャネル型のトランジスタ 3 5、3 6 は第 2 スイッチ 1 3 に相当し、n チャネル型のトランジスタ 3 7 は第 3 スイッチ 1 4 に相当する。p チャネル型のトランジスタ 3 8、3 9 は駆動用素子 1 5 に相当する。n チャネル型のトランジスタ 4 2 は第 4 スイッチ 1 8 に相当する。

【 0 0 4 6 】

トランジスタ 3 1 ~ 3 4 の各ゲート電極は、第 1 走査線 (Gaj) に接続されている。トランジスタ 3 5 ~ 3 7、4 2 の各ゲート電極は、第 2 走査線 (Gbj) に接続されている。容量素子 4 0 は、トランジスタ 3 8 のゲート・ソース間電圧を保持する役割を担う。なお、トランジスタ 3 8、3 9 のゲート容量が大きい場合や、該ノードの寄生容量が大きい場合などでは、容量素子 4 0 は必ずしも設けなくてもよい。

30

【 0 0 4 7 】

図 2 (B) に示す画素 1 1 に、ビデオ信号データ電流を書込むときには、第 1 走査線 (Gaj) 及び第 2 走査線 (Gbj) に低電位信号を送り、トランジスタ 3 1 ~ 3 6 をオン、トランジスタ 3 7、4 2 をオフにする。このとき、トランジスタ 3 8、3 9 は電流経路上、互いに並列接続の関係になる。一方、自発光素子 4 1 に電流を流すときには、走査線 (Gaj) に高電位信号を送り、トランジスタ 3 1 ~ 3 6 をオフ、トランジスタ 3 7、4 2 をオンにする。このとき、トランジスタ 3 8、3 9 は電流経路上、互いに直列接続の関係になる。

40

【 0 0 4 8 】

図 2 (B) の例では、駆動用素子 1 5 のトランジスタ 3 8、3 9 の接続関係の切替えを、第 1 走査線 (Gaj) 及び第 2 走査線 (Gbj) を用いて制御する。しかし第 2 走査線 (Gbj) により制御されるトランジスタは、いずれも信号線 (Si) とは接続していない。また自発光素子 4 1 に電流を流し発光させるか否かは、第 1 走査線 (Gaj) の電位に関わりなく、第 2 走査線 (Gbj) の電位のみにより制御できる特徴がある。従って、データ電流を書込むとき以外で、第 2 走査線 (Gbj) に第 1 走査線 (Gaj) とは独立の信号を送ることで、自発光素子 4 1 の発光時間を任意に制御できる。

50

【 0 0 4 9 】

これは、中間階調表現を時間階調方式により表現する場合に、非常に重要な特長である。時間階調方式をポリシリコン T F T 駆動回路を有する A M 型 O L E D 表示装置に適用する場合、列走査期間中に発光を停止させる手段なしには、十分な多階調表示が困難なためである。また、中間階調表現をアナログ的なビデオ信号データ電流を用いることで表現する場合であっても、ホールド型ディスプレイ特有の動画ボケを防止するために、インパルス型の発光を行う等の用途に有用である（ホールド型ディスプレイ特有の動画ボケについては、例えば T. Kurita, Proc. AM-LCD 2000 p.p.1-4 (2000) 等を参照）。

【 0 0 5 0 】

また図 2 (B) の例の、別の特長として、ビデオ信号データ電流の記憶がより正確に行える点がある。図 2 (A) の例では、データ電流の書込み時に、トランジスタ 2 5 は電源線 (V_i) に直接接続するのに対し、トランジスタ 2 6 はトランジスタ 2 3 を介して接続する。よって、トランジスタ 2 3 による電圧降下分だけ、データ電流の書込み時が不正確となる。他方図 2 (B) の例では、トランジスタ 3 8 はトランジスタ 3 5 を介して、トランジスタ 3 9 はトランジスタ 3 6 を介して、電源線 (V_i) に接続する。トランジスタ 3 5 とトランジスタ 3 6 による電圧降下を、同程度となるようにすれば、ビデオ信号データ電流の記憶をより正確に行うことができる。

【 0 0 5 1 】

続いて 3 つ目の例を、図 3 (A) を用いて説明する。

【 0 0 5 2 】

図 3 (A) には、j 行 i 列目に配置された画素 1 1 を示す。そして画素 1 1 は、信号線 (S_i)、電源線 (V_i)、第 1 走査線 (G_{aj})、第 2 走査線 (G_{bj})、トランジスタ 5 1 ~ 5 7、6 0、容量素子 5 8、自発光素子 5 9 を有する。図 3 (A) に示す画素 1 1 は、図 1 (B) に示す画素 1 1 を具体的にトランジスタで図示したものであり、n チャネル型のトランジスタ 5 1 ~ 5 3 は第 1 スイッチ 1 2 に相当する。n チャネル型のトランジスタ 5 4 は第 2 スイッチ 1 3 に相当し、p チャネル型のトランジスタ 5 5 は第 3 スイッチ 1 4 に相当する。p チャネル型のトランジスタ 5 6、5 7 は駆動用素子 1 5 に相当する。n チャネル型のトランジスタ 6 0 は第 4 スイッチ 1 8 に相当する。

【 0 0 5 3 】

トランジスタ 5 1 ~ 5 5 の各ゲート電極は、第 1 走査線 (G_{aj}) に接続されている。トランジスタ 6 0 のゲート電極は、第 2 走査線 (G_{bj}) に接続されている。容量素子 5 8 は、トランジスタ 5 6 のゲート・ソース間電圧を保持する役割を担う。なお、トランジスタ 5 6、5 7 のゲート容量が大きい場合や、該ノードの寄生容量が大きい場合などでは、容量素子 5 8 は必ずしも設けなくてもよい。

【 0 0 5 4 】

図 3 (A) に示す画素 1 1 に、ビデオ信号データ電流を書込むときには、第 1 走査線 (G_{aj}) に高電位信号を送り、トランジスタ 5 1 ~ 5 4 をオン、トランジスタ 5 5 をオフにする。このとき、トランジスタ 5 6、5 7 は電流経路上、互いに並列接続の関係になる。一方、自発光素子 5 9 に電流を流すときには、走査線 (G_{aj}) に低電位信号を送り、トランジスタ 5 1 ~ 5 4 をオフ、トランジスタ 5 5 をオンにする。このとき、トランジスタ 5 6、5 7 は電流経路上、互いに直列接続の関係になる。

【 0 0 5 5 】

なお上記の間、第 2 走査線 (G_{bj}) には低電位信号を送り、トランジスタ 6 0 をオフしておく。

【 0 0 5 6 】

図 3 (A) に示す画素 1 1 においても、図 2 (B) の例の場合と同様に、第 2 走査線 (G_{bj}) に送る信号により、自発光素子 5 9 の発光時間を任意に制御できる。すなわち自発光素子 5 9 発光中に、第 2 走査線 (G_{bj}) に高電位信号をおくり、トランジスタ 6 0 をオンにすると、トランジスタ 5 6 がオフとなり自発光素子 5 9 は消光する。ただし自発光素子 5 9 を一度消光させると、再度ビデオ信号データ電流を書込まなくては、自発光素子 5 9 を発

10

20

30

40

50

光させられない点は、図 2 (B) の例と異なる。

【 0 0 5 7 】

図 3 (A) に示す画素 1 1 において、自発光素子 5 9 の発光時間を任意に制御できることの特長は、図 2 (B) の例の場合と同様である。すなわち、まず中間階調表現を時間階調方式により表現することが可能となる。また中間階調表現をアナログ的なビデオ信号データ電流を用いることで表現する場合であっても、ホールド型ディスプレイ特有の動画ボケを防止するために、インパルス型の発光を行う等の用途に有用である。

【 0 0 5 8 】

図 3 (A) に示す画素 1 1 においては、第 1 スイッチ 1 2 又は第 2 スイッチ 1 3 のトランジスタ 5 1 ~ 5 4、第 4 スイッチ 1 8 のトランジスタ 6 0 は n チャンネル型であり、第 3 スイッチ 1 4 のトランジスタ 5 5 は p チャンネル型である。これは、図 2 (A) (B) の例の場合と異なっている。しかしこれは、スイッチのトランジスタのチャンネル型に関して、特に制限がないことを例示したものにすぎない。

【 0 0 5 9 】

続いて 4 つ目の例を、図 3 (B) を用いて説明する。

【 0 0 6 0 】

図 3 (B) には、j 行 i 列目に配置された画素 1 1 を示す。そして画素 1 1 は、信号線 (Si)、電源線 (Vi)、第 1 走査線 (Gaj)、第 2 走査線 (Gbj)、トランジスタ 7 1 ~ 8 2、8 5、容量素子 8 3、自発光素子 8 4 を有する。図 3 (B) に示す画素 1 1 は、図 1 (B) に示す画素 1 1 を具体的にトランジスタで図示したものであり、p チャンネル型のトランジスタ 7 1 ~ 7 5 は第 1 スイッチ 1 2 に相当する。p チャンネル型のトランジスタ 7 6 ~ 7 8 は第 2 スイッチ 1 3 に相当し、n チャンネル型のトランジスタ 7 9 は第 3 スイッチ 1 4 に相当する。p チャンネル型のトランジスタ 8 0 ~ 8 2 は駆動用素子 1 5 に相当する。n チャンネル型のトランジスタ 8 5 は第 4 スイッチ 1 8 に相当する。

【 0 0 6 1 】

トランジスタ 7 1 ~ 7 5、8 5 の各ゲート電極は、第 1 走査線 (Gaj) に接続されている。トランジスタ 7 6 ~ 7 9 のゲート電極は、第 2 走査線 (Gbj) に接続されている。容量素子 8 3 は、トランジスタ 8 0 のゲート・ソース間電圧を保持する役割を担う。なお、トランジスタ 8 0 ~ 8 2 のゲート容量が大きい場合や、該ノードの寄生容量が大きい場合などでは、容量素子 8 3 は必ずしも設けなくてもよい。

【 0 0 6 2 】

図 3 (B) に示す画素 1 1 に、ビデオ信号データ電流を書込むときには、第 1 走査線 (Gaj) 及び第 2 走査線 (Gbj) に低電位信号を送り、トランジスタ 7 1 ~ 7 8 をオン、トランジスタ 7 9、8 5 をオフにする。このとき、トランジスタ 8 0 ~ 8 2 は電流経路上、互いに並列接続の関係になる。一方、自発光素子 8 4 に電流を流すときには、走査線 (Gaj) に高電位信号を送り、トランジスタ 7 1 ~ 7 8 をオフ、トランジスタ 7 9、8 5 をオンにする。このとき、トランジスタ 8 0 ~ 8 2 は電流経路上、互いに直列接続の関係になる。

【 0 0 6 3 】

図 3 (B) の例では、駆動用素子 1 5 のトランジスタ 8 0 ~ 8 2 の接続関係の切替えを、第 1 走査線 (Gaj) 及び第 2 走査線 (Gbj) を用いて制御する。しかし第 2 走査線 (Gbj) により制御されるトランジスタは、いずれも信号線 (Si) とは接続していない。また自発光素子 8 4 に電流を流し発光させるか否かは、第 1 走査線 (Gaj) の電位に関わりなく、第 2 走査線 (Gbj) の電位のみにより制御できる特徴がある。従って、データ電流を書込むとき以外で、第 2 走査線 (Gbj) に第 1 走査線 (Gaj) とは独立の信号を送ることで、自発光素子 8 4 の発光時間を任意に制御できる。この事情は図 2 (B) の例と同様である。

【 0 0 6 4 】

よって、図 3 (B) に示す画素 1 1 においても、自発光素子 8 4 の発光時間を任意に制御できることに起因する、以下の特長がある。すなわち、まず中間階調表現を時間階調方式により表現することが可能となる。また中間階調表現をアナログ的なビデオ信号データ電流を用いることで表現する場合であっても、ホールド型ディスプレイ特有の動画ボケを防

10

20

30

40

50

止するために、インパルス型の発光を行う等の用途に有用である。

【0065】

5つ目の例を、図4(A)を用いて説明する。

【0066】

図4(A)には、j行i列目に配置された画素11を示す。そして画素11は、信号線(Si)、電源線(Vi)、第1走査線(Gaj)、第2走査線(Gbj)、トランジスタ91~103、106、容量素子104、自発光素子105を有する。図4(A)に示す画素11は、図1(B)に示す画素11を具体的にトランジスタで図示したものであり、pチャネル型のトランジスタ91~94は第1スイッチ12に相当する。pチャネル型のトランジスタ95~98は第2スイッチ13に相当し、nチャネル型のトランジスタ99は第3スイッチ14に相当する。pチャネル型のトランジスタ100~103は駆動用素子15に相当する。nチャネル型のトランジスタ106は第4スイッチ18に相当する。

【0067】

トランジスタ91~94の各ゲート電極は、第1走査線(Gaj)に接続されている。トランジスタ95~99、106のゲート電極は、第2走査線(Gbj)に接続されている。容量素子104は、トランジスタ100のゲート・ソース間電圧を保持する役割を担う。なお、トランジスタ100~103のゲート容量が大きい場合や、該ノードの寄生容量が大きい場合などでは、容量素子104は必ずしも設けなくてもよい。

【0068】

図4(A)に示す画素11に、ビデオ信号データ電流を書込むときには、第1走査線(Gaj)及び第2走査線(Gbj)に低電位信号を送り、トランジスタ91~98をオン、トランジスタ99、106をオフにする。このとき、トランジスタ100~103は電流経路上、互いに並列接続の関係になる。一方、自発光素子105に電流を流すときには、走査線(Gaj)に高電位信号を送り、トランジスタ91~98をオフ、トランジスタ99、106をオンにする。このとき、トランジスタ100~103は電流経路上、互いに直列接続の関係になる。

【0069】

図4(A)の例では、駆動用素子15のトランジスタ100~103の接続関係の切替えを、第1走査線(Gaj)及び第2走査線(Gbj)を用いて制御する。しかし第2走査線(Gbj)により制御されるトランジスタは、いずれも信号線(Si)とは接続していない。また自発光素子105に電流を流し発光させるか否かは、第1走査線(Gaj)の電位に関わりなく、第2走査線(Gbj)の電位のみにより制御できる特徴がある。従って、データ電流を書込むとき以外で、第2走査線(Gbj)に第1走査線(Gaj)とは独立の信号を送ることで、自発光素子84の発光時間を任意に制御できる。この事情は図2(B)の例と同様である。

【0070】

よって、図4(A)に示す画素11においても、自発光素子84の発光時間を任意に制御できることに起因する、以下の特長がある。すなわち、まず中間階調表現を時間階調方式により表現することが可能となる。また中間階調表現をアナログ的なビデオ信号データ電流を用いることで表現する場合であっても、ホールド型ディスプレイ特有の動画ボケを防止するために、インパルス型の発光を行う等の用途に有用である。

【0071】

6つ目の例を、図4(B)を用いて説明する。

【0072】

図4(B)には、j行i列目に配置された画素11を示す。そして画素11は、信号線(Si)、電源線(Vi)、第1走査線(Gaj)、第2走査線(Gbj)、トランジスタ111~120、122、容量素子123、自発光素子121を有する。図4(B)に示す画素11は、図1(B)に示す画素11を具体的にトランジスタで図示したものであり、pチャネル型のトランジスタ111~113は第1スイッチ12に相当する。pチャネル型のトランジスタ114、115は第2スイッチ13に相当し、nチャネル型のトランジスタ116は第3スイッチ14に相当する。pチャネル型のトランジスタ117~120は駆動用素子15に

10

20

30

40

50

相当する。pチャネル型のトランジスタ122は第4スイッチ18に相当する。

【0073】

トランジスタ111～116の各ゲート電極は、第1走査線(Gaj)に接続されている。トランジスタ122のゲート電極は、第2走査線(Gbj)に接続されている。容量素子123は、トランジスタ117のゲート・ソース間電圧を保持する役割を担う。なお、トランジスタ117～120のゲート容量が大きい場合や、該ノードの寄生容量が大きい場合などでは、容量素子123は必ずしも設けなくてもよい。

【0074】

図4(B)に示す画素11に、ビデオ信号データ電流を書込むときには、第1走査線(Gaj)に高電位信号を送り、トランジスタ111～115をオン、トランジスタ116をオフにする。このとき、トランジスタ117～120は電流経路上、互いに並列接続の関係になる。一方、自発光素子121に電流を流すときには、第1走査線(Gaj)に低電位信号を送り、トランジスタ111～115をオフ、トランジスタ116をオンにする。このとき、トランジスタ117～120は電流経路上、互いに直列接続の関係になる。

10

【0075】

なお上記の間、第2走査線(Gbj)には低電位信号を送り、トランジスタ122をオフしておく。

【0076】

図4(B)に示す画素11においても、図2(B)の例の場合と同様に、第2走査線(Gbj)に送る信号により、自発光素子121の発光時間を任意に制御できる。すなわち自発光素子121発光中に、第2走査線(Gbj)に高電位信号をおくり、トランジスタ122をオンにすると、トランジスタ117がオフとなり自発光素子121は消光する。ただし自発光素子121を一度消光させると、再度ビデオ信号データ電流を書込まなくては、自発光素子59を発光させられない点は、図2(B)の例と異なる。

20

【0077】

図4(B)に示す画素11において、自発光素子121の発光時間を任意に制御できることの特長は、図2(B)の例の場合と同様である。すなわち、まず中間階調表現を時間階調方式により表現することが可能となる。また中間階調表現をアナログ的なビデオ信号データ電流を用いることで表現する場合であっても、ホールド型ディスプレイ特有の動画ボケを防止するために、インパルス型の発光を行う等の用途に有用である。

30

【0078】

以上、本発明の表示装置、発光装置の画素11の例として、それぞれ異なる構成の6種類の画素11を図2～4を用いて説明した。しかし本発明の表示装置、発光装置の画素構成は、これら6種に限定されるわけではない。

【0079】

(実施の形態2)

実施の形態2では、画素11の駆動方法を説明する。例として図4(B)に示した画素11の場合を取り上げ、図5を用いて説明する。

【0080】

最初に、ビデオ信号書込み動作と発光動作について説明する。

40

【0081】

まず画素11の周囲に設けられた走査線駆動回路(図示せず)から出力される信号によって、j行目の第1走査線(Gaj)が選択される。すなわち、第1走査線(Gaj)に低電位(Lレベル)信号が出力され、トランジスタ111～116のゲート電極が低電位(Lレベル)となる。このとき、pチャネル型のトランジスタ111～115がオンとなり、nチャネル型のトランジスタ116がオフとなる。そして画素11の周囲に設けられた信号線駆動回路(図示せず)から、i列目の信号線(Si)を介して画素11にビデオ信号データ電流 I_w が入力される。

【0082】

トランジスタ111～113がオンすると、トランジスタ117～120は、ドレインと

50

ゲートが短絡されたダイオード接続状態となる。すなわち画素 11 は、並列な 4 つのダイオードと回路的に等価となる。この状態で画素 11 の電源線 (Vi) と信号線 (Si) の間に、電流 I_w を流す (図 5 (A) を参照)。

【0083】

並列な 4 つのダイオードを流れる電流 I_w が定常状態になった後、第 1 走査線 (Gaj) を高電位 (H レベル) にする。するとトランジスタ 111 ~ 113 はオフとなり、ビデオ信号データ電流 I_w が画素に記憶される。

【0084】

続いて第 1 走査線 (Gaj) が高電位 (H レベル) となると、p チャネル型のトランジスタ 111 ~ 115 がオフとなり、n チャネル型のトランジスタ 116 がオンとなる。トランジスタ 117 ~ 120 は直列状態に接続が組みかえられる。このときトランジスタ 120 が飽和領域で動作するように予め電圧条件を設定しておく、駆動用素子は自発光素子に定電流 I_E を供給する。

10

【0085】

定電流 I_E の値は、ビデオ信号データ電流 I_w の約 1/6 分の 1 の大きさである。本実施の形態では、駆動用素子は 4 つトランジスタにより構成されているためである。より一般的に、駆動用素子が n 個のトランジスタにより構成されている場合には、電流 I_E は、ビデオ信号データ電流 I_w の約 n^2 分の 1 の大きさとなる。

【0086】

このように本実施の形態では、書込みデータ電流 I_w を自発光素子駆動電流 I_E の約 1/6 倍と、大きな値にすることができる。そのため寄生容量等のために、自発光素子駆動電流 I_E 程度の微小電流を、直接速やかに画素に書込むことが難しい場合であっても、ビデオ信号データ電流 I_w を画素に書込むことが可能となる。

20

【0087】

なお本実施の形態は、中間階調表現の方法として、アナログビデオ方式を採っていてもよいし、デジタルビデオ方式を採っていてもよい。アナログビデオ方式の場合、ビデオ信号データ電流として、アナログ的に変化するデータ電流 I_w を用いる。デジタルビデオ方式の場合は、一つのデータ電流 I_w のみを基準のオン電流として単位輝度を用意する。そして、単位輝度を時間的に足し合わせて階調表現する、時間階調法を用いるのが便利である (デジタル時間階調法)。あるいは、単位輝度を面積的に足し合わせて階調表現する面積階調法や、時間階調法と面積階調法を組み合わせる方法で、デジタルビデオ方式を行うこともできる。

30

【0088】

また本実施の形態において、アナログビデオ方式、デジタルビデオ方式いずれを採用したとしても、ビデオ信号データ電流 I_w を 0 とする場合が必要となることがある。しかしビデオ信号データ電流 I_w を 0 とする場合は、自発光素子の発光輝度を 0 とするということであるから、 I_w を画素に正確に書込み記憶させる必要はない。したがって、この場合には駆動用素子のトランジスタ 117 ~ 120 がオフとなるようなゲート電圧を、直接信号線 (Si) に出力してもよい。すなわち例外的に、ビデオ信号を電流値でなく、電圧値で出力してもよい。

40

【0089】

次に、発光停止動作について説明する。

【0090】

まず画素 11 の周囲に設けられた別の走査線駆動回路 (図示せず) から出力される信号によって、j 行目の第 2 走査線 (Gbj) が選択される。すなわち、第 2 走査線 (Gbj) に低電位 (L レベル) 信号が出力される。p チャネル型のトランジスタ 122 は、ゲート電極が低電位 (L レベル) となるためにオン状態となる。

【0091】

するとトランジスタ 117 のソースとゲートが短絡され、オフとなる。その結果、自発光素子 121 への電流供給は遮断され、発光は停止する。

50

【 0 0 9 2 】

このような発光停止動作を利用することによって、自発光素子 1 2 1 の発光時間を、1 列走査時間の制約を受けずに、任意に制御できるが可能となる。その大きな利点として、まず中間階調表現を時間階調方式により表現することが容易となることがある。また中間階調表現をアナログ的なビデオ信号データ電流を用いることで表現する場合であっても、ホールド型ディスプレイ特有の動画ボケを防止するために、インパルス型の発光を行うこと等に利点がある。

【 0 0 9 3 】

(実施の形態 3)

実施の形態 3 では、本発明の表示装置、発光装置における画素の平面レイアウト (上面図) 例を提示する。本例の画素回路は、図 3 (B) に示した画素回路である。

10

【 0 0 9 4 】

図 6 には、j 行 i 列目の画素 1 1 を示す。図 6 において、二点破線で囲んだ領域が画素 1 1 に相当する。点模様の領域は、ポリシリコン膜である。右上り斜線と右下り二重斜線は、それぞれ別の層の導電体膜 (金属膜等) である。バツ印は層間の接触点を示す。そして、チェック模様の領域 8 6 は自発光素子 8 4 の陽極に相当する。

【 0 0 9 5 】

第 1 走査線 (Gaj) 下には、トランジスタ 7 1 ~ 7 5、8 5 が形成されている。第 2 走査線 (Gbj) 下には、トランジスタ 7 6 ~ 7 9 が形成されている。電源線 (Vi) の下に容量素子 8 3 が形成されている。

20

【 0 0 9 6 】

駆動用素子を構成する 3 つのトランジスタ 8 0 ~ 8 2 は同サイズに揃えて互いに隣接させて形成されている。これにより最初から、同一画素内におけるトランジスタ 8 0 ~ 8 2 間のバラつきが、大きくなりにくくすることはできる。本発明の構成である「並列書込み直列駆動」は、駆動用素子を構成する複数のトランジスタ間に元々存在するバラツキの影響を、さらに小さくする手法である。したがって、当初からバラつきが抑えられた複数のトランジスタを駆動用素子に用いるのであれば、本発明の効果を非常に大きく生かすことができ好ましい。自発光素子の発光輝度のバラつきは、さらに僅少となる。

【 0 0 9 7 】

なお本発明の表示装置、発光装置を作製する工程については、例えば、特開 2 0 0 1 - 3 4 3 9 3 3 等を参照できる。駆動用素子を構成する複数のトランジスタは、ソースとドレインについては対称的である方が好ましいが、対称的であることが必須というわけではない。

30

【 0 0 9 8 】

(実施の形態 4)

実施の形態 4 では、本発明の表示装置、発光装置の構成の例について図 7 を用いて説明する。画素内ではなく、装置の全体的な構成の例を説明する。

【 0 0 9 9 】

本発明の表示装置、発光装置は、基板 1 8 0 1 上に、複数の画素がマトリクス状に配置された画素部 1 8 0 2 を有する。画素部 1 8 0 2 の周辺部には、信号線駆動回路 1 8 0 3、第 1 の走査線駆動回路 1 8 0 4 及び第 2 の走査線駆動回路 1 8 0 5 が配置されている。信号線駆動回路 1 8 0 3 と、走査線駆動回路 1 8 0 4 及び 1 8 0 5 には、F P C 1 8 0 6 を介して、外部より電源、信号が供給される。

40

【 0 1 0 0 】

図 7 (A) の例においては、信号線駆動回路 1 8 0 3 と、走査線駆動回路 1 8 0 4 及び 1 8 0 5 が集積されているが、本発明はこれに限定されるものではない。例えば、第 2 の走査線駆動回路 1 8 0 5 を欠いていてもよい。あるいは、信号線駆動回路 1 8 0 3、走査線駆動回路 1 8 0 4 及び 1 8 0 5 を欠いていてもよい。

【 0 1 0 1 】

第 1 の走査線駆動回路 1 8 0 4 及び第 2 の走査線駆動回路 1 8 0 5 の例を、図 7 (B) を

50

用いて説明する。図 7 (B) では、走査線駆動回路 1 8 0 4 及び 1 8 0 5 はそれぞれ、シフトレジスタ 1 8 2 1、バッファ回路 1 8 2 2 を有している。

【 0 1 0 2 】

図 7 (B) の回路の動作を説明する。シフトレジスタ 1 8 2 1 は、クロック信号 (G - C L K)、クロック反転信号 (G - C L K b)、スタートパルス信号 (G - S P) に基づき、順次パルスを出力する。該パルスは、バッファ回路 1 8 2 2 で電流増幅された後、走査線に入力される。こうして走査線は、1 行ずつ順次選択状態となる。

【 0 1 0 3 】

なお必要に応じ、バッファ回路 1 8 2 2 内にレベルシフタを設置してもよい。レベルシフタにより、電圧振幅を変更することができる。

10

【 0 1 0 4 】

次いで、信号線駆動回路 1 8 0 3 の例を、図 7 (C) を用いて説明する。図 7 (C) に示す信号線駆動回路 1 8 0 3 は、シフトレジスタ 1 8 3 1、第 1 のラッチ回路 1 8 3 2、第 2 のラッチ回路 1 8 3 3、電圧電流変換回路 1 8 3 4 を有している。

【 0 1 0 5 】

図 7 (C) の回路の動作を説明する。図 7 (C) の回路は、中間階調表示方式として、デジタル時間階調法を採用した場合の回路である。

【 0 1 0 6 】

シフトレジスタ 1 8 3 1 は、クロック信号 (S - C L K)、クロック反転信号 (S - C L K b)、スタートパルス信号 (S - S P) に基づき、順次サンプリングパルスを第 1 のラッチ回路 1 8 3 2 に出力する。各列の第 1 のラッチ回路 1 8 3 2 は、該パルスのタイミングに従って、デジタルビデオ信号を順次読込む。第 1 のラッチ回路 1 8 3 2 において、最終列までビデオ信号の読込みが完了すると、第 2 のラッチ回路 1 8 3 3 にラッチパルスが入力される。ラッチパルスにより、各列の第 1 のラッチ回路 1 8 3 2 に読込まれていたビデオ信号は、一斉に各列の第 2 のラッチ回路 1 8 3 3 に転送される。第 2 のラッチ回路 1 8 3 3 に転送されたビデオ信号は、電圧電流変換回路 1 8 3 4 において、適宜形式変換処理され、画素へ転送される。ビデオ信号のうち、オンデータは電流形式に変換され、オフデータは電圧形式のまま電流増幅される。ラッチパルス後、シフトレジスタ 1 8 3 1、第 1 のラッチ回路 1 8 3 2 は、次行のビデオ信号読込み動作として、上記動作を繰り返す。

20

30

【 0 1 0 7 】

図 7 (C) の信号線駆動回路 1 8 0 3 の構成は 1 例であり、アナログ階調法を採用した場合には、別の構成にする。またデジタル時間階調法を採用した場合であっても、他の構成にすることはできる。

【 0 1 0 8 】

(実施の形態 5)

実施の形態 5 では、トランジスタの特性曲線 (図 8) を用いて、本発明の効果について説明する。説明を簡単にするため、駆動用素子を構成するトランジスタに個数が、2 個の場合を例に説明する。画素回路構成としては、図 2 (B) のとおりであるとする。またここで用いるトランジスタの特性曲線は、簡単にするため理想的なものとしてあり、実際のトランジスタとは若干の差異がある。例えば、チャンネル長変調はゼロとしてある。

40

【 0 1 0 9 】

トランジスタのソースの電位を基準として、ゲートの電位を V_g 、ドレインの電位を V_d 、ソースドレイン間に流れる電流を I_d とする。ただし、正負の向きは適宜設定してある (トランジスタが p チャンネル型のときは、正負を入替える等)。図 8 (A) (B) において、曲線 8 0 1 ~ 8 0 4 は、ある一定のゲート電位 V_g 下における $I_d - V_d$ 特性曲線である。一点鎖太曲線 8 0 5 は、駆動用素子を構成する 2 個のトランジスタの一方について、ゲートとドレインを短絡することにより、 V_g と V_d とを等しくした条件下での $I_d - V_d$ 変化を示したものである。すなわち、一点鎖太曲線 8 0 5 には、該トランジスタ固有の電気的特性 (電界効果移動度、しきい電圧値) が反映されている。同様に、二点鎖太曲線 8 0 6 は

50

、駆動用素子を構成する他の一方のトランジスタについて、ゲートとドレインを短絡することにより、 V_g と V_d とを等しくした条件下での I_d - V_d 変化を示したものである。

【0110】

図8(A)(B)は、駆動用素子を構成する2個のトランジスタが各々異なった電気的特性をもっている場合に、本発明の構成である「並列書込み直列駆動」により、自発光素子駆動電流がどうなるかを、図的に調べたものである。図8(A)は、2個のトランジスタ間において特に、電界効果移動度の違いが大きい場合の例である。図8(B)は、2個のトランジスタ間において特に、しきい電圧値の違いが大きい場合の例である。結論としては、各場合で自発光素子駆動電流は、807の三角矢印の長さで示されるとおりとなる。これについて、以下に簡単に説明する。

10

【0111】

まず、トランジスタ38、39の特性曲線として、いずれも等しく、一点鎖太曲線805が対応する場合を考える。

【0112】

データ電流書込み時には、図2(B)のトランジスタ31~36がオンとなる。トランジスタ31~34がオンとなることから、駆動用素子を構成する2個のトランジスタ38、39では、ゲートとドレインが短絡される。よってトランジスタ38、39の動作点は、一点鎖太曲線805上の点であり、データ電流値 I_w により決まるある一点である。いま、該動作点が805と801の交点としておく。つまり805と801の交点の縦軸値 I_d の2倍が、データ電流値 I_w であるとしておく。

20

【0113】

自発光素子発光時には、図2(B)のトランジスタ31~36がオフとなり、トランジスタ37、42がオンとなる。トランジスタ31~34がオフとなることから、トランジスタ38、39のゲート電位は、データ電流書込み時のままで保持される。そして自発光素子発光時には、トランジスタ39が飽和領域で動作し、トランジスタ38が非飽和領域で動作する。自発光素子発光時における、トランジスタ38の I_d - V_d 曲線は801で表され、トランジスタ39の I_d - V_d 曲線は803で表される。

【0114】

図8(A)上で、各一点鎖線矢印は、長さで縦軸座標は等しい。自発光素子発光時における、トランジスタ38の動作点は、左側の一点鎖線矢印の右端と801との接点である。そして求めるべき自発光素子駆動電流 I_E は、一点鎖線矢印の縦軸座標、すなわち、807の実線三角矢印の長さである。なお図8(B)上でも同様の事情が成立し、求めるべき自発光素子駆動電流 I_E は807の実線三角矢印の長さである。トランジスタ38の特性曲線とトランジスタ39の特性曲線が、いずれも等しい場合には、結果的には求めるべき自発光素子駆動電流 I_E は、データ電流値 I_w の4分の1の大きさとなる。

30

【0115】

次に、トランジスタ38の特性曲線として二点鎖太曲線806が対応し、トランジスタ39の特性曲線として一点鎖太曲線805が対応する場合を考える。データ電流値 I_w は、上で述べたトランジスタ38、39の特性曲線としていずれも805が対応する場合と、同一とする。

40

【0116】

データ電流書込み時には、図2(B)の駆動用素子を構成する2個のトランジスタ38、39では、ゲートとドレインが短絡される。よってトランジスタ38の動作点は二点鎖太曲線806上の点であり、トランジスタ39の動作点は一点鎖太曲線805上の点である。そして、トランジスタ38の動作点の縦軸座標と、トランジスタ39の動作点の縦軸座標との和は、データ電流値 I_w である。よってトランジスタ38の動作点は、806と802の交点となる。トランジスタ39の動作点は、トランジスタ38の動作点と横軸座標が等しい、曲線805上の点となる。

【0117】

自発光素子発光時には、図2(B)のトランジスタ31~34がオフとなることから、ト

50

ランジスタ 38、39 のゲート電位は、データ電流書込み時のままで保持される。そして自発光素子発光時には、トランジスタ 39 が飽和領域で動作し、トランジスタ 38 が非飽和領域で動作する。自発光素子発光時における、トランジスタ 38 の $I_d - V_d$ 曲線は 802 で表される。

【0118】

図 8 (A) 上で、同縦軸座標値にある各二点鎖線矢印は、長さが等しい。上の二点鎖線矢印の組が、いま検討している、トランジスタ 38 の特性曲線として二点鎖太曲線 806 が対応し、トランジスタ 39 の特性曲線として一点鎖太曲線 805 が対応する場合である。自発光素子発光時における、トランジスタ 38 の動作点は、左側の該二点鎖線矢印の右端と 802 との接点である。そして求めるべき自発光素子駆動電流 I_E は、該二点鎖線矢印の縦軸座標、すなわち、807 の長点線三角矢印（左側）の長さである。なお図 8 (B) 上でも同様の事情が成立し、求めるべき自発光素子駆動電流 I_E は、807 の長点線三角矢印（左側）の長さである。

10

【0119】

また別の場合として、トランジスタ 38 の特性曲線として一点鎖太曲線 805 が対応し、トランジスタ 39 の特性曲線として二点鎖太曲線 806 が対応する場合の検討も、同様に行うことができる。詳しく述べないが、結果的には図 8 (A) (B) とともに、求めるべき自発光素子駆動電流 I_E は、807 の長点線三角矢印（右側）の長さとなる。

【0120】

さらに別の場合として、トランジスタ 38、39 の特性曲線として、いずれも二点鎖太曲線 805 が対応する場合の検討も、同様に行うことができる。結果的には図 8 (A) (B) とともに、求めるべき自発光素子駆動電流 I_E は、807 の短点線三角矢印の長さとなる。

20

【0121】

図 8 (A) (B) における、807 の三角矢印の長さから、駆動用素子を構成するトランジスタ 38、39 の特性がバラつきが、自発光素子駆動電流 I_E にどのように反映されるかの概略をみることができる。

【0122】

比較のために、図 8 (A) (B) には 808 の狭角矢印、809 の広角矢印も掲載してある。808 の狭角矢印は、電流入力方式でカレントミラー型を用いる画素回路の場合において、上記と同様の検討を行った結果である。すなわち、カレントミラーの二つのトランジスタ間に、上記と同様の特性バラつきが存在したとき、自発光素子駆動電流 I_E がどうなるかを示している。809 の広角矢印は、電圧入力方式の画素回路の場合において、同様の検討を行った結果である。すなわち、異なる画素の自発光素子駆動トランジスタ間に、上記と同様の特性バラつきが存在したとき、自発光素子駆動電流 I_E がどうなるかを示している。

30

【0123】

図 8 (A) (B) の 807 の三角矢印、808 の狭角矢印、809 の広角矢印を比較から、次の点がわかる。

【0124】

まず、807 の三角矢印、808 の狭角矢印では、同一画素内の二つのトランジスタ間にさえ特性バラつきがない限りは、トランジスタの特性曲線が 805 でも 806 でも、自発光素子駆動電流 I_E は一定となる。すなわち、電流入力方式でカレントミラー型を用いる画素回路でも、本発明の「並列書込み直列駆動」の画素回路でも、基板全体でトランジスタの特性を一定に揃える必要はなく、同一画素内の二つのトランジスタ間の特性バラつきさえ、抑制すれば十分である。この点は、電圧入力方式の画素回路に対して非常に優位である。

40

【0125】

しかし、同一画素内の二つのトランジスタ間の特性バラつきが存在すると、808 の狭角矢印では、自発光素子駆動電流 I_E のバラつきが大きくなる。すなわち、電流入力方式でカレントミラー型を用いる画素回路では、同一画素内の二つのトランジスタ間の特性バラ

50

つきの影響が激しく現れてしまう。極端な場合では、電圧入力方式の画素回路よりも、自発光素子駆動電流 I_E のバラつきが大きくなる危険がある。この点、本発明の「並列書込み直列駆動」の画素回路では、同一画素内の二つのトランジスタ間の特性バラつきの影響が、かなり抑制されている。現実の表示装置、発光装置では、トランジスタの特性バラつきは、同一画素内よりも基板全体にわたるものの方が深刻である。したがって同一画素内の二つのトランジスタ間の特性バラつきは、本発明の「並列書込み直列駆動」の画素回路なみに抑制されれば、実用上はほとんど問題がなくなる。

【0126】

この実施の形態5では、駆動用素子を構成するトランジスタに個数が、2個の場合を例に、本発明の効果について説明した。しかし、駆動用素子を構成するトランジスタに個数が、3個以上の場合においても同様の事情が成立する。

10

【0127】

(実施の形態6)

実施の形態6では、本発明の表示装置、発光装置を搭載した電子機器等を、いくつか例示する。

【0128】

本発明の表示装置、発光装置を搭載した電子機器として、モニター、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(オーディオコンポ、カーオーディオ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置(具体的にはDigital Versatile Disc(DVD)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。特に、斜め方向から画面を見る機会が多い電子機器については、視野角の広さが重要視されるため、発光装置を用いることが望ましい。それら電子機器の具体例を図9に示す。

20

【0129】

図9(A)はモニターである。この例は筐体2001、支持台2002、表示部2003、スピーカー部2004、ビデオ入力端子2005等を含んでいる。本発明の表示装置、発光装置は表示部2003に用いることができる。発光装置は自発光型であるためバックライトが不要であり、液晶ディスプレイよりも表示部を薄くすることができる。なおモニターには、パソコン用、TV放送受信用、広告表示用などのすべての情報表示装置が含まれる。

30

【0130】

図9(B)はデジタルスチルカメラである。この例は本体2101、表示部2102、受像部2103、操作キー2104、外部接続ポート2105、シャッター2106等を含んでいる。本発明の表示装置、発光装置は表示部2102に用いることができる。

【0131】

図9(C)はノート型パーソナルコンピュータである。この例は本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポインティングマウス2206等を含んでいる。本発明の表示装置、発光装置は表示部2203に用いることができる。

40

【0132】

図9(D)はモバイルコンピュータである。この例は本体2301、表示部2302、スイッチ2303、操作キー2304、赤外線ポート2305等を含んでいる。本発明の表示装置、発光装置は表示部2302に用いることができる。

【0133】

図9(E)は記録媒体を備えた携帯型の画像再生装置(具体的にはDVD再生装置)である。この例は本体2401、筐体2402、表示部A2403、表示部B2404、記録媒体(DVD等)読込み部2405、操作キー2406、スピーカー部2407等を含んでいる。本発明の表示装置、発光装置は、表示部A2403、表示部B2404に用いる

50

ことができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0134】

図9(F)はゴーグル型ディスプレイ(ヘッドマウントディスプレイ)である。この例は本体2501、表示部2502、アーム部2503等を含んでいる。本発明の表示装置、発光装置は表示部2502に用いることができる。

【0135】

図9(G)はビデオカメラである。この例は本体2601、表示部2602、筐体2603、外部接続ポート2604、リモコン受信部2605、受像部2606、バッテリー2607、音声入力部2608、操作キー2609等を含んでいる。本発明の表示装置、発光装置は表示部2602に用いることができる。

10

【0136】

図9(H)は携帯電話である。この例は本体2701、筐体2702、表示部2703、音声入力部2704、音声出力部2705、操作キー2706、外部接続ポート2707、アンテナ2708等を含んでいる。本発明の表示装置、発光装置は表示部2703に用いることができる。なお、表示部2703は黒色背景に白色文字を表示することで、携帯電話の消費電力を抑制することができる。

【0137】

将来に自発光素子の発光輝度を安定的に高くすることが可能となれば、本発明の表示装置、発光装置から出力した画像情報を含む光をレンズ等で拡大投影して、フロント型又はリア型のプロジェクターに用いることもできる。

20

【0138】

このように、本発明の適用範囲は極めて広く、あらゆる分野の電子機器等に使用することが可能である。

【0139】

【発明の効果】

本発明はAM型表示装置、発光装置において、各画素に設置される駆動用素子を複数のトランジスタにより構成する。その上で、画素にデータ電流を読込むときには該複数のトランジスタを並列接続状態にし、自発光素子を発光させるときには該複数のトランジスタを直列接続状態にする。このように、駆動用素子を構成する複数のトランジスタの接続状態を、並列または直列と適宜切替えることを特徴とする。その結果、次のような効果が生じる。

30

【0140】

まず、同一画素内の駆動用素子を構成する複数のトランジスタさえ、バラつきがなければ、表示画面全体で発光輝度のムラが現れてしまうという、表示品位上の重大な欠陥を回避することができる。すなわち、各画素に設置されるトランジスタの電気的特性は、基板全体にわたって観察すると、かなりのバラつきをもつ。このバラつきが自発光素子駆動電流 I_E に反映されて、表示画面全体で発光輝度のムラとなってしまうのを防止することができる。ただし、図10(A)のようなカレントミラーを用いた画素回路の場合においても、同一画素内のカレントミラーの二つのトランジスタさえバラつきがなければ、表示画面全体で発光輝度のムラとなるのを防止することができる。この点で本発明は、図10(A)のようなカレントミラーを用いた画素回路の場合と同様の効果を有する。

40

【0141】

しかし、図10(A)のようなカレントミラーを用いた画素回路の場合、同一画素内のカレントミラーの二つのトランジスタ間にバラつきが存在してしまうと、結局発光輝度が画素間で異なってしまうのを防止することができなくなる。その点、本発明の場合では、同一画素内の駆動用素子を構成する複数のトランジスタ間にバラつきが存在しても、その影響は小さく抑制されるため、実用上問題となるほど画素間で発光輝度がバラついてしまうことは防止することができる。

【0142】

50

また、図10(B)の画素回路の場合、画素間で発光輝度がバラついてしまうのは防止することができる。しかし、図10(B)の画素回路の場合には、画素に書込むデータ電流 I_W と、自発光素子を発光させるときの自発光素子駆動電流 I_E との比が、同一値でなくてはならない。これは実用上、非常に厳しい制限である。本発明の場合では、駆動用素子を構成するトランジスタを複数に分割するため、画素に書込むデータ電流 I_W を自発光素子駆動電流 I_E よりも大きくすることが可能である。

【0143】

本発明は以上のような利点を有することから、実用的なAM型表示装置、発光装置を製造する上で、重要な技術である。

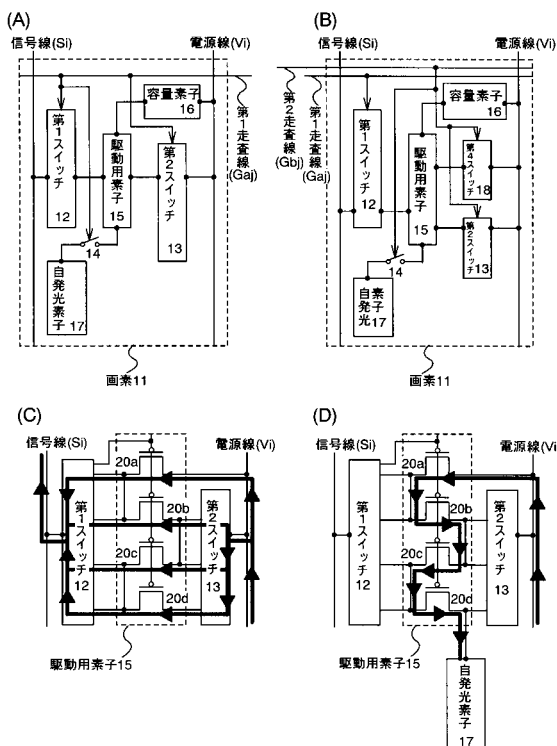
【図面の簡単な説明】

- 【図1】 本発明の表示装置、発光装置の画素を示す図。
- 【図2】 本発明の表示装置、発光装置の画素を示す図。
- 【図3】 本発明の表示装置、発光装置の画素を示す図。
- 【図4】 本発明の表示装置、発光装置の画素を示す図。
- 【図5】 本発明の表示装置、発光装置の画素における電流の経路を示す図。
- 【図6】 本発明の表示装置、発光装置の画素の平面レイアウトを示す図。
- 【図7】 本発明の表示装置、発光装置を示す図。
- 【図8】 駆動用素子を構成するトランジスタの特性を示す図。
- 【図9】 本発明の表示装置、発光装置を適用した電子機器を示す図。
- 【図10】 公知の表示装置、発光装置の画素を示す図。

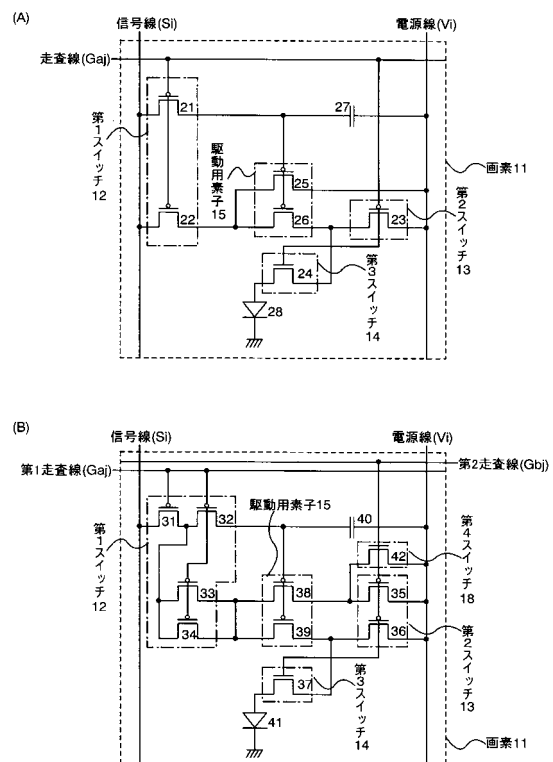
10

20

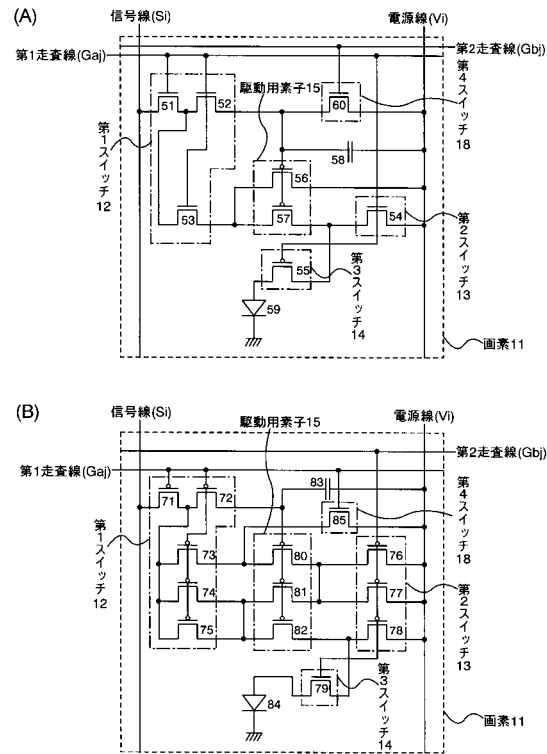
【図1】



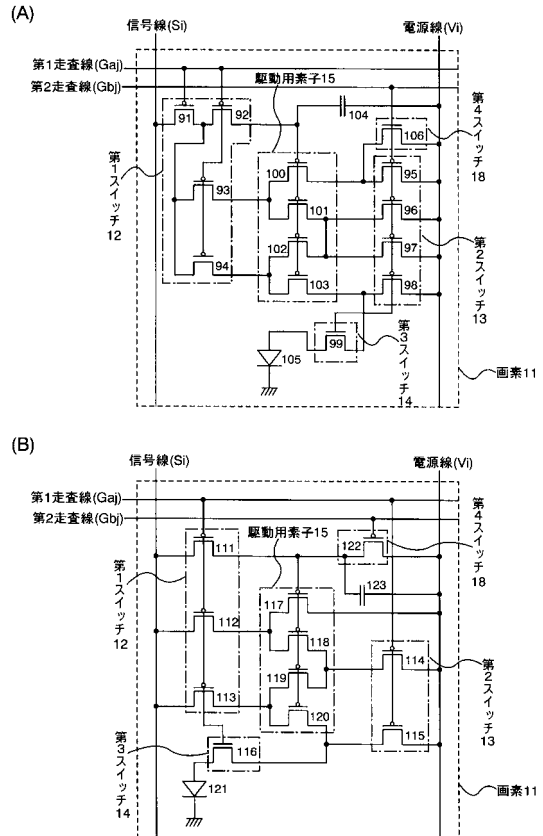
【図2】



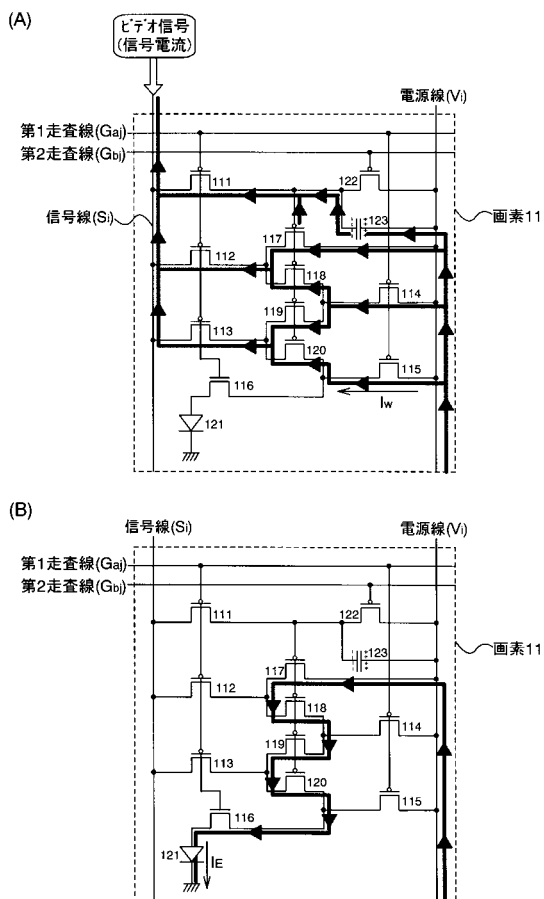
【図 3】



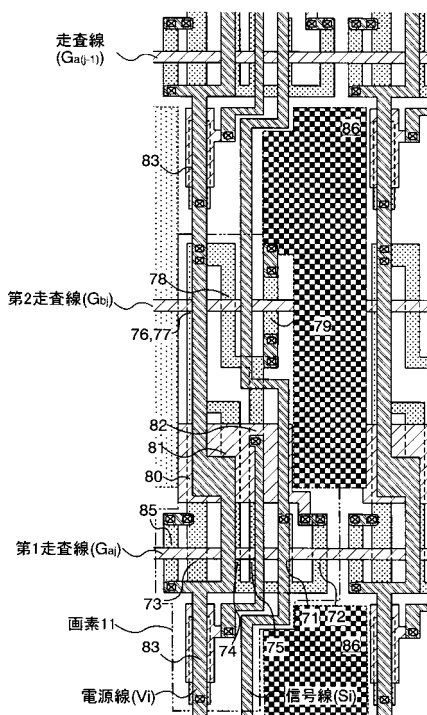
【図 4】



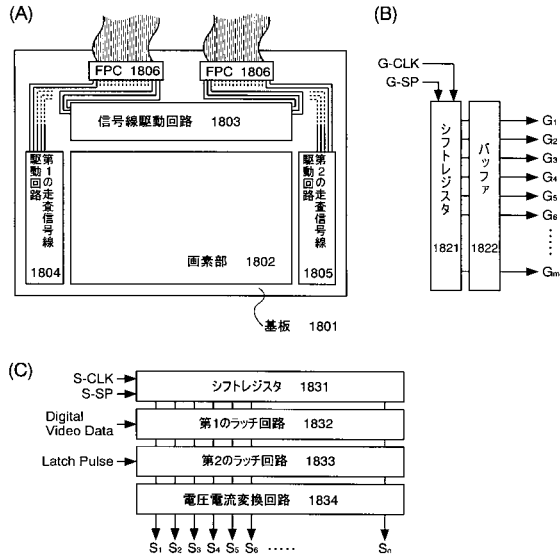
【図 5】



【図 6】

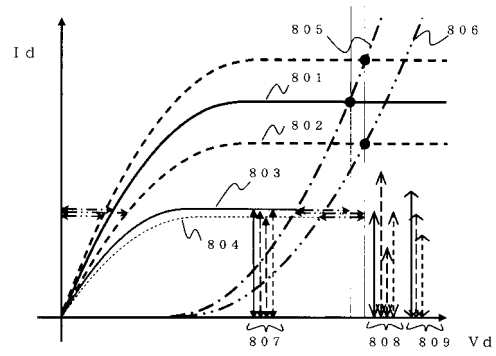


【図 7】

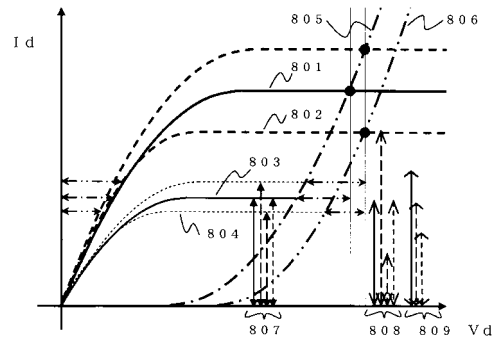


【図 8】

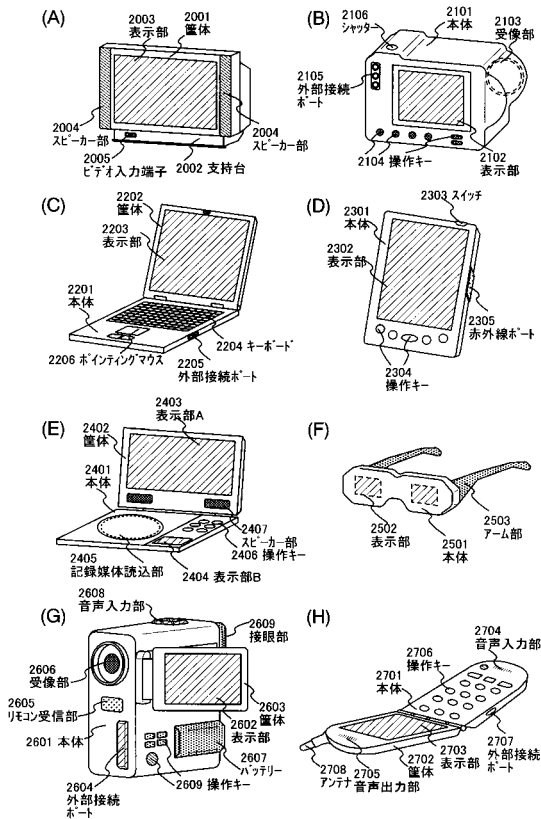
(A) キャリヤ移動度のばらつきが大きい例



(B) しきい値のばらつきが大きい例



【図 9】



【図 10】

