

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ G06F 13/00 H04M 3/00		(45) 공고일자 (11) 등록번호 (24) 등록일자	1998년 12월 15일 특0164101 1998년 09월 10일
(21) 출원번호 (22) 출원일자	특 1994-033805 1994년 12월 12일	(65) 공개번호 (43) 공개일자	특 1996-024998 1996년 07월 20일
(73) 특허권자	재단법인한국전자통신연구소 양승택 대전직할시 유성구 가정동 161한국전기통신공사 조백제 서울시 종로구 세종로 100번지		
(72) 발명자	정철형 대전시 유성구 어은동 한빛아파트 120-705 윤용섭 대전시 유성구 어은동 한빛아파트 125-806호 강성수 대전시 유성구 신성동 한울아파트 109-1001 박해천, 엄주석		
(74) 대리인	박해천, 엄주석		

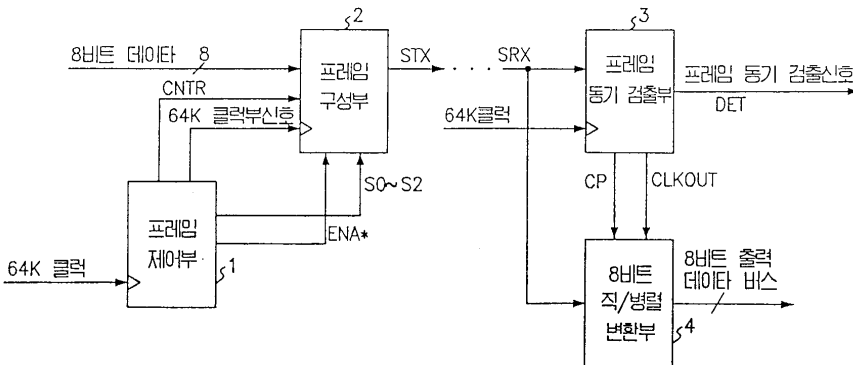
심사관 : 오홍수

(54) 광 케이블 텔레비전 전송망에서의 가입자 접속/단말 장치간 통신을 위한 신호 프레임 통신장치

요약

본 발명은 프레임 제어수단(1)과, 프레임 구성수단(2)과, 프레임 동기 검출수단(3)과, 제1 직/병렬 변환 수단(4)을 구비하는 것을 특징으로 하여, 범용 로직 게이트를 이용하여 64Kb/s 신호 프레임을 구성함으로써 직렬 64Kb/s 채널을 이용하여 8비트 데이터를 송수신할 수 있고, 이에 따라 전체 회로의 단순화를 기할 수 있어 시스템의 유지, 보수, 관리를 용이하게 할 수 있는 특유의 효과가 있는 64Kb/s 신호 프레임 통신장치에 관한 것이다.

대표도



명세서

[발명의 명칭]

광 케이블 텔레비전 전송망에서의 가입자 접속/단말 장치간 통신을 위한 신호 프레임 통신장치

[도면의 간단한 설명]

제1도는 본 발명에 따른 64Kb/s 신호 프레임 통신장치의 일 실시예 블록 구성도.

제2도는 제1도의 프레임 제어부의 일 실시예 회로도.

제3도는 제2도의 프레임 제어부의 동작 타이밍도.

제4도는 제1도의 프레임 구성부의 일 실시예 회로도.

제5도는 제4도의 프레임 구성부의 동작 타이밍도.

제6도는 제1도의 프레임 동기 검출부의 일 실시예 회로도.

제7도는 제1도의 8비트 직/병렬 변환부의 일 실시예 회로도.

제8도는 제6도의 프레임 동기 검출부 및 제7도의 8비트 직/병렬 변환부의 동작 타이밍도.

★ 도면의 주요부분에 대한 부호의 설명

1 : 프레임 제어부	2 : 프레임 구성부
3 : 프레임 동기 검출부	4 : 8비트 직/병렬 변환부
11 : 신호발생부	12 : 분주부
13 : 4:1 다중화부	21 : 버퍼
22 : 병/직렬 변환부	23 : 프레임신호 발생부
24, 42 : 데이터 래치부	31, 41 : 직/병렬 변환부
32 : 프레임 동기 검출신호 출력부	33 : 클럭 분주부
34 : 데이터 버퍼 쓰기 클럭 발생부	35 : 8비트 직/병렬 변환 클럭 생성부

[발명의 상세한 설명]

본 발명은 6464Kb/s 신호 프레임 통신장치에 관한 것으로, 특히 광 케이블 텔레비전(CATV) 전송망에서 64Kb/s 데이터 채널을 이용하여 가입자 접속/단말장치간 시그널링(signaling) 및 유지보수 데이터를 고정 바이트로 통신하기 위한 프레임을 발생하는 신호 프레임 통신장치에 관한 것이다.

일반적으로, 데이터 통신을 위한 기술은 N바이트 데이터 통신 상용칩(예를 들어, 모토롤사 제품의 MC68606 LAPD Protocol Controller)을 이용하였다. 그리고, 이러한 상용칩에 정보 데이터를 전송하기 위하여 이용되는 프레임은, 프레임의 시작과 종료를 알리는 플래그, 통신 노드간 소스 및 목적지 어드레스, 흐름 제어신호, 그리고 에러 체크를 위한 CRC(Cyclic Redundancy Check) 생성 및 체크 등으로 구성되었다. 따라서, 이와 같은 구조를 갖는 프레임이 이용되는 상용칩을 운용하기 위해서는 소프트웨어 및 마이크로 프로세서가 반드시 필요하였다. 또한, 종래에는 광 CATV 전송 가입자 접속/단말장치간 데이터 전송은 N-Byte 통신용 상용칩을 이용하였다.

그러나, 종래의 광 CATV 전송 가입자 접속/단말장치에 이용되는 N바이트 데이터 통신칩은, 소프트웨어 및 마이크로 프로세서 기능이 부가되어 구성과 동작이 복잡하였고, 또한 칩의 가격이 너무 비싸서 가입자 맥 내에 구비시키기가 너무 부담스러울 뿐만 아니라, 시스템의 유지, 보수 및 관리 등이 어려운 문제점이 있었다.

따라서, 본 발명은 상기한 바와 같은 문제점을 해결하기 위하여 안출된 것으로서, 광 CATV 망에서 사용되는 155Mb/s의 광 CATV 신호 중에서 채널 선택을 위한 시그널링 및 맥내장치의 운용상태를 보여주는 유지보수 데이터를 64Kb/s 데이터 채널에 수용하여 전달하기 위해서, 64Kb/s 속도를 갖는 고정-바이트(Fixed-Byte) 통신을 위한 독자적인 전송 프레임을 구성하여 데이터를 전송함으로써, 전체 회로를 단순화시킬 수 있고, 이에 따라 시스템의 유지보수 및 관리를 용이하게 할 수 있는 64Kb/s 신호 프레임 통신장치를 제공하는데 그 목적이 있다.

상기 목적을 달성하기 위한 본 발명은, 외부로부터 소정의 클럭을 입력받아 프레임 동기신호, 병/직렬 변환을 위한 제어신호를 제공하는 프레임 제어수단; 상기 프레임 제어수단에 의해 제어되어, 외부로부터 입력된 소정의 데이터를 이용해 프레임을 구성하여 64Kb/s 프레임신호를 출력하는 프레임 구성수단; 상기 소정의 클럭에 따라, 상기 64Kb/s 프레임신호를 입력받아, 데이터 직/병렬 변환을 위한 제1클럭 및 병렬 데이터 버퍼 쓰기를 위한 제2클럭을 제공하고, 상기 소정의 프레임신호로부터 검출한 프레임 동기 검출신호를 외부로 출력하는 프레임 동기 검출수단; 및 상기 제1 및 제2클럭에 따라, 상기 64Kb/s 프레임신호를 병렬로 변환하는 제1직/병렬 변환수단을 포함한다.

본 발명은 광 CATV망에서 가입자 접속장치와 단말장치간에 64Kb/s 데이터 통신 채널이 확보되어 있기 때문에, 이 64Kb/s 프레임을 생성하여 데이터를 처리할 수 있도록 하였으며, 또한 본 발명에 이용되는 가입자 접속/단말장치간에 채널 선택 정보 및 유지보수 데이터는 고정된 정보이므로, 본 발명에서는 1바이트로 구성하여 송신측에서 제안된 64Kb/s 프레임에 프레임 동기신호와 정보 데이터를 수용하고, 수신측에서 프레임 동기신호로부터 데이터의 최상위 비트 위치 정보를 하드웨어적으로 검출하고, 이를 이용하여 정보 데이터를 추출할 수 있도록 하였다. 이와 같이, 기존의 N바이트 데이터 통신칩은 단순 로직 게이트를 이용한 본 발명의 통신장치에 비해서 소프트웨어를 통한 처리 기능이 추가됨으로써, 마이크로 프로세서가 필요하고, 또한 기존의 N바이트 데이터 통신칩이 고가이기 때문에, 광 CATV망에서 저가격으로 가입자 장치에 실장하여 운용되는 시스템으로 사용하기에 부적절한 문제점이 있었지만, 본 발명은 155Mb/s 신호 중 64Kb/s 데이터 채널에 독자적인 64Kb/s 프레임을 저가격의 로직 게이트로 만들어 소프트웨어 제어 없이 정보 데이터를 전송함으로써, 데이터 전송을 위한 기능을 충분히 만족하면서 저가격으로 데이터를 전송할 수 있도록 하였다.

이하, 제1도 내지 제8도를 참조하여 본 발명에 따른 바람직한 실시예를 상세히 설명한다.

제1도는 본 발명에 따른 프레임 통신장치의 일 실시예 블록 구성도이다.

제1도에 보인 바와 같이, 본 발명이 프레임 통신장치는, 프레임 제어부(1)와, 프레임 구성부(2)와, 프레임 동기 검출부(3)와, 8비트 직/병렬 변환부(4)를 구비한다.

프레임 제어부(1)는, 외부로부터 공급되는 64Kb/s 클럭을 이용하여 프레임 동기신호(CNTR), 프레임 구성부(2)에서 8비트 데이터를 64K 프레임 직렬신호(STX)로 변환하기 위한 8비트 병/직렬 변환 제어신호(SO

내지 S2)를 생성한다. 또한, 64Kb/s 프레임신호(STX)를 생성할 때 프레임 동기신호(CNTR) 발생 후, 8비트 병렬 데이터를 병렬/직렬 변환하기 위한 인에이블신호(ENA*)를 프레임 구성부(2)로 송신한다.

또한, 프레임 구성부(2)는, 8비트 데이터를 상기 프레임 동기신호(CNTR), 병/직렬 변환 제어신호(S0 내지 S2), 8비트 데이터 병/직렬 변환 인에이블신호(ENA*)를 이용하여 64Kb/s 프레임신호(STX)를 생성한다.

프레임 동기 검출부(3)는, 외부로부터 공급되는 64KHz 클럭을 이용하여 전송된 64Kb/s 프레임신호(SRX)로부터 프레임 동기신호를 검출하여 검출신호(DET) 및 8비트 데이터 직/병렬 변환을 위한 8비트 직/병렬 변환 클럭(CP), 병렬 8비트 데이터 버퍼 쓰기 클럭신호(CLKOUT)를 생성한다.

8비트 직/병렬 변환부(4)는, 상기 프레임 동기검출부(3)에서 출력되는 직/병렬 변환 클럭(CP), 병렬 8비트 데이터 버퍼 쓰기 클럭신호(CLKOUT)를 이용하여 상기 전송되어온 64Kb/s 프레임신호(SRX)를 재현성이 있도록 직/병렬 변환한다.

제2도는 제1도의 프레임 제어부의 일 실시예 회로도이다.

제2도에 도시한 바와 같이, 제1도의 프레임 제어부는, 신호발생부(11)와, 분주부(12)와, 4:1 다중부(13)를 구비한다.

신호발생부(11)는 4비트 카운터를 이용하여 구성하였다. 즉, 클럭 64KHz를 2분주한 32KHz, 4분주한 16KHz, 8분주한 8KHz, 16분주한 4KHz 클럭을 생성한다. 이 때, 클럭의 신호명은 다음과 같이 정의하였다. 64KHz 클럭은 CLK64K, 32KHz 클럭은 CLK32K 및 S0, 16KHz 클럭은 CLK16K 및 S1, 8KHz 클럭은 CLK8K 및 S2 그리고 4KHz 클럭은 CLK4K, C4K 및 반전 인에이블신호(ENA*)로 정의하였다.

분주부(12)는 신호발생부(11)로부터 입력된 16KHz 클럭(CLK16K)을 분주한, 2분주 클럭(QA)과 4분주 클럭(QB)을 4:1 다중화부(13)로 출력한다.

4:1 다중화부(13)는 신호발생부(11) 및 분주부(12)의 출력신호를 이용하여 프레임 동기값(0xe8)을 갖는 프레임 동기신호를 발생시킨다. 즉, 신호발생부(11)로부터 출력된 32KHz 클럭신호(CLK32K) 및 4KHz 반전 클럭신호(CLK4K*)를 이용하여, 분주부(12)의 출력신호인 QA 및 QB가 각각 반전된 QA* 및 QB*를 데이터 입력포트(C1,C0)들에 연결함으로써 4KHz 주기를 갖는 프레임 동기신호(CNTR)를 발생한다.

제3도는 제2도의 프레임 제어부의 동작 타이밍도이다.

제3도에 나타낸 것처럼, 프레임 제어부(1)에서 발생하는 제어 신호는 제3도와 같이, 동작신호로서 64KHz 클럭신호(CLK64K)를 입력하고, 입력신호로서 4KHz 클럭신호(CLK4K)를 입력하면, 프레임 제어부(1)는 입력신호인 4KHz 클럭신호(CLK4K)의 하이 구간에서 프레임 동기값(0xe8)을 갖는 프레임 동기신호(CNTR)를 발생한다.

제4도는 제1도의 프레임 구성부의 일 실시예 회로도이다.

제4도에 도시한 바와 같이, 제1도의 프레임 구성부는, 버퍼(21)와, 병/직렬 변환부(22)와, 프레임신호 발생부(23)와, 데이터 래치부(24)를 구비한다.

버퍼(21)는 8비트 데이터 값을 4KHz 클럭의 상승 에지(Rising Edge)를 이용하여 버퍼에 입력하는 단순 8비트 버퍼이다.

병/직렬 변환부(22)는 신호발생부(11)에서 발생한 제어신호인 S0, S1 및 S2와 상기 반전 인에이블신호(ENA*)를 이용하여 8비트 병렬 데이터를 직렬 데이터로 변환하는 회로로서, 이때 직렬 데이터는 4KHz 주기를 갖고 있으며, 8비트 데이터 속도는 32Kb/s이다.

프레임신호 발생부(23)는 프레임 동기신호 0xe8 및 병/직렬 변환부(22)의 출력인 32Kb/s 신호를 수용하는 회로로서, 4KHz 클럭신호(C4K)의 하이 구간에서 32Kb/s 데이터를 수용하며, 4KHz 클럭신호(C4K)의 로 구간에서 프레임 동기값(0xe8)을 갖는 프레임 동기신호(CNTR)를 수용하도록 구성된다. 즉, C4K와 32Kb/s 데이터를 입력받는 제1논리곱 게이트와, 4KHz 클럭신호(C4K)의 반전 신호인 4KHz 반전 클럭신호(C4K*)와 프레임 동기신호(CNTR)를 입력받는 제2논리곱 게이트와, 상기 제1 및 제2논리곱 게이트의 출력을 입력받는 논리합 게이트로 구성된다.

데이터 래치부(24)는 64Kb/s 프레임 신호를 64KHz 클럭의 폴링 에지(Falling Edge)로 클럭킹하여 데이터 신호(STX)를 송출하는 회로이다. 즉, 데이터 래치부(24)는 64KHz 클럭신호(CLK64K)의 반전신호인 64KHz 반전 클럭신호(CLK64K*)를 클럭신호로 하고, 프레임 수용부(23)의 출력을 래치하는 D-플립플롭으로 구성된다.

제5도는 제4도의 프레임 구성부의 동작 타이밍도이다.

제5도에서는, 제2도의 프레임 제어부로부터 출력된 제어신호인 S0, S1 및 S2와 4KHz 클럭신호(CLK4K)를 이용하여 64KHz 클럭의 폴링 에지에 클럭킹 데이터 신호(STX)의 동작 타이밍을 나타내었다. 여기서, 8비트 병렬 데이터는 일 예로 이진수 01011010(D7-D0)이다.

제6도는 제1도의 프레임 동기 검출부의 일 실시예 회로도이다.

제6도에 도시한 바와 같이, 제1도의 프레임 동기 검출부는, 직/병렬 변환부(31)와, 프레임 동기 검출신호 출력부(32)와, 클럭 생성부(33)와, 데이터 버퍼 쓰기 클럭 발생부(34)와, 8비트 직/병렬 변환 클럭 생성부(35)를 구비한다.

여기서, 직/병렬 변환부(31)는 전송된 64Kb/s 프레임 신호(SRX)를 클럭 64KHz인 CLK64K의 상승 에지에서 클럭킹하여 직/병렬 변환하는 회로이다.

또한, 프레임 동기 검출신호 출력부(32)는 프레임 동기값(0xe8)을 갖는 프레임 동기신호를 검출하는 회로로서 직/병렬 변환 데이터가 프레임 동기값(0xe8)을 갖으면, 프레임 동기 검출신호(DET)를 발생한다. 여기서 사용된 논리회로는 단지 0xe8을 검출하기 위한 회로일 뿐, 프레임 동기신호가 어떤 것인가에 따라 그

구성회로는 달라질 수 있다.

클럭 분주부(33)는 프레임 동기 검출신호에 동기된 제어신호를 발생하는 회로이다. 상기 검출신호(DET)를 이용하여 4비트 카운터를 0으로 로딩한 후, 클럭 64KHz의 상승 에지에 클럭킹 2분주신호인 C32K, 4분주신호인 C16K, 8분주신호인 C8K, 16분주신호인 C4K를 발생한다.

데이터 버퍼 쓰기 클럭 발생부(34)는 4입력 부정논리곱 게이트 및 D-플립플롭을 이용하여 입력 데이터를 클럭킹하기 위한 데이터 버퍼 쓰기 클럭신호(CLKOUT)를 발생시킨다. 즉, 상기 C32K, C16K, C8K, C4K를 입력받는 4입력 부정논리곱 게이트와, CLK64K를 클럭으로 하고 상기 4입력 부정논리곱 게이트의 출력을 래치하는 D-플립플롭으로 구성된다.

8비트 직/병렬 변환 클럭 생성부(35)는 C4K의 반전값(C4K*)과 CLK64K를 입력받는 2입력 논리곱 게이트를 이용하여서 8비트 직/병렬 데이터 변환 클럭시훈(CP)을 발생시킨다.

제7도는 제1도의 8비트 직/병렬 변환부의 일 실시예 회로도이다.

제7도에 보인 바와 같이, 제1도의 8비트 직/병렬 변환부는, 직/병렬 변환부(41)와, 데이터 래치부(42)를 구비한다.

여기서, 직/병렬 변환부(41)는 상기 제6도의 8비트 직/병렬 변환 클럭 발생부(35)로부터 발생된 직/병렬 변환 클럭신호(CP)를 이용하여 8비트 직/병렬 변환하는 회로이다.

또한, 데이터 래치부(42)는 상기 제6도의 데이터 버퍼 쓰기 클럭 발생부(34)에서 만들어진 출력 클럭신호(CLKOUT)를 이용하여 8비트 데이터를 버퍼링하는 회로이다.

제8도는 제6도의 프레임 동기 검출부 및 제7도의 8비트 직/병렬 변환부의 동작 타이밍도이다.

제8도에 나타난 바와 같이, 입력 데이터 신호(SRX)는 프레임 동기 신호0xe8에 0x5a 데이터를 수용한 64Kb/s 직렬 신호이다. 64KHz 클럭신호(CLK64K)의 상승 에지(Rising Edge)에서 직렬 데이터를 클럭킹하여서 프레임 동기신호 검출신호 DET를 발생하고, 이 검출신호(DET)와 동기된 직/병렬 변환 클럭신호(CP)를 이용하여 8비트 직/병렬 변환한 후, 병렬 8비트 데이터 버퍼 쓰기 클럭신호(CLKOUT)로 8비트 병렬 데이터를 클럭킹하여 버퍼에 입력한다. 이 버퍼 출력은 이진수로 01011010(Q7-Q0)로서 상기 제4도에서 입력한 D7-D0값과 동일한 값으로서 8비트 병렬 데이터를 64Kb/s 프레임에 수용한 64Kb/s 데이터 신호(SRX)로부터 8비트 병렬 데이터를 추출한다.

이상에서 설명한 바와 같이 본 발명의 프레임 통신장치는, 광 케이블 TV 신호인 155Mb/s 신호 중에서 채널 선택을 위한 시그널링 및 맥내 장치의 운용 상태를 보여주는 유지보수 데이터를 64Kb/s 데이터 1채널에 수용하여 전달하기 위해서 64Kb/s 속도를 갖는 고정 바이트 통신을 위한 독자적인 프레임을 구성하여 광 케이블 TV 망에서 데이터 전송 64Kb/s 전송 프레임으로 데이터를 전송함으로써, 데이터 N-바이트 통신용 상용칩을 사용함으로써, 불필요한 하드웨어 및 소프트웨어의 제어 없이 직접 하드웨어적으로 처리함으로써, 맥내 장치를 단순화시켜 가격을 현저하게 낮출 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1

외부로부터 소정의 클럭을 입력받아 프레임 동기신호, 병/직렬 변환을 위한 제어신호를 제공하는 프레임 제어수단; 상기 프레임 제어수단에 의해 제어되어, 외부로부터 입력된 소정의 데이터를 이용해 프레임을 구성하여 64Kb/s 프레임신호를 출력하는 프레임 구성수단; 상기 소정의 클럭에 따라, 상기 64Kb/s 프레임신호를 입력받아, 데이터 직/병렬 변환을 위한 제1클럭 및 병렬 데이터 버퍼 쓰기를 위한 제2클럭을 제공하고, 상기 소정의 프레임신호로부터 검출한 프레임 동기 검출신호를 외부로 출력하는 프레임 동기 검출수단; 및 상기 제1 및 제2클럭에 따라, 상기 64Kb/s 프레임신호를 병렬로 변환하는 제1직/병렬 변환수단을 포함하는 광 케이블 텔레비전 전송망에서의 가입자 접속/단말 장치간 통신을 위한 신호 프레임 통신장치.

청구항 2

제1항에 있어서, 상기 프레임 제어수단은, 상기 소정의 클럭을 여러 주기로 분주하여 상기 제어신호를 제공하는 신호발생수단; 상기 신호발생수단으로부터 출력된 클럭을 분주하기 위한 분주수단; 및 상기 신호 발생수단에 의해 제어되어, 상기 분주수단으로부터 출력된 분주클럭들을 다중화하여 상기 프레임 동기신호를 출력하는 다중화수단을 포함하는 광 케이블 텔레비전 전송망에서의 가입자 접속/단말 장치간 통신을 위한 신호 프레임 통신장치.

청구항 3

제1항에 있어서, 상기 프레임 구성수단은, 상기 프레임 제어수단에 의해 제어되어, 상기 소정의 데이터들을 저장하여 출력하는 저장수단; 상기 프레임 제어수단에 의해 제어되어, 상기 저장수단으로부터 출력된 병렬 데이터를 직렬 데이터로 변환하기 위한 병/직렬 변환수단; 상기 제어신호에 따라, 상기 프레임 동기신호와 상기 병/직렬 변환수단의 출력신호를 선택적으로 이용하여 상기 64Kb/s 프레임신호를 출력하는 프레임신호 발생수단; 및 상기 소정의 클럭에 따라, 상기 64Kb/s 프레임신호를 래치시키기 위한 래치수단을 포함하는 광 케이블 텔레비전 전송망에서의 가입자 접속/단말 장치간 통신을 위한 신호 프레임 통신장치.

청구항 4

제3항에 있어서, 상기 병/직렬 변환수단은, 그 출력인 직렬 데이터가 4KHz 주기를 갖도록 구성되고, 데이터 속도가 32Kb/s가 되도록 구성되는 것을 특징으로 하는 광 케이블 텔레비전 전송망에서의 가입자 접속/단말 장치간 통신을 위한 신호 프레임 통신장치.

청구항 5

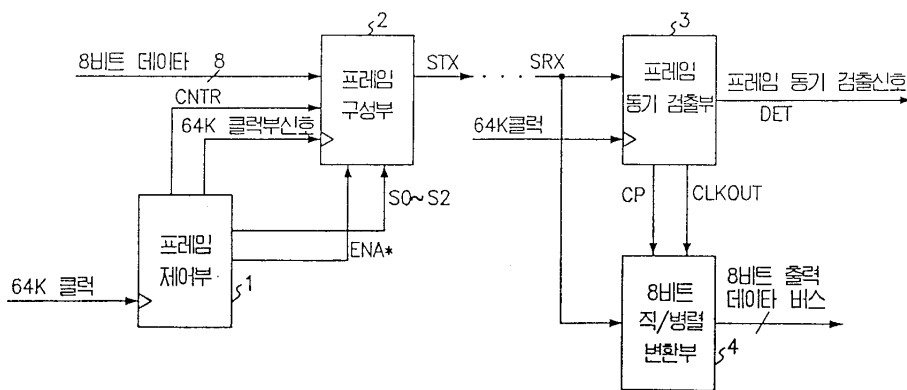
제3항에 있어서, 상기 프레임신호 발생수단은, 상기 제어신호가 하이 상태일 경우 상기 병/직렬 변환수단의 출력신호를 이용하여 상기 64Kb/s 프레임 신호를 발생하고, 상기 제어신호가 로우상태일 경우 상기 프레임 동기신호를 이용하여 상기 64Kb/s 프레임신호를 발생하는 것을 특징으로 하는 광 케이블 텔레비전 전송망에서의 가입자 접속/단말 장치간 통신을 위한 신호 프레임 통신장치.

청구항 6

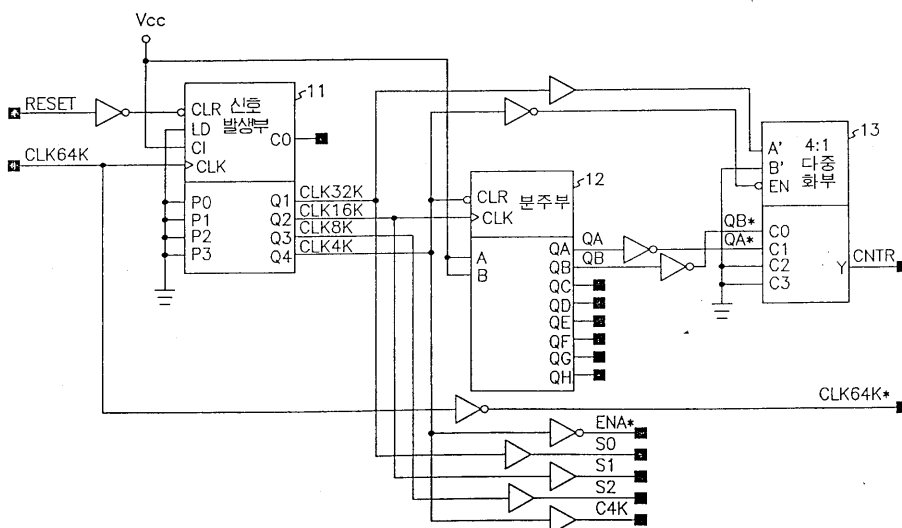
제1항에 있어서, 상기 프레임 동기 검출수단은, 상기 소정의 클럭에 따라, 상기 64Kb/s 프레임신호를 병렬로 변환하기 위한 제2직/병렬 변환수단; 상기 제2직/병렬 변환수단의 출력신호를 입력받아 프레임 동기신호를 검출하여 검출한 프레임 동기 검출신호를 출력하는 프레임 동기 검출신호 출력수단; 상기 프레임 동기 검출신호에 따라, 상기 소정의 클럭을 여러 주기의 클럭으로 분주하기 위한 클럭 분주수단; 상기 소정의 클럭과 상기 클럭 분주수단의 출력신호를 입력받아 상기 제1클럭을 출력하는 직/병렬 변환 클럭 생성수단; 및 상기 소정의 클럭과 상기 클럭 분주수단의 출력신호를 입력받아 상기 제2클럭을 출력하는 데이터 버퍼 쓰기 클럭 발생수단을 포함하는 광 케이블 텔레비전 전송망에서의 가입자 접속/단말 장치간 통신을 위한 신호 프레임 통신장치.

도면

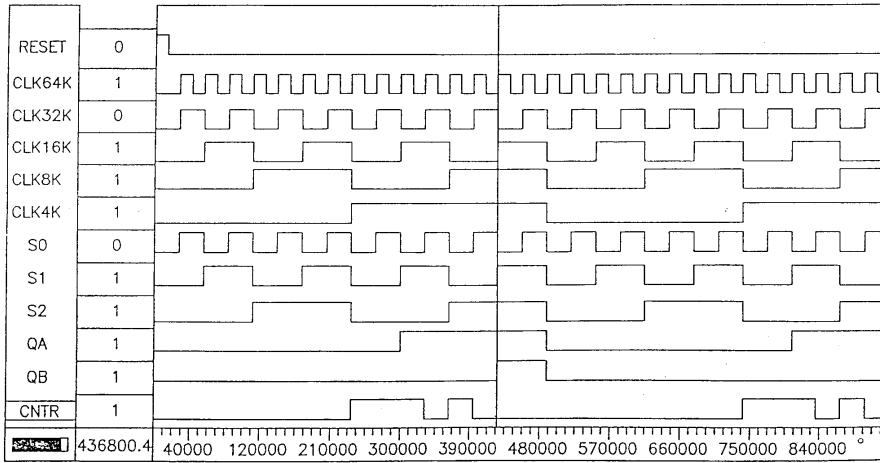
도면1



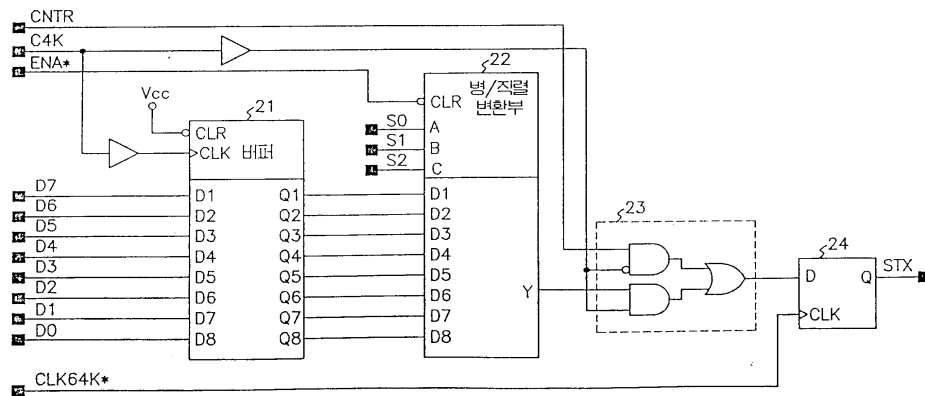
도면2



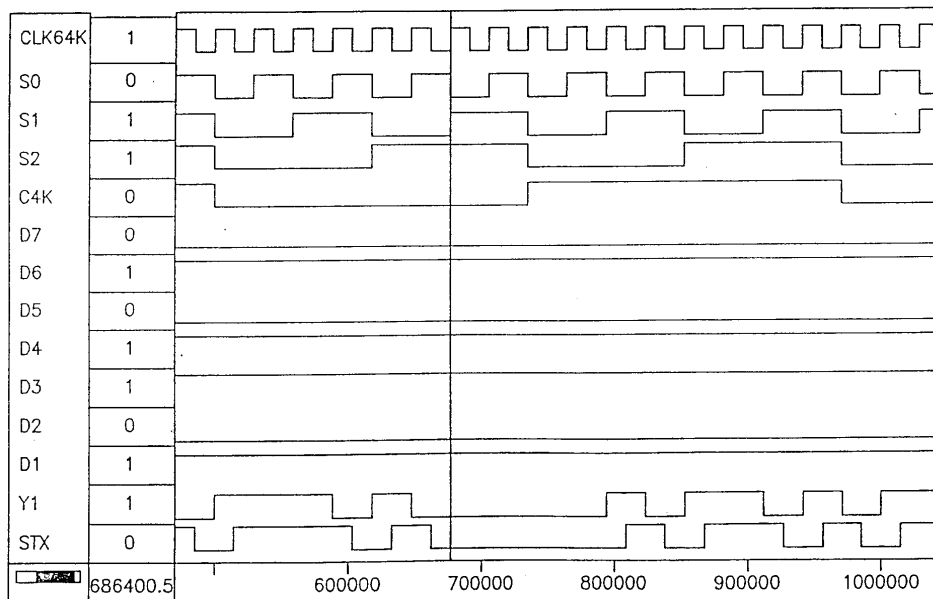
도면3



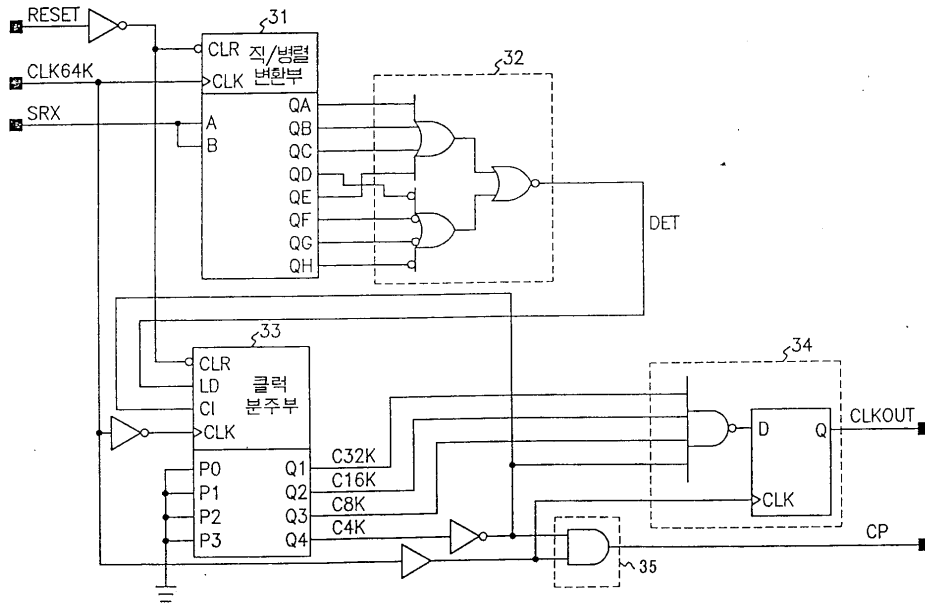
도면4



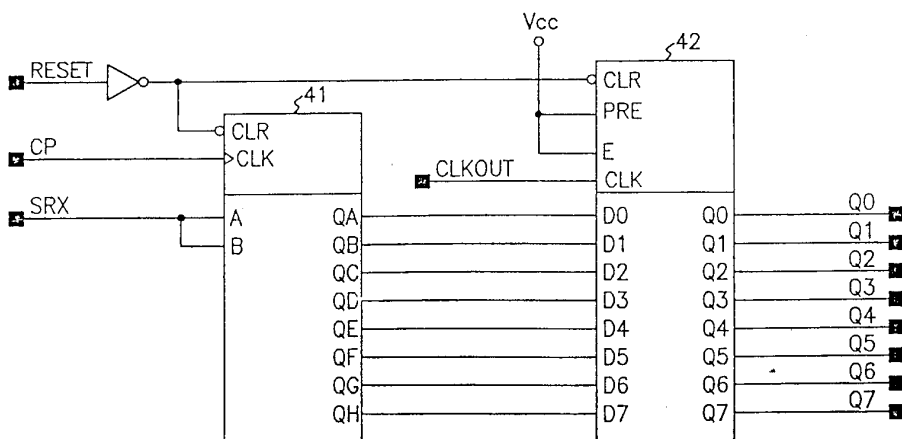
도면5



도면6



도면7



도면8

