【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第２区分
【発行日】令和2年3月19日(2020.3.19)

【公開番号】特開2018-133367(P2018-133367A)
【公開日】平成30年8月23日(2018.8.23)
【年通号数】公開・登録公報2018-032
【出願番号】特願2017-24263(P2017-24263)
【国際特許分類】
Ｈ０５Ｋ　3/34　(2006.01)
Ｈ０２Ｍ　3/155　(2006.01)
Ｈ０５Ｋ　1/18　(2006.01)
Ｈ０１Ｌ　41/107　(2006.01)
Ｇ０３Ｇ　15/00　(2006.01)
Ｇ０３Ｇ　21/16　(2006.01)
【ＦＩ】
Ｈ０５Ｋ　3/34　５０７Ａ
Ｈ０２Ｍ　3/155　Ｚ
Ｈ０２Ｍ　3/155　Ｃ
Ｈ０２Ｍ　3/155　Ｑ
Ｈ０５Ｋ　1/18　Ｓ
Ｈ０１Ｌ　41/107
Ｇ０３Ｇ　15/00　６８０
Ｇ０３Ｇ　21/16　１０４

【手続補正書】
【提出日】令和2年2月4日(2020.2.4)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
プリント基板の第一実装面に半田を塗布する工程と、
前記第一実装面に圧電トランスを表面実装し、かつ、前記第一実装面に当該圧電トランスの一次電極対に並列に接続される第一抵抗体を実装する工程と、
前記プリント基板をリフロー炉へ投入することで、前記第一実装面に前記圧電トランスと前記第一抵抗体とを半田付けする工程と、
前記プリント基板の第二実装面に半田を塗布する工程と、
前記第二実装面に前記圧電トランスを駆動する駆動回路を形成する半導体部品を実装する工程と、
前記プリント基板を前記リフロー炉へ投入することで、前記第二実装面に前記半導体部品を半田付けする工程と、
を有することを特徴とする電子部品の実装方法。
【請求項２】
前記第二実装面に前記圧電トランスを駆動する駆動回路を形成する半導体部品を実装する工程は、前記圧電トランスの一次電極対に並列に接続される第二抵抗体を前記第二実装面に実装する工程を含み、
前記プリント基板を前記リフロー炉へ投入することで前記第二実装面に前記半導体部品

を半田付けする工程は、前記プリント基板を前記リフロー炉へ投入することで前記第二実装面に前記第二抵抗体を半田付けする工程を含むことを特徴とする請求項１に記載の電子部品の実装方法。
【請求項３】
前記半導体部品は、前記圧電トランスを駆動するスイッチング素子であることを特徴とする請求項１または２に記載の電子部品の実装方法。
【請求項４】
前記第一抵抗体の抵抗値は、前記第二実装面に前記半導体部品を半田付けするために前記プリント基板が前記リフロー炉を通過しているときに圧電効果により前記圧電トランスの一次電極対に発生する焦電電圧を低減し、かつ、前記圧電トランスを含む電源回路の電源性能の低下が所定の範囲内となる値であることを特徴とする請求項１ないし３のいずれか一項に記載の電子部品の実装方法。
【請求項５】
前記第一抵抗体の抵抗値は６．０ｋΩ以上でかつ３．０ＭΩ以下であることを特徴とする請求項４に記載の電子部品の実装方法。
【請求項６】
前記第二抵抗体の抵抗値は、前記第二実装面に前記半導体部品を半田付けするために前記プリント基板が前記リフロー炉を通過しているときに圧電効果により前記圧電トランスの一次電極対に発生する焦電電圧を低減し、かつ、前記圧電トランスを含む電源回路の電源性能の低下が所定の範囲内となる値であることを特徴とする請求項２に記載の電子部品の実装方法。
【請求項７】
前記第二抵抗体の抵抗値は６．０ｋΩ以上でかつ３．０ＭΩ以下であることを特徴とする請求項６に記載の電子部品の実装方法。
【請求項８】
プリント基板の第一実装面に半田を塗布する工程と、
前記第一実装面に圧電トランスを表面実装する、かつ、前記第一実装面に当該圧電トランスの一次電極対に並列に接続される第一抵抗体を実装する工程と、
前記プリント基板をリフロー炉へ投入することで、前記第一実装面に前記圧電トランスと前記第一抵抗体とを半田付けする工程と、
前記プリント基板の第二実装面に半田を塗布する工程と、
前記第二実装面に前記圧電トランスを駆動する駆動回路を形成する半導体部品と前記圧電トランスの一次電極対に並列に接続される第二抵抗体とを実装する工程と、
前記プリント基板を前記リフロー炉へ投入することで、前記第二実装面に前記半導体部品と前記第二抵抗体とを半田付けする工程と、
を有することを特徴とする電子部品の実装方法。
【請求項９】
前記第一抵抗体の抵抗値は３．０ＭΩ以下であり、前記第二抵抗体の抵抗値は３．０ＭΩ以下であり、前記第一抵抗体と前記第二抵抗体との合成抵抗値は６．０ｋΩ以上であることを特徴とする請求項８に記載の電子部品の実装方法。
【請求項１０】
第一実装面と第二実装面とのうち、前記第一実装面がリフローされることで前記第一実装面に電子部品が半田付けされ、前記第一実装面の後に前記第二実装面がリフローされることで前記第二実装面に電子部品が半田付けされるプリント基板であって、
前記第一実装面に表面実装される圧電トランスと、
前記第一実装面に実装され、前記圧電トランスの一次電極対に並列に接続される第一抵抗体と、
前記第二実装面に実装され、前記圧電トランスを駆動する駆動回路を形成する半導体部品と、
を有することを特徴とするプリント基板。

【請求項１１】
前記第二実装面に実装され、前記圧電トランスの一次電極対に並列に接続される第二抵抗体をさらに有することを特徴とする請求項１０に記載のプリント基板。
【請求項１２】
前記半導体部品は、前記圧電トランスを駆動するスイッチング素子であることを特徴とする請求項１０または１１に記載のプリント基板。
【請求項１３】
前記第一抵抗体の抵抗値は、前記第二実装面に前記半導体部品を半田付けするために前記プリント基板がリフロー炉を通過しているときに圧電効果により前記圧電トランスの一次電極対に発生する焦電電圧を低減し、かつ、前記圧電トランスを含む電源回路の電源性能の低下が所定の範囲内となる値であることを特徴とする請求項１０ないし１２のいずれか一項に記載のプリント基板。
【請求項１４】
前記第一抵抗体の抵抗値は６．０ｋΩ以上でかつ３．０ＭΩ以下であることを特徴とする請求項１３に記載のプリント基板。
【請求項１５】
前記第二抵抗体の抵抗値は、前記第二実装面に前記半導体部品を半田付けするために前記プリント基板がリフロー炉を通過しているときに圧電効果により前記圧電トランスの一次電極対に発生する焦電電圧を低減し、かつ、前記圧電トランスを含む電源回路の電源性能の低下が所定の範囲内となる値であることを特徴とする請求項１１に記載のプリント基板。
【請求項１６】
前記第二抵抗体の抵抗値は６．０ｋΩ以上でかつ３．０ＭΩ以下であることを特徴とする請求項１５に記載のプリント基板。
【請求項１７】
請求項１０ないし１６のいずれか一項に記載のプリント基板と、
前記第一実装面に表面実装された圧電トランスと、前記圧電トランスを駆動する駆動回路とを含む電源回路と、を有することを特徴とする電源装置。
【請求項１８】
像担持体と、
前記像担持体を一様に帯電させる帯電手段と、
前記像担持体を露光して静電潜像を形成する露光手段と、
前記静電潜像を現像してトナー画像を形成する現像手段と、
前記トナー画像をシートに転写する転写手段と、
前記帯電手段に供給される帯電電圧、前記現像手段に供給される現像電圧または前記転写手段に供給される転写電圧を生成する、請求項１７に記載された電源装置と、を有することを特徴とする画像形成装置。