



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I532108 B

(45)公告日：中華民國 105 (2016) 年 05 月 01 日

(21)申請案號：101139548

(22)申請日：中華民國 101 (2012) 年 10 月 25 日

(51)Int. Cl. : H01L21/58 (2006.01)

H01L21/60 (2006.01)

(30)優先權：2011/10/31 美國

13/285,547

(71)申請人：能多順股份有限公司 (美國) NORDSON CORPORATION (US)

美國

(72)發明人：弗狄 大衛 K FOOTE, DAVID K. (US) ; 蓋提 詹姆士 D GETTY, JAMES D.

(US) ; 趙建鋼 ZHAO, JIANGANG (US)

(74)代理人：陳長文

(56)參考文獻：

TW I294166

TW I301657

TW I304253

TW I334634

US 2005/0121310A1

審查人員：羅文雄

申請專利範圍項數：9 項 圖式數：6 共 26 頁

(54)名稱

製造電子組件之方法

METHODS OF FABRICATING ELECTRONICS ASSEMBLIES

(57)摘要

在本發明之一實施例中，提供一種製造具有基板及複數個電路元件之電子組件之方法。該方法包括在該基板上形成液體障壁，將第一電路元件放置在該液體障壁的一側上，及將第二電路元件放置在該液體障壁的相對側上。將液體施用至該第一電路元件。該方法進一步包括使用該液體障壁來防止施用至該第一電路元件的液體污染該第二電路元件，使得介於該第一與第二電路元件之間之距離可最小化。

In an embodiment of the present invention, a method is provided for fabricating an electronics assembly having a substrate and a plurality of circuit elements. The method includes forming a liquid barrier on the substrate, placing a first circuit element on one side of the liquid barrier, and placing a second circuit element on the opposite side of the liquid barrier. A liquid is applied to the first circuit element. The method further includes using the liquid barrier to prevent the liquid applied to the first circuit element from contaminating the second circuit element so that the spacing between the first and second circuit elements can be minimized.

指定代表圖：

符號簡單說明：

- 10 . . . 基板
- 12 . . . 電子組件
- 14 . . . 組
- 15 . . . 外邊界
- 16 . . . 組
- 17 . . . 外邊界
- 19 . . . 電路元件
- 21 . . . 結合墊
- 30 . . . 焊料遮罩層
- 42 . . . 接觸區
- 43 . . . 接觸區

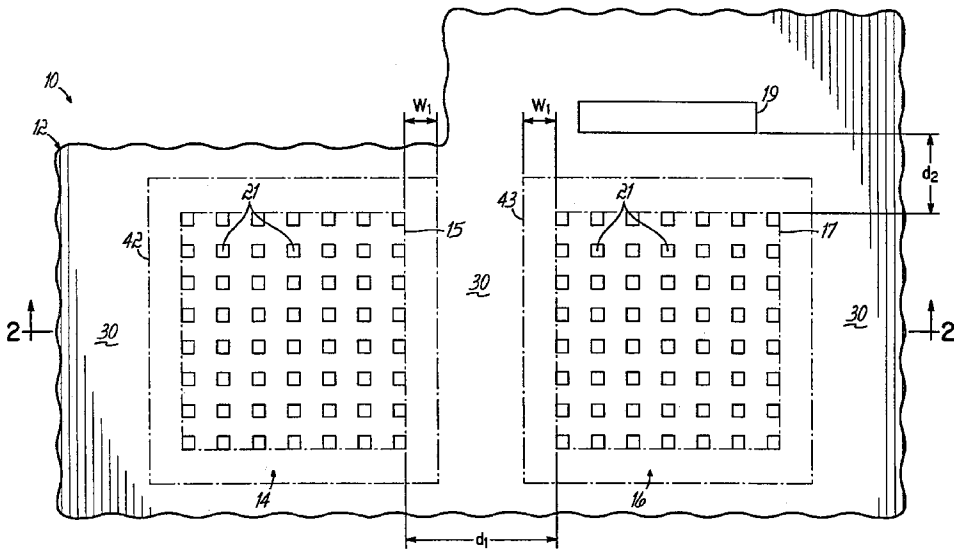


圖1

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：101139548

※申請日：101. 10. 25

※IPC 分類：H01L 21/58 (2006.01)

一、發明名稱：(中文/英文)

H01L 21/60 (2006.01)

製造電子組件之方法

METHODS OF FABRICATING ELECTRONICS ASSEMBLIES

二、中文發明摘要：

在本發明之一實施例中，提供一種製造具有基板及複數個電路元件之電子組件之方法。該方法包括在該基板上形成液體障壁，將第一電路元件放置在該液體障壁的一側上，及將第二電路元件放置在該液體障壁的相對側上。將液體施用至該第一電路元件。該方法進一步包括使用該液體障壁來防止施用至該第一電路元件的液體污染該第二電路元件，使得介於該第一與第二電路元件之間之距離可最小化。

三、英文發明摘要：

In an embodiment of the present invention, a method is provided for fabricating an electronics assembly having a substrate and a plurality of circuit elements. The method includes forming a liquid barrier on the substrate, placing a first circuit element on one side of the liquid barrier, and placing a second circuit element on the opposite side of the liquid barrier. A liquid is applied to the first circuit element. The method further includes using the liquid barrier to prevent the liquid applied to the first circuit element from contaminating the second circuit element so that the spacing between the first and second circuit elements can be minimized.

四、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

10	基板
12	電子組件
14	組
15	外邊界
16	組
17	外邊界
19	電路元件
21	結合墊
30	焊料遮罩層
42	接觸區
43	接觸區

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明大體係關於製造電子組件之方法。

【先前技術】

電子組件可包括一或多個晶片及附著各晶片的封裝載體(例如基板、電路板或引線框)。事實上電子組件可見於當今所構造的每種電子裝置中。各晶片包括一或多個使用晶圓及促進裝置與外部環境連接之互連結構所製造的積體電路。該互連結構包括導電觸點陣列(稱為結合墊)及使裝置與結合墊耦合的介入金屬液面。從該晶圓切割的晶粒被安裝在封裝載體上以形成電子組件。

各晶粒包括與封裝載體上之結合墊連接的結合墊以供應外部電連接。在藉由覆晶安裝所形成的電子組件中，晶粒上的結合墊係被焊料球或凸塊電連接及物理連接至基板(例如封裝載體)上的對應結合墊陣列。焊料凸塊通常係用晶粒及/或基板上的結合墊記錄且應用回流製程以創建以焊料接點形式的物理及電連接。覆晶安裝之製程導致反映焊料接點存在的晶粒與基板之間的間隙。

底部填充物常常被引入晶粒與基板之間且圍繞焊料凸塊的間隙。該底部填充物係加強晶粒與基板之間的機械結合且保護焊料接點之電絕緣材料。通常該底部填充物經分配與一或多個晶粒邊緣相鄰，且其藉由毛細管作用被抽引到晶粒下方。然而，該經分配之底部填充物傾向於從與晶粒相鄰的分配位置移走且其可污染相鄰晶粒。所得之底部填

充物之傳輸可導致電子組件之過早失效。隨著相鄰晶粒之間的間距減小，藉由底部填充物遷移所導致的相鄰晶粒之污染之概率增加。因此，在電子組件中，底部填充物遷移可為建立相鄰晶粒之間的最小間距之限制因素。

在作為引線結合組件已知的其他類型電子組件中，晶粒被黏著地結合至基板上之晶粒附著墊。隨後使用引線結合製程以耦合介於晶粒之頂部表面上之結合墊與分佈在晶粒附著墊附近之結合墊之間之引線。將結合墊佈置在晶粒附著墊之外周邊附近。將晶粒附著黏著劑分配至晶粒附著墊上。由於其小尺寸，作為將該晶粒物理地放置在該晶粒附著墊上之結果，結合墊對藉由從晶粒附著墊之黏著劑遷移帶來的污染高度敏感。

因此，需要用於製造電子組件之方法，其允許相鄰電路元件被佈置為物理上儘可能地靠近，而不使相鄰電路元件受底部填充物或黏著劑污染。

【發明內容】

在本發明之一實施例中，提供製造具有基板及複數個電路元件之電子組件之方法。該方法包括在該基板上形成液體障壁，將第一電路元件放置在該液體障壁的一側上，及將第二電路元件放置在該液體障壁的相對一側上。將液體應用至該第一電路元件。該方法進一步包括使用該液體障壁以防止應用至該第一電路元件的液體污染該第二電路元件，使得介於該第一與第二電路元件之間之間距可最小化。

【實施方式】

經併入及構成本說明書之一部分的附圖，連同以上所給定之本發明之一般描述及以下所給定之本發明之詳細描述以解釋本發明之實施例的原則，說明本發明之多個實施例。

參考圖1及2，電子組件12包括具有兩組14、16之結合墊21之基板10(例如電路板或引線框)。各結合墊21包括該電子組件之電路元件。在該代表性實施例中，組14、16之各組之結合墊21被佈置呈列及行之陣列。組14之結合墊21位於附著部位之外邊界15之內部，類似地，組16之結合墊21位於另一附著部位之外邊界17之內部。雖然僅顯示由不同組14、16之結合墊21組成之兩個附著部位，但基板10可包括根據附著電子元件以形成特定電子組件12之需要之任意數量之附著部位。在代表性實施例中，電子組件12可為例如覆晶、晶片級封裝(CSP)、球柵陣列(BGA)或層疊封裝組件(PoP)。

組14、16之結合墊21各代表指定用於晶粒附著之基板10上的標稱面積。外邊界15、17之尺寸可變化且(至少部分)取決於電子組件12之所需尺寸。一般而言，圍繞結合墊21之外邊界15、17的長度及寬度均小於25 mm。各結合墊21或至少結合墊21之最上層係由一材料(例如用於形成電連接之銅)層組成。

將由焊料遮罩材料(或用於晶粒附著製程中之另一類型之有機基材料)組成之層30應用至外邊界15、17之外部區域中之基板10之表面。將由在有機聚合物矩陣中之二氧化

矽(SiO_2)顆粒組成之焊料遮罩層30應用至基板10之表面，且其可經改質或應用使得結合墊21不被焊料遮罩材料覆蓋。在製造基板10期間，可將該焊料遮罩層30應用至基板10。

在應用之後，該焊料遮罩層30經改質以改變焊料遮罩材料30對液體或流體材料(例如底部填充材料)之應用之響應。在一代表性實施例中，將基板10置入電漿處理系統40(例如圖3所示之一者)中，以表面處理焊料遮罩層30。

圖3說明一種適用於表面改質處理(其改變焊料遮罩層30之表面能量)之電漿處理系統40。該電漿處理系統40包括由包圍處理空間48之壁面構成的處理室46。在電漿處理期間，例如以下更詳細描述之表面改質處理期間，處理室46係對周圍環境流體密封，將其抽真空至適宜的部分真空，且供應至少一種適合於預計電漿處理之處理氣體。使用真空泵50來經由帶閥門之真空口52抽真空處理室之處理空間。真空泵50可包括一或多個真空泵送裝置，其具有為真空技術之一般技術者所瞭解之可控制泵送速度。

使一或多種處理氣體從處理氣體源54以經調節之流率經由進氣口56進入處理空間。處理氣體從處理氣體源54至處理空間48之流量通常係由質量流量控制器計量。視需要調整來自處理氣體源54之氣體流率及真空泵50之泵送速率，以建立適合於產生電漿58及預計處理製程之電漿處理壓力。以此方式，當存在電漿58且除去從基板支架60上之經處理之基板10移除的任何廢處理氣體及/或揮發性物質

時，將新鮮的處理氣體連續地供應至處理空間48。

電源62與位於室46內之電極64電耦合且向其傳送電能。從電源62傳送至電極64的電力有效地用於從局限在處理空間48內的處理氣體形成電漿58。電源62亦可為與基板支架60聯合之電極(本文中稱為「偏壓電極」)供電。從電源62傳送至偏壓電極的電力有效用於使基板10相對於電漿58電偏壓及促進基板10之電漿處理。電源62可為一或多個控制直流(DC)偏壓及/或以約40 kHz與約13.56 MHz之間之頻率及在約50瓦特與約10,000瓦特間之範圍內之功率水準操作的射頻(RF)電源之電源。亦可使用其他合適的頻率及功率範圍。一般技術者將瞭解，不同的處理室設計可允許或要求不同的偏壓功率。將控制器耦合至電漿處理系統40之多個組件以有利於控制電漿處理。應進一步理解，電漿處理系統40包括圖3中未顯示且操作系統40所需之組件，例如佈置在處理空間48與真空泵50之間之閘閥。

現返回至表面改質處理，將處理氣體，例如帶有或不帶有另一種氣體(如氫氣(H_2)，如果需要蝕刻清潔)之氬氣(Ar)，引入處理空間48中。將約 0.02 W/cm^2 至約 0.65 W/cm^2 之範圍內之RF電能從電源62供應至電極64，電極64推壓處理空間48內之處理氣體至電漿58中。處理氣體轉換為四氟化碳(CF_4)，或者， CF_4 可注入該處理空間且同時以注射Ar、 H_2 或其他處理氣體激動。包括氟之其他處理氣體(例如 CHF_3 、 C_2F_6 、 NF_3 、 SF_6)可用作處理氣體中之氟化劑。

電源62利用室48中所形成的電漿58供應DC電能至偏壓電極來吸引來自電漿58及現朝向偏壓基板10之離子。因此，焊料遮罩層30之表面經CF₄電漿處理，該CF₄電漿氟化包括焊料遮罩層30之有機聚合物材料且從而改質焊料遮罩層30之性質。

電漿改質降低包括焊料遮罩層30之有機材料之表面能量。具體而言，氟化增加焊料遮罩層30之疏水性，其導致在被焊料遮罩層30覆蓋之基板10上之整個表面區域上焊料遮罩層30對液體潤濕之抗性增加。疏水性可藉由焊料遮罩層30對水的親合力來測量，且其亦可係指潤濕性。焊料遮罩層30之疏水表面之疏水性程度可藉由由水滴在焊料遮罩層30之表面上形成之接觸角來測量。在一實施例中，如果該接觸角大於或等於90°時，經電漿改質之焊料遮罩層30視為疏水性的。

重新參考圖1及2，呈晶粒22、24之代表性形式之電路元件係藉由焊料接點電連接及機械連接至結合墊21。晶粒22、24各包括一或多個具有主動裝置(例如CMOS場效應電晶體)之積體電路。亦在基板10上之附著部位提供電路元件19作為電子組件12之可選部分。電路元件19可為被動裝置，例如電阻器、電容器或電感器。

將凸塊18、20應用至晶粒22、24上之結合墊26、28、基板10上之結合墊21或兩者上。進行晶粒附著處理以形成定義延伸在晶粒22、24之結合墊26、28與基板10上之組14、16之結合墊21之間的電連接及機械連接之接頭。在所說明

之覆晶附著方法中，由焊料組成之模具盤承載凸塊18、20與組14、16之結合墊21及晶粒22、24上之結合墊28對準。當施加足夠的壓力及/或溫度時，凸塊18、20中之焊料可回流以形成將晶粒22、24物理結合及電結合至組14、16之結合墊21的接頭。或者，凸塊18、20可由除焊料之外之其他材料例如銅組成，且該附著處理可為熱超音波而非回流。

在將晶粒22、24分別附著至組14、16之結合墊21之後，進行底部填充操作。該底部填充操作將底部填充材料44、45引入晶粒22、24下方及圍繞焊料凸塊18、20之開放空間中。底部填充材料44、45係液體，例如可經二氧化矽顆粒填充之可固化非導電性環氧樹脂，當應用至基板10時，其為流體且藉由毛細管作用流入開放空間中。

底部填充材料44、45係藉由噴射裝置分配為接觸區42、43上之一或多條液體點之沉積線。該等點沉積在接近各晶粒22、24之一或多個外部邊緣32、34的焊料遮罩層30上。然而，可使用多種不同類型之分配器及以多種不同方式將該底部填充材料44、45應用至基板10。通常，底部填充材料44、45之分配量近似等於各晶粒22、24下之開放空間的體積加上完成底部填充操作後沿著晶粒邊緣32、34所形成的填角料的體積。

接觸區42、43操作在該基板上形成的液體障壁，且從而定義當開始在該基板10上分配時，底部填充材料44、45接觸焊料遮罩層30的範圍。該電漿處理增加焊料遮罩層30對

被底部填充材料44、45潤濕之抗性，且防止或顯著減少從晶粒22、24流出之底部填充材料44、45之流量。特定而言，底部填充材料44、45不在接觸區42、43上遷移且不橫跨相鄰晶粒22、24之間之空間而導致污染。接觸區42、43具有反映電漿改質(增加焊料遮罩層30之疏水性)、最初分配在焊料遮罩層30上時的底部填充材料44、45之尺寸及呈其分配狀態之底部填充材料44、45之性質(例如黏度)之數值之寬度 w_1 。

接觸區42被定義為焊料遮罩層30之表面上之一區域且表示相對外邊界15所測量的最小寬度 w_1 ，在其上經電漿改質之焊料遮罩層30被經分配之底部填充材料44潤濕。接觸區42圍繞組14之結合墊21之外邊界15。在一替代實施例中，接觸區42可相對不同參考，例如將晶粒22附著至組14之結合墊21後的晶粒22之最近邊緣32來測量。晶粒22之外邊界15及邊緣32可垂直對準，或如果非垂直對準，接觸區42可參照外邊界15或邊緣32中之一者或另一者來測量。由於焊料遮罩層30之疏水性增強，故經應用至鄰近晶粒22之邊緣32的底部填充材料44不遷移至接觸區42之外部以轉移至晶粒24且從而導致污染晶粒24。接觸區42可表示相鄰晶粒22、24之間之最小間距，其中底部填充材料44將不會流至到達晶粒24。

接觸區43被定義為焊料遮罩層30之表面上之一區域且表示相對外邊界17所測量的最小寬度 w_1 ，在其上經電漿改質之焊料遮罩層30被經分配之底部填充材料45潤濕。接觸區

43圍繞結合墊21之組16之外邊界17。在一替代實施例中，接觸區43可相對不同參考，例如將晶粒24附著至結合墊21之組16後的晶粒24之最近邊緣34來測量。晶粒24之外邊界17及邊緣34可垂直對準，或如果非垂直對準，接觸區43可參照外邊界17或邊緣34中之一者或另一者來測量。由於焊料遮罩層30之疏水性增強，故應用至鄰近晶粒24之邊緣34的底部填充材料45不遷移至接觸區43之外部以轉移至晶粒22且從而導致污染晶粒22。接觸區43可表示相鄰晶粒22、24之間之最小間距，其中底部填充材料45將不會流至到達晶粒22。

藉由增強焊料遮罩層30之疏水性，可減少介於不同組14、16之結合墊21之外邊界15、17之間之最小間距 d_1 。在一實施例中，該最小間距 d_1 可近似等於接觸區42、43之各自寬度 w_1 之總和。該最小間距 d_1 及接觸區42、43具有與作為鄰近外邊界15、17分配之底部填充材料之搭接區所需的空間相關之下限。特定而言，經分配之底部填充材料之尺寸(例如點大小或線寬)可提供關於接觸區42、43之各自寬度 w_1 及外邊界15、17之間之最小間距 d_1 之決定性因素，而非底部填充材料44、45從經分配之位置移開之任何傾向。隔開外邊界17與電子元件19之最小間距 d_2 可類似地減小為近似等於接觸區43之寬度 w_1 。焊料遮罩層30之增強疏水性移除或至少減少作為關於最小間距 d_1 、 d_2 之限制因素之底部填充材料44、45之遷移。

當設計用於電子組件12之組14、16之結合墊21之佈局

時，可將接觸區 42、43 之尺寸列入考慮。最小間距 d_1 、 d_2 可為 450 μm 或更小，其顯著地小於 900 μm 或更大的常規最小間距。最小間距之減少使得不同組 14、16 之結合墊 21 之外邊界 15、17 可放置得更接近彼此，其可節省基板 10 之表面上之空間。

於底部填充材料 44、45 在晶粒 22、24 下方移動後，藉由定時加熱程序固化及硬化底部填充材料 44、45。底部填充材料 44、45 可在於流體分配器之後位於線上之一些類型之對流烘箱、輻射烘箱或微波固化烘箱中固化。當經固化及硬化時，底部填充物形成牢固結合之黏性塊。經固化之底部填充物 44、45 保護焊料接點對抗多種不利環境因素，使歸因於衝擊之機械應力再分配，及在熱循環期間防止焊料接點在應變下移動。

在一替代實施例中，可使用助焊(無流動)底部填充物處理來供應底部填充材料 44、45。在組件處理期間，於放置晶粒之前將無流動之底部填充物施用至附著部位。在回流期間，底部填充物作為助熔劑，其允許形成金屬互連且在回流烘箱中完成底部填充物固化。

參考圖 4，其中相似之參考數字係指圖 1 至 3 中之相似特徵，且根據本發明之一替代實施例，用於形成電子組件之基板 80 包括代表具有外邊界 84 之附著部位之晶粒附著墊 82。複數個結合墊 86 分佈在晶粒附著墊 82 之外周邊或邊界 84 周圍之不同位置處。至少圍繞晶粒附著墊 82 之區域被焊料遮罩層 30 覆蓋。結合墊 86 各包括電子組件之電路元件。

晶粒附著墊82表示指定用於附著晶粒以形成類似於組件12(圖1、2)之組件之基板80上之標稱面積。附著處理方法包括在晶粒附著墊82之表面區域上分配呈液體之晶粒附著黏著劑，且使用拾取及放置裝置以定位與晶粒附著墊82上之黏著劑接觸之晶粒。該晶粒附著黏著劑提供介於晶粒與晶粒附著墊82之間之熱及機械接口。當晶粒附著墊80放置與晶粒附著黏著劑接觸及向著基板10之頂部表面加壓時，該晶粒附著黏著劑向著外邊界84之外部移位，且通常移位超過外邊界84。經移位之黏著劑量之一部分可形成與晶粒邊緣相鄰及使晶粒邊緣延伸之填角料。

結合墊86相對較小，且因此其對於晶粒附著黏著劑之污染高度敏感。為了防止該晶粒附著黏著劑遷移至結合墊86，如上所述電漿處理焊料遮罩層30。由於經電漿處理之焊料遮罩層30之疏水性增加，結合墊86與晶粒附著墊82之外邊界84之間之最小間距 d_4 顯著減少。最小間距 d_4 之減少允許結合墊86放置在比常規電子組件更接近晶粒附著墊82之處，其可節省基板10之表面上之空間。

隨後，使用引線結合處理以耦合晶粒之頂部表面上之結合墊與分佈在晶粒附著墊82周圍之結合墊86之間之引線。焊料遮罩層30之增強之疏水性防止由於晶粒附著黏著劑之遷移所致之結合墊86污染。

參考圖5，其中相似之參考數字係指圖1至4中之相似特徵，且根據本發明之一替代實施例，在缺少焊料遮罩材料30之基板10上形成壩狀物66。將壩狀物66沿著晶粒22、24

之最鄰近之側部邊緣32、34放置在組14之結合墊21之外邊界15與組16之結合墊21之外邊界17之間。在晶粒22、24之邊緣32、34之間之一位置處形成呈線性體之壩狀物66。在一替代實施例中，壩狀物66可圍繞晶粒22、24之一者或另一者。在另一實施例中，可存在類似壩狀物66之多個壩狀物。在另一實施例中，可將類似於壩狀物66之壩狀物放置在晶粒24之側部邊緣34與電路元件19之間(圖1)。

壩狀物66操作在基板10上形成之液體障壁。為此目的，壩狀物66經構造具有足以防止經分配之底部填充材料44遷移至晶粒24或防止經分配之底部填充材料45遷移至晶粒22之高度。壩狀物66係由抵抗被底部填充材料44、45潤濕之疏水性材料組成。在一具體實施例中，壩狀物66係由疏水性、電漿聚合之材料，例如四甲基二矽氧烷(「TMDSO」)組成。

根據本發明之一實施例，藉由放置遮罩(例如鋁遮罩)在基板10上或與基板10接觸來形成壩狀物66。然後將經遮蔽之基板10放置在處理室內，例如先前參照圖3所描述之處理室46內。控制器調節真空泵50之操作及氣體引入以維持所需之處理壓力。從電源62供應約 0.02 W/cm^2 至約 0.65 W/cm^2 之範圍內之RF電能至電極64，其將處理空間48內之處理氣體推壓至電漿58中。在一實施例中，處理氣體可為Ar與單體氣體(例如矽氧烷或在一實施例中為TMDSO)之混合物。藉由供應液體TMDSO至流體上耦合至處理空間48之單獨蒸發室(未具體顯示，但其包括於氣體源54內)中，

可引入 TMDSO。因為 TMDSO 之蒸氣壓在 20°C 係 112.5 毫托，一旦在室 46 內建立適宜之處理壓力，TMDSO 將易於蒸發，且以約 1 sccm 至約 1000 sccm 之範圍內之流率進入處理空間 48。在一替代實施例中，一般技術者熟知載體氣體可用於傳輸單體蒸氣至處理空間 48，且其視為與本發明之實施例一致。當引入 TMDSO 時，室 46 中之處理壓力可保持在約 20 毫托至約 200 毫托之範圍內。

電漿 58 中之 TMDSO 在基板 10 之未遮蔽表面上選擇性形成聚合物層。隨著完成壩狀物 66 之沉積，停止處理氣體之引入，電漿處理結束，且從電漿處理系統 40 移除基板 10。隨後可按如上所述進行覆晶處理。

壩狀物 66 防止底部填充材料 44 從與晶粒 22 相鄰之經分配之位置遷移至晶粒 24。壩狀物 66 同樣會阻止底部填充材料 45 從與晶粒 24 相鄰之經分配位置遷移至晶粒 22。由於存在壩狀物 66，可顯著減少介於外邊界 15、17 之間之最小間距 d_3 。最小間距 d_3 之減少允許晶粒 22、24 比在常規電子組件中之晶粒更緊密地封裝，其可節省基板 10 之表面上之空間。在一實施例中，壩狀物 66 之高度可約為 200 nm，且壩狀物之寬度可約為約 100 nm。

參考圖 6，其中相似之參考數字係指圖 1 至 5 中之相似特徵，且根據本發明之一替代之實施例，將壩狀物 68 放置在晶粒附著墊 82 與結合墊 86 之間。壩狀物 68 圍繞晶粒附著墊 82。以與壩狀物 66 相同之方式(圖 5)形成壩狀物 68，且其具有類似於壩狀物 66 或與之相同之構造。壩狀物 68 防止晶粒

附著黏著劑82遷移至結合墊86。由於存在壩狀物68，晶粒附著墊82與結合墊86之間之最小間距 d_4 可顯著減少。

本文所使用之術語僅以描述特定實施例為目的，且不希望限制本發明。除非本文另有明確地說明，否則如本文所使用之單數形式「一」、「一個」或「該」希望包括複數形式。應進一步瞭解，當用於本說明書時，術語「包括」詳細說明所述之特徵、整數、步驟、操作、元件及/或組件之存在，但不排除存在或添加一或多個其他特徵、整數、步驟、操作、元件、組件及/或其群組。此外，在某種程度上，術語「包括」、「具有」、「由...組成」或其變型用於詳細描述或技術方案中時，希望此等術語具有以類似於術語「包括」之方式的包含性。

應瞭解，當一元件被描述為「連接」或「耦合」至另一元件或與之「連接」或「耦合」時，其可直接連接或耦合至該其他元件，或代之可存在一或多個介入元件。相反，當一元件描述為「直接連接」或「直接耦合」至另一元件時，不存在介入元件。當一元件描述為「間接連接」或「間接耦合」至另一元件時，至少存在一個介入元件。

雖然已藉由多種實施例之描述說明本發明，且雖然已相當地詳細說明該等實施例，但申請者不希望約束或以任何方式限制附屬技術方案之範圍至此等細節。熟習此項技術者易於瞭解其他優點及改良。因此，在其更廣泛之態樣中，本發明不限於所顯示及描述之具體細節、代表性裝置及方法及說明性實例。

【圖式簡單說明】

圖1係根據本發明之實施例處理之電子組件之一部分之俯視圖，且其中出於描述清晰之目的而省略晶粒。

圖2係已將晶粒附著至結合墊且已將底部填充物引至晶粒下方後，大致沿著圖1中之線2-2所取的橫截面視圖。

圖3係根據本發明之原理，用於電漿處理基板之電漿處理系統之圖解視圖。

圖4係根據本發明之一替代實施例，類似於圖1之俯視圖。

圖5係根據本發明之一替代實施例，類似於圖2之橫截面視圖。

圖6係根據本發明之一替代實施例，類似於圖4之俯視圖。

【主要元件符號說明】

10	基板
12	電子組件
14	結合墊組
15	外邊界
16	結合墊組
17	外邊界
18	凸塊
19	電路元件
20	凸塊
21	結合墊

22	晶粒
24	晶粒
26	結合墊
28	結合墊
30	焊料遮罩層
32	邊緣
34	邊緣
40	電漿處理系統
42	接觸區
43	接觸區
44	底部填充材料
45	底部填充材料
46	處理室
48	處理空間
50	真空泵
52	真空口
54	氣體源
56	進氣口
58	電漿
60	基板支架
62	電源
64	電極
66	壩狀物
68	壩狀物

80	晶粒附著墊/基板
82	晶粒附著墊
84	外邊界
86	結合墊

七、申請專利範圍：

1. 一種製造具有基板及複數個電路元件之電子組件之方法，其包括：

將一層焊料遮罩材料施用至該基板；

使該層曝露至含氟電漿以氟化該焊料遮罩，從而增加該焊料遮罩材料之疏水性；

將第一電路元件放置在該基板上；

將第二電路元件放置在該基板上；及

將液體施用至該第一電路元件；

其中曝露該層至該含氟電漿來防止施用至該第一電路元件的液體流動而污染該第二電路元件，使得介於該第一與第二電路元件之間之间距可最小化。

2. 如請求項1之方法，其中該液體係底部填充材料，該第一電路元件係晶粒，且將該液體施用至該第一電路元件包括：

將該底部填充材料分配在與該晶粒之邊緣相鄰之接觸區上的層上。

3. 如請求項2之方法，其中該第二電路元件係晶粒。

4. 如請求項1之方法，其中該液體係黏著劑，該第一電路元件係晶粒，且將該液體施用至該第一電路元件包括：

將該黏著劑分配至該基板上之晶粒附著墊上。

5. 如請求項4之方法，其中該第二電路元件係結合墊。

6. 如請求項1之方法，其中該液體係黏著劑，該第一電路元件係晶粒，且將該液體施用至該第一電路元件包括：

10年8月5日

將該黏著劑分配至在該基板上之晶粒附著墊上；及
使該晶粒與該晶粒附著墊上之該黏著劑接觸。

7. 如請求項1之方法，其中該液體係底部填充材料，該第一電路元件係晶粒，且將該液體施用至該第一電路元件進一步包括：

將該底部填充材料分配在鄰近該晶粒之邊緣處。

8. 如請求項1之方法，其中該第一電路元件係第一晶粒且該第二電路元件係第二晶粒。

9. 如請求項1之方法，其中該第一電路元件係第一晶粒且該第二電路元件係該基板上之結合墊。

八、圖式：

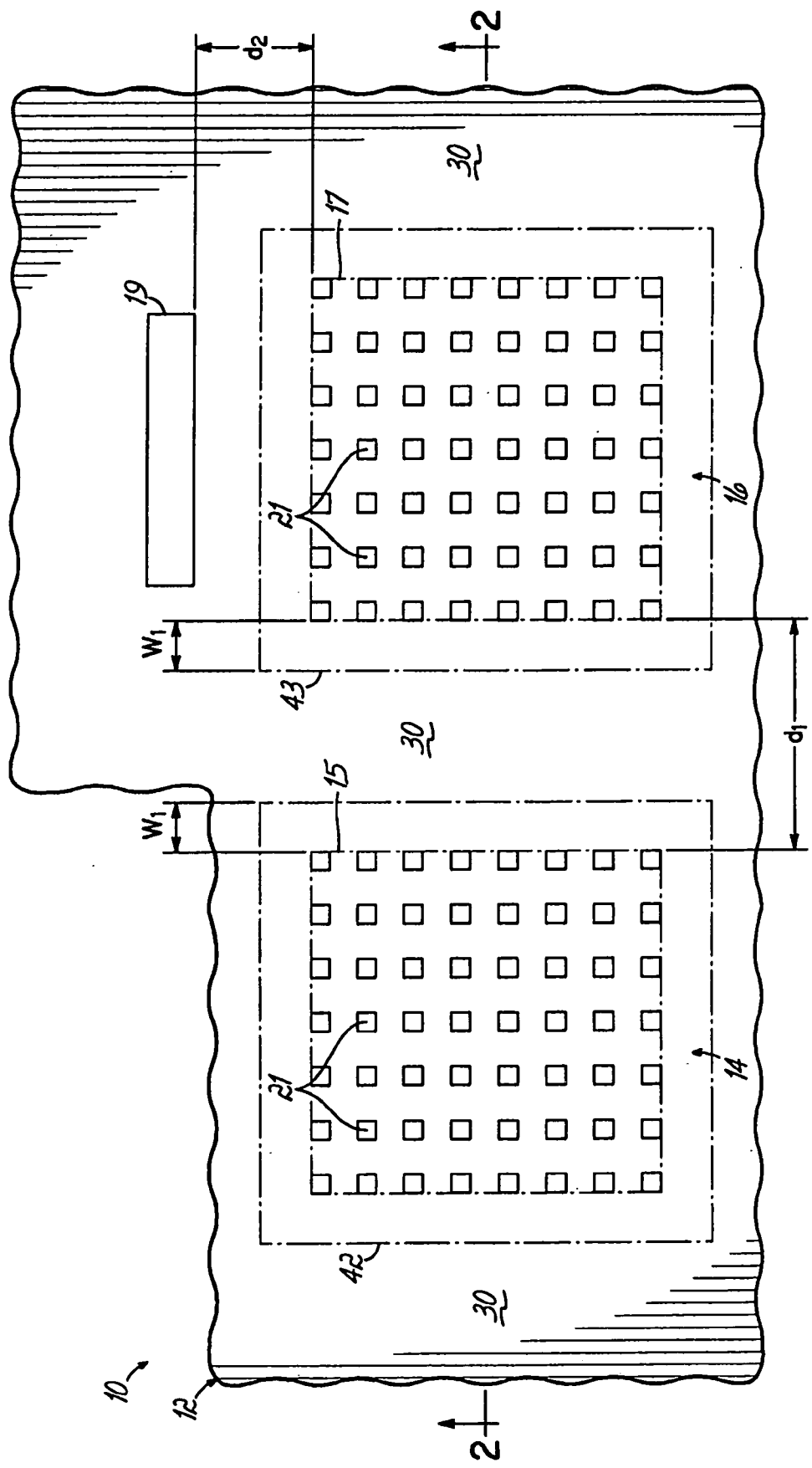


圖 1

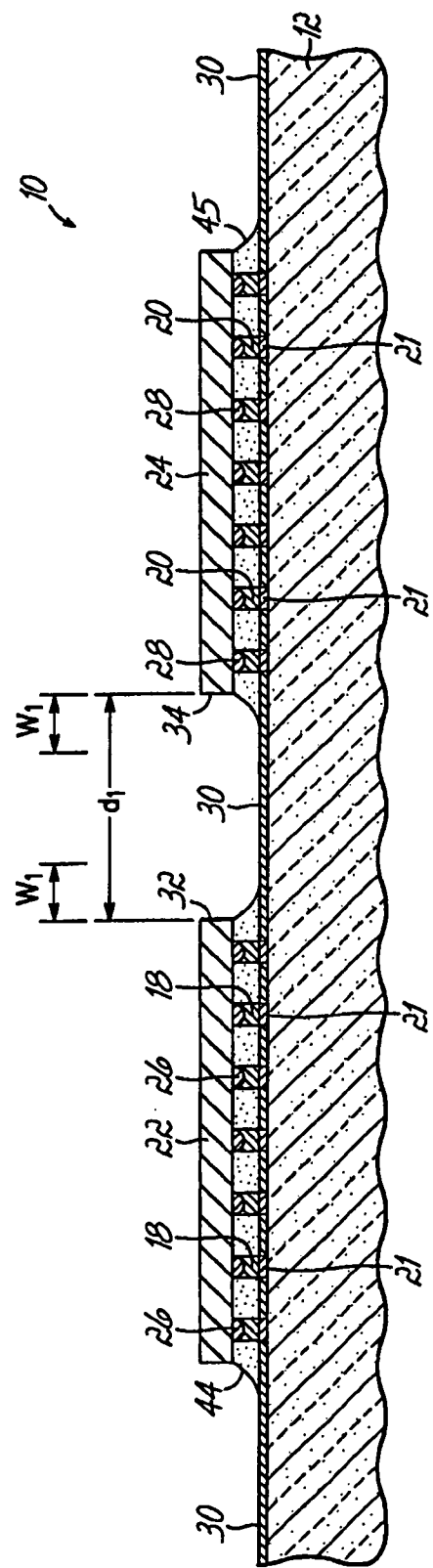


圖 2

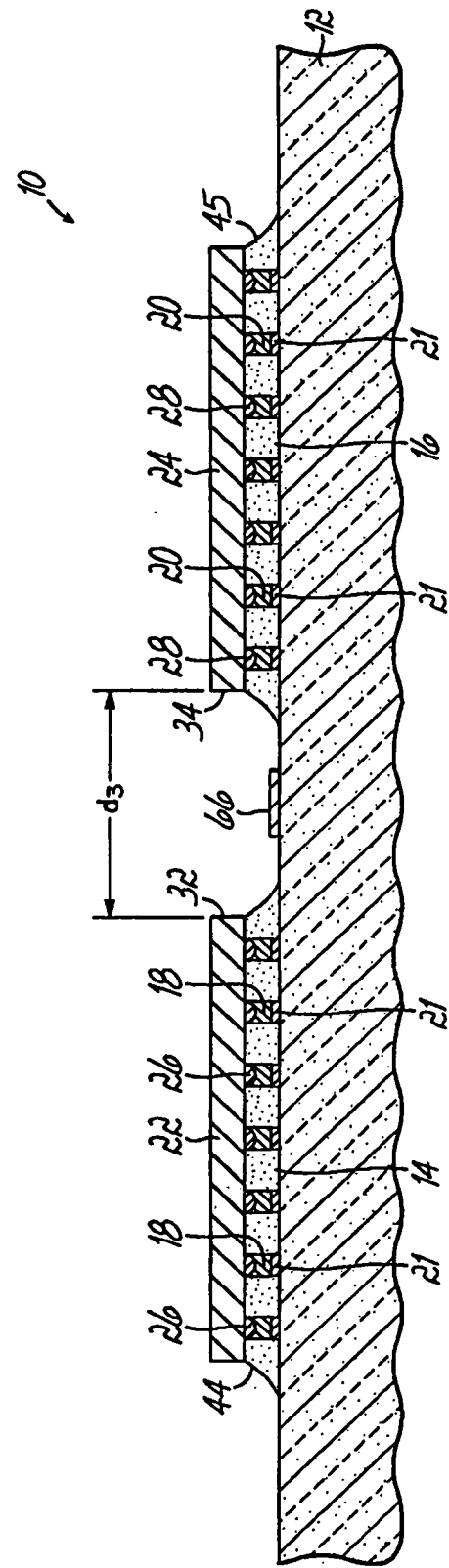


圖 5

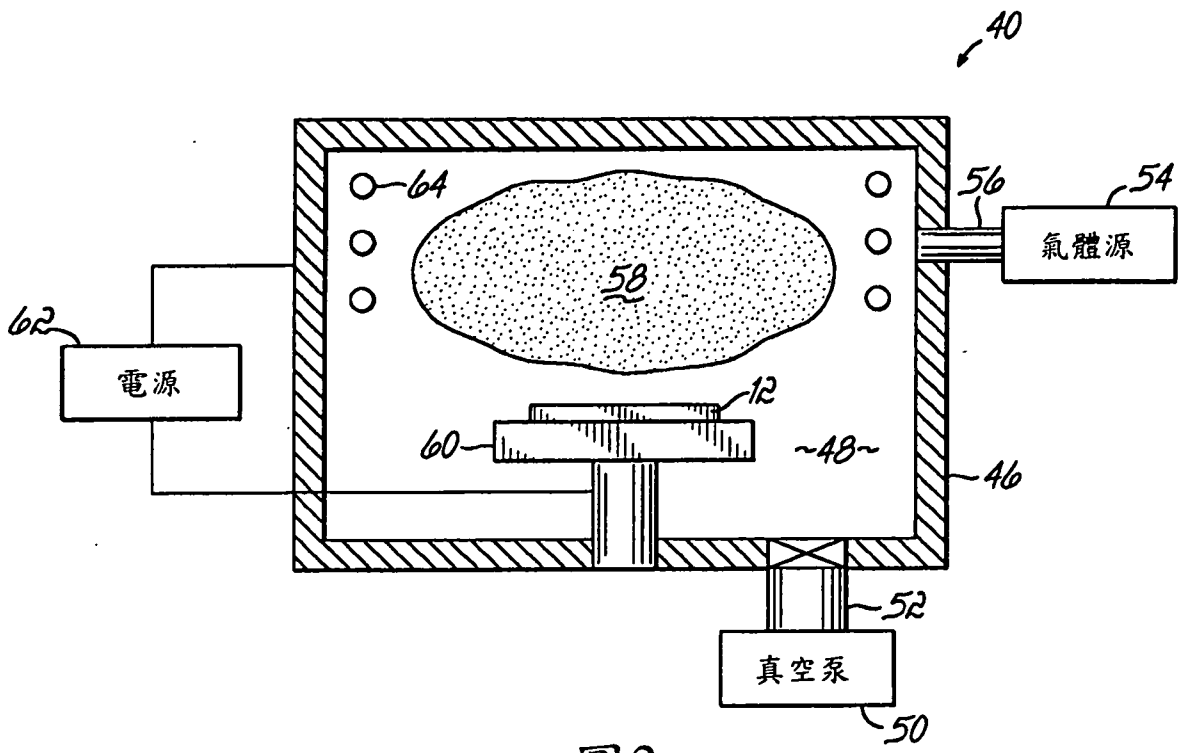


圖 3

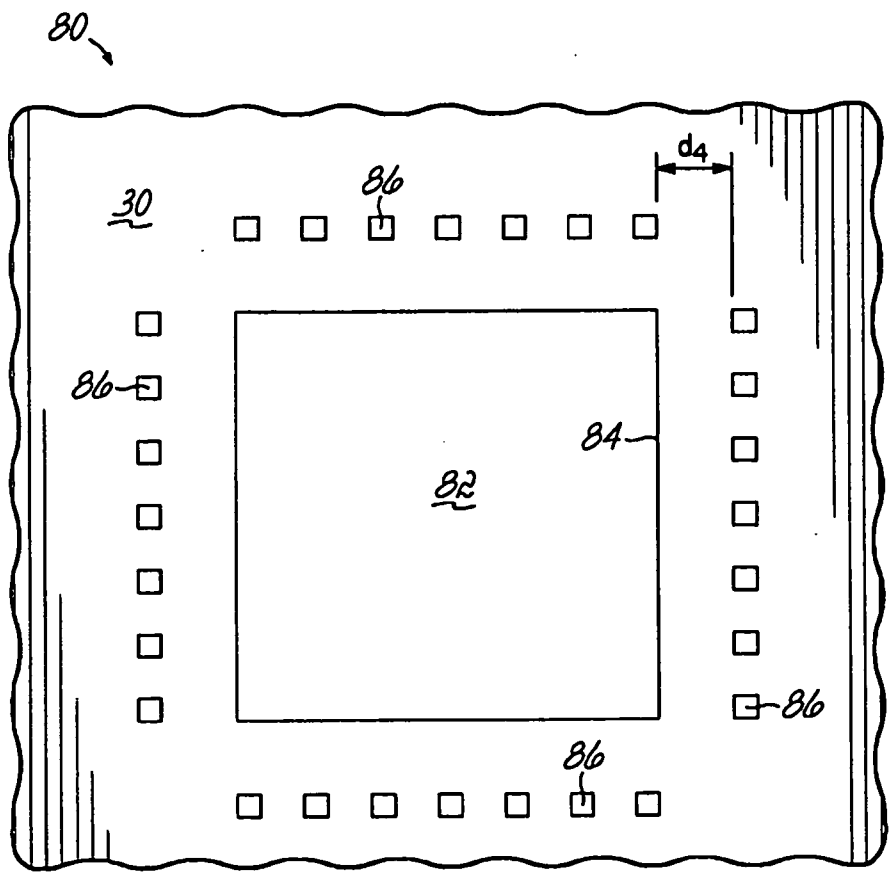


圖 4

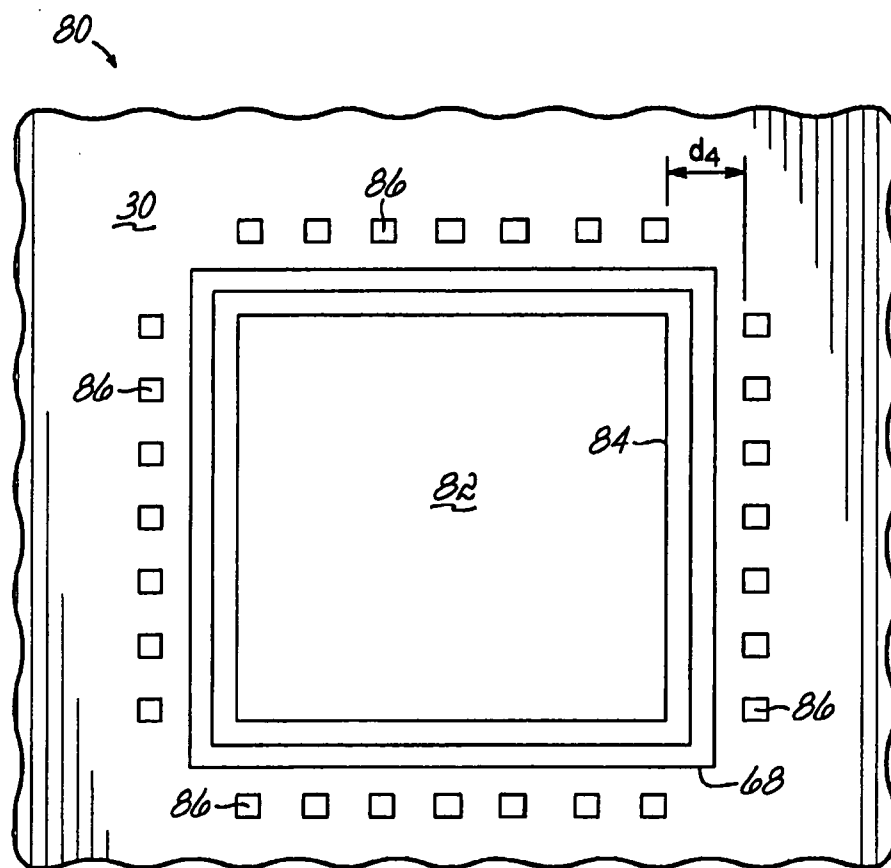


圖 6