



등록특허 10-2116445



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2020년05월28일

(11) 등록번호 10-2116445

(24) 등록일자 2020년05월22일

(51) 국제특허분류(Int. Cl.)

G02F 1/1368 (2006.01) G02F 1/1343 (2006.01)

(21) 출원번호 10-2013-0141725

(22) 출원일자 2013년11월20일

심사청구일자 2018년11월05일

(65) 공개번호 10-2014-0070388

(43) 공개일자 2014년06월10일

(30) 우선권주장

JP-P-2012-262538 2012년11월30일 일본(JP)

(56) 선행기술조사문헌

JP2008287026 A\*

KR1020120101715 A\*

KR1020120119369 A\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

가부시끼가이사 한도오따이 에네루기 켄큐쇼

일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자

미야케 히로유키

일본국 243-0036 가나가와Ken 아쓰기시 하세 398  
가부시끼가이사 한도오따이 에네루기 켄큐쇼 내

(74) 대리인

황의만

전체 청구항 수 : 총 7 항

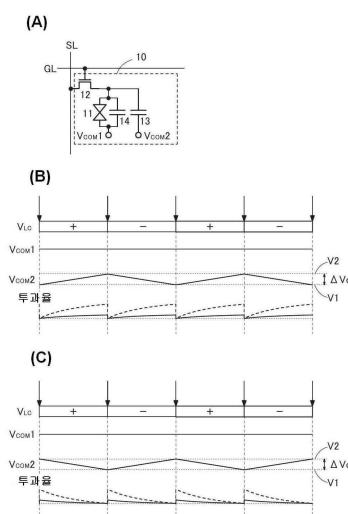
심사관 : 이우리

(54) 발명의 명칭 액정 표시 장치

**(57) 요 약**

본 발명은 깜박임 발생을 방지하는 액정 표시 장치를 제공한다.

트랜지스터와, 트랜지스터를 통하여 서로 반대의 극성을 갖는 제 1 신호 및 제 2 신호가 교대로 공급되는 액정 소자와, 제 1 전극 및 제 2 전극을 갖는 용량 소자를 복수의 화소 각각에 갖고, 액정 소자는, 절연막을 끼워 서로 부분적으로 중첩되는 화소 전극 및 공통 전극과, 화소 전극 및 공통 전극 위의 액정층을 갖고, 공통 전극은 복수의 화소간에서 서로 전기적으로 접속되고, 용량 소자가 갖는 제 1 전극은 화소 전극에 전기적으로 접속되고, 제 1 신호가 액정 소자에 공급되고 나서 제 2 신호가 액정 소자에 공급될 때까지 사이에 액정층에 인가되는 전압의 변화가 작게 되도록 제 2 전극의 전위를 서로 값이 다른 제 1 전위와 제 2 전위 사이에서 변화시킨다.

**대 표 도 - 도1**

## 명세서

### 청구범위

#### 청구항 1

액정 표시 장치에 있어서,  
화소로서,

트랜지스터와;

액정 소자로서, 화소 전극, 공통 전극, 및 상기 화소 전극과 상기 공통 전극 위의 액정층을 포함하고, 상기 화소 전극에 상기 트랜지스터를 통하여 서로 반대의 극성을 갖는 제 1 신호 및 제 2 신호가 교대로 공급되는, 상기 액정 소자와;

제 1 전극 및 제 2 전극을 포함한 용량 소자를 포함하는, 상기 화소를 포함하고,  
상기 화소 전극과 상기 공통 전극은 절연막을 끼워 서로 부분적으로 중첩되고,  
상기 제 1 전극은 상기 화소 전극에 전기적으로 접속되고,  
상기 제 2 전극은 제 1 전위와 제 2 전위 사이에서 추이하는 전위가 공급되는 배선에 접속되고,  
상기 화소 전극은 상기 트랜지스터의 소스 및 드레인 중 하나에 상기 공통 전극의 개구를 통하여 전기적으로 접속되고,  
상기 공통 전극의 상기 개구는 상기 트랜지스터의 채널 형성 영역과 중첩하고,  
상기 공통 전극은 상기 트랜지스터의 상기 채널 형성 영역과 중첩하지 않는, 액정 표시 장치.

#### 청구항 2

제 1 항에 있어서,  
상기 전위로서, 삼각파를 갖는 전위가 상기 배선에 공급되는, 액정 표시 장치.

#### 청구항 3

제 1 항에 있어서,  
상기 전위가 상기 제 1 신호가 공급되고 나서 상기 제 2 신호가 공급될 때까지 추이함으로써, 상기 액정층에 인가되는 전압의 변화가 저감되는, 액정 표시 장치.

#### 청구항 4

액정 표시 장치에 있어서,  
화소로서,  
상기 화소는

트랜지스터와;

액정 소자로서, 화소 전극, 공통 전극, 및 상기 화소 전극과 상기 공통 전극 위의 액정층을 포함하고 상기 화소 전극에 상기 트랜지스터를 통하여 서로 반대의 극성을 갖는 제 1 신호 및 제 2 신호가 교대로 공급되는, 상기 액정 소자와;

제 1 전극 및 제 2 전극을 포함하는 용량 소자를 포함하고,  
상기 화소 전극은 절연막을 사이에 두고 상기 공통 전극과 중첩되는 제 1 영역을 포함하고,  
상기 제 1 전극은 상기 화소 전극에 전기적으로 접속되고,

상기 제 2 전극은 제 1 전위와 제 2 전위 사이에서 추이하는 전위가 공급되는 배선에 접속되고,

상기 화소 전극은 상기 트랜지스터의 소스 및 드레인 중 하나에 상기 공통 전극의 개구를 통하여 전기적으로 접속되고,

상기 공통 전극의 상기 개구는 상기 트랜지스터의 채널 형성 영역과 중첩하고,

상기 공통 전극은 상기 트랜지스터의 상기 채널 형성 영역과 중첩하지 않고,

상기 제 1 전극은 상기 트랜지스터의 상기 소스 및 상기 드레인 중 상기 하나로 기능하고,

상기 제 2 전극은 상기 트랜지스터의 게이트 절연막을 사이에 두고 상기 제 1 전극과 중첩하는 제 2 영역을 포함하고,

상기 제 1 영역은 상기 제 2 영역과 중첩하는, 액정 표시 장치.

#### 청구항 5

제 1 항 또는 제 4 항에 있어서,

상기 트랜지스터는 산화물 반도체막을 포함하는, 액정 표시 장치.

#### 청구항 6

제 5 항에 있어서,

상기 산화물 반도체막은 인듐, 갈륨, 및 아연을 포함하는, 액정 표시 장치.

#### 청구항 7

제 4 항에 있어서,

상기 전위로서, 삼각파를 갖는 전위가 상기 제 2 전극에 공급되는, 액정 표시 장치.

#### 청구항 8

삭제

#### 청구항 9

삭제

#### 청구항 10

삭제

#### 청구항 11

삭제

#### 청구항 12

삭제

#### 청구항 13

삭제

#### 청구항 14

삭제

#### 청구항 15

삭제

## 청구항 16

삭제

## 발명의 설명

## 기술 분야

[0001] 본 발명은 반도체 장치에 관한 것이다. 특히, 본 발명은 액티브 매트릭스형 액정 표시 장치에 관한 것이다.

## 배경 기술

[0002] 결정성을 갖는 실리콘으로 얻어지는 높은 이동도와 비정질 실리콘으로 얻어지는 균일한 소자 특성을 아울러 갖는 새로운 반도체로서, 산화물 반도체라고 불리는 반도체 특성을 나타내는 금속 산화물이 주목을 받고 있다. 금속 산화물은 다양한 용도로 사용되고 있으며 예를 들어, 잘 알려진 금속 산화물인 산화 인듐은 액정 표시 장치나 발광 장치 등의 투광성을 갖는 화소 전극에 사용되고 있다. 반도체 특성을 나타내는 금속 산화물로서는 예를 들어, 산화 텅스텐, 산화 주석, 산화 인듐, 산화 아연 등이 있고 이와 같은 반도체 특성을 나타내는 금속 산화물을 채널 형성 영역에 사용한 트랜지스터가 이미 알려져 있다(특허문현 1 및 특허문현 2 참조).

## 선행기술문현

## 특허문현

[0003] (특허문현 0001) 일본국 특개2007-123861호 공보

(특허문현 0002) 일본국 특개2007-96055호 공보

## 발명의 내용

## 해결하려는 과제

[0004] 반도체 표시 장치의 성능을 평가하는 데 소비 전력이 낮은 것은 중요한 요소 중 하나이지만 액정 표시 장치도 예외가 아니다. 특히, 휴대 전화 등 휴대형 전자 기기의 경우, 액정 표시 장치의 소비 전력이 높으면 연속 사용 시간의 단축으로 이어지기 때문에 저소비 전력화를 도모하는 것이 강하게 요구된다.

[0005] 상술한 바와 같은 기술적 배경을 바탕으로 본 발명의 일 형태는 소비 전력 저감을 실현할 수 있는 액정 표시 장치를 제안하는 것을 과제 중 하나로 한다.

## 과제의 해결 수단

[0006] 본 발명의 일 형태에 따른 액정 표시 장치는 화소부로의 화상 신호의 기록이 정지된 후에도 화소부에서의 화상 표시를 유지하기 위하여, 오프 전류가 매우 작은 절연 게이트 전계 효과형 트랜지스터(이하, 단순히 트랜지스터라고 기재함)가 화소에 제공된다. 화소가 갖는 액정 소자로의 전압 공급을 제어하기 위한 소자로서 이 트랜지스터를 사용함으로써 액정 소자에 공급되는 전압이 유지되는 기간을 길게 확보할 수 있다. 따라서, 정지 화상과 같이 연속된 몇 프레임 기간에 걸쳐 화소부에 같은 화상 정보를 갖는 화상 신호가 반복적으로 기록되는 경우 등에는 화소부로의 화상 신호의 기록을 임시적으로 정지하여 구동 주파수를 낮게 하더라도, 바꿔 말하면 일정 기간 내에서의 화상 신호의 기록 횟수를 줄이더라도 화상 표시의 유지가 가능하다.

[0007] 또한, 본 발명의 일 형태에 따른 액정 표시 장치에서 액정 소자는, 절연막을 끼워 서로 부분적으로 중첩되는 화소 전극 및 공통 전극과, 상기 화소 전극 및 공통 전극으로부터 전계가 인가되는 액정층을 갖는다. 또한, 화소에는 트랜지스터 및 액정 소자에 더하여 용량 소자가 제공되고, 이 용량 소자가 갖는 제 1 전극은 화소 전극에 전기적으로 접속된다. 그리고, 제 1 극성을 갖는 화상 신호가 화소에 기록되고 나서 상기 화소에 제 2 극성을 갖는 화상 신호를 기록할 때까지 사이에 상기 용량 소자가 갖는 제 2 전극의 전위를 서로 값이 다른 제 1 전위와 제 2 전위 사이에서 추이시킨다.

## 발명의 효과

[0008] 본 발명의 일 형태에 의하여 소비 전력 저감을 실현할 수 있는 액정 표시 장치를 제공할 수 있다.

### 도면의 간단한 설명

[0009] 도 1은 화소의 구성을 도시한 도면과 타이밍 차트.

도 2는 패널의 구성을 도시한 도면.

도 3은 타이밍 차트.

도 4는 패널의 구성을 도시한 도면.

도 5는 패널의 구성을 도시한 도면.

도 6은 화소의 접속 구성을 도시한 도면.

도 7은 액정 표시 장치의 구성을 도시한 도면.

도 8은 전원 회로에 포함되는 회로의 구성을 도시한 도면.

도 9는 타이밍 차트.

도 10은 화소의 상면도.

도 11은 패널의 단면도.

도 12는 트랜지스터의 제작 방법을 도시한 도면.

도 13은 트랜지스터의 제작 방법을 도시한 도면.

도 14는 트랜지스터의 단면도.

도 15는 트랜지스터의 단면도.

도 16은 액정 표시 장치의 상면도 및 단면도.

도 17은 화소의 구성을 도시한 도면과 타이밍 차트.

도 18은 전자 기기를 도시한 도면.

도 19는 액정 소자의 단면 구조를 도시한 도면과 등가 회로를 도시한 도면.

도 20은 액정 소자의 단면 구조를 도시한 도면과 등가 회로를 도시한 도면.

도 21은 전압 유지율과 시간의 관계를 나타낸 그래프.

도 22는 전압과 정규화 투과율의 관계를 나타낸 그래프.

### 발명을 실시하기 위한 구체적인 내용

[0010] 이하에서는 본 발명의 실시형태에 대하여 도면을 사용하여 자세히 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않고 본 발명의 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있는 것은 당업자이면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하에 기재된 실시형태의 내용에 한정하여 해석되는 것은 아니다.

[0011] 또한, 본 명세서에서 액정 표시 장치는, 액정 소자가 각 화소에 형성된 패널과, 구동 회로 또는 컨트롤러를 포함한 IC 등을 이 패널에 실장한 상태의 모듈을 그 범주에 포함한다. 또한, 본 발명의 일 형태에 따른 액정 표시 장치는 이 액정 표시 장치를 제작하는 과정에서 액정 소자가 완성되기 전의 일 형태에 상당하는 소자 기판을 그 범주에 포함한다. 또한, 상기 소자 기판은 트랜지스터, 액정 소자에 사용되는 화소 전극 및 공통 전극, 및 용량 소자를 복수의 화소 각각에 구비한다.

[0012] 또한, 본 발명의 일 형태에 따른 액정 표시 장치는, 손가락 또는 스타일러스(stylus) 등이 가리킨 위치를 검출하여 그 위치 정보를 포함한 신호를 생성할 수 있는 위치 입력 장치인 터치 패널을 그 구성 요소에 포함하여도 좋다.

[0013] <화소의 구성 예>

- [0014] 도 1의 (A)는 본 발명의 일 형태에 따른 액정 표시 장치의 화소의 구성예를 도시한 것이다. 도 1의 (A)에 도시된 화소(10)는 액정 소자(11), 액정 소자(11)로의 화상 신호의 공급을 제어하는 트랜지스터(12), 및 용량 소자(13)를 갖는다.
- [0015] 액정 소자(11)는 화소 전극, 공통 전극, 및 화소 전극과 공통 전극 사이의 전압이 인가되는 액정 재료를 포함한 액정층을 갖는다. 그리고, 도 1의 (A)는 FFS(Fringe Field Switching) 모드의 액정 소자(11)의 경우를 도시한 것이고, 화소 전극과 공통 전극이 절연막을 끼워 서로 부분적으로 중첩된다. 이 영역은 화소 전극과 공통 전극 사이에 인가되는 전압  $V_{LC}$ 를 유지하기 위한 용량으로서 기능한다. 도 1의 (A)에서는 이 용량을 용량 소자(14)로서 도시하였다.
- [0016] 트랜지스터(12)는 배선 SL에 입력되는 화상 신호의 전위를 액정 소자(11)의 화소 전극에 공급할지 여부를 제어한다. 액정 소자(11)의 공통 전극에는 소정의 기준 전위  $V_{COM1}$ 이 공급된다.
- [0017] 이하에서는 액정 소자(11), 트랜지스터(12), 및 용량 소자(13)의 구체적인 접속 관계에 대하여 설명한다.
- [0018] 또한, 본 명세서에 있어서 접속이란, 전기적인 접속을 의미하며 전류, 전압, 또는 전위가 공급 또는 전송될 수 있는 상태를 말한다. 따라서, 접속된 상태라는 표현은 반드시 직접 접속된 상태를 말하는 것이 아니라 전류, 전압, 또는 전위가 공급 또는 전송될 수 있도록 배선, 저항 소자, 다이오드, 트랜지스터 등의 소자를 통하여 간접적으로 접속된 상태도 그 범주에 포함된다.
- [0019] 또한, 여기서 도시된 회로도에서는 독립된 구성 요소들끼리 접속되어 있는 경우에도 실제로는 예를 들어, 배선의 일부가 전극으로서 기능하는 경우 등, 하나의 도전막이 복수의 구성 요소의 기능을 아울러 갖는 경우도 있다. 본 명세서에서 접속이라는 표현은 이와 같이 하나의 도전막이 복수의 구성 요소의 기능을 아울러 갖는 경우도 그 범주에 포함한다.
- [0020] 또한, 트랜지스터가 갖는 소스와 드레인은 트랜지스터의 채널형 및 각 단자에 공급되는 전위의 고저(高低)에 따라 그 호칭이 서로 바뀐다. 일반적으로, n채널형 트랜지스터에서는 낮은 전위가 공급되는 단자가 소스라고 불리고, 높은 전위가 공급되는 단자가 드레인이라고 불린다. 또한, p채널형 트랜지스터에서는 낮은 전위가 공급되는 단자가 드레인이라고 불리고, 높은 전위가 공급되는 단자가 소스라고 불린다. 본 명세서에서는 편의상, 소스와 드레인이 고정되는 것으로 가정하여 트랜지스터의 접속 관계를 설명하는 경우가 있지만, 실제로는 상기 전위의 관계에 따라 소스와 드레인의 호칭이 서로 바뀐다.
- [0021] 또한, 트랜지스터의 소스란, 활성층으로서 기능하는 반도체막의 일부인 소스 영역, 또는 상기 반도체막에 접속된 소스 전극을 말한다. 마찬가지로, 트랜지스터의 드레인이란, 상기 반도체막의 일부인 드레인 영역, 또는 상기 반도체막에 접속된 드레인 전극을 말한다. 또한 게이트란, 게이트 전극을 말한다.
- [0022] 도 1의 (A)에 도시된 화소(10)에서 트랜지스터(12)의 게이트는 배선 GL에 전기적으로 접속되어 있다. 트랜지스터(12)의 소스 및 드레인 중 한쪽은 배선 SL에 접속되고, 트랜지스터(12)의 소스 및 드레인 중 다른 쪽은 액정 소자(11)의 화소 전극에 접속되어 있다. 그리고, 용량 소자(13)는 한 쪽의 전극을 가지며 한쪽 전극은 액정 소자(11)의 화소 전극에 전기적으로 접속되고, 다른 쪽 전극에는 소정의 전위  $V_{COM2}$ 가 공급된다.
- [0023] 또한, 화소(10)는 필요에 따라 트랜지스터, 다이오드, 저항 소자, 용량 소자, 인덕터 등 기타 회로 소자를 더 가져도 좋다.
- [0024] 도 1의 (A)는 화소(10)로의 화상 신호 입력을 제어하는 스위치로서, 하나의 트랜지스터(12)를 사용하는 경우를 예시한 것이다. 그러나, 화소(10)에서 복수의 트랜지스터를 하나의 스위치로서 기능시켜도 좋다. 복수의 트랜지스터가 하나의 스위치로서 기능하는 경우, 이 복수의 트랜지스터는 병렬로 접속되어도 좋고 직렬로 접속되어도 좋고, 직렬과 병렬이 조합되어 접속되어도 좋다.
- [0025] 또한, 본 명세서에서 트랜지스터가 직렬로 접속된 상태란, 예를 들어 제 1 트랜지스터의 소스 및 드레인 중 한쪽만이 제 2 트랜지스터의 소스 및 드레인 중 한쪽에만 접속되어 있는 상태를 말한다. 또한, 트랜지스터가 병렬로 접속된 상태란, 제 1 트랜지스터의 소스 및 드레인 중 한쪽이 제 2 트랜지스터의 소스 및 드레인 중 한쪽에 접속되고, 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽이 제 2 트랜지스터의 소스 및 드레인 중 다른 쪽에 접속되어 있는 상태를 말한다.
- [0026] 그리고, 본 발명의 일 형태에서는 트랜지스터(12)의 오프 전류가 매우 작다. 상술한 구성으로 함으로써 액정 소자(11)에 인가되는 전압이 유지되는 기간을 길게 확보할 수 있다. 따라서, 정지 화상과 같이 연속된 몇 프레

임 기간에 걸쳐 화소(10)에 같은 화상 정보를 갖는 화상 신호가 기록되는 경우 등에는 구동 주파수를 낮게 하더라도, 바꿔 말하면 일정 기간 내에서의 화소(10)로의 화상 신호의 기록 횟수를 줄이더라도 제조 표시의 유지가 가능하다. 예를 들어, 고순도화된 산화물 반도체를 채널 형성 영역에 포함한 트랜지스터(12)를 사용함으로써 화상 신호의 기록 간격을 10초 이상, 바람직하게는 30초 이상, 더 바람직하게는 1분 이상으로 할 수 있다. 소비 전력은 화상 신호가 기록되는 간격을 길게 할수록 더 저감될 수 있다.

[0027] 또한, 화상 신호의 전위의 극성을 공통 전극의 전위  $V_{COM1}$ 을 기준으로 하여 반전시키는 반전 구동을 수행함으로써 잔상(burn-in) 등 액정 재료의 열화를 방지할 수 있다. 그러나, 반전 구동을 수행하면, 화상 신호의 극성이 변화될 때 배선 SL에 공급되는 전위의 변화가 커짐으로 인하여 스위치로서 기능하는 트랜지스터(12)의 소스와 드레인 사이의 전위차가 커진다. 이에 따라 트랜지스터(12)는 문턱 전압이 시프트되는 등 특성 열화가 생기기 쉽다. 특히 본 발명의 일 형태와 같이 FFS 모드 등의 수평 전계 방식의 액정 표시 장치는 양의 극성을 갖는 화상 신호와 음의 극성을 갖는 화상 신호의 전위차가, 다른 모드의 액정 표시 장치의 그것보다 큰 경향이 있다. 예를 들어, TN 액정을 액정층에 포함하는 경우, 상기 전위차가 십몇 V 정도인 것에 대하여 액정층이 블루상을 나타내는 액정을 포함하는 경우에는 이 전위차가 몇십 V나 이른다. 따라서, 수평 전계 방식의 액정 표시 장치는 상기 전위차가 커짐으로 인하여 트랜지스터(12)의 전기적 특성의 열화가 현저하게 생기기 쉽다. 또한, 액정 소자(11)에 유지된 전압을 유지하기 위하여, 트랜지스터(12)는 소스와 드레인의 전위차가 크더라도 오프 전류는 작을 필요가 있다. 트랜지스터(12)에, 실리콘 또는 게르마늄보다 띠간격이 크고 진성 캐리어 밀도가 낮은 산화물 반도체 등의 반도체를 사용함으로써, 트랜지스터(12)의 내압성을 높이고 오프 전류를 현저히 작게 할 수 있다. 따라서, 실리콘이나 게르마늄 등의 반도체로 형성된 일반적인 트랜지스터를 사용한 경우에 비하여 트랜지스터(12)의 열화를 방지하고 액정 소자(11)에 유지된 전압을 유지할 수 있다.

[0028] 또한, 트랜지스터(12)를 통하여 누설되는 전하의 양이 적더라도 몇 가지 요인으로 화상 신호의 기록이 종료된 후에 액정층에 인가되는 전계가 변화될 수 있다.

[0029] 액정층에 인가되는 전계를 변화시키는 한 요인으로서 배향막으로의 이온성 불순물의 흡착을 들 수 있다. 액정 재료에는 이온성 불순물이 포함되어 있는데 이 불순물이 배향막에 흡착되면 배향막 부근에 잔류 DC라고 불리는 전계가 발생된다. 불순물의 흡착에 기인한 잔류 DC가 발생되면, 화상 신호의 기록이 종료된 후에도 액정층에 인가되는 전계가 변화되고 이에 따라 액정 소자(11)의 투과율도 변화된다. 그리고, 직류 전압이 액정 소자에 인가되는 시간이 길수록 잔류 DC는 강해지므로, 본 발명의 일 형태와 같이 화상 신호의 기록 간격이 긴 구동 방법의 경우, 프레임 주파수가 60Hz 정도인 일반적인 구동 방법에 비하여 투과율의 변화가 커지기 쉽다.

[0030] 또한, 액정층에 인가되는 전계를 변화시키는 다른 요인으로서 액정 소자(11)에 흐르는 누설 전류를 들 수 있다. 액정 소자(11)에 전압이 인가되고 있을 때 화소 전극과 공통 전극 사이에는 액정층을 통하여 미미한 누설 전류가 흐르기 때문에, 시간의 경과에 따라 액정 소자(11)에 인가되는 전압의 절대값이 작아진다. 따라서, 본 발명의 일 형태와 같이 화상 신호의 기록 간격이 긴 구동 방법의 경우, 프레임 주파수가 60Hz 정도인 일반적인 구동 방법에 비하여 투과율의 변화가 커지기 쉽다.

[0031] 또한, 액정층에 인가되는 전계를 변화시키는 또 다른 요인으로서 배향막과 액정층 사이의 전기적 특성 차이에 기인하는 전하의 축적을 들 수 있다. 액정 소자(11)에 흐르는 누설 전류는 배향막 및 액정층을 통하여 흐른다. 그러므로, 배향막에 흐르는 누설 전류의 전류 밀도와 액정층에 흐르는 누설 전류의 전류 밀도는 같은 값이 된다. 그러나, 배향막과 액정층에서는 유전율  $\epsilon$ 과 저항률  $\rho$ 의 곱에 비례하는 완화 시간  $\tau$ 가 상이하다. 따라서, 액정 소자(11)에 누설 전류가 흐르면 Maxwell-Wagner 분극에 의하여 배향막과 액정층의 계면 근방에 전하가 축적되어 이 계면 근방에 잔류 DC라고 불리는 전계가 발생된다. 구체적으로는 배향막의 완화 시간  $\tau$ 가 액정층의 그것보다 큰 경우, 화소 전극과 공통 전극 사이의 전계와는 반대의 방향으로 완화 시간  $\tau$ 의 차이에 기인한 잔류 DC가 발생되어, 액정층에 인가되는 전계가 시간의 경과에 따라 변화되어 작아진다. 한편, 배향막의 완화 시간  $\tau$ 가 액정층의 그것보다 작은 경우, 화소 전극과 공통 전극 사이의 전계와 같은 방향으로 완화 시간  $\tau$ 의 차이에 기인한 잔류 DC가 발생되어, 액정층에 인가되는 전계가 시간의 경과에 따라 변화되어 커진다. 완화 시간  $\tau$ 의 차이에 기인한 잔류 DC가 발생되면, 화상 신호의 기록이 종료된 후에도 액정층에 인가되는 전계가 변화되고 이에 따라 액정 소자(11)의 투과율도 변화된다. 그리고, 직류 전압이 액정 소자에 인가되는 시간이 길수록 잔류 DC는 강해지므로, 본 발명의 일 형태와 같이 화상 신호의 기록 간격이 긴 구동 방법의 경우, 프레임 주파수가 60Hz 정도인 일반적인 구동 방법에 비하여 투과율의 변화가 커지기 쉽다.

[0032] <화소의 비교예>

[0033] 화상 신호의 기록이 종료된 후의 투과율 변화에 대하여 설명하기 위하여, 도 17의 (A)에 화소(20)의 구성을 비

교예로서 도시하였다. 도 17의 (A)에 도시된 화소(20)는 액정 소자(21), 액정 소자(21)로의 화상 신호의 공급을 제어하는 트랜지스터(22), 및 용량 소자(23)를 갖는다.

[0034] 액정 소자(21)는 화소 전극, 공통 전극, 화소 전극과 공통 전극 사이의 전압이 인가되는 액정 재료를 포함한 액정층을 갖는다. 그리고, 도 17의 (A)에서 액정 소자(21)는 FFS 모드와 같이 화소 전극과 공통 전극이 절연막을 끼워 서로 부분적으로 중첩되어도 좋고, TN(Twisted Nematic) 모드와 같이 화소 전극과 공통 전극이 액정층을 끼워 서로 부분적으로 중첩되어도 좋다. FFS 모드의 액정 소자(21)의 경우, 화소 전극과 공통 전극이 서로 중첩되는 영역에 형성되는 용량이 용량 소자(23)에 상당한다. 액정 소자(21)가 FFS 모드, TN 모드 어느 쪽인 경우에도, 용량 소자(23)는 화소 전극과 공통 전극 사이에 인가되는 전압  $V_{LC}$ 를 유지하기 위한 용량으로서 기능한다.

[0035] 또한, 도 17의 (A)에 도시된 화소(20)에서 트랜지스터(22)의 게이트는 배선 GL에 접속되어 있다. 트랜지스터(22)의 소스 및 드레인 중 한쪽은 배선 SL에 접속되고, 트랜지스터(22)의 소스 및 드레인 중 다른 쪽은 액정 소자(21)의 화소 전극에 접속되어 있다. 그리고, 용량 소자(23)는 한 쪽의 전극을 가지며 한쪽 전극은 액정 소자(21)의 화소 전극에 접속되고, 다른 쪽 전극은 액정 소자(21)의 공통 전극에 접속되어 있다. 공통 전극에는 전위  $V_{COM}$ 이 공급된다.

[0036] 도 17의 (A)에 도시된 화소(20)의 동작과 액정 소자(21)의 투과율 변화에 대하여 설명한다.

[0037] 도 17의 (B)는 액정 소자(21)의 화소 전극과 공통 전극 사이에 인가되는 전압  $V_{LC}$ 의 극성과, 전위  $V_{COM}$ 과, 액정 소자(21)의 투과율의 시간에 따른 변화의 일례를 모식적으로 도시한 것이다. 또한, 도 17의 (B)는 액정 소자(21)의 액정층에 사용되는 액정 재료가 노멀리-화이트인 경우를 예로 들어 도시한 것이다. 그래서, 도 17의 (B)에서는 액정층에 인가되는 전계가 강할수록 액정 소자(21)의 투과율은 낮아지고, 액정층에 인가되는 전계가 약할수록 액정 소자(21)의 투과율은 높아진다. 도 17의 (B)에서는 화상 신호가 화소(20)에 기록되는 타이밍을 화살표로 나타내었으며, 한 중간 계조를 화상 정보로서 갖는 화상 신호가 연속적으로 화소(20)에 기록되는 경우를 예로 들어 도시하였다.

[0038] 화소(20)에서 배선 SL에 입력된 화상 신호의 전위가 트랜지스터(22)를 통하여 액정 소자(21)의 화소 전극에 공급되면 액정 소자(21)에 전압  $V_{LC}$ 가 인가된다. 그리고, 화상 신호의 전위가 전위  $V_{COM}$ 보다 높은 경우, 즉 화상 신호의 극성이 양인 경우 전압  $V_{LC}$ 는 양의 극성을 갖게 된다. 또한, 화상 신호의 전위가 전위  $V_{COM}$ 보다 낮은 경우, 즉 화상 신호의 극성이 음인 경우 전압  $V_{LC}$ 는 음의 극성을 갖게 된다. 도 17의 (B)에 도시된 바와 같이 액정 소자(21)에 인가되는 전압  $V_{LC}$ 는 화소(20)에 화상 신호가 기록되는 타이밍에 맞추어 양(+)의 극성과 음(-)의 극성을 교대로 갖게 된다.

[0039] 그리고, 화상 신호의 기록이 종료된 후에 상술한 바와 같은 몇 가지 요인 때문에 액정 소자(21)의 액정층에 인가되는 전계가 시간의 경과에 따라 약해지는 경우, 도 17의 (B)에 도시된 바와 같이 화상 신호가 화소(20)에 기록되고 나서 다음에 화상 신호가 화소(20)에 기록될 때까지 사이에 액정 소자(21)의 투과율은 변화되어 높아진다.

[0040] 한편, 화상 신호의 기록이 종료된 후에 상술한 바와 같은 몇 가지 요인 때문에 액정 소자(21)의 액정층에 인가되는 전계가 시간의 경과에 따라 강해지는 경우가 있다. 이 경우, 화상 신호가 화소(20)에 기록되고 나서 다음에 화상 신호가 화소(20)에 기록될 때까지 사이에 액정 소자(21)의 투과율은 변화되어 낮아진다.

[0041] 도 17의 (B)를 보면 알 수 있듯이 투과율의 변화는 화상 신호의 기록 간격이 길수록 커진다. 그리고, 변화된 투과율은 화상 신호 기록의 타이밍에 맞추어 원래 값으로 리셋된다. 그러므로, 화상 신호의 기록 간격이 길수록 화상 신호의 기록 시에 일어나는 투과율 변화가 사람 눈에 깜박임(flicker)으로서 인식되기 쉬워진다.

[0042] 그래서, 본 발명의 일 형태에서는 제 1 극성을 갖는 화상 신호가 화소(10)에 기록되고 나서 화소(10)에 제 2 극성을 갖는 화상 신호를 기록할 때까지 사이에 용량 소자(13)가 갖는 다른 쪽 전극의 전위를 서로 값이 다른 제 1 전위와 제 2 전위 사이에서 추이시킨다.

[0043] 도 1의 (B)는 도 1의 (A)에 도시된 화소(10)의, 액정 소자(11)의 화소 전극과 공통 전극 사이에 인가되는 전압  $V_{LC}$ 의 극성과, 전위  $V_{COM1}$ 과, 전위  $V_{COM2}$ 와, 액정 소자(11)의 투과율의 시간에 따른 변화의 일례를 모식적으로 도시한 것이다. 또한, 도 1의 (B)는 도 17의 (B)와 마찬가지로, 액정 소자(11)의 액정층에 사용되는 액정 재료가

노멀리-화이트인 경우를 예로 들어 도시한 것이다. 그리고, 도 1의 (B)에서는 화소(10)에 화상 신호가 기록되는 타이밍을 화살표로 나타내었으며, 한 중간 계조를 화상 정보로서 갖는 화상 신호가 연속적으로 화소(10)에 기록되는 경우를 예로 들어 도시하였다. 또한, 도 1의 (B)에서는 실선으로 나타낸 액정 소자(11)의 투과율에 더하여 도 17의 (A)의 화소(20)가 갖는 액정 소자(21)의 투과율을 파선으로 나타내었다.

[0044] 화소(10)에서 배선 SL에 입력된 화상 신호의 전위가 트랜지스터(12)를 통하여 액정 소자(11)의 화소 전극에 공급되면 액정 소자(11)에 전압  $V_{LC}$ 가 인가된다. 도 1의 (B)에 도시된 바와 같이 액정 소자(11)에 인가되는 전압  $V_{LC}$ 는 화소(10)에 화상 신호가 기록되는 타이밍에 맞추어 양(+)의 극성과 음(-)의 극성을 교대로 갖게 된다.

[0045] 또한, 도 1의 (B)에서 전위  $V_{COM2}$ 는, 화소(10)로의 화상 신호 기록의 타이밍에 맞추어 제 1 전위(V1)와 제 2 전위(V2) 사이에서 추이한다. 다만, 제 1 전위(V1)는 제 2 전위(V2)보다  $\Delta Vd$ 만큼 낮다. 구체적으로는 양의 극성을 갖는 화상 신호가 화소(10)에 기록되고 나서 다음에 음의 극성을 갖는 화상 신호가 화소(10)에 기록될 때까지 사이에 전위  $V_{COM2}$ 는 제 1 전위(V1)에서 제 2 전위(V2)까지, 즉  $\Delta Vd$ 만큼 높아지도록 추이한다. 따라서, 전하량 보존 법칙에 따라 액정 소자(11)의 화소 전극의 전위도  $\Delta Vd$ 만큼 높아지고, 이에 의하여 액정 소자(11)에 인가되는 전압  $V_{LC}$ 의 절대값도  $\Delta Vd$ 만큼 커진다.

[0046] 화상 신호의 기록이 종료된 후에 상술한 바와 같은 몇 가지 요인 때문에 액정층에 인가되는 전계가 시간의 경과에 따라 약해지는 액정 소자(11)의 경우, 화상 신호가 화소(10)에 기록되고 나서 다음에 화상 신호가 화소(10)에 기록될 때까지 사이에 전압  $V_{LC}$ 의 절대값을  $\Delta Vd$ 만큼 늘림으로써 액정층에 인가되는 전계의 시간에 따른 변화를 작게 억제할 수 있다. 이로써, 도 1의 (B)에 도시된 바와 같이 실선으로 나타낸 액정 소자(11)의 투과율 변화를 파선으로 나타낸 액정 소자(21)의 투과율 변화에 비하여 작게 억제할 수 있어 깜박임이 시인되는 것을 방지할 수 있다.

[0047] 한편, 화상 신호의 기록이 종료된 후에 상술한 바와 같은 몇 가지 요인 때문에 액정 소자(11)의 액정층에 인가되는 전계가 시간의 경과에 따라 강해지는 경우, 화상 신호가 화소(10)에 기록되고 나서 다음에 화상 신호가 화소(10)에 기록될 때까지 사이에 액정 소자(11)의 투과율은 변화되어 낮아진다. 이 경우, 도 1의 (C)에 도시된 바와 같이 양의 극성을 갖는 화상 신호가 화소(10)에 기록되고 나서 다음에 음의 극성을 갖는 화상 신호가 화소(10)에 기록될 때까지 사이에 전위  $V_{COM2}$ 를 제 2 전위(V2)에서 제 1 전위(V1)까지, 즉  $\Delta Vd$ 만큼 낮아지도록 추이시킨다. 이와 같은 구성으로 함으로써 액정 소자(11)의 화소 전극의 전위도  $\Delta Vd$ 만큼 낮아지고, 이에 의하여 액정 소자(11)에 인가되는 전압  $V_{LC}$ 의 절대값도  $\Delta Vd$ 만큼 작아진다. 따라서, 액정층에 인가되는 전계가 시간의 경과에 따라 강해지는 액정 소자(11)의 경우, 화상 신호가 화소(10)에 기록되고 나서 다음에 화상 신호가 화소(10)에 기록될 때까지 사이에 전압  $V_{LC}$ 의 절대값을  $\Delta Vd$ 만큼 줄임으로써 액정층에 인가되는 전계의 시간에 따른 변화를 작게 억제할 수 있다. 이로써 액정 소자(11)의 투과율 변화를 작게 억제할 수 있어 깜박임이 시인되는 것을 방지할 수 있다.

[0048] 또한, 노멀리-화이트가 아닌 노멀리-블랙의 액정층을 사용한 경우도 마찬가지이다. 즉, 액정층에 인가되는 전계의 시간에 따른 변화가 작게 되도록 전위  $V_{COM2}$ 를 제 1 전위(V1)와 제 2 전위(V2) 사이에서 추이시킴으로써 액정 소자(11)의 투과율 변화를 작게 억제할 수 있어 깜박임이 시인되는 것을 방지할 수 있다.

[0049] 또한, 본 발명의 일 형태에 따른 액정 표시 장치에서는 용량 소자(14)가 액정 소자의 전압  $V_{LC}$ 를 유지하는 기능을 가질 수 있기 때문에 용량 소자(13)의 면적을 작게 억제할 수 있다. 즉, 용량 소자(13)의 면적을 작게 억제하면서, 깜박임이 시인되는 것을 방지할 수 있다. 그러므로, 화소의 고정세화를 도모할 수 있고 화소에 화상 신호가 기록되는 간격을 길게 할 수 있어 안정 피로가 경감되는 눈에 편한 액정 표시 장치를 실현할 수 있다.

[0050] <패널의 구성예>

[0051] 다음에, 액정 표시 장치의 일 형태에 상당하는 패널의 구성예에 대하여 설명한다.

[0052] 도 2에 도시된 패널(30)은 화소부(31)에 복수의 화소(10)와, 화소(10)를 행마다 선택하기 위한 배선 GL(배선 GL1 내지 배선 GLy(y는 자연수임))과, 선택된 화소(10)에 화상 신호를 공급하기 위한 배선 SL(배선 SL1 내지 배선 SLx(x는 자연수임))이 제공되어 있다. 배선 GL로의 신호 입력은 구동 회로(32)에 의하여 제어된다. 배선 SL로의 화상 신호 입력은 구동 회로(33)에 의하여 제어된다. 복수의 화소(10)는 배선 GL 중 적어도 하나와 배선 SL 중 적어도 하나 각각에 접속된다.

- [0053] 또한, 화소부(31)에 제공되는 배선의 종류 및 개수는 화소(10)의 구성, 개수, 및 배치에 따라 결정할 수 있다. 구체적으로 도 2에 도시된 화소부(31)에서는  $x$ 열× $y$ 행의 화소(10)가 매트릭스 형태로 배치되고, 배선 SL1 내지 배선 SLx, 배선 GL1 내지 배선 GLy가 화소부(31) 내에 배치되어 있다.
- [0054] <화소부의 동작예>
- [0055] 다음에, 도 1의 (A) 및 도 2를 예로 들어, 화소부(31)의 동작의 일례에 대하여 설명한다.
- [0056] 도 3은 화소부(31)의 타이밍 차트를 예시한 것이다. 도 3은 구체적으로, 배선 GL1에 공급되는 신호의 전위와, 배선 SL1에 공급되는 화상 신호의 전위와, 배선 GL1 및 배선 SL1에 접속된 화소(10)에서 액정 소자(11)가 갖는 화소 전극(GL1-SL1)의 전위의 시간에 따른 변화를 나타낸 것이다. 또한, 도 3은 도 1의 (A)에 도시된 화소(10)에서 트랜지스터(12)가 n채널형 트랜지스터인 경우를 예시한 것이다.
- [0057] 먼저, 제 1 프레임 기간에, 펠스를 갖는 신호가 배선 GL1에 입력됨으로써 배선 GL1이 선택된다. 선택된 배선 GL1에 접속된 복수의 각 화소(10)에서 트랜지스터(12)가 도통 상태가 된다. 그리고, 트랜지스터(12)가 도통 상태인 기간(1 라인 기간)에 배선 SL1 내지 배선 SLx에 화상 신호의 전위가 공급된다. 그리고, 배선 SL1 내지 배선 SLx에 공급된 화상 신호의 전위에 따라 도통 상태의 트랜지스터(12)를 통하여 용량 소자(13) 및 용량 소자(14)에 전하가 축적된다. 또한, 상기 화상 신호의 전위는 도통 상태의 트랜지스터(12)를 통하여 액정 소자(11)의 화소 전극에 공급된다.
- [0058] 도 3에 나타낸 타이밍 차트는 제 1 프레임 기간 중 배선 GL1이 선택되어 있는 기간에, 양의 극성을 갖는 화상 신호가 배선 SL1에 입력되는 예를 나타낸 것이다. 따라서, 배선 GL1 및 배선 SL1에 접속된 화소(10) 내의 화소 전극(GL1-SL1)에는 양의 극성을 갖는 화상 신호가 공급된다.
- [0059] 또한, 액정 소자(11)가 갖는 공통 전극에는 접지 전위 등 기준이 되는 전위  $V_{COM1}$ 이 공급된다. 화상 신호는, 그 전위가 전위  $V_{COM1}$ 보다 높은 경우에 양의 극성을 갖고, 그 전위가 전위  $V_{COM1}$ 보다 낮은 경우에는 음의 극성을 갖는다. 또한, 화상 신호가 갖는 화상 정보에 따라서는 화상 신호의 전위가 전위  $V_{COM1}$ 과 동일할 수도 있다. 화상 신호의 전위가 전위  $V_{COM1}$ 과 동일한 경우, 상기 화상 신호는 양의 극성을 갖는 것으로 간주할 수 있고 음의 극성을 갖는 것으로 간주할 수도 있다.
- [0060] 액정 소자(11)에서는 화소 전극과 공통 전극 사이에 인가되는 전압의 값에 따라 액정 분자의 배향이 변화되고, 투과율이 변화된다. 따라서, 액정 소자(11)는 화상 신호의 전위에 의하여 그 투과율이 제어됨으로써 계조를 표시할 수 있다.
- [0061] 배선 SL1 내지 배선 SLx로의 화상 신호 입력이 종료되면, 배선 GL1의 선택은 종료된다. 배선 GL1의 선택이 종료되면 이 배선 GL1을 갖는 화소(10)에서 트랜지스터(12)가 비도통 상태가 된다. 그러면 액정 소자(11)는 화소 전극과 공통 전극 사이에 인가되는 전압을 유지함으로써 계조 표시를 유지한다.
- [0062] 마찬가지로 배선 GL2 내지 배선 GLy가 순차적으로 선택되어, 배선 GL1이 선택되는 기간과 같은 동작이 배선 GL2 내지 배선 GLy의 각각에 접속된 화소(10)들에서 순차적으로 수행된다. 이 동작에 의하여 화소부(31)에서 한 화상을 표시할 수 있다.
- [0063] 그리고, 도 3에 나타낸 타이밍 차트에 나타낸 바와 같이 제 1 프레임 기간에서 용량 소자(13)의 다른 쪽 전극에 공급되는 전위  $V_{COM2}$ 가 제 2 전위(V2)에서 제 1 전위(V1)까지, 즉  $\Delta Vd$ 만큼 낮아지도록 추이한다. 이와 같은 구조으로 함으로써 액정 소자(11)의 화소 전극의 전위도  $\Delta Vd$ 만큼 낮아지고, 이에 의하여 액정 소자(11)에 인가되는 전압  $V_{LC}$ 의 절대값도  $\Delta Vd$ 만큼 작아진다. 따라서, 액정층에 인가되는 전계가 시간의 경과에 따라 강해지는 액정 소자(11)의 경우, 화상 신호가 화소(10)에 기록되고 나서 다음에 화상 신호가 화소(10)에 기록될 때까지 사이에 전압  $V_{LC}$ 의 절대값을  $\Delta Vd$ 만큼 줄임으로써 액정층에 인가되는 전계의 시간에 따른 변화를 작게 억제할 수 있다. 따라서, 전위  $V_{COM2}$ 가 일정한 경우에는, 과선으로 나타낸 바와 같이 투과율이 변동하더라도 전위  $V_{COM2}$ 를 제 2 전위(V2)에서 제 1 전위(V1)까지 추이시키면 실선으로 나타낸 바와 같이 투과율 변화를 작게 억제할 수 있다.
- [0064] 또한, 본 발명의 일 형태는 반드시 배선 GL1 내지 배선 GLy를 순차적으로 선택할 필요는 없다.
- [0065] 다음에, 제 2 프레임 기간에, 펠스를 갖는 신호가 배선 GL1에 입력됨으로써 배선 GL1이 선택된다. 선택된 배선

GL1에 접속된 복수의 각 화소(10)에서 트랜지스터(12)가 도통 상태가 된다. 그리고, 트랜지스터(12)가 도통 상태인 기간에 배선 SL1 내지 배선 SLx에 화상 신호의 전위가 공급된다. 그리고, 배선 SL1 내지 배선 SLx에 공급된 화상 신호의 전위에 따라 도통 상태의 트랜지스터(12)를 통하여 용량 소자(13) 및 용량 소자(14)에 전하가 축적된다. 또한, 상기 화상 신호의 전위는 도통 상태의 트랜지스터(12)를 통하여 액정 소자(11)의 화소 전극에 공급된다.

[0066] 도 3에 나타낸 타이밍 차트는 제 2 프레임 기간 중 배선 GL1이 선택되어 있는 기간에, 음의 극성을 갖는 화상 신호가 배선 SL1에 입력되는 예를 나타낸 것이다. 따라서, 화소 전극(GL1-SL1)에는 음의 극성을 갖는 화상 신호가 공급된다.

[0067] 또한, 액정 소자(11)에서는 화상 신호의 전위에 의하여 그 투과율이 제어됨으로써 계조를 표시할 수 있다.

[0068] 배선 SL1 내지 배선 SLx로의 화상 신호 입력이 종료되면, 배선 GL1의 선택은 종료된다. 배선 GL1의 선택이 종료되면 이 배선 GL1을 갖는 화소(10)에서 트랜지스터(12)가 비도통 상태가 된다. 그러면 액정 소자(11)는 화소 전극과 공통 전극 사이에 인가되는 전압을 유지함으로써 계조 표시를 유지한다.

[0069] 그리고, 마찬가지로 배선 GL2 내지 배선 GLy가 순차적으로 선택되어, 배선 GL1이 선택되는 기간과 같은 동작이 배선 GL2 내지 배선 GLy의 각각에 접속된 화소(10)들에서 순차적으로 수행된다. 이 동작에 의하여 화소부(31)에서 화상을 표시할 수 있다.

[0070] 그리고, 그 다음의 제 3 프레임 기간 및 제 4 프레임 기간에서도 제 1 프레임 기간 및 제 2 프레임 기간과 마찬가지로 패널(30)을 동작시킬 수 있다.

[0071] 또한, 본 발명의 일 형태에서는 임의의 한 프레임 기간에서 화소부(31)가 갖는 모든 화소(10)로의 화상 신호 입력이 종료되고 나서 다음 프레임 기간이 시작될 때까지 사이에 구동 회로(32) 및 구동 회로(33)를 정지 상태로 할 수 있다. 구동 회로(32)가 정지 상태가 되면 구동 회로(32)에 의한 배선 GL의 선택이 정지된다. 또한, 구동 회로(33)가 정지 상태가 되면 구동 회로(33)에 의한 배선 SL로의 화상 신호 입력이 정지된다. 이 동작에 의하여 화소부(31)에서 화상을 표시가 유지된다.

[0072] 또한, 액정 소자(11)가 계조 표시를 유지할 수 있는 기간에는 제한이 있다. 그래서, 액정 소자(11)가 계조 표시를 유지할 수 있는 기간을 고려하여 화상 신호의 재기록 명령이 없는 기간에 프레임 기간이 가질 수 있는 최대 길이를 미리 정해 둔다. 즉, 프레임 기간이 가질 수 있는 최대 길이보다 정지 화상을 표시하는 기간이 긴 경우에는 화상 신호의 재기록 명령이 없더라도 자동적으로 상기 프레임 기간을 종료시킨다. 그리고, 다음 프레임 기간에 같은 화상 신호를 화소부(31)에 다시 기록하여 화소부(31)에서 전 프레임 기간에 표시된 화상을 다시 표시한다.

[0073] 또한, 입력 장치 등으로부터의 화상 신호 재기록 명령에 따라 프레임 기간을 강제적으로 종료시켜도 좋다.

[0074] 본 발명의 일 형태는 구동 회로(32) 및 구동 회로(33)를 간헐적으로 동작 상태로 함으로써, 화상 표시를 유지하면서 화소부(31)로의 화상 신호 기록 횟수를 대폭으로 낮춰시킬 수 있다. 예를 들어, 고순도화된 산화물 반도체를 채널 형성 영역에 포함한 트랜지스터(12)를 사용함으로써 프레임 기간의 길이를 10초 이상, 바람직하게는 30초 이상, 더 바람직하게는 1분 이상으로 할 수 있다. 따라서, 구동 회로(32) 및 구동 회로(33)의 구동 주파수를 대폭으로 저감시킬 수 있어 액정 표시 장치의 소비 전력을 저감시킬 수 있다.

[0075] 또한, 본 발명의 일 형태는 구동 회로(33)로부터 배선 SL1 내지 배선 SLx에 화상 신호를 순차적으로 입력하는 점순차 구동 방식을 사용하여도 좋고, 구동 회로(33)로부터 배선 SL1 내지 배선 SLx에 화상 신호를 동시에 입력하는 선순차 구동 방식을 사용하여도 좋다. 또는, 본 발명의 일 형태에 따른 액정 표시 장치는 복수의 배선 SL마다 순차적으로 화상 신호를 입력하는 구동 방법을 사용하여도 좋다.

[0076] 또한, 배선 GL의 선택 방식으로서는 프로그래시브 방식을 사용하여도 좋고 인터레이스 방식을 사용하여도 좋다.

[0077] 또한, 일반적으로 액정은 전압이 인가되고 나서 그 투과율이 수속(收束)될 때까지의 응답 시간이 십몇 msec 정도이다. 따라서, 액정의 응답 지연이 동영상의 흐릿함으로서 시인되기 쉽다. 그래서, 본 발명의 일 형태에서는 액정 소자(11)에 인가하는 전압을 임시적으로 크게 하여 액정의 배향을 빨리 변화시키는 오버 드라이브 구동을 사용하여도 좋다. 오버 드라이브 구동을 사용함으로써, 액정의 응답 속도를 빠르게 하고 동영상의 흐릿함을 방지하여 동영상의 화질을 개선할 수 있다.

[0078] 또한, 트랜지스터(12)가 비도통 상태가 된 후에도 액정 소자(11)의 투과율이 수속되지 않고 계속 변화되는 경우

에는 액정의 비유전율이 변화되기 때문에 액정 소자(11)가 유지하는 전압이 변화되기 쉽다. 특히 본 발명의 일 형태와 같이 액정 소자(11)에 접속된 용량 소자(13) 및 용량 소자(14)의 용량값이 작은 경우에는 상기 액정 소자(11)가 유지하는 전압이 현저하게 변화되기 쉽다. 그러나, 상기 오버 드라이브 구동을 사용함으로써, 응답 시간을 줄일 수 있기 때문에 트랜지스터(12)가 비도통 상태가 된 후에서의 액정 소자(11)의 투과율 변화를 차단할 수 있다. 따라서, 액정 소자(11)에 병렬로 접속되는 용량 소자(13) 및 용량 소자(14)의 용량값이 작더라도 트랜지스터(12)가 비도통 상태가 된 후에 액정 소자(11)가 유지하는 전압이 변화되는 것을 방지할 수 있다.

[0079] <패널의 구체적인 구성예>

또한, 본 발명의 일 형태에서는 프레임 반전 구동, 소스 라인 반전 구동, 게이트 라인 반전 구동, 또는 도트 반전 구동을 사용할 수 있다. 프레임 반전 구동이란, 임의의 한 프레임 기간에 모든 화소(10)에 동일한 극성을 갖는 화상 신호를 입력하는 구동 방법에 상당한다. 소스 라인 반전 구동이란, 임의의 한 프레임 기간에 한 배선 SL에 접속된 복수의 화소(10)와 상기 배선 SL에 인접된 한 배선 SL에 접속된 복수의 화소(10)에, 서로 반대의 극성을 갖는 화상 신호를 입력하는 구동 방법에 상당한다. 게이트 라인 반전 구동이란, 임의의 한 프레임 기간에 한 배선 GL에 접속된 복수의 화소(10)와 상기 배선 GL에 인접된 한 배선 GL에 접속된 복수의 화소(10)에, 서로 반대의 극성을 갖는 화상 신호를 입력하는 구동 방법에 상당한다. 도트 반전 구동이란, 임의의 한 프레임 기간에 한 배선 SL에 접속된 복수의 화소(10) 중 인접된 화소(10)들에는 서로 반대의 극성을 갖는 화상 신호를 입력하고, 임의의 한 프레임 기간에 한 배선 GL에 접속된 복수의 화소(10) 중 인접된 화소(10)들에는 서로 반대의 극성을 갖는 화상 신호를 입력하는 구동 방법에 상당한다.

[0081] 상술한 각 구동 방법에 맞추어 용량 소자(13)가 갖는 다른 쪽 전극에 접속되는 배선 CL의 레이아웃을 적절히 설정하면 좋다.

[0082] 도 4는 소스 라인 반전 구동을 수행하는 패널(30)의 구체적인 구성예에 대하여 도시한 것이다.

[0083] 도 4에 도시된 패널(30)은 도 2에 도시된 패널(30)과 마찬가지로 화소부(31)에 복수의 화소(10)와, 화소(10)를 행마다 선택하기 위한 배선 GL(배선 GL1 내지 배선 GLy)과, 선택된 화소(10)에 화상 신호를 공급하기 위한 배선 SL(배선 SL1 내지 배선 SLx)이 제공되어 있다. 배선 GL로의 신호 입력은 구동 회로(32)에 의하여 제어된다. 배선 SL로의 화상 신호 입력은 구동 회로(33)에 의하여 제어된다. 복수의 화소(10)는 배선 GL 중 적어도 하나와 배선 SL 중 적어도 하나 각각에 접속된다.

[0084] 또한, 도 4에 도시된 패널(30)에는 복수의 배선 CL(배선 CL1 내지 배선 CLx)이 제공되어 있다. 그리고, 도 4에서 한 배선 SL에 접속된 복수의 화소(10)는 한 배선 CL에 접속되어 있다. 그리고, 배선 CL<sub>2m+1</sub>(m은 0 이상의 정수이고  $2m+2 \leq x$ 를 만족시킴)로 표기되는 모든 배선 CL은 전기적으로 접속되고 동일한 전위  $V_{COM2a}$ 가 공급된다. 또한, 배선 CL<sub>2m+2</sub>로 표기되는 모든 배선 CL은 전기적으로 접속되고 동일한 전위  $V_{COM2b}$ 가 공급된다. 또한, 배선 CL<sub>2m+1</sub>에 공급되는 전위  $V_{COM2a}$ 와 배선 CL<sub>2m+2</sub>에 공급되는 전위  $V_{COM2b}$ 는 화소(10)로의 화상 신호 기록의 타이밍에 맞추어 한쪽이 제 1 전위(V1)에서 제 2 전위(V2)로 추이하고, 다른 쪽이 제 2 전위(V2)에서 제 1 전위(V1)로 추이한다.

[0085] 도 6의 (A)는 도 4에 도시된 패널(30)에서 배선 SL<sub>i</sub>(i는 1 이상 x 이하의 자연수) 및 배선 GL<sub>j</sub>(j는 1 이상 y-1 이하의 자연수)에 접속된 화소(10)와 배선 SL<sub>i</sub> 및 배선 GL<sub>j+1</sub>에 접속된 화소(10)의 구체적인 접속 구성을 도시한 것이다. 도 6의 (A)에 도시된 바와 같이 도 4에 도시된 패널(30)에서는 한 배선 SL<sub>i</sub>에 접속된 복수의 화소(10)에서 용량 소자(13)가 갖는 다른 쪽 전극이 한 배선 CL<sub>i</sub>에 전기적으로 접속되어 있다.

[0086] 도 5는 게이트 라인 반전 구동을 수행하는 패널(30)의 구체적인 구성예에 대하여 도시한 것이다.

[0087] 도 5에 도시된 패널(30)은 도 2에 도시된 패널(30)과 마찬가지로 화소부(31)에 복수의 화소(10)와, 화소(10)를 행마다 선택하기 위한 배선 GL(배선 GL1 내지 배선 GLy)과, 선택된 화소(10)에 화상 신호를 공급하기 위한 배선 SL(배선 SL1 내지 배선 SLx)이 제공되어 있다. 배선 GL로의 신호 입력은 구동 회로(32)에 의하여 제어된다. 배선 SL로의 화상 신호 입력은 구동 회로(33)에 의하여 제어된다. 복수의 화소(10)는 배선 GL 중 적어도 하나와 배선 SL 중 적어도 하나 각각에 접속된다.

[0088] 또한, 도 5에 도시된 패널(30)에는 복수의 배선 CL(배선 CL1 내지 배선 CLy)이 제공되어 있다. 그리고, 도 5에서 한 배선 GL에 접속된 복수의 화소(10)는 한 배선 CL에 접속되어 있다. 그리고, 배선 CL<sub>2n+1</sub>(n은 0 이상의 정수이고  $2n+2 \leq y$ 를 만족시킴)로 표기되는 모든 배선 CL은 전기적으로 접속되고 동일한 전위  $V_{COM2a}$ 가 공급된다.

또한, 배선 CL<sub>2n+2</sub>로 표기되는 모든 배선 CL은 전기적으로 접속되고 동일한 전위 V<sub>COM2b</sub>가 공급된다. 또한, 배선 CL<sub>2n+1</sub>에 공급되는 전위 V<sub>COM2a</sub>와 배선 CL<sub>2n+2</sub>에 공급되는 전위 V<sub>COM2b</sub>는 화소(10)로의 화상 신호 기록의 타이밍에 맞추어 한쪽이 제 1 전위(V1)에서 제 2 전위(V2)로 추이하고, 다른 쪽이 제 2 전위(V2)에서 제 1 전위(V1)로 추이한다.

[0089] 도 6의 (B)는 도 5에 도시된 패널(30)에서 배선 SL<sub>i</sub> 및 배선 GL<sub>j</sub>에 접속된 화소(10)와 배선 SL<sub>i+1</sub> 및 배선 GL<sub>j</sub>에 접속된 화소(10)의 구체적인 접속 구성을 도시한 것이다. 도 6의 (B)에 도시된 바와 같이 도 5에 도시된 패널(30)에서는 한 배선 GL<sub>j</sub>에 접속된 복수의 화소(10)에서 용량 소자(13)가 갖는 다른 쪽 전극이 한 배선 CL<sub>j</sub>에 전기적으로 접속되어 있다.

[0090] 또한, 액정 소자(11)가 갖는 화소 전극과, 화소(10)에 화상 신호를 입력하기 위한 배선 SL과의 사이에는 기생 용량이 형성된다. 그리고, 액정 소자(11)에 접속되는 용량 소자(13) 및 용량 소자(14)가 작은 경우 화소 전극의 전위는 상기 기생 용량의 영향을 받기 쉽다. 그러므로, 화상 신호의 전위를 유지하는 기간에 배선 SL의 전위가 변화되면 이 변화에 따라 상기 화소 전극의 전위도 변동되는 소위 크로스토크라고 불리는 현상이 발생되기 쉽다. 크로스토크가 발생되면 콘트라스트가 저하된다.

[0091] 하지만, 화소를 반전 구동시키는 경우에 화소 전극을 사이에 끼워 배치된 한 쌍의 배선 SL에 서로 반대의 극성을 갖는 화상 신호를 입력하는 소스 라인 반전 구동 또는 도트 반전 구동을 채용하면, 인접된 한 쌍의 배선 SL의 전위가 서로 반대의 방향으로 변동되어, 임의의 화소 전극의 전위 변동이 상쇄될 수 있다. 이에 의하여 크로스토크의 발생을 억제할 수 있다.

[0092] 또한, 배선 CL은 다양한 기능을 가질 수 있다. 예를 들어, 인 셀형 터치 센서용 배선으로서 배선 CL을 이용할 수도 있다. 예를 들어, 도 6의 (A)에 도시된 배선 CL<sub>i</sub>와 도 6의 (B)에 도시된 배선 CL<sub>j</sub> 사이에서의 용량값의 변화를 관독함으로써 터치 센서로서 이용할 수 있다.

[0093] <액정 표시 장치의 구성예>

[0094] 다음에, 본 발명의 일 형태에 따른 액정 표시 장치의 구성예에 대하여 설명한다.

[0095] 도 7은 본 발명의 일 형태에 따른 액정 표시 장치의 구성을 일례로서 블록도로 도시한 것이다. 도 7에 도시된 액정 표시 장치(40)는 복수의 화소(10)를 화소부(31)에 갖는 패널(30), 컨트롤러(41), 및 전원 회로(47)를 갖는다. 또한, 도 7에 도시된 액정 표시 장치(40)는 입력 장치(42), CPU(43), 화상 처리 회로(44), 및 화상 메모리(45)를 갖는다. 또한, 도 7에 도시된 액정 표시 장치(40)는 패널(30)에 구동 회로(32) 및 구동 회로(33)를 갖는다.

[0096] 또한, 컨트롤러(41)는 구동 회로(32)나 구동 회로(33) 등의 동작을 제어하는 각종 구동 신호를 패널(30)에 공급하는 기능을 갖는다. 구동 신호에는 구동 회로(33)의 동작을 제어하는 구동 회로(33)용 스타트 펄스 신호, 구동 회로(33)용 클럭 신호, 구동 회로(32)의 동작을 제어하는 구동 회로(32)용 스타트 펄스 신호, 구동 회로(32)용 클럭 신호 등이 포함된다.

[0097] 입력 장치(42)는 액정 표시 장치(40)가 갖는 CPU(43)에 정보나 명령을 공급하는 기능을 갖는다. 예를 들어, 패널(30)을 동작 상태로부터 정지 상태로 이행시키기 위한 명령, 또는 화소부(31)를 정지 상태로부터 동작 상태로 이행시키기 위한 명령을 입력 장치(42)를 사용하여 CPU(43)에 공급할 수 있다. 입력 장치(42)로서는 키보드, 마우스, 터치 패널 등을 사용할 수 있다.

[0098] CPU(43)는 입력 장치(42)로부터 입력된 명령을 디코드하여 액정 표시 장치(40)가 갖는 각종 회로의 동작을 통괄적으로 제어함으로써 이 명령을 실행하는 기능을 갖는다.

[0099] 예를 들어, 화소부(31)를 동작 상태로부터 정지 상태로 이행시키는 명령이 입력 장치(42)로부터 전송된 경우, CPU(43)는 전원 회로(47)로부터 화소부(31)로의 전원 전압 V<sub>p</sub> 공급을 정지하도록, 또한 패널(30)로의 구동 신호의 공급을 정지하도록 컨트롤러(41)에 명령을 내린다.

[0100] 또는, 화소부(31)를 정지 상태로부터 동작 상태로 이행시키는 명령이 입력 장치(42)로부터 전송된 경우, CPU(43)는 전원 회로(47)로부터 화소부(31)로의 전원 전압 V<sub>p</sub> 공급을 다시 시작하도록, 또한 패널(30)로의 구동 신호의 공급을 다시 시작하도록 컨트롤러(41)에 명령을 내린다.

[0101] 화상 메모리(45)는 액정 표시 장치(40)에 입력된 화상 정보를 갖는 데이터(46)를 기억하는 기능을 갖는다. 또한, 도 7은 화상 메모리(45)를 액정 표시 장치(40)에 하나만 제공하는 경우를 예시한 것이지만 복수의 화상 메

모리(45)를 액정 표시 장치(40)에 제공하여도 좋다. 예를 들어, 적색, 청색, 녹색 등의 색상에 각각 대응하는 3개의 데이터(46)에 의하여 화소부(31)에 풀 컬러 화상이 표시되는 경우에는 각 색상의 데이터(46)에 대응하는 화상 메모리(45)를 각각 제공하여도 좋다.

- [0102] 화상 메모리(45)로서는 예를 들어, DRAM(Dynamic Random Access Memory), SRAM(Static Random Access Memory) 등의 기억 회로를 사용할 수 있다. 또는, 화상 메모리(45)로서 VRAM(Video RAM)을 사용하여도 좋다.
- [0103] 화상 처리 회로(44)는 컨트롤러(41)로부터의 명령에 따라 화상 메모리(45)로의 데이터(46) 기록과 화상 메모리(45)로부터의 데이터(46) 판독을 수행하여, 데이터(46)로부터 화상 신호를 생성하는 기능을 갖는다.
- [0104] 전원 회로(47)는 전원 전압  $V_p$ 를 패널(30)에 공급하는 기능 외에 전위  $V_{COM1}$  및 전위  $V_{COM2}$ 를 화소(10)에 공급하는 기능을 갖는다. 전위  $V_{COM2}$ 는 전원 회로(47)가 갖는 회로(150)(도 8 참조)에서 생성된다. 도 8에 도시된 회로(150)는 스위치(151) 및 스위치(152), 저항 소자(153) 및 저항 소자(154), 용량 소자(155), 증폭기(156), 및 인버터(161)를 갖는다.
- [0105] 저항 소자(153)와 저항 소자(154)는 전기적으로 직렬로 접속되어 있다. 스위치(151)는 저항 소자(153)의 제 1 단자와, 제 2 전위(V2)가 공급되는 배선(159)의 전기적 접속을 제어하는 기능을 갖는다. 스위치(152)는 저항 소자(154)의 제 1 단자와, 제 1 전위(V1)가 공급되는 배선(160)의 전기적 접속을 제어하는 기능을 갖는다. 또한, 전위차를 갖는 제 1 전위(V1)와 제 2 전위(V2)는 전원 전압  $V_p$ 로 생성되어도 좋고, 액정 표시 장치(40) 외부로부터 전원 회로(47)에 별도로 공급되어도 좋다.
- [0106] 단자(157)에 공급된 전위는 스위치(151)에 공급된다. 또한, 단자(157)에 공급된 전위는 인버터(161)에 의하여 그 극성이 반전되어 스위치(152)에 공급된다. 따라서, 스위치(151) 및 스위치(152)는 단자(157)에 공급된 전위에 따라 한쪽이 도통 상태, 다른 쪽이 비도통 상태가 된다.
- [0107] 저항 소자(153)의 제 2 단자 및 저항 소자(154)의 제 2 단자는 증폭기(156)의 비반전 입력 단자(+)에 전기적으로 접속되어 있다. 용량 소자(155)의 제 1 전극은 증폭기(156)의 비반전 입력 단자(+)에 전기적으로 접속되고, 용량 소자(155)의 제 2 전극에는 소정의 전위가 공급된다. 증폭기(156)의 반전 입력 단자(-)는 증폭기(156)의 출력 단자에 전기적으로 접속되어 있다. 증폭기(156)의 출력 단자의 전위는 전위  $V_{COM2}$ 로서 단자(158)에 공급된다.
- [0108] 반전 입력 단자(-)가 출력 단자에 접속된 증폭기(156)는 임피던스 변환기로서 기능한다. 또한, 직렬로 접속된 저항 소자(153)와 저항 소자(154)는, 저항 분압 회로로서 기능하며, 저항 소자(153)와 저항 소자(154)의 저항값의 비와 제 1 전위(V1)와 제 2 전위(V2)의 전위차에 따라, 저항 소자(153) 및 저항 소자(154)의 제 2 단자에 공급되는 전위가 결정된다.
- [0109] 이와 같은 구성을 갖는 회로(150)를 사용함으로써 제 1 전위(V1)와 제 2 전위(V2) 사이를 추이하는 전위  $V_{COM2}$ 를 생성할 수 있다.
- [0110] 또한, 소스 라인 반전 구동, 게이트 라인 반전 구동, 도트 반전 구동 등, 한 프레임 기간 내에 화소부에 대한 전위  $V_{COM2a}$  및 전위  $V_{COM2b}$ 의 공급을 병행할 필요가 있는 구동 방법을 채용하는 경우에는 전원 회로(47)에 2개의 회로(150)를 제공하는 것이 바람직하다.
- [0111] 도 9는 도 8에 도시된 회로(150)가 갖는 단자(157)의 전위의 타이밍 차트와, 단자(158)에 공급되는 전위  $V_{COM2a}$  및 전위  $V_{COM2b}$ 의 타이밍 차트를 나타낸 것이다. 또한, 도 9는 도 2에 도시된 패널(30)이 갖는 배선 GL의 전위의 타이밍 차트와, 도 1의 (A)에 도시된 액정 소자(11)가 갖는 화소 전극의 전위의 타이밍 차트 및 극성과, 전위  $V_{COM1}$ 의 전위의 타이밍 차트를 나타낸 것이다.
- [0112] 도 8에 도시된 회로(150)에서는 저항 소자(153) 및 저항 소자(154)가 분압 회로로서 기능하지만, 저항 소자(153) 또는 저항 소자(154) 대신에 정전류원을 사용하여 분압 회로로서 기능시킬 수도 있다. 다만, 저항 소자(153) 및 저항 소자(154)가 분압 회로로서 기능함으로써 도 9에 도시된 바와 같이 전위  $V_{COM2}$ (전위  $V_{COM2a}$  및 전위  $V_{COM2b}$ )를, 그 시간당 변화량이 시간의 경과에 따라 작아지도록 제 1 전위(V1)와 제 2 전위(V2) 사이에서 추이시킬 수 있다.
- [0113] 구체적으로, 도 9에서는 단자(157)에 공급되는 전위가 하이 레벨로부터 로 레벨로 전환됨으로써, 전위  $V_{COM2a}$ 가

시간의 경과에 따라 제 1 전위(V1)에서 서서히 높아진다. 전위  $V_{COM2a}$ 의 값의 변화량은 시간의 경과와 함께 작아지면서도 전위  $V_{COM2a}$ 는 제 2 전위(V2)에 도달한다. 다음에, 단자(157)에 공급되는 전위가 로 레벨로부터 하이 레벨로 전환되면, 전위  $V_{COM2a}$ 가 시간의 경과에 따라 제 2 전위(V2)에서 서서히 낮아진다. 전위  $V_{COM2a}$ 의 값의 변화량은 시간의 경과와 함께 작아지면서도 제 1 전위(V1)에 도달한다.

[0114] 또한, 도 9에서는 구체적으로, 단자(157)에 공급되는 전위가 로 레벨로부터 하이 레벨로 전환됨으로써, 전위  $V_{COM2b}$ 가 시간의 경과에 따라 제 2 전위(V2)에서 서서히 낮아진다. 전위  $V_{COM2b}$ 의 값의 변화량은 시간의 경과와 함께 작아지면서도 전위  $V_{COM2b}$ 는 제 1 전위(V1)에 도달한다. 다음에, 단자(157)에 공급되는 전위가 하이 레벨로부터 로 레벨로 전환되면, 전위  $V_{COM2b}$ 가 시간의 경과에 따라 제 1 전위(V1)에서 서서히 높아진다. 전위  $V_{COM2b}$ 의 값의 변화량은 시간의 경과와 함께 작아지면서도 제 2 전위(V2)에 도달한다.

[0115] 전위  $V_{COM2}$ 가 제 1 전위(V1)인 상태에서 단자(157)에 공급되는 전위가 로 레벨로부터 하이 레벨로 전환된 순간부터의 시간을  $t$ 로 하면 시간  $t$ 와 전위  $V_{COM2}$ 의 관계는 이하의 수학식 (1)으로 나타낼 수 있다. 다만, 수학식 (1)에서  $R$ 은 저항 소자(153)의 저항값,  $C$ 는 용량 소자(155)의 용량값이다.

[0116] [수학식 (1)]

$$V_{COM2}(t) = V2 - (V2 - V1) \exp[-t/(CR)]$$

[0118] 또한, 도 17의 (A)에 도시된 화소(20)의 경우, 도 17의 (B)에 도시된 바와 같이 화소로의 화상 신호 기록이 종료된 후에서의 액정 소자(21)의 투과율의 시간당 변화량은 항상 일정하지는 않고 시간의 경과와 함께 작아진다. 따라서, 도 1의 (A)에 도시된 화소(10)에서 도 8에 도시된 회로(150)를 사용하여 생성된 전위  $V_{COM2}$ 를 사용함으로써, 전위  $V_{COM2}$ 의 값을 상술한 투과율 변화량에 맞추어 추이시킬 수 있다. 이에 의하여 전위  $V_{COM2}$ 의 추이가 일정한 경우에 비하여 액정 소자(11)의 투과율 변화를 더 크게 억제할 수 있다.

[0119] <화소의 레이아웃>

[0120] 다음에, 도 1의 (A)에 도시된 화소(10)의 레이아웃의 일례에 대하여 도 10을 사용하여 설명한다. 또한, 도 10에서는 화소(10)의 레이아웃을 명확히 도시하기 위하여 케이트 절연막 등 각종 절연막을 생략하여 도시하고 있다. 또한, 도 10에 도시된 소자 기판을 사용하여 형성된 액정 표시 장치의 단면도를 도 11에 도시하였다. 도 11에 도시된 액정 표시 장치 중 기판(50)을 포함하는 소자 기판은 도 10의 파선 A1-A2에서 절단한 단면도에 상당한다.

[0121] 도 10 및 도 11에 도시된 화소(10)에서는 절연 표면을 갖는 기판(50) 위에 도전막(51)이 제공되어 있고, 도전막(51)은 트랜지스터(12)의 케이트로서의 기능과 배선 GL로서의 기능을 갖는다. 또한, 기판(50) 위에는 도전막(52)이 제공되어 있고, 도전막(52)은 용량 소자(13)의 전극으로서의 기능과 배선 CL로서의 기능을 갖는다. 즉, 도전막(52)에는 전위  $V_{COM2}$ 가 공급된다.

[0122] 또한, 기판(50) 위에는 도전막(51) 및 도전막(52)을 덮도록 절연막(53)이 제공되어 있다. 그리고, 절연막(53)을 끼워 도전막(51)과 중첩되는 위치에 트랜지스터(12)의 반도체막(54)이 제공되어 있다. 반도체막(54) 위에는 도전막(55) 및 도전막(56)이 제공되어 있다. 도전막(55)은 배선 SL로서의 기능과 트랜지스터(12)의 소스 또는 드레인으로서의 기능을 갖는다. 도전막(56)은 트랜지스터(12)의 소스 또는 드레인으로서의 기능과 용량 소자(13)의 전극으로서의 기능을 갖는다.

[0123] 도전막(52)과 도전막(56)이 절연막(53)을 끼워 중첩되는 부분이, 용량 소자(13)로서 기능한다.

[0124] 반도체막(54), 도전막(55), 및 도전막(56) 위에는 산화물막(57), 절연막(58), 및 절연막(59)이 차례로 적층되어 있다. 그리고, 절연막(59) 위에는 유기 수지막(60)이 제공되어 있다. 산화물막(57), 절연막(58), 절연막(59), 및 유기 수지막(60)에는 개구부(62)가 제공되어 있다.

[0125] 유기 수지막(60) 위의, 개구부(62) 이외의 영역에는 공통 전극으로서 기능하는 도전막(61)이 제공되어 있다. 그리고, 도전막(61) 위에는 절연막(63)이 제공되어 있고, 절연막(63) 위에서 도전막(61)과 중첩되는 위치에는 화소 전극으로서 기능하는 도전막(64)이 제공되어 있다. 절연막(63)은 개구부(62)와 중첩되는 위치에 개구부를 갖고, 절연막(63)의 상기 개구부에서 도전막(64)이 도전막(56)에 접속되어 있다. 또한, 도전막(64) 위에는 배

향막(65)이 제공되어 있다.

[0126] 또한, 기판(50)과 대향되도록 기판(70)이 제공되어 있다. 기판(70) 위에는 가시광을 차폐하는 기능을 갖는 차폐막(71)과, 특정 파장 범위의 가시광을 투과시키는 착색층(72)이 제공되어 있다. 차폐막(71) 및 착색층(72) 위에는 수지막(73)이 제공되어 있고, 수지막(73) 위에는 배향막(74)이 제공되어 있다. 수지막(73)은 차폐막(71) 및 착색층(72)의 표면 형상이 배향막(74)의 평탄성에 영향을 미치는 것을 방지하는 기능을 갖는다.

[0127] 그리고, 기판(50)과 기판(70) 사이에서, 배향막(65)과 배향막(74) 사이에 끼워지도록 액정 재료를 포함한 액정층(75)이 제공되어 있다. 액정 소자(11)는 도전막(61), 도전막(64), 및 액정층(75)을 갖는다.

[0128] 또한, 반도체막(54)에 산화물 반도체를 사용한 경우, 도전막(55) 및 도전막(56)에 사용된 도전성 재료에 따라서는 도전막(55) 및 도전막(56) 내의 금속이 산화물 반도체에서 산소를 빼앗을 수 있다. 이 때 반도체막(54) 중 도전막(55) 및 도전막(56)에 접촉하는 영역은 산소 결손의 형성에 의하여 n형화된다. 도 15는 도 11에 도시된 트랜지스터(12)의 일부의 영역을 확대하여 도시한 것이다. 도 15에서는 반도체막(54) 중 도전막(55) 및 도전막(56)에 접촉하는 영역(54n)이 n형화되어 있다.

[0129] n형화된 영역(54n)은 소스 영역 또는 드레인 영역으로서 기능하기 때문에 반도체막(54)과 도전막(55) 및 도전막(56)과의 사이의 접촉 저항을 저감시킬 수 있다. 따라서, n형화된 영역(54n)이 형성됨으로써 트랜지스터(12)의 이동도 및 온 전류를 향상시킬 수 있고, 이에 의하여 트랜지스터(12)를 사용한 반도체 장치의 고속 동작을 실현할 수 있다.

[0130] 또한, 도전막(55) 및 도전막(56) 내의 금속은 도전막(55) 및 도전막(56)을 스퍼터링법 등으로 형성할 때에 산소를 빼앗을 수 있고, 도전막(55) 및 도전막(56)을 형성한 후의 가열 처리 시에 산소를 빼앗을 수도 있다.

[0131] 또한, 산소와 결합하기 쉬운 도전성 재료를 도전막(55) 및 도전막(56)에 사용하면 n형화된 영역은 형성되기 더 쉬워진다. 이 도전성 재료로서는 예를 들어, Al, Cr, Cu, Ta, Ti, Mo, W 등을 들 수 있다.

#### <제작 방법>

[0133] 다음에, 도 10에 도시된 소자 기판의 제작 방법에 대하여 일례를 들어 설명한다.

[0134] 도 12의 (A)에 도시된 바와 같이 기판(50) 위에 도전막을 형성한 후, 이 도전막의 형상을 예칭 등으로 가공(페터닝)함으로써 도전막(51) 및 도전막(52)을 형성한다.

[0135] 기판(50)으로서는 나중의 제작 공정에 견딜 수 있을 정도의 내열성을 갖는 기판을 사용하는 것이 바람직하고 예를 들어, 유리 기판, 세라믹 기판, 석영 기판, 사파이어 기판 등을 사용할 수 있다.

[0136] 도전막(51) 및 도전막(52)으로서는 알루미늄, 티타늄, 크롬, 코발트, 니켈, 구리, 이트륨, 지르코늄, 몰리브덴, 루테늄, 은, 탄탈, 및 텅스텐 중에서 선택된 1종류 이상을 포함하는 도전성 재료로 이루어진 막을 단층 구조로 사용하거나 또는 2층 이상의 적층 구조로 사용하면 좋다. 예를 들어, 도전막(51) 및 도전막(52)으로서 질화 텅스텐막 위에 구리막을 적층한 도전막이나, 단층의 텅스텐막을 사용할 수 있다.

[0137] 다음에, 도전막(51) 및 도전막(52)을 덮도록 절연막(53)을 형성한 후, 절연막(53) 위에서 도전막(51)과 중첩되는 위치에 반도체막(54)을 형성한다(도 12의 (B) 참조).

[0138] 절연막(53)으로서는 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 계르마늄, 산화 이트륨, 산화 지르코늄, 산화 탄탄, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈 중에서 선택된 1종류 이상을 포함한 절연막을 단층 구조로 사용하거나 또는 적층 구조로 사용하면 좋다.

[0139] 예를 들어, 절연막(53)을 2층 구조로 하는 경우, 1층째를 질화 실리콘막, 2층째를 산화 실리콘막으로 한 다층막으로 하면 좋다. 2층째 산화 실리콘막은 산화 질화 실리콘막으로 할 수도 있다. 또한, 1층째 질화 실리콘막을 질화 산화 실리콘막으로 할 수도 있다.

[0140] 산화 실리콘막으로서는 결함 밀도가 낮은 산화 실리콘막을 사용하는 것이 바람직하다. 구체적으로는 전자 스픬 공명(ESR: Electron Spin Resonance)에서  $g$ 값이 2.001인 신호에서 유래하는 스픬의 스픬 밀도가  $3 \times 10^{17} \text{ spins/cm}^3$  이하, 바람직하게는  $5 \times 10^{16} \text{ spins/cm}^3$  이하인 산화 실리콘막을 사용한다. 산화 실리콘막으로서는 산소를 과잉으로 갖는 산화 실리콘막을 사용하는 것이 바람직하다. 질화 실리콘막으로서는 수소 및 암모니아의 방출량이 적은 질화 실리콘막을 사용한다. 수소 및 암모니아의 방출량은 TDS(Thermal Desorption

Spectroscopy: 승온 탈리 가스 분광법) 분석으로 측정하면 좋다.

- [0141] 반도체막(54)으로서 산화물 반도체막을 사용할 수 있다. 반도체막(54)으로서 사용하는 산화물 반도체막에 수소가 다량으로 포함되는 경우 수소가 산화물 반도체와 결합됨으로써 수소의 일부가 도너가 되어 캐리어인 전자를 발생시킨다. 이로 인하여 트랜지스터의 문턱 전압이 음 방향으로 시프트된다. 그러므로, 산화물 반도체막의 형성 후에 탈수화 처리(탈수소화 처리)를 수행함으로써 산화물 반도체막으로부터 수소 또는 수분을 제거하여 불순물이 가능한 한 포함되지 않도록 하는 것이 바람직하다.
- [0142] 그런데, 산화물 반도체막의 탈수화 처리(탈수소화 처리)에 의하여 산화물 반도체막 중의 산소가 감소될 수 있다. 그러므로, 탈수화 처리(탈수소화 처리)에 의하여 증가된 산소 결손을 보전하기 위하여 산소를 산화물 반도체막에 첨가하는 처리를 수행하는 것이 바람직하다.
- [0143] 이와 같이 산화물 반도체막은 탈수화 처리(탈수소화 처리)에 의하여 수소 또는 수분이 제거되고 가산소화 처리에 의하여 산소 결손이 보전되기 때문에, i형(진성)화되거나 또는 i형에 한없이 가까운 실질적으로 i형(진성)인 산화물 반도체막이 될 수 있다.
- [0144] 다음에, 반도체막(54) 및 절연막(53) 위에 도전막을 형성한 후, 이 도전막의 형상을 예칭 등으로 가공함으로써 반도체막(54)에 접촉하는 도전막(55) 및 도전막(56)을 형성한다(도 12의 (C) 참조). 도전막(56)은 절연막(53) 위에서 도전막(52)과 중첩되는 위치에 제공된다. 도전막(55) 및 도전막(56)에는 도전막(51) 또는 도전막(52)과 같은 도전성 재료를 사용할 수 있다.
- [0145] 다음에, 기판(50)을 덮도록 산화물막 또는 절연막을 형성한다. 도 12의 (D)는 산화물막(57), 절연막(58), 및 절연막(59)을 차례로 적층하여 형성하는 경우를 예시한 것이다.
- [0146] 산화물막(57)에는 금속 산화물을 사용하는 것이 바람직하다. 상술한 구성을 갖는 산화물막(57)을 사용함으로써 실리콘이 포함된 절연막(58)과 반도체막(54)을 이격시킬 수 있다. 이로써, 반도체막(54)에 인듐을 포함한 금속 산화물이 사용되는 경우에 산소와의 결합 에너지가 인듐보다 큰 실리콘이 반도체막(54) 단부에서 인듐과 산소의 결합을 절단하여 산소 결손을 형성하는 것을 방지할 수 있다. 이에 의하여 본 발명의 일 형태는 트랜지스터의 신뢰성을 더 높일 수 있다.
- [0147] 산화물막(57)은 구체적으로, 금속의 원자수비가 1:6:4 또는 1:3:2인 In-Ga-Zn계 산화물 타깃을 사용하여 스퍼터링법으로 형성할 수 있다.
- [0148] 절연막(59)은 절연막(58)을 형성한 후 대기애 노출시키지 않고 연속적으로 형성하는 것이 바람직하다. 절연막(58)을 형성한 후 대기애 개방시키지 않고 원료 가스의 유량, 압력, 고주파 전력, 및 기판 온도 중에서 하나 이상을 조정하여 절연막(59)을 연속적으로 형성함으로써, 절연막(58)과 절연막(59)의 계면에서의 불순물 농도를 저감시킬 수 있음과 함께 절연막(59)에 포함되는 산소를 반도체막(54)으로 이동시킬 수 있어 반도체막(54)의 산소 결손량을 저감시킬 수 있다.
- [0149] 플라즈마 CVD 장치의 진공 배기된 처리실 내에 재치(載置)된 기판을 180°C 이상 400°C 이하, 더 바람직하게는 200°C 이상 370°C 이하로 유지하고, 처리실에 원료 가스를 도입하여 처리실 내의 압력을 30Pa 이상 250Pa 이하, 더 바람직하게는 40Pa 이상 200Pa 이하로 하고, 처리실 내에 설치된 전극에 고주파 전력을 공급하는 조건으로, 절연막(58)으로서 산화 실리콘막 또는 산화 질화 실리콘막을 형성한다.
- [0150] 절연막(58)의 원료 가스로서는 실리콘을 포함한 퇴적성 기체 및 산화성 기체를 사용하는 것이 바람직하다. 실리콘을 포함한 퇴적성 기체의 대표적인 예로서는 실레인, 다이실레인, 트라이실레인, 불화 실레인 등이 있다. 산화성 기체로서는 산소, 오존, 일산화이질소, 이산화질소 등이 있다.
- [0151] 상술한 조건에 의하여 절연막(58)으로서 산소를 투과시키는 산화 절연막을 형성할 수 있다. 또한, 절연막(58)을 제공함으로써, 나중에 형성하는 절연막(59)의 형성 공정에서의 산화물막(57)에 대한 대미지를 저감시킬 수 있다.
- [0152] 또한, 실리콘을 포함한 퇴적성 기체에 대한 산화성 기체의 양을 100배 이상으로 하면, 절연막(58)의 수소 함유량을 저감시킬 수 있음과 함께, 절연막(58)에 포함되는 맹글링 본드를 저감시킬 수 있다. 절연막(59)으로부터 이동하는 산소는 절연막(58)에 포함되는 맹글링 본드에 의하여 포획될 수 있어, 화학량론적 조성보다 많은 산소를 갖는 절연막(59)에 포함되는 산소를 효율적으로 반도체막(54)으로 이동시켜 반도체막(54)에 포함되는 산소 결손을 보전할 수 있다. 이 결과 반도체막(54)에 흔입되는 수소량을 저감시킬 수 있음과 함께 반도체막(54)에 포함되는 산소 결손을 저감시킬 수 있기 때문에, 트랜지스터의 문턱 전압의 마이너스 시프트를 억제할 수 있고

트랜지스터의 소스와 드레인간에서의 누설 전류를 저감시킬 수 있어 트랜지스터의 전기적 특성을 향상시킬 수 있다.

[0153] 본 실시형태에서는 절연막(58)으로서, 유량 20sccm의 실레인 및 유량 3000sccm의 일산화이질소를 원료 가스로 하고, 처리실의 압력을 40Pa, 기판 온도를 220°C로 하고, 27.12MHz의 고주파 전원을 사용하여 100W의 고주파 전력을 평행 평판 전극에 공급하는 조건으로 플라즈마 CVD법에 의하여, 두께 50nm의 산화 질화 실리콘막을 형성한다. 또한, 플라즈마 CVD 장치는 전극 면적이 6000cm<sup>2</sup>인 평행 평판형 플라즈마 CVD 장치이며 공급하는 전력을 단위 면적당 전력(전력 밀도)으로 환산하면  $1.6 \times 10^{-2} \text{ W/cm}^2$ 이다. 상술한 조건에 의하여, 산소를 투과시키는 산화 질화 실리콘막을 형성할 수 있다.

[0154] 절연막(59)으로서는 플라즈마 CVD 장치의 진공 배기된 처리실 내에 재치된 기판을 180°C 이상 260°C 이하, 더 바람직하게는 180°C 이상 230°C 이하로 유지하고, 처리실에 원료 가스를 도입하여 처리실 내의 압력을 100Pa 이상 250Pa 이하, 더 바람직하게는 100Pa 이상 200Pa 이하로 하고, 처리실 내에 설치된 전극에 0.17W/cm<sup>2</sup> 이상 0.5W/cm<sup>2</sup> 이하, 더 바람직하게는 0.25W/cm<sup>2</sup> 이상 0.35W/cm<sup>2</sup> 이하의 고주파 전력을 공급하는 조건으로, 산화 실리콘막 또는 산화 질화 실리콘막을 형성한다.

[0155] 상술한 압력으로 설정한 처리실에서 상술한 파워 밀도의 고주파 전력을 처리실 내에 설치된 전극에 공급하는 성막 조건으로 절연막(59)을 형성하는 경우, 플라즈마 내에서 원료 가스의 분해 효율이 높아지고 산소 라디칼이 증가되고 원료 가스의 산화가 진행되기 때문에 절연막(59) 내의 산소 함유량이 화학량론적 조성보다 많게 된다. 그러나, 기판 온도가 상술한 온도인 경우 실리콘과 산소의 결합력이 약하기 때문에 가열에 의하여 산소의 일부가 탈리된다. 이 결과 화학량론적 조성을 만족시키는 산소보다 많은 산소를 포함하고 가열에 의하여 산소의 일부가 탈리되는 산화 절연막을 형성할 수 있다. 또한, 산화물막(57) 위에 절연막(58)이 제공되며 이 절연막(58)은 절연막(59)의 형성 공정에서 산화물막(57)을 보호하는 기능을 갖는다. 따라서, 반도체막(54)에 대한 대미지를 저감시키면서 파워 밀도가 높은 고주파 전력을 사용하여 절연막(59)을 형성할 수 있다.

[0156] 본 실시형태에서는 절연막(59)으로서, 유량 160sccm의 실레인 및 유량 4000sccm의 일산화이질소를 원료 가스로 하고, 처리실의 압력을 200Pa, 기판 온도를 220°C로 하고, 27.12MHz의 고주파 전원을 사용하여 1500W의 고주파 전력을 평행 평판 전극에 공급하는 조건으로 플라즈마 CVD법에 의하여, 두께 400nm의 산화 질화 실리콘막을 형성한다. 또한, 플라즈마 CVD 장치는 전극 면적이 6000cm<sup>2</sup>인 평행 평판형 플라즈마 CVD 장치이며 공급하는 전력을 단위 면적당 전력(전력 밀도)으로 환산하면  $2.5 \times 10^{-1} \text{ W/cm}^2$ 이다.

[0157] 다음에, 적어도 절연막(59)을 형성한 후에 가열 처리를 수행하여 절연막(58) 또는 절연막(59)에 포함되는 산소를 산화물막(57) 및 반도체막(54)으로 이동시킴으로써 산화물막(57) 및 반도체막(54)의 산소 결손을 보전하는 것이 바람직하다. 또한, 이 가열 처리는 반도체막(54)의 탈수소화 또는 탈수화를 위한 가열 처리로서 수행하면 좋다.

[0158] 다음에, 기판(50)을 덮도록 유기 수지막(60)을 형성한다. 유기 수지막(60)은 도전막(61) 및 도전막(64)의 하지막으로서 기능하는 막이며 트랜지스터나 도전막 등으로 인하여, 공통 전극으로서 기능하는 도전막(61)과 화소 전극으로서 기능하는 도전막(64)에 요철이 형성되는 것을 방지하는 기능을 갖는다. 유기 수지막(60)에는 아크릴 수지, 폴리이미드 수지 등을 사용할 수 있다.

[0159] 그리고, 유기 수지막(60), 산화물막(57), 절연막(58), 및 절연막(59)에 개구부(62)를 형성한다(도 13의 (A) 참조). 개구부(62)에서 도전막(56)이 부분적으로 노출된다.

[0160] 또한, 개구부(62)는 한 장의 포토마스크를 사용하여 형성하여도 좋고, 유기 수지막(60)에 개구부를 형성하기 위한 포토마스크를 사용하고 산화물막(57), 절연막(58), 및 절연막(59)에 개구부를 형성하기 위한 포토마스크를 사용하여 형성할 수도 있다.

[0161] 다음에, 유기 수지막(60) 위에 투명 도전막을 형성하고 이 투명 도전막을 에칭 등으로 원하는 형상으로 가공함으로써 도전막(61)을 형성한 후에 도전막(61) 및 유기 수지막(60) 위에 절연막(63)을 형성한다. 그리고, 개구부(62)에서 도전막(56)이 부분적으로 노출되도록 절연막(63)에 개구부를 형성한다(도 13의 (B) 참조).

[0162] 절연막(63)은 외부에서 물이나 불순물이 침입되는 것을 방지하는 기능을 갖는다. 또한, 절연막(63)은 도전막(61)과 도전막(64)이 중첩되는 영역에 형성되는 용량 소자(14)의 유전체로서 기능한다. 절연막(63)은 질화물

또는 질화 산화물로 이루어진 절연막인 것이 바람직하고 예를 들어, 질화 실리콘막, 질화 산화 실리콘막을 형성하면 좋다.

[0163] 다음에, 절연막(63) 위에 투명 도전막을 형성하고 예칭 등으로 이 투명 도전막의 형상을 가공함으로써 도전막(64)을 형성한다. 도전막(64)은 도전막(56)에 접속된다. 이 후 도전막(64) 위에 배향막(65)을 형성한다(도 13의 (C) 참조).

[0164] 또한 도전막(61) 및 도전막(64)을 형성하는 데 사용하는 투명 도전막으로서는 산화 텅스텐을 포함한 인듐 산화물, 산화 텅스텐을 포함한 인듐 아연 산화물, 산화 티타늄을 포함한 인듐 산화물, 산화 티타늄을 포함한 인듐 주석 산화물, 인듐 주석 산화물, 인듐 아연 산화물, 산화 실리콘의 첨가된 인듐 주석 산화물 등을 포함한 도전막을 사용할 수 있다.

[0165] 상술한 제작 공정에 의하여 도 10에 도시된 소자 기판을 형성할 수 있다. 소자 기판을 형성한 후에 도 11에 도시된 바와 같이 기판(70)과 소자 기판 사이에 액정층을 밀봉하면 액정 표시 장치의 패널을 형성할 수 있다.

[0166] <반도체막에 대하여>

[0167] 또한, 전자 공여체(도너)가 되는 수분 또는 수소 등 불순물이 저감되고 산소 결손이 저감됨으로써 고순도화된 산화물 반도체(purified Oxide Semiconductor)는 i형(진성 반도체) 또는 i형에 한없이 가깝다. 따라서, 고순도화된 산화물 반도체막에 채널 형성 영역을 갖는 트랜지스터는 오프 전류가 매우 작고 신뢰성이 높다.

[0168] 구체적으로, 고순도화된 산화물 반도체막에 채널 형성 영역을 갖는 트랜지스터의 오프 전류가 작은 것은 각종 실험에 의하여 증명할 수 있다. 예를 들어, 채널 폭이  $1 \times 10^6 \mu\text{m}$ 이고 채널 길이가  $10 \mu\text{m}$ 인 소자의 경우에도, 소스 전극과 드레인 전극간의 전압(드레인 전압)이 1V 내지 10V의 범위에서 오프 전류가 반도체 파라미터 분석 기의 측정 한계 이하, 즉  $1 \times 10^{-13} \text{ A}$  이하라는 특성을 얻을 수 있다. 이 경우, 트랜지스터의 채널 폭으로 정규화된 오프 전류는  $100\text{zA}/\mu\text{m}$  이하인 것을 알 수 있다. 또한, 용량 소자와 트랜지스터를 접속하고, 용량 소자에 유입 또는 용량 소자로부터 유출되는 전하가 상기 트랜지스터로 제어되는 회로를 사용하여, 오프 전류를 측정하였다. 이 측정에서는 고순도화된 산화물 반도체막을 상기 트랜지스터의 채널 형성 영역에 사용하고, 용량 소자의 단위 시간당 전하량의 추이로부터 상기 트랜지스터의 오프 전류를 측정하였다. 그 결과, 트랜지스터의 소스 전극과 드레인 전극간의 전압이 3V인 경우에 몇십  $\text{yA}/\mu\text{m}$ 라는 더 작은 오프 전류가 얻어지는 것을 알았다. 따라서, 고순도화된 산화물 반도체막을 채널 형성 영역에 사용한 트랜지스터는 결정성을 갖는 실리콘을 사용한 트랜지스터에 비하여 오프 전류가 현저히 작다.

[0169] 또한, 특별히 언급하지 않는 한 본 명세서에서 오프 전류란, n채널형 트랜지스터의 경우에는 드레인의 전위를 소스와 게이트의 그것보다 높게 한 상태에서, 소스의 전위를 기준으로 한 게이트의 전위가 0 이하일 때 소스와 드레인 사이에 흐르는 전류를 가리킨다. 또는, 본 명세서에서 오프 전류란, p채널형 트랜지스터의 경우에는 드레인의 전위를 소스와 게이트의 그것보다 낮게 한 상태에서, 소스의 전위를 기준으로 한 게이트의 전위가 0 이 상일 때 소스와 드레인 사이에 흐르는 전류를 가리킨다.

[0170] 또한, 반도체막으로서 산화물 반도체막을 사용하는 경우, 산화물 반도체는 적어도 인듐(In) 또는 아연(Zn)을 포함하는 것이 바람직하다. 또한, 상기 산화물 반도체를 사용한 트랜지스터의 전기적 특성의 편차를 줄이기 위한 스테빌라이저로서, 이들에 더하여 갈륨(Ga)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 주석(Sn)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 하프늄(Hf)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 알루미늄(Al)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 지르코늄(Zr)을 갖는 것이 바람직하다.

[0171] 산화물 반도체 중에서도 In-Ga-Zn계 산화물, In-Sn-Zn계 산화물 등은 탄소화 실리콘, 질화 갈륨, 또는 산화 갈륨과 달리 스퍼터링법이나 습식법에 의하여 전기적 특성이 우수한 트랜지스터를 제작할 수 있으며, 양산성이 우수하다. 또한, 탄소화 실리콘, 질화 갈륨, 또는 산화 갈륨과 달리 이 In-Ga-Zn계 산화물은 유리 기판 위에 전기적 특성이 우수한 트랜지스터를 제작할 수 있다. 또한, 기판의 대형화에도 대응할 수 있다.

[0172] 또한, 다른 스테빌라이저로서 란타노이드(lanthanoid)인 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 텐븀(Tm), 이테르븀(Yb), 루테튬(Lu) 중 어느 하나 또는 복수를 포함하여도 좋다.

[0173] 예를 들어, 산화물 반도체로서 산화 인듐, 산화 갈륨, 산화 주석, 산화 아연, In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, In-Ga계 산화물, In-Ga-Zn계 산화물(IGZO)

라고도 표기함), In-Al-Zn계 산화물, In-Sn-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물을 사용할 수 있다.

[0174] 또한, 예를 들어, In-Ga-Zn계 산화물이란, In과 Ga와 Zn을 포함하는 산화물을 말하며 In과 Ga와 Zn의 비율은 불문한다. 또한, In과 Ga와 Zn 이외의 금속 원소를 포함하여도 좋다. In-Ga-Zn계 산화물은 무전계 시의 저항이 충분히 높아 오프 전류를 충분히 작게 할 수 있고 이동도도 높다.

[0175] 예를 들어, 원자수비가  $In:Ga:Zn=1:1:1(=1/3:1/3:1/3)$  또는  $In:Ga:Zn=2:2:1(=2/5:2/5:1/5)$ 인 In-Ga-Zn계 산화물이나 그 근방의 조성을 갖는 산화물을 사용할 수 있다. 또는, 원자수비가  $In:Sn:Zn=1:1:1(=1/3:1/3:1/3)$ ,  $In:Sn:Zn=2:1:3(=1/3:1/6:1/2)$ , 또는  $In:Sn:Zn=2:1:5(=1/4:1/8:5/8)$ 인 In-Sn-Zn계 산화물이나 그 근방의 조성을 갖는 산화물을 사용하면 좋다.

[0176] 예를 들어, In-Sn-Zn계 산화물을 사용하면 비교적 용이하게 높은 이동도가 얻어진다. 그러나, In-Ga-Zn계 산화물을 사용한 경우에도 벌크 내 결함 밀도를 낮게 함으로써 이동도를 높일 수 있다.

[0177] 산화물 반도체막은 단결정 산화물 반도체막과 비단결정 산화물 반도체막으로 대별된다. 비단결정 산화물 반도체막이란, 비정질 산화물 반도체막, 미결정 산화물 반도체막, 다결정 산화물 반도체막, CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)막 등을 말한다.

[0178] 비정질 산화물 반도체막은 막 내의 원자 배열이 불규칙하고 결정 성분을 갖지 않는 산화물 반도체막이다. 미소 영역에서도 결정부를 갖지 않고, 막 전체가 완전한 비정질 구조인 산화물 반도체막이 전형적이다.

[0179] 미결정 산화물 반도체막은 예를 들어, 크기가  $1nm$  이상  $10nm$  미만인 미결정(나노 결정이라고도 함)을 포함한다. 그러므로, 미결정 산화물 반도체막은 비정질 산화물 반도체막보다 원자 배열의 규칙성이 높다. 따라서, 미결정 산화물 반도체막은 비정질 산화물 반도체막보다 결함 준위 밀도가 낮은 특징을 갖는다.

[0180] CAAC-OS막은 복수의 결정부를 갖는 산화물 반도체막 중 하나이며, 대부분의 결정부는 한 변이  $100nm$  미만인 입방체 내에 들어가는 크기이다. 따라서, CAAC-OS막에 포함되는 결정부는 한 변이  $10nm$  미만,  $5nm$  미만, 또는  $3nm$  미만인 입방체 내에 들어가는 크기일 수도 있다. CAAC-OS막은 미결정 산화물 반도체막보다 결함 준위 밀도가 낮은 특징을 갖는다. 이하에서는, CAAC-OS막에 대하여 자세히 설명한다.

[0181] CAAC-OS막을 투과형 전자 현미경(TEM: Transmission Electron Microscope)으로 관찰한 경우 결정부들끼리의 명확한 경계, 즉 결정 입계(그레이인 바운더리라고도 함)가 확인되지 않는다. 그러므로, CAAC-OS막에서는 결정 입계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다.

[0182] CAAC-OS막을 시료 면에 실질적으로 평행한 방향으로부터 TEM으로 관찰(단면 TEM 관찰)하면 결정부에서 금속 원자가 층상으로 배열되어 있는 것을 확인할 수 있다. 금속 원자의 각 층은 CAAC-OS막이 형성되는 면(피형성면이라고도 함) 또는 CAAC-OS막 상면의 요철이 반영된 형상을 갖고 CAAC-OS막의 피형성면 또는 상면에 평행하게 배열된다.

[0183] 본 명세서에서 '평행'이란, 두 개의 직선이  $-10^\circ$  이상  $10^\circ$  이하의 각도로 배치된 상태를 말한다. 따라서,  $-5^\circ$  이상  $5^\circ$  이하의 경우도 그 범주에 포함된다. 또한, '수직'이란, 두 개의 직선이  $80^\circ$  이상  $100^\circ$  이하의 각도로 배치된 상태를 말한다. 따라서,  $85^\circ$  이상  $95^\circ$  이하의 경우도 그 범주에 포함된다.

[0184] 한편, CAAC-OS막을 시료 면에 실질적으로 수직인 방향으로부터 TEM으로 관찰(평면 TEM 관찰)하면 결정부에서 금속 원자가 삼각형 또는 육각형으로 배열되어 있는 것을 확인할 수 있다. 그러나, 다른 결정부들간에서 금속 원자의 배열에 규칙성은 없다.

[0185] 단면 TEM 관찰과 평면 TEM 관찰로부터 CAAC-OS막의 결정부가 배향성을 가짐을 알 수 있다.

[0186] CAAC-OS막을 X선 회절(XRD: X-Ray Diffraction) 장치를 사용하여 구조 해석하면 예를 들어,  $InGaZnO_4$ 의 결정을 갖는 CAAC-OS막을 out-of-plane법에 의하여 해석한 경우에 회절각( $2\theta$ )  $31^\circ$  근방에서 피크가 나타날 수 있다. 이 피크는,  $InGaZnO_4$ 의 결정의 (009)면에 귀속되기 때문에 CAAC-OS막의 결정이 c축 배향성을 갖고 c축이 피형성면 또는 상면에 실질적으로 수직인 방향으로 배향되어 있는 것을 확인할 수 있다.

- [0187] 한편, CAAC-OS막에 대하여 c축에 실질적으로 수직인 방향으로부터 X선을 입사시키는 in-plane법에 의한 해석에서는  $2\theta = 56^\circ$  근방에서 피크가 나타날 수 있다. 이 피크는  $\text{InGaZnO}_4$ 의 결정의 (110)면에 귀속된다.  $\text{InGaZnO}_4$ 의 단결정 산화물 반도체막의 경우,  $2\theta$ 를  $56^\circ$  근방에 고정시키고 시료 면의 법선 벡터를 축( $\phi$ 축)으로 하여 시료를 회전시키면서 분석( $\phi$  스캔)하면 (110)면과 등가인 결정 면에 귀속되는 피크가 6개 관찰된다. 이에 반하여, CAAC-OS막의 경우,  $2\theta$ 를  $56^\circ$  근방에 고정시키고  $\phi$  스캔하여도 명확한 피크가 나타나지 않는다.
- [0188] 상술한 것으로부터 CAAC-OS막에 있어서 다른 결정부들간에서는 a축 및 b축의 배향이 불규칙하지만 c축 배향성을 갖고 c축이 괴형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향되어 있는 것을 알 수 있다. 따라서, 상술한 단면 TEM 관찰로 확인된 층상으로 배열된 금속 원자의 각 층은, 결정의 a-b면에 평행한 면이다.
- [0189] 또한, 결정부는 CAAC-OS막을 형성하였을 때, 또는 가열 처리 등의 결정화 처리를 수행하였을 때 형성된다. 상술한 바와 같이 결정의 c축은 CAAC-OS막의 괴형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향된다. 따라서, 예를 들어 CAAC-OS막의 형상을 예칭 등에 의하여 변화시킨 경우에는 결정의 c축이 CAAC-OS막의 괴형성면 또는 상면의 법선 벡터에 평행하게 배향되지 않을 수도 있다.
- [0190] 또한, CAAC-OS막 내의 결정화도는 균일하지 않아도 좋다. 예를 들어, CAAC-OS막의 결정부가 CAAC-OS막의 상면 근방으로부터 결정을 성장시킴으로써 형성되는 경우, 상면 근방의 영역은 괴형성면 근방의 영역보다 결정화도가 높게 될 수 있다. 또한, CAAC-OS막에 불순물을 첨가하는 경우에는 불순물이 첨가된 영역의 결정화도가 변화되어 부분적으로 결정화도가 다른 영역이 형성될 수도 있다.
- [0191] 또한,  $\text{InGaZnO}_4$ 의 결정을 갖는 CAAC-OS막을 out-of-plane법에 의하여 해석한 경우  $2\theta = 31^\circ$  근방에서 나타나는 피크 외에  $2\theta = 36^\circ$  근방에서도 피크가 나타날 수 있다.  $2\theta = 36^\circ$  근방에서 나타나는 피크는 CAAC-OS막 내의 일부에 c축 배향성을 갖지 않는 결정이 포함되어 있음을 가리킨다. CAAC-OS막은  $2\theta = 31^\circ$  근방에서 피크가 나타나고  $2\theta = 36^\circ$  근방에서 피크가 나타나지 않는 것이 바람직하다.
- [0192] CAAC-OS막을 사용한 트랜지스터는 가시광이나 자외광의 조사로 인한 전기적 특성의 변동이 작다. 따라서, 상기 트랜지스터는 신뢰성이 높다.
- [0193] 또한, 산화물 반도체막은 예를 들어, 비정질 산화물 반도체막, 미결정 산화물 반도체막, CAAC-OS막 중 2종류 이상을 갖는 적층막이어도 좋다.
- [0194] CAAC-OS막은 예를 들어, 다결정인 금속 산화물 타깃을 사용하여 스퍼터링법에 의하여 형성한다. 상기 타깃에 이온이 충돌되면 타깃에 포함되는 결정 영역이 a-b면으로부터 벽개(劈開)되어 a-b면에 평행한 면을 갖는 평판상 또는 펠릿상의 스퍼터링 입자로서 박리될 수 있다. 이 경우 상기 평판상 또는 펠릿상의 스퍼터링 입자가 결정 상태를 유지한 채 기판에 도달됨으로써 CAAC-OS막이 형성될 수 있다.
- [0195] 또한, CAAC-OS막을 형성하기 위하여 이하와 같은 조건을 적용하는 것이 바람직하다.
- [0196] 막 형성 시의 불순물 혼입을 저감시킴으로써 불순물로 인하여 결정 상태가 무너지는 것을 억제할 수 있다. 예를 들어, 처리실 내에 존재하는 불순물(수소, 물, 이산화탄소, 및 질소 등)의 농도를 저감시키면 좋다. 또한, 성막 가스 내의 불순물 농도를 저감시키면 좋다. 구체적으로는 이슬점이  $-80^\circ\text{C}$  이하, 바람직하게는  $-100^\circ\text{C}$  이하인 성막 가스를 사용한다.
- [0197] 또한, 막 형성 시의 기판 가열 온도를 높게 함으로써 기판 도달 후에 스퍼터링 입자의 마이그레이션(migration)이 일어난다. 구체적으로는 기판 가열 온도를  $100^\circ\text{C}$  이상  $740^\circ\text{C}$  이하, 바람직하게는  $200^\circ\text{C}$  이상  $500^\circ\text{C}$  이하로 하여 형성한다. 막 형성 시의 기판 가열 온도를 높게 함으로써, 평판상 또는 펠릿상의 스퍼터링 입자가 기판에 도달할 때 기판 위에서 마이그레이션이 일어나 스퍼터링 입자의 평평한 면이 기판에 부착된다.
- [0198] 또한, 성막 가스 내의 산소 비율을 높이고 전력을 최적화함으로써 막 형성 시의 플라즈마 대미지를 경감시키는 것이 바람직하다. 성막 가스 내의 산소 비율은 30vol% 이상, 바람직하게는 100vol%로 한다.
- [0199] 타깃의 일례로서 In-Ga-Zn계 산화물 타깃에 대하여 이하에 기재한다.
- [0200]  $\text{InO}_x$  분말,  $\text{GaO}_y$  분말, 및  $\text{ZnO}_z$  분말을 소정의 mol수비로 혼합하고 가압 처리를 수행한 후,  $1000^\circ\text{C}$  이상  $1500^\circ\text{C}$  이하의 온도로 가열 처리함으로써 다결정인 In-Ga-Zn계 산화물 타깃을 제작한다. 또한, X, Y, 및 Z는 임의의 양수이다. 여기서, 소정의 mol수비는 예를 들어  $\text{InO}_x$  분말,  $\text{GaO}_y$  분말, 및  $\text{ZnO}_z$  분말이 2:2:1, 8:4:3, 3:1:1, 1:1:1, 4:2:3, 또는 3:1:2이다. 또한, 분말의 종류와 그 혼합하는 mol수비는 제작하는 타깃에 따라 적절히 변

경하면 좋다.

[0201] 또한, 반도체막은 하나의 산화물 반도체막으로 구성되어도 좋고 적층된 복수의 산화물 반도체막으로 구성되어도 좋다. 도 14는 반도체막이 3층의 산화물 반도체막으로 구성되는 경우의 트랜지스터(100)의 구성예를 도시한 것이다.

[0202] 도 14에 도시된 트랜지스터(100)는 절연 표면을 갖는 기판(111) 위에 게이트 전극으로서 기능하는 도전막(112), 도전막(112) 위의 게이트 절연막(113), 게이트 절연막(113)을 끼워 도전막(112)과 중첩되는 위치에 제공된 반도체막(114), 및 반도체막(114)에 접촉하며 소스 또는 드레인으로서 기능하는 도전막(115) 및 도전막(116)을 갖는다.

[0203] 또한, 도 14에서 반도체막(114), 도전막(115), 및 도전막(116) 위에 산화물막(117)이 제공되어 있다. 본 발명의 일 형태에서는 산화물막(117)을 트랜지스터(100)의 구성 요소에 포함시켜도 좋다.

[0204] 그리고, 트랜지스터(100)에서 산화물 반도체막(114a) 내지 산화물 반도체막(114c)은 게이트 전극으로서 기능하는 도전막(112) 측에서부터 차례로 적층되어 있다.

[0205] 또한, 산화물 반도체막(114a) 및 산화물 반도체막(114c)은 산화물 반도체막(114b)을 구성하는 금속 원소 중 적어도 하나를 그 구성 요소에 포함하며 전도대 하단의 에너지가 산화물 반도체막(114b)의 그것보다 0.05eV 이상, 0.07eV 이상, 0.1eV 이상, 또는 0.15eV 이상이고 2eV 이하, 1eV 이하, 0.5eV 이하, 또는 0.4eV 이하만큼 진공준위에 가까운 산화물막이다. 또한, 산화물 반도체막(114b)은 적어도 인듐을 포함하면 캐리어 이동도가 높아지므로 바람직하다.

[0206] 트랜지스터(100)가 상술한 구성을 갖는 경우, 게이트 전극으로서 기능하는 도전막(112)에 전압을 인가함으로써 반도체막(114)에 전계가 인가되면, 반도체막(114) 중에서 전도대 하단의 에너지가 작은 산화물 반도체막(114b)에 채널 영역이 형성된다. 즉, 산화물 반도체막(114b)과 게이트 절연막(113) 사이에 산화물 반도체막(114c)이 제공되어 있음으로써 게이트 절연막(113)과 이격된 산화물 반도체막(114b)에 채널 영역을 형성할 수 있다.

[0207] 또한, 산화물 반도체막(114c)은 산화물 반도체막(114b)을 구성하는 금속 원소 중 적어도 하나를 그 구성 요소에 포함하기 때문에 산화물 반도체막(114b)과 산화물 반도체막(114c)의 계면에서 계면 산란이 일어나기 어렵다. 따라서, 상기 계면에서 캐리어의 움직임이 저해되기 어렵기 때문에 트랜지스터(100)의 전계 효과 이동도가 높게 된다.

[0208] 또한, 산화물 반도체막(114b)과 산화물 반도체막(114a)의 계면에 계면 준위가 형성되면 계면 근방의 영역에도 채널 영역이 형성되어 트랜지스터(100)의 문턱 전압이 변동된다. 그러나, 산화물 반도체막(114a)은 산화물 반도체막(114b)을 구성하는 금속 원소 중 적어도 하나를 그 구성 요소에 포함하기 때문에 산화물 반도체막(114b)과 산화물 반도체막(114a)의 계면에서 계면 준위가 형성되기 어렵다. 따라서, 상술한 구성에 의하여 트랜지스터(100)의 문턱 전압 등 전기적 특성의 편차를 저감시킬 수 있다.

[0209] 또한, 산화물 반도체막들 사이에 불순물이 존재하는 것으로 인하여 각 막들끼리의 계면에서 캐리어의 흐름을 저해시키는 계면 준위가 형성되지 않도록 복수의 산화물 반도체막을 적층하는 것이 바람직하다. 적층된 산화물 반도체막들 사이에 불순물이 존재하면 산화물 반도체막들 사이의 전도대 하단의 에너지의 연속성이 없어져 계면 근방에서 캐리어가 포획되거나 또는 재결합함으로써 소멸되기 때문이다. 막들 사이의 불순물을 저감시킴으로써 주성분의 한 금속을 적어도 공통적으로 갖는 복수의 산화물 반도체막을 단순히 적층하는 경우에 비하여 연속 접합(여기서는 특히 전도대 하단의 에너지가 각 막들 사이에서 연속적으로 변화하는 U자형 우물 구조를 갖는 상태)이 형성되기 쉬워진다.

[0210] 연속 접합을 형성하기 위해서는 로드록실을 구비한 멀티 챔버 방식의 성막 장치(스퍼터링 장치)를 사용하여 각 막을 대기기에 노출시키지 않고 연속적으로 적층할 필요가 있다. 산화물 반도체에 있어서 불순물이 되는 물 등을 가능한 한 제거하기 위하여, 스퍼터링 장치의 각 챔버는 크라이오 펌프와 같은 흡착식 진공 배기 펌프를 사용하여 고진공 배기( $5 \times 10^{-7}$  Pa 내지  $1 \times 10^{-4}$  Pa정도까지)하는 것이 바람직하다. 또는, 터보 분자 펌프와 콜드 트랩을 조합하여 사용하여, 배기계로부터 챔버 내로 기체가 역류되지 않도록 하는 것이 바람직하다.

[0211] 고순도화되고 진성인 산화물 반도체를 얻기 위해서는 각 챔버 내의 고진공 배기뿐만 아니라 스퍼터링에 사용하는 가스의 고순도화도 중요하다. 상기 가스로서 사용하는 산소 가스나 아르곤 가스의 이슬점을  $-40^{\circ}\text{C}$  이하, 바람직하게는  $-80^{\circ}\text{C}$  이하, 더 바람직하게는  $-100^{\circ}\text{C}$  이하로 하고 사용하는 가스의 고순도화를 도모함으로써 산화물 반도체막에 수분 등이 혼입되는 것을 가능한 한 방지할 수 있다.

- [0212] 예를 들어, 산화물 반도체막(114a) 또는 산화물 반도체막(114c)은 알루미늄, 실리콘, 티타늄, 갈륨, 게르마늄, 이트륨, 지르코늄, 주석, 란탄, 세륨, 또는 하프늄의 원자수비가 산화물 반도체막(114b)의 그것보다 높은 산화물막으로 하면 좋다. 구체적으로는 산화물 반도체막(114a) 또는 산화물 반도체막(114c)으로서, 상술한 원소의 원자수비가 산화물 반도체막(114b)의 그것보다 1.5배 이상, 바람직하게는 2배 이상, 더 바람직하게는 3배 이상 높은 산화물막을 사용하면 좋다. 상술한 원소는 산소와 강하게 결합하여 산화물막에 산소 결손이 생기는 것을 억제하는 기능을 갖는다. 이 구성에 의하여 산화물 반도체막(114a) 또는 산화물 반도체막(114c)을 산화물 반도체막(114b)보다 산소 결손이 생기기 어려운 산화물막으로 할 수 있다.
- [0213] 구체적으로는, 산화물 반도체막(114b)과 산화물 반도체막(114a) 또는 산화물 반도체막(114c) 모두가 In-M-Zn계 산화물을 포함하는 경우, 산화물 반도체막(114a) 또는 산화물 반도체막(114c)의 원자수비가  $In:M:Zn=x_1:y_1:z_1$ , 산화물 반도체막(114b)의 원자수비가  $In:M:Zn=x_2:y_2:z_2$ 일 때  $y_1/x_1 \geq y_2/x_2$ 보다 크게 되도록 그 원자수비를 설정하면 좋다. 또한, 원소 M은 In보다 산소와의 결합력이 강한 금속 원소이며 예를 들어, Al, Ti, Ga, Y, Zr, Sn, La, Ce, Nd, 또는 Hf 등을 들 수 있다. 바람직하게는  $y_1/x_1 \geq y_2/x_2$  1.5배 이상 크게 되도록 그 원자수비를 설정하면 좋다. 더 바람직하게는  $y_1/x_1 \geq y_2/x_2$  2배 이상 크게 되도록 그 원자수비를 설정하면 좋다. 더욱 바람직하게는  $y_1/x_1 \geq y_2/x_2$  3배 이상 크게 되도록 그 원자수비를 설정하면 좋다. 또한 산화물 반도체막(114b)에서  $y_1$ 을  $x_1$  이상으로 한 경우 트랜지스터(100)에 안정된 전기적 특성을 부여할 수 있어 바람직하다. 다만  $y_1$ 을  $x_1$ 의 3배 이상으로 한 경우 트랜지스터(100)의 전계 효과 이동도가 저하되기 때문에  $y_1$ 은  $x_1$ 의 3배 미만으로 하는 것이 바람직하다.
- [0214] 또한, 산화물 반도체막(114a) 및 산화물 반도체막(114c)의 두께는 3nm 이상 100nm 이하, 바람직하게는 3nm 이상 50nm 이하로 한다. 또한, 산화물 반도체막(114b)의 두께는 3nm 이상 200nm 이하, 바람직하게는 3nm 이상 100nm 이하, 더 바람직하게는 3nm 이상 50nm 이하로 한다.
- [0215] 3층 구조의 반도체막에서 산화물 반도체막(114a) 내지 산화물 반도체막(114c)은 비정질 또는 결정질이 될 수 있다. 다만, 채널 영역이 형성되는 산화물 반도체막(114b)이 결정질이면 트랜지스터(100)에 안정된 전기적 특성을 부여할 수 있어 산화물 반도체막(114b)은 결정질인 것이 바람직하다.
- [0216] 또한, 채널 형성 영역이란, 트랜지스터의 반도체막에 있어서 게이트 전극과 중첩되고 소스 전극 및 드레인 전극에 끼워진 영역을 의미한다. 또한, 채널 영역이란, 채널 형성 영역에서 전류가 주로 흐르는 영역을 말한다.
- [0217] 예를 들어, 스팍터링법으로 형성한 In-Ga-Zn계 산화물막을 산화물 반도체막(114a) 및 산화물 반도체막(114c)으로서 사용하는 경우, 산화물 반도체막(114a) 및 산화물 반도체막(114c)의 형성에는 In-Ga-Zn계 산화물( $In:Ga:Zn=1:3:2$ [원자수비])의 타깃을 사용할 수 있다. 성막 조건은 예를 들어, 성막 가스로서 아르곤 가스 30sccm, 산소 가스 15sccm를 사용하고, 압력을 0.4Pa로 하고, 기판 온도를 200°C로 하고, DC 전력을 0.5kW로 하면 좋다.
- [0218] 또한, 산화물 반도체막(114b)을 CAAC-OS막으로 하는 경우, 산화물 반도체막(114b)의 형성에는 In, Ga, Zn을 원자수비 1:1:1로 포함한 다결정 In-Ga-Zn계 산화물의 타깃을 사용하는 것이 바람직하다. 성막 조건은 예를 들어, 성막 가스로서 아르곤 가스 30sccm, 산소 가스 15sccm를 사용하고, 압력을 0.4Pa로 하고, 기판 온도를 300°C로 하고, DC 전력을 0.5kW로 할 수 있다.
- [0219] 상술한 산화물 반도체막은 스팍터링법에 의하여 형성할 수 있지만, 다른 방법, 예를 들어, 열CVD법에 의하여 형성하여도 좋다. 예를 들어, 열CVD법으로서 MOCVD(Metal Organic Chemical Vapor Deposition)법이나 ALD(Atomic Layer Deposition)법을 사용하여도 좋다.
- [0220] 열CVD법은 플라즈마를 사용하지 않는 막 형성 방법이기 때문에 플라즈마 대미지로 인하여 결함이 생성되지 않는다는 장점을 갖는다.
- [0221] 열CVD법에 의한 막 형성은, 원료 가스와 산화제를 챔버 내에 동시에 공급하고, 챔버 내를 대기압하 또는 감압하로 하고, 기판 근방 또는 기판 위에서 반응시켜 기판 위에 퇴적시킴으로써 수행하여도 좋다.
- [0222] 예를 들어, In-Ga-Zn-O막을 형성하는 경우에는 트라이메틸인듐, 트라이메틸갈륨, 및 다이메틸아연을 사용한다. 또한 트라이메틸인듐의 화학식은  $In(CH_3)_3$ 이다. 또한 트라이메틸갈륨의 화학식은  $Ga(CH_3)_3$ 이다. 또한 다이메틸아연의 화학식은  $Zn(CH_3)_2$ 이다. 또한, 이 조합에 한정되지 않고 트라이메틸갈륨 대신에 트라이에틸갈륨(화학식

$Ga(C_2H_5)_3$ 을 사용할 수도 있고, 다이메틸아연 대신에 다이에틸아연(화학식  $Zn(C_2H_5)_2$ )을 사용할 수도 있다.

[0223] 예를 들어, ALD를 이용하는 성막 장치에 의하여 산화물 반도체막, 예를 들어, In-Ga-Zn-O막을 형성하는 경우에는  $In(CH_3)_3$ 가스와  $O_3$ 가스를 순차적으로 반복하여 도입함으로써 In-O층을 형성한 후,  $Ga(CH_3)_3$ 가스와  $O_3$ 가스를 동시에 도입함으로써 Ga-O층을 형성한 후에,  $Zn(CH_3)_2$ 가스와  $O_3$ 가스를 동시에 도입함으로써 Zn-O층을 형성한다. 또한, 이들 층의 순서는 상술한 예에 한정되지 않는다. 또한, 이들 가스를 혼합시킴으로써 In-Ga-O층, In-Zn-O층, Ga-Zn-O층 등의 혼합 화합물층을 형성하여도 좋다. 또한,  $O_3$ 가스 대신에 Ar 등의 불활성 가스로 버블링하여 얻어진  $H_2O$ 가스를 사용하여도 좋지만 H를 포함하지 않는  $O_3$ 가스를 사용하는 것이 더 바람직하다. 또한,  $In(CH_3)_3$ 가스 대신에  $In(C_2H_5)_3$ 가스를 사용하여도 좋다. 또한,  $Ga(CH_3)_3$ 가스 대신에  $Ga(C_2H_5)_3$ 가스를 사용하여도 좋다. 또한,  $In(CH_3)_3$ 가스 대신에  $In(C_2H_5)_3$ 가스를 사용하여도 좋다. 또한  $Zn(CH_3)_2$ 가스를 사용하여도 좋다.

[0224] 또한, 도 14에 도시된 트랜지스터(100)는 반도체막(114) 단부가 경사된 구조를 가져도 좋고, 반도체막(114) 단부가 둥근 구조를 가져도 좋다.

[0225] 또한, 도 14는 3층의 산화물 반도체막이 적층된 반도체막(114)을 예로서 도시한 것이지만 반도체막(114)은 3층 이외의 복수의 산화물 반도체막이 적층된 구조를 가져도 좋다.

[0226] 또한, 반도체막(114)이 복수의 산화물 반도체막으로 이루어진 적층 구조를 갖는 경우, 산화물막(117)에 사용되는 금속 산화물은 반도체막(114) 전체의 도전성보다 도전성이 낮은 것으로 한다. 예를 들어, 금속 산화물로서 In-Ga-Zn계 산화물을 산화물막(117)에 사용하는 경우, 이 금속 산화물은 In의 원자수비가 반도체막(114)의 그것 보다 낮은 것으로 한다.

[0227] 또한, 도 15에 도시된 트랜지스터(12)의 경우와 마찬가지로 반도체막(114)에 있어서 도전막(115) 및 도전막(116)에 접촉하는 영역이 n형화되어 있어도 좋다. 이 구성에 의하여 트랜지스터(100)의 이동도 및 온 전류를 높여 트랜지스터(100)를 사용한 액정 표시 장치의 고속 동작을 실현할 수 있다. 또한, 트랜지스터(100)의 경우, n형화되는 영역은 채널 영역이 되는 산화물 반도체막(114b)까지 도달되는 것이 트랜지스터(100)의 이동도 및 온 전류를 높여 액정 표시 장치를 더욱 고속 동작화하는 데 더 바람직하다.

[0228] <액정 표시 장치의 상면도와 단면도>

[0229] 본 발명의 일 형태에 따른 액정 표시 장치의 외관에 대하여 도 16을 사용하여 설명한다. 도 16의 (A)는 기판(4001)과 기판(4006)이 밀봉재(4005)로 접착된 액정 표시 장치의 상면도이다. 또한, 도 16의 (B)는 도 16의 (A)를 파선 B1-B2에서 절단한 단면도에 상당하고, 도 16의 (C)는 도 16의 (A)를 파선 C1-C2에서 절단한 단면도에 상당한다. 또한, 도 16은 FFS(Fringe Field Switching) 모드의 액정 표시 장치를 예시한 것이다.

[0230] 기판(4001) 위에 제공된 화소부(4002)와 한 쌍의 구동 회로(4004)를 둘러싸도록 밀봉재(4005)가 제공되어 있다. 또한, 화소부(4002) 및 구동 회로(4004) 위에 기판(4006)이 제공되어 있다. 따라서, 화소부(4002) 및 구동 회로(4004)는 기판(4001), 밀봉재(4005), 및 기판(4006)으로 밀봉되어 있다.

[0231] 또한, 기판(4001) 위의 밀봉재(4005)로 둘러싸여 있는 영역과는 다른 영역에 구동 회로(4003)가 제공되어 있다.

[0232] 또한, 기판(4001) 위에 제공된 화소부(4002) 및 구동 회로(4004)는 복수의 트랜지스터를 갖는다. 도 16의 (B)는 화소부(4002)에 포함된 트랜지스터(4010)와, 구동 회로(4004)에 포함된 트랜지스터(4022)를 예시한 것이다. 또한, 도 16의 (C)는 화소부(4002)에 포함된 트랜지스터(4010)를 예시한 것이다.

[0233] 화소부(4002) 및 구동 회로(4004)에서 트랜지스터(4010) 및 트랜지스터(4022) 위에는 수지를 사용한 절연막(4020)이 제공되어 있다. 그리고, 절연막(4020) 위에는 액정 소자(4023)의 화소 전극(4021) 및 도전막(4024)이 제공되어 있다. 도전막(4024)은 절연막(4020)에 축적된 전하의 방전 경로로서 기능시킬 수 있다. 또는, 도전막(4024) 및 절연막(4020)을 트랜지스터(4022)의 구성 요소로 하고, 도전막(4024)을 백 게이트로서 기능시킬 수도 있다.

[0234] 또한, 절연막(4020), 화소 전극(4021), 및 도전막(4024) 위에는 절연막(4025)이 제공되어 있다. 절연막(4025)은 물, 수소 등의 블로킹 효과가 높은 것이 바람직하다. 절연막(4025)으로서 질화 실리콘막, 질화 산화 실리콘막 등을 사용할 수 있다.

[0235] 또한, 도 16의 (B) 및 (C)에 도시된 바와 같이, 본 발명의 일 형태에서 절연막(4020)은 패널 단부에서 제거되어

있다. 그리고, 절연막(4020) 위의 절연막(4025)은 밀봉재(4005)와 기판(4001) 사이에서, 트랜지스터(4010) 및 트랜지스터(4022)의 게이트 절연막으로서 기능하는 절연막(4026)과 접촉한다.

[0236] 절연막(4025) 및 절연막(4026)의 물, 수소 등의 블로킹 효과가 높은 경우, 패널 단부에서 절연막(4025)과 절연막(4026)이 접촉하여 있음으로써 패널 단부 또는 밀봉재(4005)를 통하여 물, 수소 등이 트랜지스터(4010) 및 트랜지스터(4022) 각각의 반도체막에 침입되는 것을 방지할 수 있다.

[0237] 또한, 절연막(4025) 위에는 액정 소자(4023)의 공통 전극(4027)이 제공되어 있다. 그리고, 공통 전극(4027) 및 절연막(4025)과 기판(4006) 사이에는 액정층(4028)이 제공되어 있다. 액정 소자(4023)는 화소 전극(4021), 공통 전극(4027), 및 액정층(4028)을 갖는다.

[0238] 액정 소자(4023)에서는 화소 전극(4021)과 공통 전극(4027) 사이에 인가되는 전압의 값에 따라 액정층(4028)에 포함되는 액정 분자의 배향이 변화되고 투과율이 변화된다. 따라서, 액정 소자(4023)는 화소 전극(4021)에 공급되는 화상 신호의 전위에 의하여 그 투과율이 제어됨으로써 계조를 표시할 수 있다.

[0239] 또한, 본 발명의 일 형태에 따른 액정 표시 장치는 컬러 필터를 이용함으로써 컬러 화상을 표시하여도 좋고, 다른 색상의 빛을 발하는 복수의 광원을 순차적으로 점등시킴으로써 컬러 화상을 표시하여도 좋다.

[0240] 또한, 구동 회로(4003)로부터의 화상 신호나 FPC(4018)로부터의 각종 제어 신호, 및 전원 전위는 리드(lead) 배선(4030, 4031)을 통하여 구동 회로(4004) 또는 화소부(4002)에 공급된다.

[0241] <액정 표시 장치를 사용한 전자 기기의 구성예>

[0242] 본 발명의 일 형태에 따른 액정 표시 장치는 표시 기기, 퍼스널 컴퓨터, 기록 매체를 구비한 화상 재생 장치(대표적으로는 DVD: Digital Versatile Disc 등의 기록 매체를 재생하여 그 화상을 표시할 수 있는 디스플레이를 갖는 장치)에 사용할 수 있다. 이 외에 본 발명의 일 형태에 따른 액정 표시 장치를 사용할 수 있는 전자 기기로서 휴대 전화, 휴대형 게임기를 포함하는 게임기, 휴대 정보 단말, 전자 서적, 비디오 카메라, 디지털 스틸 카메라 등의 카메라, 고글형 디스플레이(헤드 마운트 디스플레이), 내비게이션 시스템, 음향 재생 장치(카 오디오, 디지털 오디오 플레이어 등), 복사기, 팩시밀리, 프린터, 프린터 복합기, 현금 자동 입출금기(ATM), 자동 판매기 등을 들 수 있다. 이와 같은 전자 기기의 구체적인 예를 도 18에 도시하였다.

[0243] 도 18의 (A)에 도시된 휴대형 게임기는 하우징(5001), 하우징(5002), 표시부(5003), 표시부(5004), 마이크로폰(5005), 스피커(5006), 조작 키(5007), 스타일러스(5008) 등을 갖는다. 표시부(5003) 또는 표시부(5004)에 본 발명의 일 형태에 따른 액정 표시 장치를 사용할 수 있다. 또한, 도 18의 (A)에 도시된 휴대형 게임기는 2개의 표시부(표시부(5003) 및 표시부(5004))를 갖지만 휴대형 게임기가 갖는 표시부의 수는 이에 한정되지 않는다.

[0244] 도 18의 (B)에 도시된 표시 기기는 하우징(5201), 표시부(5202), 지지대(5203) 등을 갖는다. 표시부(5202)에 본 발명의 일 형태에 따른 액정 표시 장치를 사용할 수 있다. 또한, 퍼스널 컴퓨터용, TV 방송 수신용, 광고 표시용 등의 모든 정보 표시용 표시 기기는 표시 기기의 범주에 포함된다.

[0245] 도 18의 (C)에 도시된 노트북 퍼스널 컴퓨터는 하우징(5401), 표시부(5402), 키보드(5403), 포인팅 디바이스(5404) 등을 갖는다. 표시부(5402)에 본 발명의 일 형태에 따른 액정 표시 장치를 사용할 수 있다.

[0246] 도 18의 (D)에 도시된 휴대 정보 단말은 제 1 하우징(5601), 제 2 하우징(5602), 제 1 표시부(5603), 제 2 표시부(5604), 접속부(5605), 조작 키(5606) 등을 갖는다. 제 1 표시부(5603)는 제 1 하우징(5601)에 제공되고, 제 2 표시부(5604)는 제 2 하우징(5602)에 제공되어 있다. 그리고, 제 1 하우징(5601)과 제 2 하우징(5602)은 접속부(5605)에 의하여 접속되어 있고 제 1 하우징(5601)과 제 2 하우징(5602) 사이의 각도는 접속부(5605)로 조절이 가능하다. 제 1 표시부(5603)의 영상을 접속부(5605)에서의 제 1 하우징(5601)과 제 2 하우징(5602) 사이의 각도에 따라 전환하는 구성으로 하여도 좋다. 제 1 표시부(5603) 또는 제 2 표시부(5604)에 본 발명의 일 형태에 따른 액정 표시 장치를 사용할 수 있다. 또한, 제 1 표시부(5603) 및 제 2 표시부(5604) 중 적어도 한 쪽에 위치 입력 장치로서의 기능이 부가된 액정 표시 장치를 사용하여도 좋다. 또한, 위치 입력 장치로서의 기능은 액정 표시 장치에 터치 패널을 제공함으로써 부가할 수 있다. 또는 위치 입력 장치로서의 기능은, 포토 센서라고도 불리는 광전 변환 소자를 액정 표시 장치의 화소부에 제공함으로써 부가할 수도 있다.

[0247] 도 18의 (E)에 도시된 비디오 카메라는 제 1 하우징(5801), 제 2 하우징(5802), 표시부(5803), 조작 키(5804), 렌즈(5805), 접속부(5806) 등을 갖는다. 조작 키(5804) 및 렌즈(5805)는 제 1 하우징(5801)에 제공되고, 표시부(5803)는 제 2 하우징(5802)에 제공되어 있다. 그리고, 제 1 하우징(5801)과 제 2 하우징(5802)은 접속부(5806)에 의하여 접속되어 있고 제 1 하우징(5801)과 제 2 하우징(5802) 사이의 각도는 접속부(5806)로 조절이

가능하다. 표시부(5803)의 영상을 접속부(5806)에서의 제 1 하우징(5801)과 제 2 하우징(5802) 사이의 각도에 따라 전환하는 구성으로 하여도 좋다. 표시부(5803)에 본 발명의 일 형태에 따른 액정 표시 장치를 사용할 수 있다.

[0248] 도 18의 (F)에 도시된 휴대 전화는 하우징(5901)에 표시부(5902), 마이크로폰(5907), 스피커(5904), 카메라(5903), 외부 접속부(5906), 조작용 버튼(5905)이 제공되어 있다. 휴대 전화가 갖는 회로에 본 발명의 일 형태에 따른 액정 표시 장치를 사용할 수 있다. 또한, 본 발명의 일 형태에 따른 액정 표시 장치를 가요성을 갖는 기판에 형성한 경우, 도 18의 (F)에 도시된 바와 같이 곡면을 갖는 표시부(5902)에 상기 액정 표시 장치를 적용할 수 있다.

[0249] <전압 유지율과 투과율의 비교>

[0250] TN 모드 등, 액정층에 수직 방향의 전계가 인가되는 수직 전계 방식에 비하여 IPS 모드에서는 액정 소자의 전압 유지율이 높게 되는 것이 알려져 있다. 이것은 유리 기판의 용량이 액정층과 전기적으로 병렬로 접속되는 것에 기인한 것으로 생각된다. IPS 모드와 같이 수평 전계 방식인 FFS 모드에서도 같은 효과를 기대할 수 있다. 또한, 수평 전계 방식의 액정 표시 장치는 액정층을 끼워 배치되는 한 쌍의 기판 중 트랜지스터가 제작되는 기판 측에 화소 전극과 공통 전극이 둘 다 제공되어 있고, 실질적으로 수평 방향의 전계가 액정 분자에 인가된다.

[0251] 도 19의 (A)는 TN 모드의 액정 소자의 단면 구조를 모식적으로 도시한 것이고, 도 19의 (B)는 도 19의 (A)에 도시된 단면 구조에 대응하는 등가 회로도이다. 또한, 도 20의 (A)는 FFS 모드의 액정 소자의 단면 구조를 모식적으로 도시한 것이고, 도 20의 (B)는 도 20의 (A)에 도시된 단면 구조에 대응하는 등가 회로도이다.

[0252] 도 19의 (A)에서는 기판(201) 위에 전극(202)이 제공되고, 전극(202) 위에 배향막(203)이 제공되어 있다. 또한, 기판(207) 위에 전극(206)이 제공되고, 전극(206) 위에 배향막(205)이 제공되어 있다. 그리고, 배향막(203)과 배향막(205) 사이에는 액정층(204)이 제공되어 있다. 전극(202)과 전극(206) 사이에 전압을 인가하면 화살표로 가리킨 방향으로 전계가 발생된다.

[0253] 도 19의 (A)에 도시된 단면 구조를 갖는 TN 모드의 액정 소자의 경우, 도 19의 (B)에 도시된 바와 같이 전극(202)과 전극(206) 사이에 배향막(203), 액정층(204), 및 배향막(205)이 순차적으로, 전기적으로 직렬로 접속되어 있다.

[0254] 도 20의 (A)에서는 기판(211) 위에 배향막(212)이 제공되어 있다. 또한, 기판(218) 위에 전극(217)이 제공되고, 전극(217) 위에 절연막(216)이 제공되고, 절연막(216) 위에 전극(217)의 일부와 중첩되는 전극(215)이 제공되고, 전극(215) 및 전극(217) 위에 배향막(214)이 제공되어 있다. 그리고, 배향막(212)과 배향막(214) 사이에는 액정층(213)이 제공되어 있다. 전극(217)과 전극(215) 사이에 전압을 인가하면 화살표로 가리킨 방향으로 전계가 발생된다.

[0255] 도 20의 (A)에 도시된 단면 구조를 갖는 FFS 모드의 액정 소자의 경우, 도 20의 (B)에 도시된 바와 같이 전극(215)과 전극(217) 사이에 절연막(216)이 전기적으로 접속되어 있다. 또한, 전극(215)과 전극(217) 사이에는 배향막(214), 절연막(216)이 순차적으로, 전기적으로 직렬로 접속되어 있다. 또한, 전극(215)과 전극(217) 사이에는 배향막(214), 액정층(213), 배향막(214), 및 절연막(216)이 순차적으로, 전기적으로 직렬로 접속되어 있다.

[0256] 도 20의 (B)로부터, FFS 모드의 액정 소자에서는 절연막(216)이 전극(215)과 전극(217) 사이에 끼워진 부분이 용량 소자로서 기능하고, 이 용량 소자가 액정층(213)과 전기적으로 병렬로 접속되는 것을 알 수 있다. 따라서, FFS 모드의 액정 소자는 TN 모드의 액정 소자에 비하여 전압 유지율이 높은 것을 알 수 있다.

[0257] 다음에, 도 21에 수직 전계 방식의 액정 소자와 FFS 모드의 액정 소자의, 시간에 따른 전압 유지율 VHR(%)의 변화를 측정한 결과를 나타내었다. 또한, 수직 전계 방식의 액정 소자는 한 쌍의 전극 사이에 네마티 액정을 포함한 액정층을 끼운 구조로 하고 배향막을 제공하지 않았다. FFS 모드의 액정 소자는 한 쌍의 전극이 절연막을 끼워 부분적으로 중첩되는 구조로 하고 배향막을 제공하지 않았다. 또한, 측정에서는 기판 온도를 30°C로 하고 측정 시작 시에 한 쌍의 전극 사이에 인가하는 전압을 액정층의 문턱 전압보다 높은 값으로 설정하였다.

[0258] 도 21에 나타낸 바와 같이 FFS 모드의 액정 소자는 수직 전계 방식의 액정 소자에 비하여 시간에 따른 전압 유지율 VHR(%)의 변화가 작은 것을 알았다. 따라서, FFS 모드 등 수평 전계 방식의 액정 표시 장치는, TN 모드 등 수직 전계 방식의 액정 소자에 비하여 투과율 변화량이 작고 투과율의 변동에 기인하는 화면의 깜박임을 억제할 수 있는 것을 알았다.

[0259] 다음에, TN 모드의 액정 소자의 투과율과 FFS 모드의 액정 소자의 투과율을 계산에 의하여 산출한 결과를 도 22에 나타내었다. 2개의 액정 소자가 갖는 배향막과 액정층에는 각각 동일한 재료를 사용하였다. 또한, 투과율이 최대가 되도록 각 액정 소자에서 셀 갭을 조정하였다. 또한, 계산에서는 화소의 개구율을 고려하지 않았다. 또한, 도 22는 각 액정 소자의 최대 투과율이 1이 되도록 정규화된 투과율(정규화 투과율)을 나타내고 있지만 TN 모드의 액정 소자와 FFS 모드의 액정 소자의 최대 투과율은 실측치에서도 같은 정도였다.

[0260] 도 22로부터, FFS 모드의 액정 소자에서는 전압에 대한 투과율의 변화를 나타내는 그래프의 기울기가 더 작고, 액정 소자에 인가되는 전압  $V_{LC}$ 의 변동 시에 발생되는 계조 변화가 억제되는 것을 알았다. 또한, FFS 모드의 액정 소자의 포화 전압은 TN 모드의 액정 소자의 그것보다 높지만, 패널의 화소 개구율은 FFS 모드에서 더 높기 때문에 패널 내부에서의 빛 손실을 저감시킬 수 있고 저소비 전력화를 실현할 수 있다.

[0261] 또한, 수평 전계 방식인 FFS 모드는 누르는 힘에 대한 신뢰성이 높다는 장점을 가지므로, 터치 패널을 구성 요소로서 포함하는 액정 표시 장치에 적합하다.

### 부호의 설명

[0262] 10: 화소

11: 액정 소자

12: 트랜지스터

13: 용량 소자

14: 용량 소자

20: 화소

21: 액정 소자

22: 트랜지스터

23: 용량 소자

30: 패널

31: 화소부

32: 구동 회로

33: 구동 회로

40: 액정 표시 장치

41: 컨트롤러

42: 입력 장치

43: CPU

44: 화상 처리 회로

45: 화상 메모리

46: 데이터

47: 전원 회로

50: 기판

51: 도전막

52: 도전막

53: 절연막

54: 반도체막

54n: 영역

55: 도전막

56: 도전막

57: 산화물막

58: 절연막

59: 절연막

60: 유기 수지막

61: 도전막

62: 개구부

63: 절연막

64: 도전막

65: 배향막

70: 기판

71: 차폐막

72: 착색층

73: 수지막

74: 배향막

75: 액정층

100: 트랜지스터

111: 기판

112: 도전막

113: 게이트 절연막

114: 반도체막

114a: 산화물 반도체막

114b: 산화물 반도체막

114c: 산화물 반도체막

115: 도전막

116: 도전막

117: 산화물막

150: 회로

151: 스위치

152: 스위치

153: 저항 소자

154: 저항 소자

155: 용량 소자

- 156: 증폭기
- 157: 단자
- 158: 단자
- 159: 배선
- 160: 배선
- 161: 인버터
- 201: 기판
- 202: 전극
- 203: 배향막
- 204: 액정층
- 205: 배향막
- 206: 전극
- 207: 기판
- 211: 기판
- 212: 배향막
- 213: 액정층
- 214: 배향막
- 215: 전극
- 216: 절연막
- 217: 전극
- 218: 기판
- 4001: 기판
- 4002: 화소부
- 4003: 구동 회로
- 4004: 구동 회로
- 4005: 밀봉재
- 4006: 기판
- 4010: 트랜지스터
- 4018: FPC
- 4020: 절연막
- 4021: 화소 전극
- 4022: 트랜지스터
- 4023: 액정 소자
- 4024: 도전막
- 4025: 절연막
- 4026: 절연막

4027: 공통 전극

4028: 액정층

4030: 배선

5001: 하우징

5002: 하우징

5003: 표시부

5004: 표시부

5005: 마이크로폰

5006: 스피커

5007: 조작 키

5008: 스타일러스

5201: 하우징

5202: 표시부

5203: 지지대

5401: 하우징

5402: 표시부

5403: 키보드

5404: 포인팅 디바이스

5601: 하우징

5602: 하우징

5603: 표시부

5604: 표시부

5605: 접속부

5606: 조작 키

5801: 하우징

5802: 하우징

5803: 표시부

5804: 조작 키

5805: 렌즈

5806: 접속부

5901: 하우징

5902: 표시부

5903: 카메라

5904: 스피커

5905: 버튼

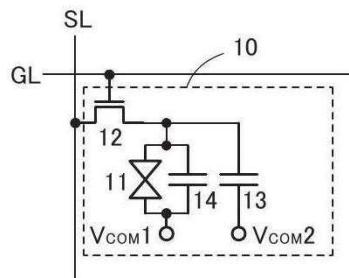
5906: 외부 접속부

5907: 마이크로폰

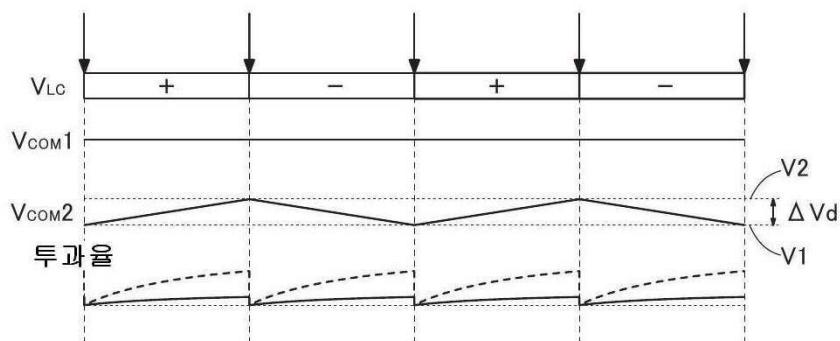
## 도면

## 도면1

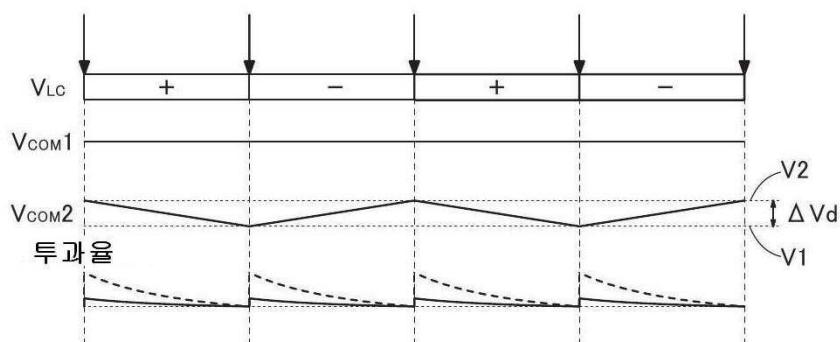
(A)



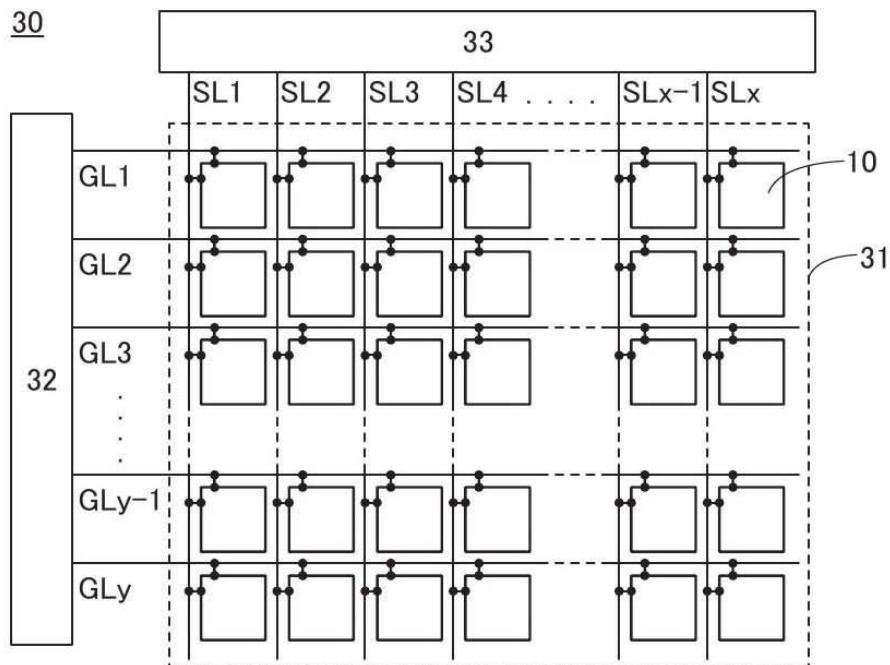
(B)



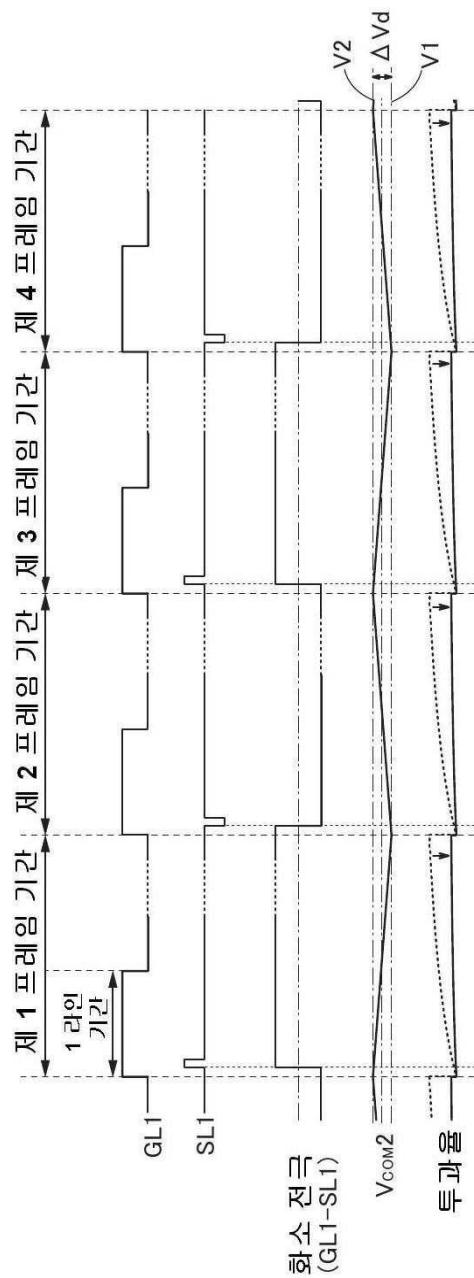
(c)



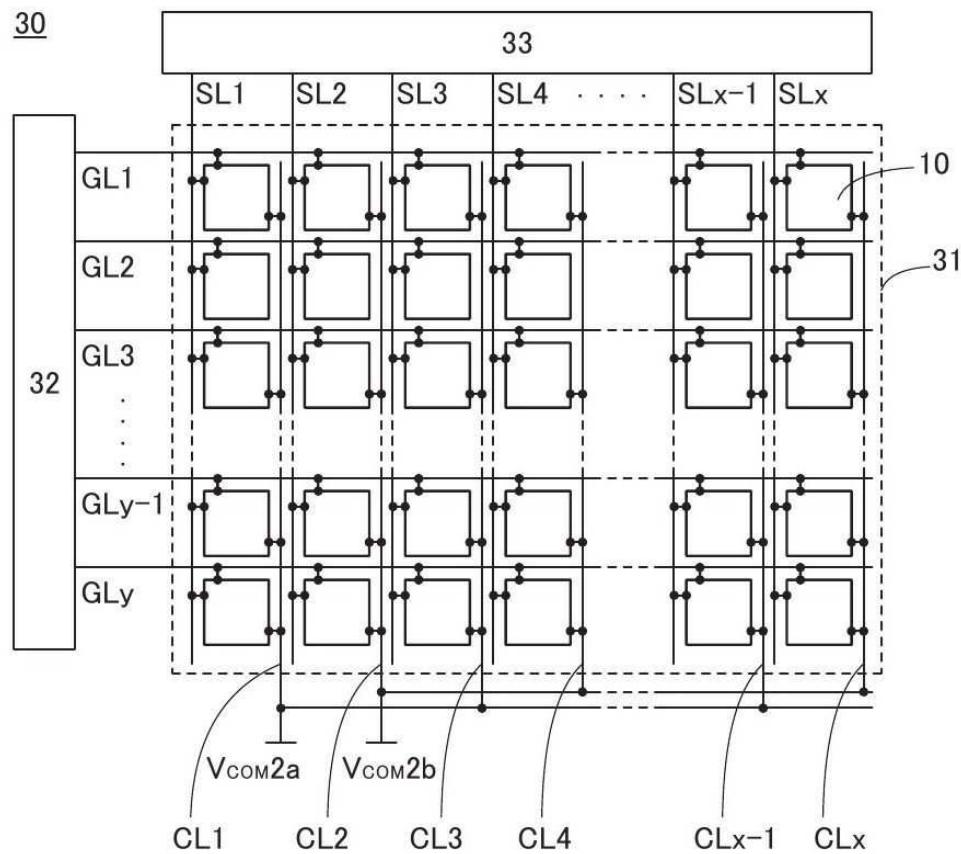
## 도면2



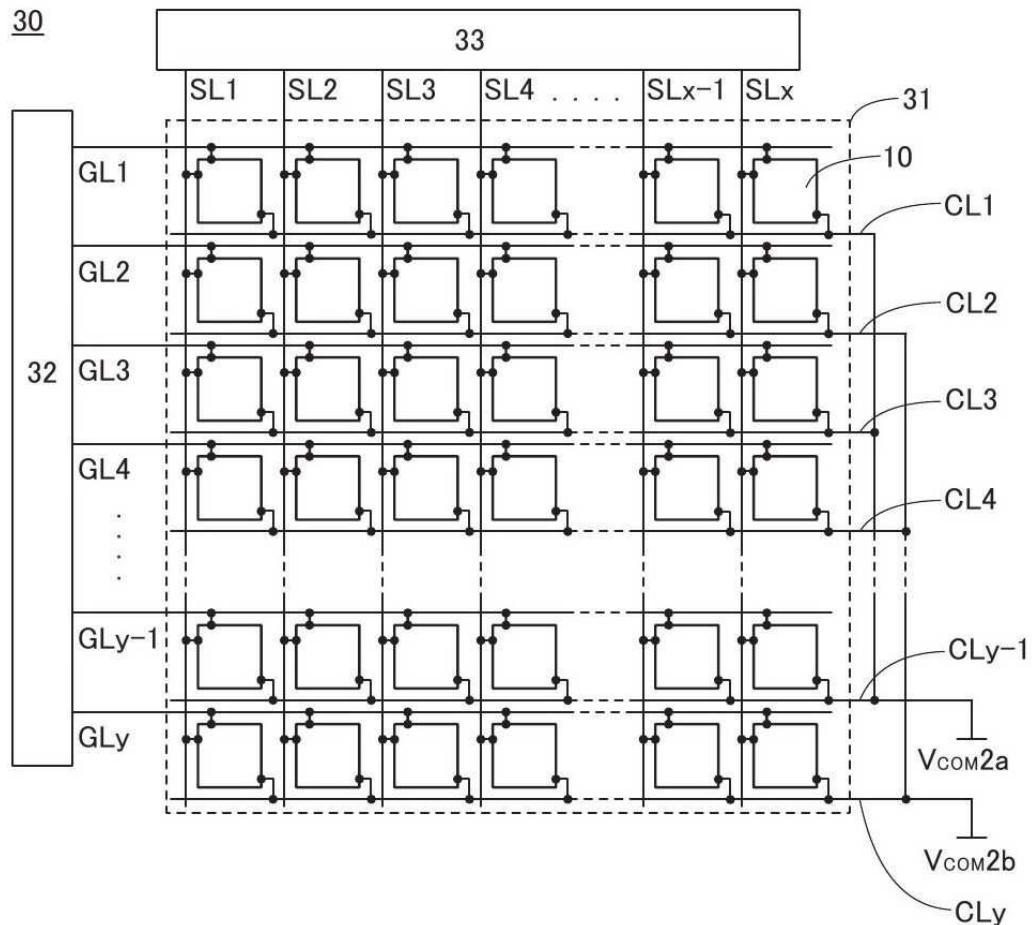
도면3



## 도면4

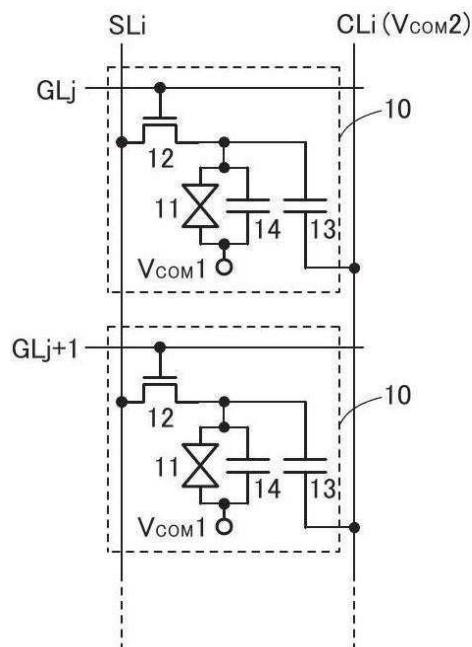


## 도면5

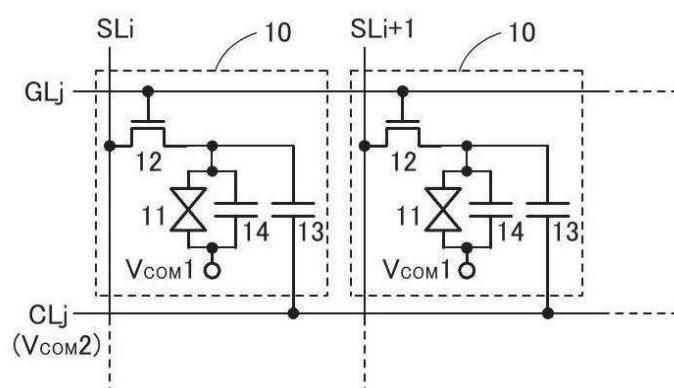


## 도면6

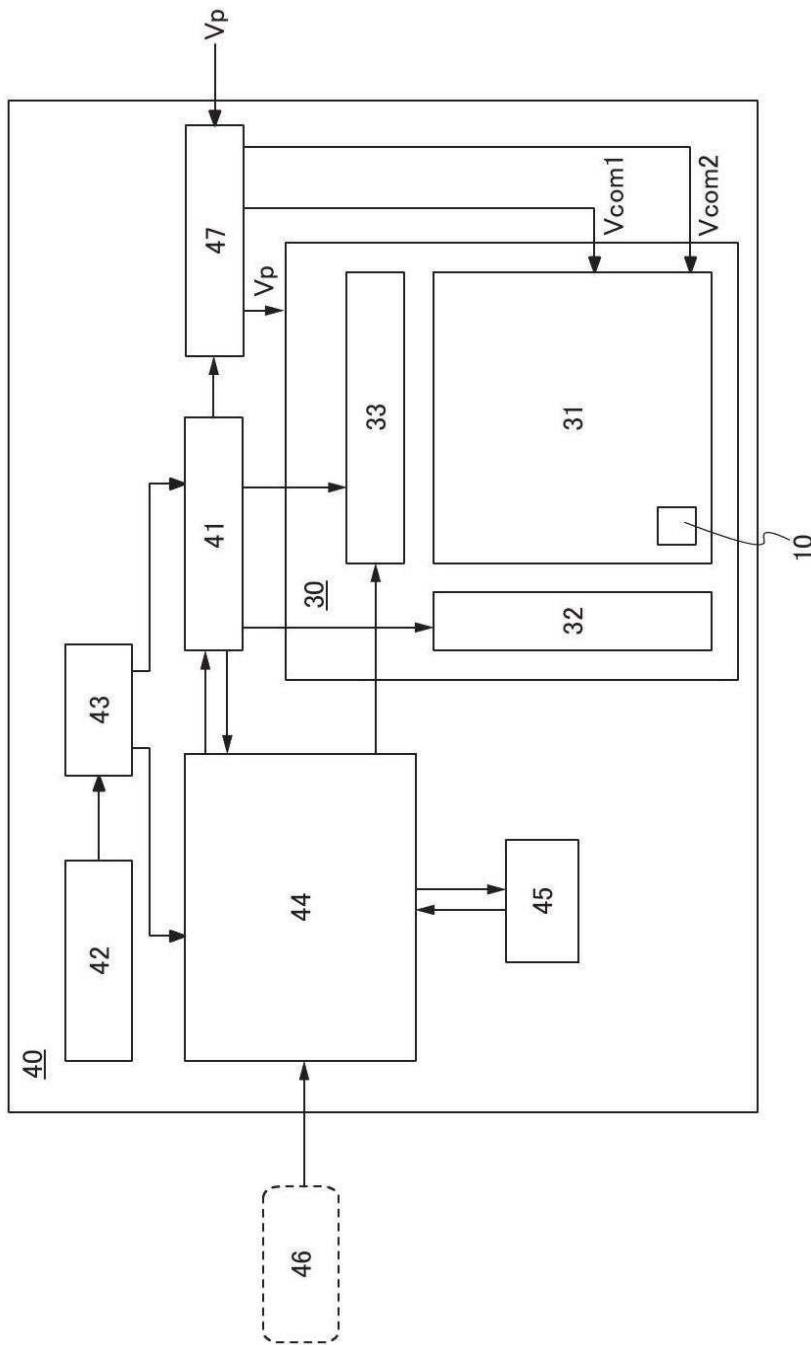
(A)



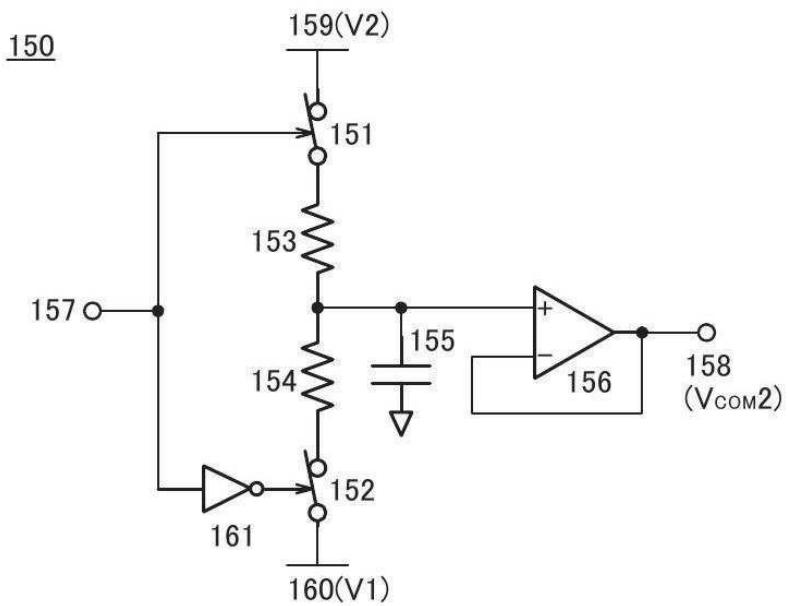
(B)



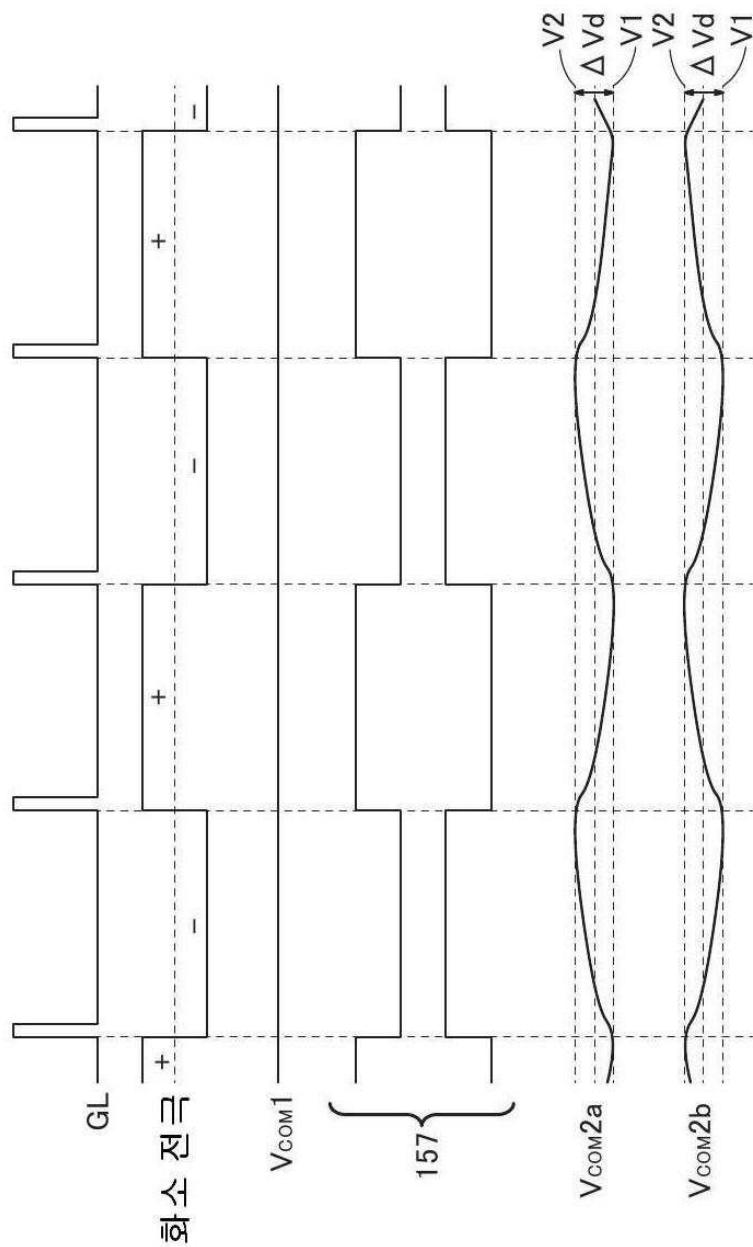
도면7



## 도면8

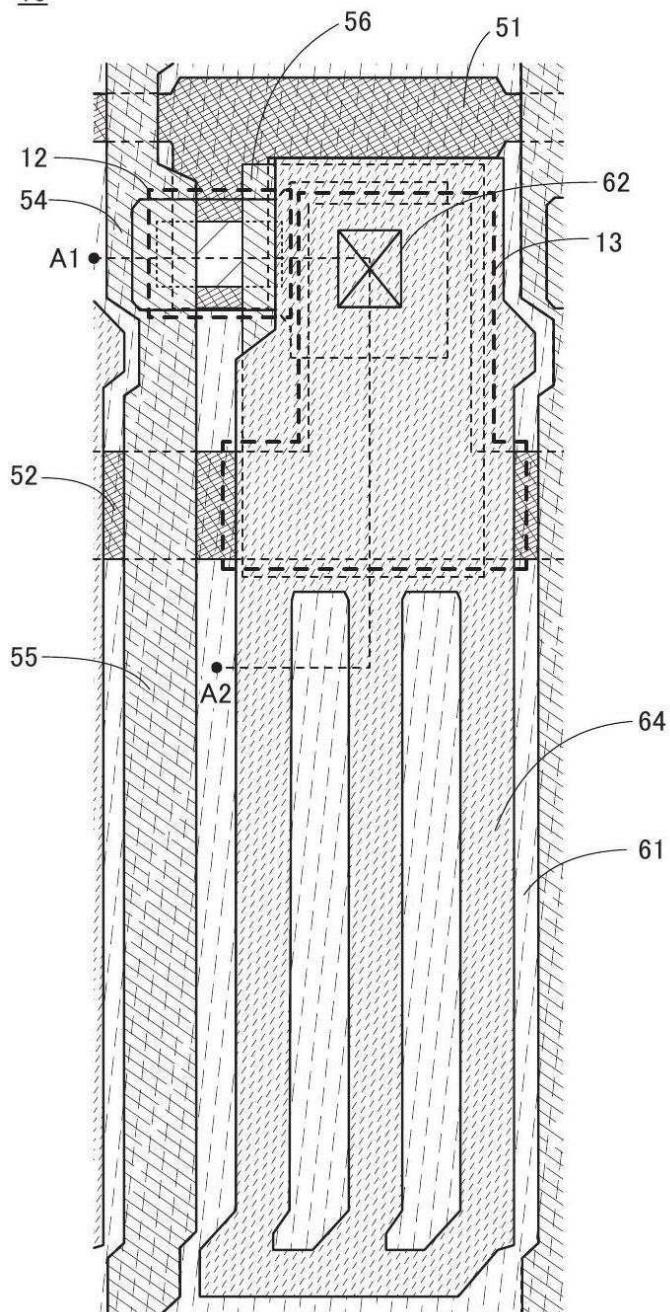


도면9

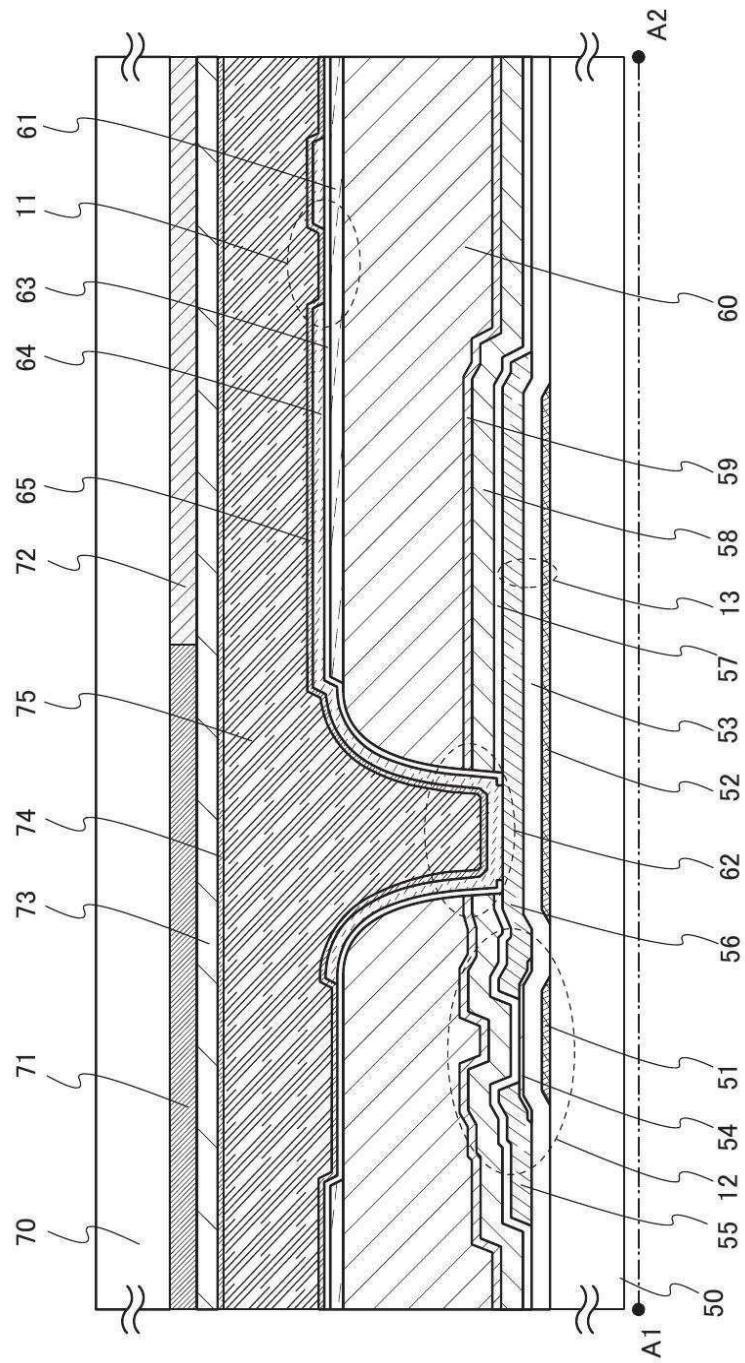


## 도면10

10

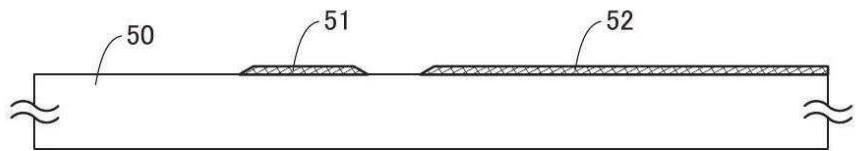


## 도면11

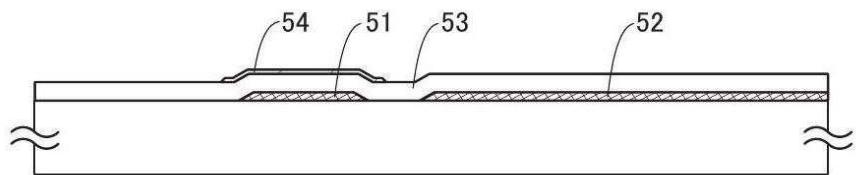


도면12

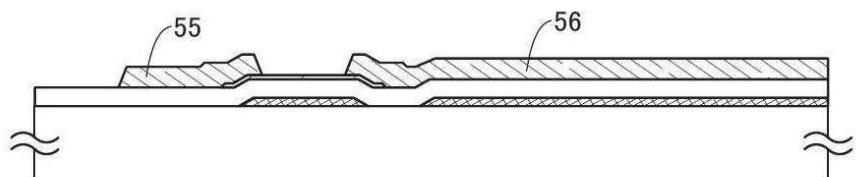
(A)



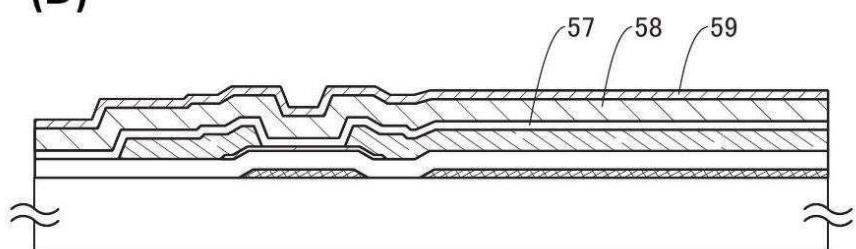
(B)



(C)

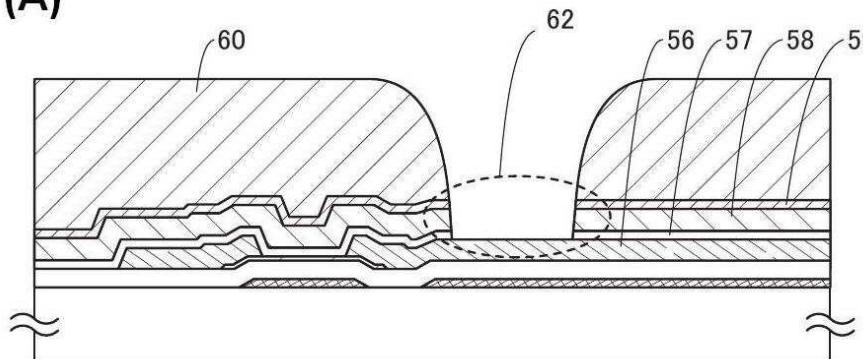


(D)

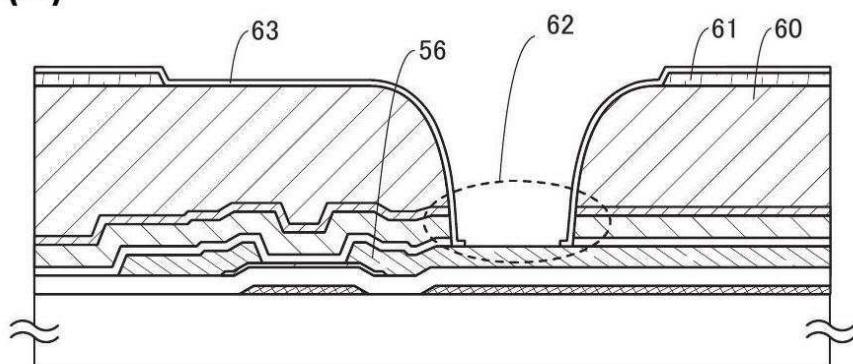


## 도면13

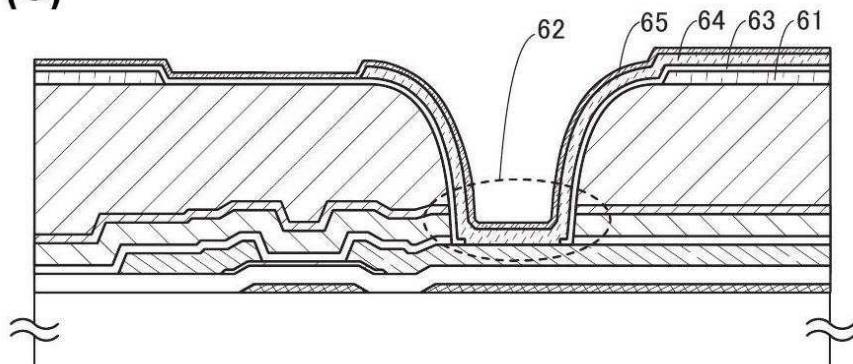
(A)



(B)

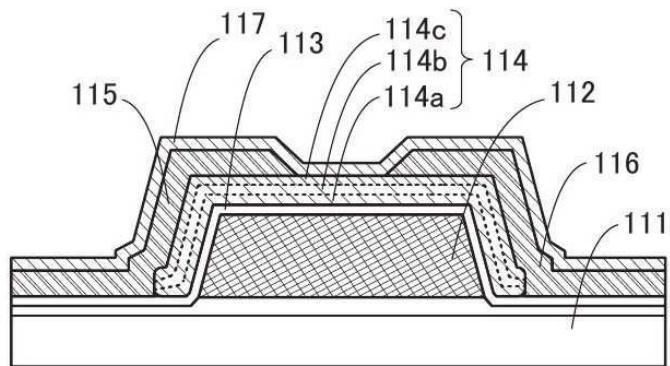


(C)

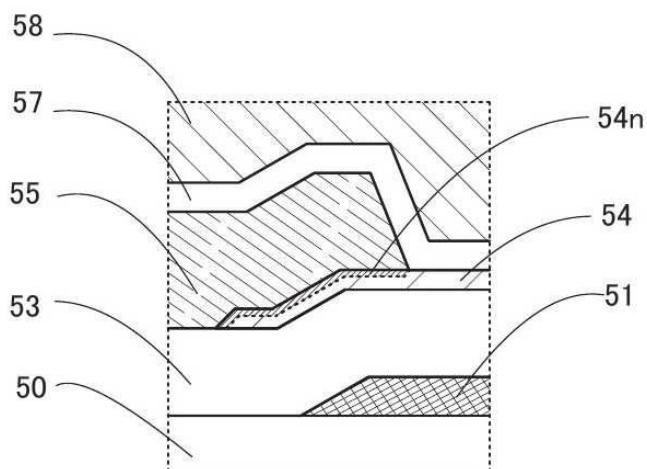


도면14

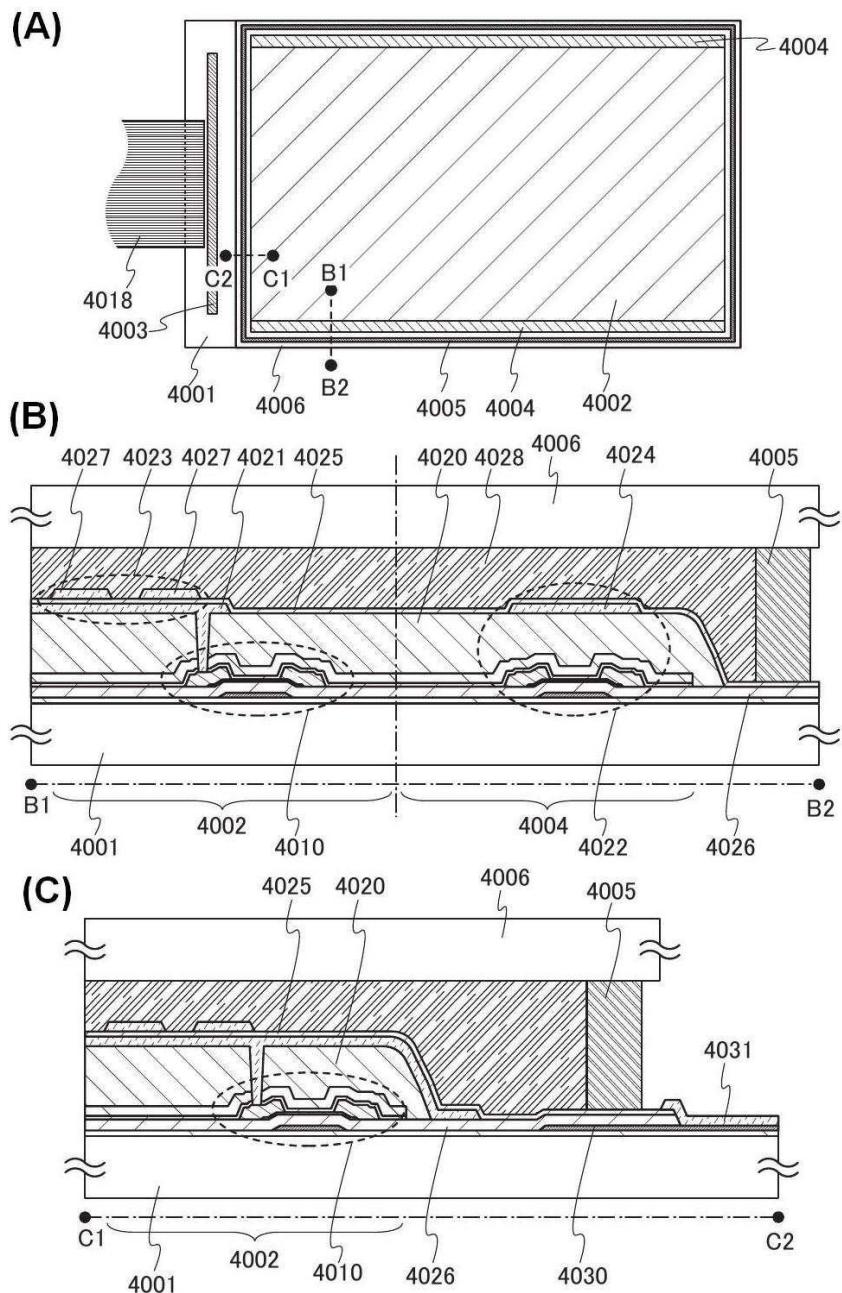
100



도면15

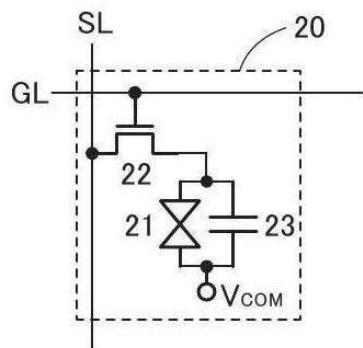


## 도면16

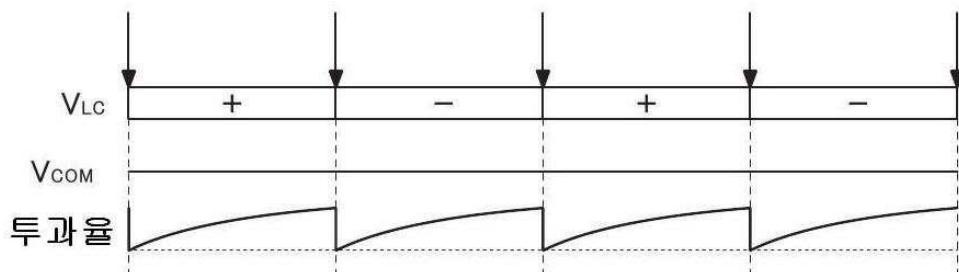


도면17

(A)

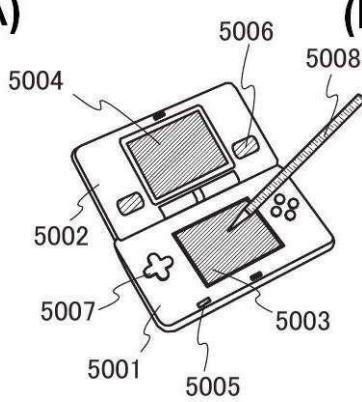


(B)

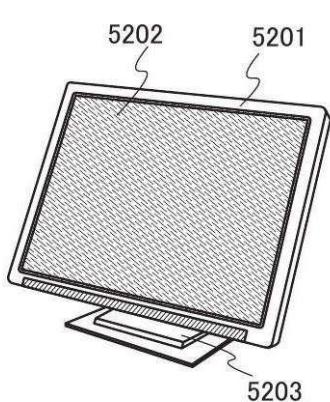


도면18

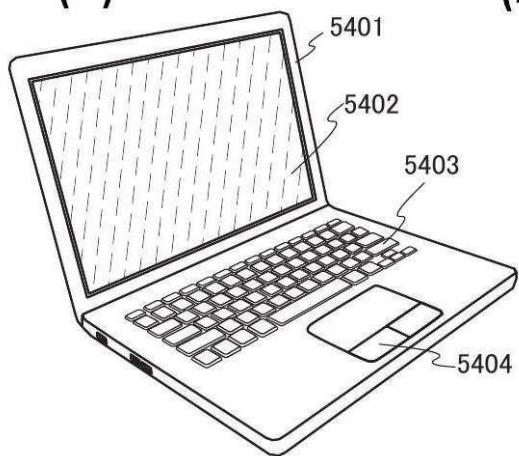
(A)



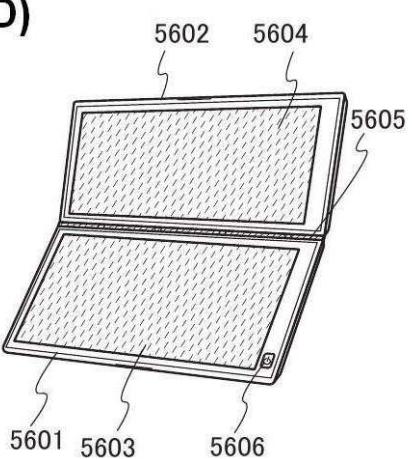
(B)



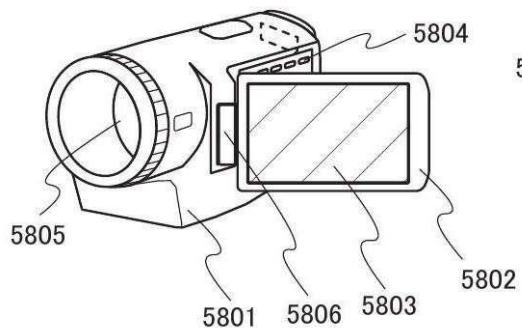
(C)



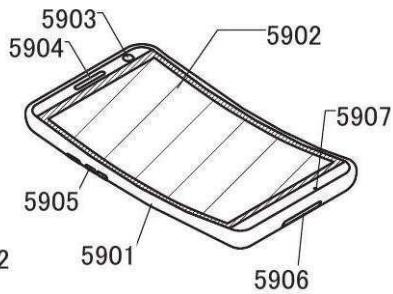
(D)



(E)

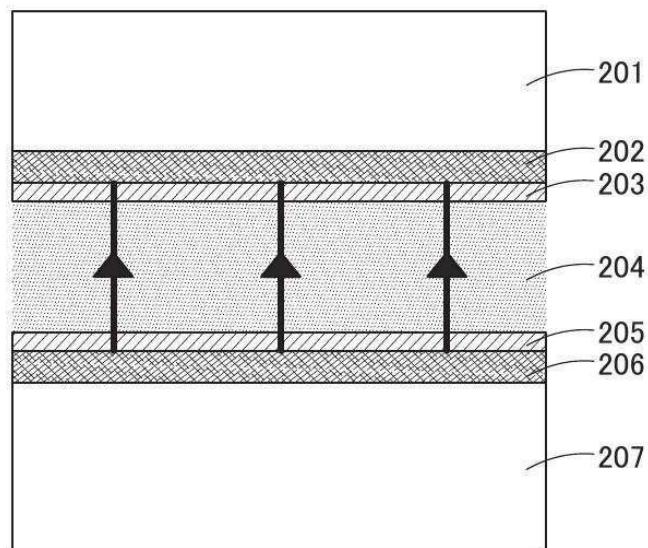


(F)

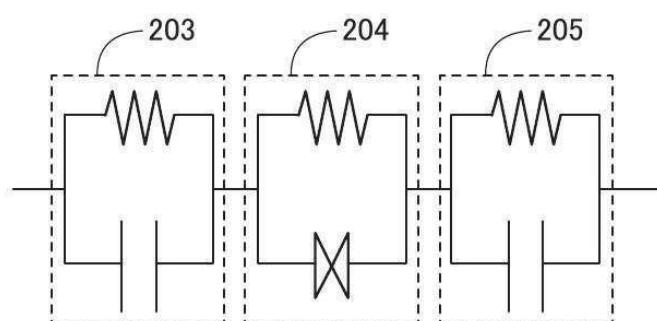


도면19

(A)

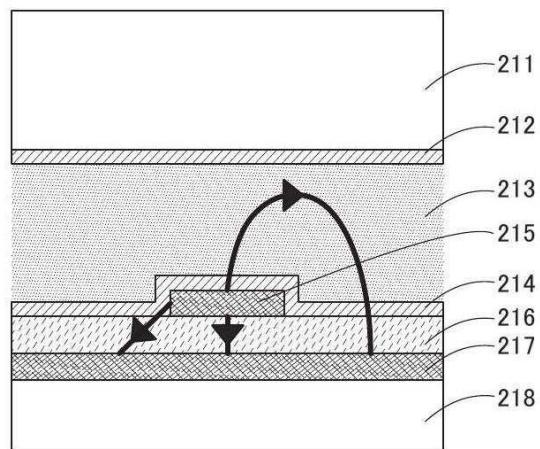


(B)

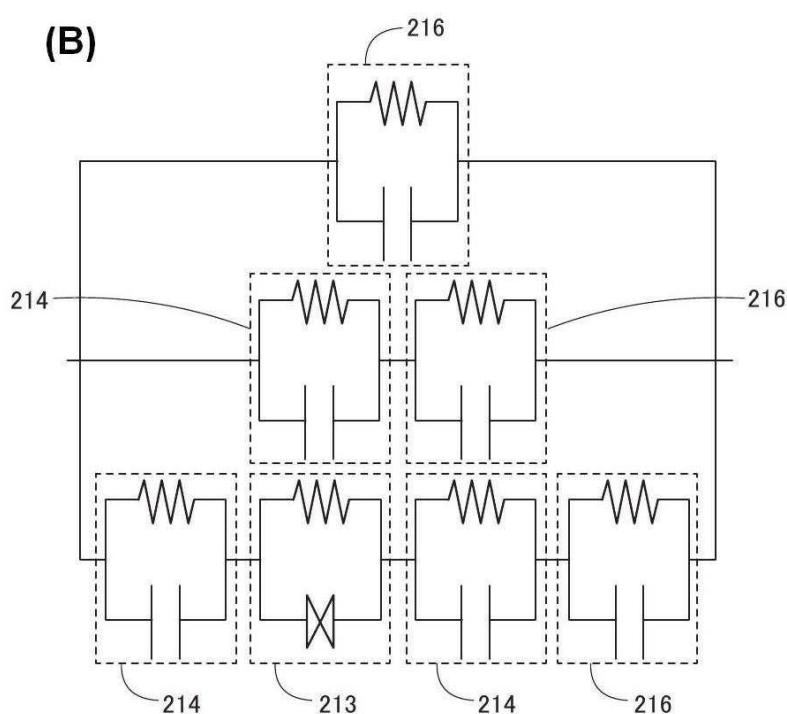


도면20

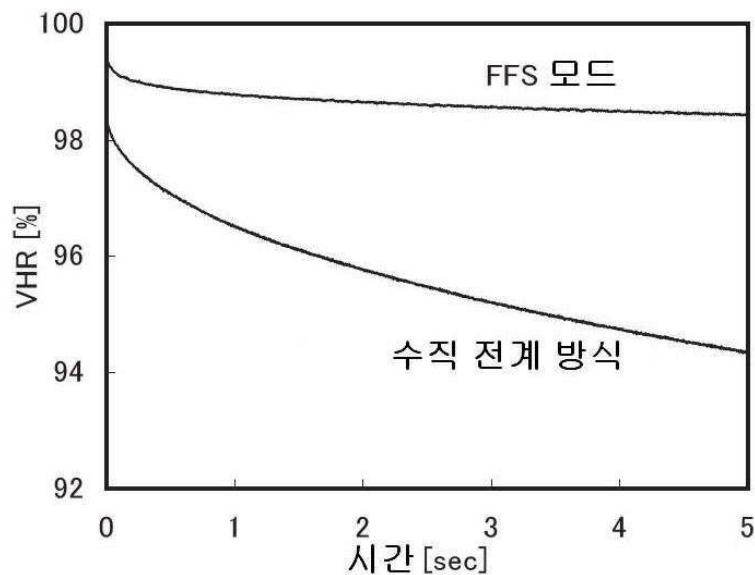
(A)



(B)



도면21



도면22

