

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁴
H01L 29/00

(11) 공개번호 특1987-0000764
(43) 공개일자 1987년02월20일

(21) 출원번호	특1986-0003971
(22) 출원일자	1986년05월21일
(30) 우선권주장	123646 1985년06월07일 일본(JP)
(71) 출원인	후지쓰 가부시끼가이샤 야마모토 다쿠마
(72) 발명자	일본국 가나가와켄 가와사끼시 나카하라구 가미고다나카 1015번지 네즈 아끼오
(74) 대리인	일본국 가나가와켄 가와사끼시 나카하라구 시모꼬다나카 299-10 문병암

심사청구 : 있음

(54) 누설 전류개선형 MIS FET 반도체장치

요약

내용 없음.

대표도

도2

명세서

[발명의 명칭]

누설 전류개선형 MIS FET 반도체장치

[도면의 간단한 설명]

제2도는 형광표시관의 드라이버(driver)로 사용된 MIS FET의 응용을 나타내는 회로도.

제3도 a는 기생 트랜지스터와 누설전류를 방지하기 위한 부가 트랜지스터를 설명하는 MIS FET의 등가회로도이고, 여기에서

제3도 a는 기생트랜지스터 Tr' 가 종래 회로의 주트랜지스터 Tr 과 병렬로 구성된 종래예에 대한 등가회로도.

제4도 a는 본 발명의 첫번째 실시예의 MIS FET에 대한 패턴의 평면도로서 여기에서 연장된 게이트는 주FET의 소오스 영역으로 제공되는 평면도.

본 내용은 요부공개건이므로 전문내용을 수록하지 않았음.

(57) 청구의 범위

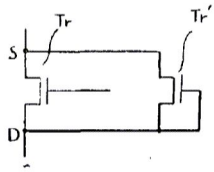
청구항 1

첫번째 도전형을 갖는 반도체기판, 상기 기판내에 형성되고 소오스 영역(4), 드레인 영역(5,5')와 채널 영역(6,6')으로 구성된 액티브 영역(3), 상기 소오스 영역과 드레인 영역은 첫번째 도전형에 반대되는 두번째 도전형을 가지며, 상기 기판상에 형성되고 상기 액티브영역(3)을 포위하는 전계산화막(2), 상기 채널영역(6,6')상에 형성된 게이트 절연막(7,7'), 상기 게이트 절연막(7,7')상에 형성된 게이트 전극(8,8'), 상기 기판 전체를 덮고 있는 절연층(9), 상기 절연층(9)내에 형성된 접촉홀(hole)을 통하여 상기 드레인 영역과 접촉하기 위하여 상기 절연층(9)상에 형성된 드레인 전극(11), 상기 드레인 전극(11)과 연결하기 위하여 상기 절연층(9)상에 형성된 드레인 배선(11'), 상기 절연층(9)하의 상기 게이트 전극(8,8')으로부터 연장되고 상기 액티브 영역(3)과 상기 전계산화 영역 사이의 경계 영역을 따라 형성된 억제게이트 전극(8')을 포함하여 상기 억제게이트 전극(8')은 상기 드레인 배선(11')하에 형성되는 것을 특징으로 하는 MIS FET 반도체장치.

청구항 2

청구범위 제1항에 있어서, 상기 억제게이트 전극(8')이 상기 소오스 영역(4)과 상기 전계산화막(2) 사이

도면3a



도면4a

