(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2010 年 4 月 8 日(08.04.2010)

PCT

(10) 国際公開番号
WO 2010/038464 A1

(51) 国際特許分類:
H01L 21/20 (2006.01) *H01L 27/12* (2006.01)
H01L 21/02 (2006.01) *H01L 29/778* (2006.01)
H01L 21/336 (2006.01) *H01L 29/786* (2006.01)
H01L 21/338 (2006.01) *H01L 29/812* (2006.01)

(21) 国際出願番号: PCT/JP2009/005071

(22) 国際出願日: 2009 年 10 月 1 日(01.10.2009)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2008-257854 2008 年 10 月 2 日(02.10.2008) JP
特願 2008-334830 2008 年 12 月 26 日(26.12.2008) JP
特願 2009-046587 2009 年 2 月 27 日(27.02.2009) JP

(71) 出願人 (米国を除く全ての指定国について): 住友化学株式会社(SUMITOMO CHEMICAL COMPANY, LIMITED) [JP/JP]; 〒1048260 東京都中央区新川二丁目２７番１号 Tokyo (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 秦　雅彦 (HATA, Masahiko) [JP/JP]; 〒3000845 茨城県土浦市　乙戸南２－２０－６ Ibaraki (JP).

(74) 代理人: 龍華国際特許業務法人(RYUKA IP Law Firm); 〒1631105 東京都新宿区西新宿６－２２－１　新宿スクエアタワー５階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

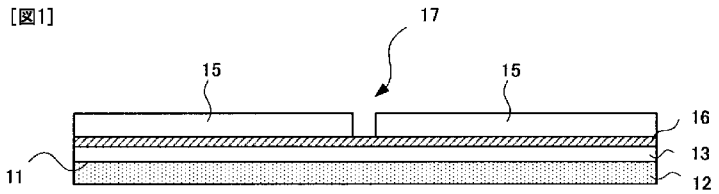
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

(54) **Title**: SEMICONDUCTOR SUBSTRATE, ELECTRONIC DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR SUBSTRATE

(54) 発明の名称 : 半導体基板、電子デバイス、および半導体基板の製造方法

[図1]



10

(57) **Abstract**: Disclosed is a semiconductor substrate having a base substrate, an insulating layer and an Si_xGe_{1-x} crystal layer ($0 \leq x < 1$) in this order, said semiconductor substrate comprising an inhibition layer formed on the Si_xGe_{1-x} crystal layer and a compound semiconductor which is lattice-matched or quasi-lattice-matched to the Si_xGe_{1-x} crystal layer. The inhibition layer has an opening penetrating therethrough to the Si_xGe_{1-x} crystal layer and inhibits crystal growth of the compound semiconductor. Also disclosed is an electronic device comprising a substrate, an insulating layer formed on the substrate, an Si_xGe_{1-x} crystal layer ($0 \leq x < 1$) formed on the insulating layer, an inhibition layer which is formed on the Si_xGe_{1-x} crystal layer for the purpose of inhibiting crystal growth of a compound semiconductor and has an opening penetrating therethrough to the Si_xGe_{1-x} crystal layer, a compound semiconductor which is lattice-matched or quasi-lattice-matched to the Si_xGe_{1-x} crystal layer within the opening, and a semiconductor device formed using the compound semiconductor.

(57) 要約:

[続葉有]

WO 2010/038464 A1

ベース基板と、絶縁層と、Si_xGe_{1-x}結晶層（$0 \leqq x < 1$）とをこの順に有する半導体基板であって、Si_xGe_{1-x}結晶層上に設けられる阻害層と、Si_xGe_{1-x}結晶層に格子整合または擬格子整合している化合物半導体とを備え、阻害層はSi_xGe_{1-x}結晶層にまで貫通する開口を有し、かつ化合物半導体の結晶成長を阻害する半導体基板を提供する。また、サブストレートと、サブストレート上に設けられた絶縁層と、絶縁層上に設けられたSi_xGe_{1-x}結晶層（$0 \leqq x < 1$）と、Si_xGe_{1-x}結晶層上に設けられ化合物半導体の結晶成長を阻害する阻害層であって、Si_xGe_{1-x}結晶層にまで貫通する開口を有する阻害層と、開口の内部でSi_xGe_{1-x}結晶層に格子整合または擬格子整合する化合物半導体と、化合物半導体を用いて形成された半導体デバイスとを備える電子デバイスを提供する。

明　細　書

発明の名称 ：

半導体基板、電子デバイス、および半導体基板の製造方法

技術分野

[0001] 本発明は、半導体基板（Ｓｅｍｉｃｏｎｄｕｃｔｏｒ　Ｗａｆｅｒ）、電子デバイス、および半導体基板の製造方法に関する。

背景技術

[0002] ＧａＡｓ系等の化合物半導体結晶を用いた電子デバイスでは、ヘテロ接合を利用して、各種の高機能電子デバイスが開発されている。化合物半導体結晶の結晶性が電子デバイスの性能を左右するので、良質な結晶薄膜が求められている。ＧａＡｓ系の化合物半導体結晶を用いた電子デバイスを製造する場合、ヘテロ界面での格子整合等の要請から、ＧａＡｓあるいはＧａＡｓと格子定数が極めて近いＧｅ等のベース基板の上に薄膜が結晶成長される。

[0003] 特許文献１には、格子不整合を有する基板または転位欠陥密度の大きな基板の上に成長されたエピタキシャル領域の限定区域を有する半導体デバイスが記載されている。非特許文献１には、ラテラルエピタキシャルオーバーグロース法によるＧｅで被覆されたＳｉ基板上の低転位密度ＧａＡｓエピタキシャル層が記載されている。非特許文献２には、Ｓｉ基板上に高品質のＧｅエピタキシャル成長層（以下、Ｇｅエピ層という場合がある。）を形成する技術が記載されている。当該技術では、Ｇｅエピ層をＳｉ基板上に領域を限定して形成した後、Ｇｅエピ層にサイクル熱アニールを施すことで、Ｇｅエピ層の平均転位密度が２．３×１０^{6}ｃｍ$^{-2}$になる。

先行技術文献

特許文献

[0004] 特許文献1：特開平４－２３３７２０号公報

非特許文献

[0005] 非特許文献1：Ｂ．Ｙ．Ｔｓａｕｒ　ｅｔ．ａｌ．「Ｌｏｗ－ｄｉｓｌｏｃ

ａｔｉｏｎ－ｄｅｎｓｉｔｙ ＧａＡｓ ｅｐｉｌａｙｅｒｓ ｇｒｏｗｎ ｏｎ Ｇｅ－ｃｏａｔｅｄ Ｓｉ ｓｕｂｓｔｒａｔｅｓ ｂｙ ｍｅａｎｓ ｏｆ ｌａｔｅｒａｌ ｅｐｉｔａｘｉａｌ ｏｖｅｒｇｒｏｗｔｈ」、Ａｐｐｌ．Ｐｈｙｓ．Ｌｅｔｔ．　４１（４）３４７－３４９、１５ Ａｕｇｕｓｔ　１９８２．

非特許文献2：Ｈｓｉｎ－Ｃｈｉａｏ Ｌｕａｎ ｅｔ．ａｌ．、「Ｈｉｇｈ－ｑｕａｌｉｔｙ Ｇｅ ｅｐｉｌａｙｅｒｓ ｏｎ Ｓｉ ｗｉｔｈ ｌｏｗ ｔｈｒｅａｄｉｎｇ－ｄｉｓｌｏｃａｔｉｏｎ ｄｅｎｓｉｔｉｅｓ」、ＡＰＰＬＩＥＤ ＰＨＹＳＩＣＳ ＬＥＴＴＥＲＳ、ＶＯＬＵＭＥ ７５，　ＮＵＭＢＥＲ　１９、８ ＮＯＶＥＭＢＥＲ　１９９９．

発明の概要

発明が解決しようとする課題

[0006]　ＧａＡｓ系の電子デバイスは、ＧａＡｓ基板、あるいは、Ｇｅ基板等のＧａＡｓに格子整合させることが可能な基板上に形成されることが好ましい。しかし、ＧａＡｓ基板あるいはＧｅ基板等のＧａＡｓに格子整合できる基板は高価である。さらに、これらの基板の放熱特性は十分でなく、余裕のある熱設計をするためにはデバイスの形成密度を抑制する必要がある。そこで、安価なＳｉ基板を用いて形成されるＧａＡｓ系等の化合物半導体の結晶薄膜を有する良質な半導体基板が求められている。さらに、ＧａＡｓ系の電子デバイスによる高速なスイッチングを実現できる半導体基板が求められている。

課題を解決するための手段

[0007]　上記課題を解決するために、本発明の第１の形態においては、ベース基板と、絶縁層と、Si_xGe_{1-x}結晶層（０≦ｘ＜１）とをこの順に有する半導体基板であって、Si_xGe_{1-x}結晶層上に設けられる阻害層と、Si_xGe_{1-x}結晶層に格子整合または擬格子整合している化合物半導体とを備え、阻害層はSi_xGe_{1-x}結晶層にまで貫通する開口を有し、かつ化合物半導体の結晶成長を阻害する半導体基板が提供される。化合物半導体の開口に含まれる

部分は（√３）／３以上のアスペクト比を有する。一例として、ベース基板はＳｉ基板であり、絶縁層はSiO_2層である。

[0008] 化合物半導体は３－５族化合物半導体または２－６族化合物半導体であってよい。化合物半導体が３－５族化合物半導体であり、３族元素としてＡｌ、Ｇａ、Ｉｎのうち少なくとも１つを含み、５族元素としてＮ、Ｐ、Ａｓ、Ｓｂのうち少なくとも１つを含んでもよい。

[0009] 化合物半導体は、開口の内部におけるSi_xGe_{1-x}結晶層上で、阻害層の表面よりも凸に結晶成長したシード化合物半導体結晶と、シード化合物半導体結晶を核として阻害層に沿ってラテラル成長したラテラル成長化合物半導体結晶とを有してもよい。ラテラル成長化合物半導体結晶は、シード化合物半導体結晶を核として阻害層に沿ってラテラル成長した第１化合物半導体結晶と、第１化合物半導体結晶を核として阻害層に沿って第１化合物半導体結晶と異なる方向にラテラル成長した第２化合物半導体結晶とを有する。ラテラル成長化合物半導体結晶は３－５族化合物半導体または２－６族化合物半導体であってよい。

[0010] また、阻害層が複数の開口を有し、複数の開口のそれぞれの内部でSi_xGe_{1-x}結晶層に格子整合または擬格子整合している化合物半導体は、隣接する開口の内部でSi_xGe_{1-x}結晶層に格子整合または擬格子整合している化合物半導体と接しなくてもよい。複数の開口は、例えば等間隔に設けられる。

[0011] Si_xGe_{1-x}結晶層の化合物半導体との界面は、気体のＰ化合物により表面処理されてよい。また、化合物半導体はＰを含む３－５族化合物半導体からなるバッファ層を含み、バッファ層がSi_xGe_{1-x}結晶層に格子整合または擬格子整合してもよい。

[0012] 半導体基板は、ベース基板が単結晶のＳｉであり、ベース基板におけるSi_xGe_{1-x}結晶層が設けられていない部分に設けられたＳｉ半導体デバイスを備えてもよい。Si_xGe_{1-x}結晶層（$0 \leqq x < 1$）の化合物半導体が形成される面は、（１００）面、（１１０）面、（１１１）面、（１００）面と結晶学的に等価な面、（１１０）面と結晶学的に等価な面、および（１１１

）面と結晶学的に等価な面、から選択されたいずれか一つの結晶面から傾いたオフ角を有してもよい。オフ角は、例えば２°以上６°以下である。

[0013] 開口の底面積は１mm^{2}以下であってよい。面積が１６００μm^{2}以下であってもよく、９００μm^{2}以下であってもよい。開口の底面の最大幅は８０μｍ以下であってよく、４０μｍ以下であってもよく、５μｍ以下であってもよい。

[0014] 半導体基板は、ベース基板が（１００）面または（１００）面と結晶学的に等価な面から傾いたオフ角を有する主面を有し、開口の底面が長方形であり、長方形の一辺が、ベース基板の＜０１０＞方向、＜０－１０＞方向、＜００１＞方向、および＜００－１＞方向のいずれか一つと実質的に平行であってもよい。ベース基板が（１１１）面または（１１１）面と結晶学的に等価な面から傾いたオフ角を有する主面を有し、開口の底面が六角形であり、六角形の一辺が、ベース基板の＜１－１０＞方向、＜－１１０＞方向、＜０－１１＞方向、＜０１－１＞方向、＜１０－１＞方向、および＜－１０１＞方向のいずれか一つと実質的に平行であってもよい。オフ角は、例えば２°以上６°以下である。

[0015] 阻害層の外形の最大幅は４２５０μｍ以下であってよい。阻害層の外形の最大幅は４００μｍ以下であってもよい。

[0016] 半導体基板は、Ｓｉ結晶層を表面に有するＳＯＩ基板を準備し、ＳＯＩ基板上にSi_yGe_{1-y}結晶層（０．７＜ｙ＜１、かつｘ＜ｙ）を生成し、Si_yGe_{1-y}結晶層（０．７＜ｙ＜１）上にＳｉ薄膜を結晶成長させ、Si_yGe_{1-y}結晶層の少なくとも一部とＳｉ薄膜とＳＯＩ基板のＳｉ結晶層とを熱酸化させることによって製造されてもよい。ｙが０．０５以下であってよい。Si_yGe_{1-y}結晶層（０．７＜ｙ＜１）は、（１１１）面または（１１１）面と結晶学的に等価な面を主面としてもよい。

[0017] 本発明の第２の形態においては、サブストレートと、サブストレート上に設けられた絶縁層と、絶縁層上に設けられたSi_xGe_{1-x}結晶層（０≦ｘ＜１）と、Si_xGe_{1-x}結晶層上に設けられ化合物半導体の結晶成長を阻害す

る阻害層であって、Si_xGe_{1-x}結晶層にまで貫通する開口を有する阻害層と、開口の内部でSi_xGe_{1-x}結晶層に格子整合または擬格子整合する化合物半導体と、化合物半導体を用いて形成された半導体デバイスとを備える電子デバイスが提供される。化合物半導体が、開口の内部におけるSi_xGe_{1-x}結晶層上で、阻害層の表面よりも凸に結晶成長したシード化合物半導体結晶と、シード化合物半導体結晶を核として阻害層に沿ってラテラル成長したラテラル成長化合物半導体結晶とを有してもよい。

[0018] 本発明の第３の形態においては、ベース基板と、絶縁層と、Si_xGe_{1-x}結晶層（$0 \leqq x < 1$）とをこの順に有するＧＯＩ基板を準備する段階と、ＧＯＩ基板上に、化合物半導体の結晶成長を阻害する阻害層を設ける段階と、Si_xGe_{1-x}結晶層にまで貫通する開口を阻害層に形成する段階と、開口の内部でSi_xGe_{1-x}結晶層に格子整合または擬格子整合する化合物半導体を結晶成長させる段階とを備える半導体基板の製造方法が提供される。開口を形成する段階は、複数の開口を等間隔に形成する段階を含んでよい。

[0019] また、ＧＯＩ基板を準備する段階は、ＳＯＩ基板を用意する段階と、ＳＯＩ基板上にSi_yGe_{1-y}結晶層（$0.7 < y < 1$、かつ$x < y$）を形成する段階と、Si_yGe_{1-y}結晶層（$0.7 < y < 1$）上にＳｉ薄膜を結晶成長させる段階と、ＳＯＩ基板を熱酸化させる段階とを有する。熱酸化させる段階後のSi_yGe_{1-y}結晶層におけるＧｅの組成比が、熱酸化させる段階前のSi_yGe_{1-y}結晶層（$0.7 < y < 1$）におけるＧｅの組成比よりも高められている。

図面の簡単な説明

[0020] [図1]半導体基板１０の断面の一例を概略的に示す。

[図2]半導体基板２０の断面の一例を概略的に示す。

[図3]半導体基板３０の断面の一例を概略的に示す。

[図4]半導体基板４０の断面の一例を概略的に示す。

[図5]ＳＯＩ基板を含む半導体基板５０の断面の一例を概略的に示す。

[図6]図５に示されるＳＯＩ基板を酸化濃縮することにより形成したＧＯＩ基

板を含む半導体基板５０の断面の一例を概略的に示す。

[図7]本実施形態の電子デバイス１００の平面例を示す。

[図8]図７におけるＡ－Ａ線断面を示す。

[図9]図７におけるＢ－Ｂ線断面を示す。

[図10]電子デバイス１００の製造過程における断面例を示す。

[図11]電子デバイス１００の製造過程における断面例を示す。

[図12]電子デバイス１００の製造過程における断面例を示す。

[図13]電子デバイス１００の製造過程における断面例を示す。

[図14]電子デバイス１００の製造過程における断面例を示す。

[図15]電子デバイス１００の他の製造過程における断面例を示す。

[図16]電子デバイス１００の他の製造過程における断面例を示す。

[図17]電子デバイス２００の平面例を示す。

[図18]電子デバイス３００の平面例を示す。

[図19]電子デバイス４００の断面例を示す。

[図20]電子デバイス５００の断面例を示す。

[図21]電子デバイス６００の断面例を示す。

[図22]電子デバイス７００の断面例を示す。

[図23]本実施形態の半導体基板８０１の平面例を示す。

[図24]領域８０３を拡大して示す。

[図25]半導体基板８０１の断面例を、阻害層８０４で被覆される被覆領域の開口８０６に形成されるＨＢＴと共に示す。

[図26]作成した半導体基板の断面の模式図を示す。

[図27]アニールをしていないＧｅ結晶層２１０６の断面形状を示す。

[図28]７００℃でアニールをしたＧｅ結晶層２１０６の断面形状を示す。

[図29]８００℃でアニールをしたＧｅ結晶層２１０６の断面形状を示す。

[図30]８５０℃でアニールをしたＧｅ結晶層２１０６の断面形状を示す。

[図31]９００℃でアニールをしたＧｅ結晶層２１０６の断面形状を示す。

[図32]実施例８における化合物半導体２１０８の膜厚の平均値を示す。

[図33]実施例８における化合物半導体２１０８の膜厚の変動係数を示す。

[図34]実施例９における化合物半導体２１０８の膜厚の平均値を示す。

[図35]実施例９における化合物半導体２１０８の電子顕微鏡写真を示す。

[図36]実施例９における化合物半導体２１０８の電子顕微鏡写真を示す。

[図37]実施例９における化合物半導体２１０８の電子顕微鏡写真を示す。

[図38]実施例９における化合物半導体２１０８の電子顕微鏡写真を示す。

[図39]実施例９における化合物半導体２１０８の電子顕微鏡写真を示す。

[図40]実施例１０における化合物半導体２１０８の電子顕微鏡写真を示す。

[図41]実施例１０における化合物半導体２１０８の電子顕微鏡写真を示す。

[図42]実施例１０における化合物半導体２１０８の電子顕微鏡写真を示す。

[図43]実施例１０における化合物半導体２１０８の電子顕微鏡写真を示す。

[図44]実施例１０における化合物半導体２１０８の電子顕微鏡写真を示す。

[図45]実施例１１における化合物半導体２１０８の電子顕微鏡写真を示す。

[図46]実施例１１における化合物半導体２１０８の電子顕微鏡写真を示す。

[図47]実施例１１における化合物半導体２１０８の電子顕微鏡写真を示す。

[図48]実施例１２における半導体基板の電子顕微鏡写真を示す。

[図49]実施例１３におけるＨＢＴ素子のレーザー顕微鏡像を示す。

[図50]実施例１４における電子素子のレーザー顕微鏡像を示す。

[図51]ＨＢＴ素子の電気特性と、開口領域の面積との関係を示す。

[図52]結晶の断面における走査型電子顕微鏡写真を示す。

[図53]図５２の写真を見やすくする目的で示した模写図を示す。

[図54]結晶の断面における走査型電子顕微鏡写真を示す。

[図55]図５４の写真を見やすくする目的で示した模写図を示す。

[図56]試料ＡについてのＳｉ元素のプロファイルを示す。

[図57]試料ＡについてのＧｅ元素のプロファイルを示す。

[図58]試料ＢについてのＳｉ元素のプロファイルを示す。

[図59]試料ＢについてのＧｅ元素のプロファイルを示す。

[図60]図５６から図５９を見やすくする目的で示した模式図を示す。

[図61]試料Ａについての測定領域を示すＳＥＭ写真を示す。

[図62]図６１に示す測定領域についてのＳｉおよびＧｅの元素強度積分値を示す。

[図63]試料Ｂについての測定領域を示すＳＥＭ写真を示す。

[図64]図６３に示す測定領域についてのＳｉおよびＧｅの元素強度積分値を示す。

[図65]実施例２で作成した半導体デバイス用基板３０００の平面パターンを示す。

[図66]デバイス用薄膜３００４の成長速度と阻害層３００２の幅との関係を示したグラフである。

[図67]デバイス用薄膜３００４の成長速度と面積比との関係を示したグラフである。

[図68]デバイス用薄膜３００４の成長速度と阻害層３００２の幅との関係を示したグラフである。

[図69]デバイス用薄膜３００４の成長速度と面積比との関係を示したグラフである。

[図70]デバイス用薄膜３００４の成長速度と阻害層３００２の幅との関係を示したグラフである。

[図71]デバイス用薄膜３００４の成長速度と面積比との関係を示したグラフである。

[図72]ベース基板のオフ角を２°にした場合の半導体デバイス用基板３０００の表面を観察した電子顕微鏡写真である。

[図73]ベース基板のオフ角を２°にした場合の半導体デバイス用基板３０００の表面を観察した電子顕微鏡写真である。

[図74]ベース基板のオフ角を６°にした場合の半導体デバイス用基板３０００の表面を観察した電子顕微鏡写真である。

[図75]ベース基板のオフ角を６°にした場合の半導体デバイス用基板３０００の表面を観察した電子顕微鏡写真である。

[図76]ヘテロバイポーラトランジスタ（ＨＢＴ）３１００の平面図を示す。

[図77]図２０において破線で囲んだ部分を示す顕微鏡写真である。

[図78]図２１において破線で囲んだ３個のＨＢＴ素子３１５０の部分を拡大して示す平面図である。

[図79]ＨＢＴ素子３１５０の領域を観察したレーザー顕微鏡写真である。

[図80]ＨＢＴ３１００の製造工程の順に示した平面図である。

[図81]ＨＢＴ３１００の製造工程の順に示した平面図である。

[図82]ＨＢＴ３１００の製造工程の順に示した平面図である。

[図83]ＨＢＴ３１００の製造工程の順に示した平面図である。

[図84]ＨＢＴ３１００の製造工程の順に示した平面図である。

[図85]製造したＨＢＴ３１００の各種特性を測定したデータを示すグラフである。

[図86]製造したＨＢＴ３１００の各種特性を測定したデータを示すグラフである。

[図87]製造したＨＢＴ３１００の各種特性を測定したデータを示すグラフである。

[図88]製造したＨＢＴ３１００の各種特性を測定したデータを示すグラフである。

[図89]製造したＨＢＴ３１００の各種特性を測定したデータを示すグラフである。

[図90]２次イオン質量分析法による深さプロファイルを測定したデータである。

[図91]ＨＢＴ３１００と同時に形成したＨＢＴの断面を示すＴＥＭ写真である。

[図92]阻害層がないベタ基板にデバイス用薄膜を形成したＨＢＴを示す。

発明を実施するための形態

[0021] 以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説

明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

[0022] 図１は、一実施形態に係る半導体基板１０の断面の一例を概略的に示す。図１に示すとおり、半導体基板１０は、少なくとも一部において、ベース基板１２と、絶縁層１３と、Si_xGe_{1-x}結晶層１６とをこの順に有する。これにより、絶縁層１３がベース基板１２とSi_xGe_{1-x}結晶層１６とを絶縁して、ベース基板１２への不要なリーク電流が抑制される。ここで、本明細書における「略垂直な方向」とは、厳密に垂直な方向だけでなく、基板および各部材の製造誤差を考慮して、垂直からわずかに傾いた方向をも含む。

[0023] 阻害層１５は結晶成長を阻害する。阻害層１５はSi_xGe_{1-x}結晶層１６上に設けられる。阻害層１５には、ベース基板１２の主面１１に略垂直な方向に阻害層１５を貫通する開口１７が形成される。開口１７はSi_xGe_{1-x}結晶層１６にまで貫通する。また、阻害層１５の表面には結晶が成長することなく、開口１７の内部において選択的に結晶が成長する。これにより、開口１７の内部において結晶性に優れた結晶を成長させることができる。なお、絶縁層１３の面積はベース基板１２の面積より小さくてもよい。Si_xGe_{1-x}結晶層１６の面積は絶縁層１３の面積より小さくてもよい。阻害層１５の面積はSi_xGe_{1-x}結晶層１６の面積より小さくてもよい。

[0024] ベース基板１２、絶縁層１３、およびSi_xGe_{1-x}結晶層１６を有するＧＯＩ基板は、市販のＧＯＩ基板であってよい。Si_xGe_{1-x}結晶層１６は、例えば、市販のＧＯＩ基板のＧｅ層をエッチング等によりパターニングして形成される。

[0025] 本実施形態において、ベース基板１２と絶縁層１３とが接する場合について説明したが、ベース基板１２と絶縁層１３との位置関係は、両者が接する場合に限定されない。例えば、ベース基板１２と絶縁層１３との間に、他の層が形成されてもよい。

[0026] 図２は、本実施形態の半導体基板２０の断面の一例を概略的に示す。半導体基板２０は、化合物半導体２８をさらに備える以外は、半導体基板１０と

同様の構成を有する。化合物半導体２８は、Si_xGe_{1-x}結晶層１６に格子整合または擬格子整合する。阻害層１５は化合物半導体２８の結晶成長を阻害する。これにより、開口１７の内部において、化合物半導体２８が選択的に結晶成長して、結晶性に優れた化合物半導体２８が得られる。化合物半導体２８は、ＭＯＣＶＤ法（有機金属気相成長法）または有機金属を原料として用いるＭＢＥ法を用いたエピタキシャル成長法により形成されてよい。

[0027] Si_xGe_{1-x}結晶層１６の少なくとも一部の領域はアニールされてもよい。例えば、上述したSi_xGe_{1-x}結晶層１６の少なくとも一部の領域とは、開口１７において露出する領域を指す。アニールの温度および時間の条件は、例えば、８００～９００℃で２０分間である。また、アニールは複数回行われてもよい。例えば、８００～９００℃で２～１０分間、Ｇｅの融点に達しない温度での高温アニールを実施した後、６８０～７８０℃で２～１０分間、低温アニールを実施する。これらのアニールにより、Si_xGe_{1-x}結晶層１６の内部の欠陥密度が低減される。

[0028] また、Si_xGe_{1-x}結晶層１６は、大気雰囲気下、窒素雰囲気下、アルゴン雰囲気下、または、水素雰囲気下でアニールされてもよい。特に、水素を含む雰囲気中でSi_xGe_{1-x}結晶層１６をアニールすることで、Si_xGe_{1-x}結晶層１６の表面状態を滑らかな状態に維持しつつ、Si_xGe_{1-x}結晶層１６の結晶欠陥の密度を低減できる。

[0029] 化合物半導体２８は、アニールされたSi_xGe_{1-x}結晶層１６に格子整合または擬格子整合する。アニールされたSi_xGe_{1-x}結晶層１６を用いることで、結晶性に優れた化合物半導体２８が得られる。化合物半導体２８は、例えば、３－５族化合物半導体または２－６族化合物半導体である。化合物半導体２８が３－５族化合物半導体の場合、化合物半導体２８は、３族元素としてＡｌ、Ｇａ、Ｉｎのうち少なくとも１つを含み、５族元素としてＮ、Ｐ、Ａｓ、Ｓｂのうち少なくとも１つを含んでもよい。

[0030] ここで、「擬格子整合」とは、完全な格子整合ではないが、互いに接する２つの半導体層のそれぞれの格子定数の差が小さいので、各半導体層結晶格

子の弾性変形範囲内での変型により格子定数差が吸収され、格子不整合による欠陥の発生が顕著でない範囲で、互いに接する２つの半導体層を積層できる状態をいう。例えば、Ｇｅ層とＧａＡｓ層との積層状態は、擬格子整合と呼ばれる。

[0031] なお一例として、化合物半導体２８の面積はSi_xGe_{1-x}結晶層１６の面積より小さくてもよい。本実施形態において、Si_xGe_{1-x}結晶層１６と化合物半導体２８とが、ベース基板１２の主面１１に略垂直な方向に並んで配置される場合について説明したが、Si_xGe_{1-x}結晶層１６および化合物半導体２８は、ベース基板１２の主面１１に略平行な方向に並んで配置されてもよい。

[0032] 図３は、半導体基板３０の断面の一例を概略的に示す。図３に示すとおり、半導体基板３０は、ベース基板１２と、絶縁層１３と、Si_xGe_{1-x}結晶層３６と、化合物半導体３８とを備える。Si_xGe_{1-x}結晶層３６および化合物半導体３８と、図２におけるSi_xGe_{1-x}結晶層１６および化合物半導体２８とは同等である。そこで、以下の説明においては、同等の部材についての重複する説明を省略する場合がある。

[0033] 半導体基板３０は、Si_xGe_{1-x}結晶層３６と化合物半導体３８とが、ベース基板１２の主面１１に対して略平行な方向に並んで配置される点で、半導体基板２０と相違する。Si_xGe_{1-x}結晶層３６および化合物半導体３８は、絶縁層１３の表面１９に沿ってこの順に配置される。

[0034] 図４は、半導体基板４０の断面の一例を概略的に示す。図４に示すとおり、半導体基板４０は、ベース基板１２と、絶縁層１３と、Si_xGe_{1-x}結晶層４６と、阻害層４５と、化合物半導体４８とを備える。半導体基板４０は、Si_xGe_{1-x}結晶層４６の上面を覆う阻害層４５を更に備える点で、半導体基板３０と相違する。Si_xGe_{1-x}結晶層４６および化合物半導体４８と、Si_xGe_{1-x}結晶層３６および化合物半導体３８とは同等である。また、阻害層４５と阻害層２５とは同等である。阻害層４５は、化合物半導体４８の結晶成長を阻害する。

[0035] これにより、化合物半導体４８は、Si_xGe_{1-x}結晶層４６のベース基板１２の主面１１に略垂直な側面を核として、選択的に成長する。なお、絶縁層１３が、結晶成長を阻害する材料を含んでもよい。一例として、絶縁層１３はSiO_2である。

[0036] 半導体基板４０は、次の手順で作製できる。まず、ベース基板１２、絶縁層１３およびSi_xGe_{1-x}結晶層４６を備えるＧＯＩ基板を準備する。そして、ＧＯＩ基板のSi_xGe_{1-x}結晶層４６をエッチング等によりパターニングして、矩形のSi_xGe_{1-x}結晶層４６を形成する。そして、Si_xGe_{1-x}結晶層４６の面のうち、ベース基板１２の主面１１に略平行な面を覆うように、阻害層４５を形成する。

[0037] 阻害層４５は、矩形のSi_xGe_{1-x}結晶層４６と同様の形状を有してもよい。例えば、ＣＶＤ法でSiO_2を生成することにより、阻害層４５を形成する。そして、矩形のSi_xGe_{1-x}結晶層４６をエッチングすることで、Si_xGe_{1-x}結晶層４６を形成する。エッチングされたSi_xGe_{1-x}結晶層４６は阻害層４５より小さいので、阻害層４５と絶縁層１３との間に空間ができる。

[0038] 次に、Si_xGe_{1-x}結晶層４６のベース基板１２の主面１１に略垂直な面４１に格子整合または擬格子整合する化合物半導体４８が形成される。化合物半導体４８は、例えば、ＭＯＣＶＤ法により形成される。化合物半導体４８を形成する前にSi_xGe_{1-x}結晶層４６はアニールされてもよい。Si_xGe_{1-x}結晶層４６がアニールされることによりSi_xGe_{1-x}結晶層４６の結晶性が向上する。

[0039] 図５は、ＳＯＩ基板を含む半導体基板５０の断面の一例を概略的に示す。図６は、図５に示されるＳＯＩ基板を酸化濃縮することにより形成したＧＯＩ基板を含む半導体基板６０の断面の一例を概略的に示す。半導体基板５０は、ＳＯＩ基板１０１、Si_xGe_{1-x}結晶層５６、およびＳｉ結晶層５７をこの順に備える。ＳＯＩ基板１０１は、ベース基板１２、絶縁層１３、およびＳｉ結晶層１４をこの順に有する。

[0040] 半導体基板５０のSi_xGe_{1-x}結晶層５６の少なくとも一部とＳｉ結晶層５７とは熱酸化される。阻害層６５は、Ｓｉ結晶層５７が熱酸化することにより形成される。阻害層６５は、例えばSiO_2層である。また、Ｓｉ結晶層５７の熱酸化に引き続き、Si_xGe_{1-x}結晶層５６が熱酸化される際、Ｓｉ成分が選択的に熱酸化される。その結果、熱酸化の進行と共にSi_xGe_{1-x}結晶層５６内のＧｅ濃度が上昇する。例えば、熱酸化前にｘ＝０．８５であったSi_xGe_{1-x}結晶層５６が、熱酸化後にはｘ＝０．０５以下になる。Si_xGe_{1-x}結晶層５６は、（１１１）面または（１１１）面と結晶学的に等価な面を主面とすることが好ましい。

[0041] また、ＳＯＩ基板におけるＳｉ結晶層１４も熱酸化されることにより、図６に示すように、Ｓｉ結晶層１４が絶縁層６４に変化する。絶縁層６４は、例えばSiO_2である。以上の手順により、ベース基板１２、絶縁層１３、絶縁層６４、Si_xGe_{1-x}結晶層５６、および阻害層６５をこの順に備えるＧＯＩ基板が形成される。阻害層６５は、エッチング等によりパターニングすることで、矩形に形成されてもよい。

[0042] 矩形の阻害層６５以外の場所にはSi_xGe_{1-x}結晶層５６が露出している。矩形のSi_xGe_{1-x}結晶層５６をマスクとしてSi_xGe_{1-x}結晶層５６をエッチングすることで、Si_xGe_{1-x}結晶層５６の面積は阻害層６５の面積よりも小さくなる。その結果、阻害層６５と絶縁層６４との間に空間ができる。

[0043] 次に、Si_xGe_{1-x}結晶層５６のベース基板１２の主面１１に略垂直な面４１に格子整合または擬格子整合する化合物半導体６８が形成される。化合物半導体６８を形成する前にSi_xGe_{1-x}結晶層５６はアニールされてもよい。Si_xGe_{1-x}結晶層５６がアニールされることによりSi_xGe_{1-x}結晶層５６の結晶性が向上する。

[0044] なお、図６に示した阻害層６５にエッチングを施すことにより、Si_xGe_{1-x}結晶層５６を露出する開口を阻害層６５に形成してもよい。当該開口内で化合物半導体を結晶成長させることによって、図２に示した半導体基板２０

と同等の半導体基板を形成することができる。

[0045] 図７は、電子デバイス１００の平面例を示す。図８は、図７におけるＡ－Ａ線断面を示す。図９は、図７におけるＢ－Ｂ線断面を示す。電子デバイス１００は、ＧＯＩ基板１０２と、阻害層１０４と、シード化合物半導体結晶１０８と、第１化合物半導体結晶１１０と、第２化合物半導体結晶１１２と、ゲート絶縁膜１１４と、ゲート電極１１６と、ソース・ドレイン電極１１８とを備える。阻害層１０４と阻害層１５とは同等である。シード化合物半導体結晶１０８、第１化合物半導体結晶１１０および第２化合物半導体結晶１１２のいずれかと化合物半導体２８とは同等である。そこで、同等の部材については、重複する説明を省略する場合がある。

[0046] 本例では、開口１０５に露出したＧｅ結晶層１６６を核として、開口１０５から突出するまでシード化合物半導体結晶１０８を成長させる。なお、Ｇｅ結晶層１６６は、Si_xGe_{1-x}結晶層１６においてｘ＝０の場合である。そして、シード化合物半導体結晶１０８を核として、阻害層１０４の表面における第１の方向に第１化合物半導体結晶１１０を成長させる。そして、第１化合物半導体結晶１１０を核として、第２化合物半導体結晶１１２を阻害層１０４の表面における第２の方向に成長させる。第１の方向および第２の方向は、例えば互いに直交する方向である。

[0047] 電子デバイス１００は、複数のＭＩＳＦＥＴ（ｍｅｔａｌ－ｉｎｓｕｌａｔｏｒ－ｓｅｍｉｃｏｎｄｕｃｔｏｒ ｆｉｅｌｄ－ｅｆｆｅｃｔ ｔｒａｎｓｉｓｔｏｒ）、または、ＨＥＭＴ（ｈｉｇｈ－ｅｌｅｃｔｒｏｎ－ｍｏｂｉｌｉｔｙ ｔｒａｎｓｉｓｔｏｒ）を含んでよい。

[0048] ＧＯＩ基板１０２は、例えば、市販のＧＯＩ（ｇｅｒｍａｎｉｕｍ－ｏｎ－ｉｎｓｕｌａｔｏｒ）基板である。ＧＯＩ基板１０２の上に、能動素子であるＭＩＳＦＥＴまたはＨＥＭＴ等が形成される。本実施形態では、ＧＯＩ基板１０２を用いることにより上記能動素子の誤動作を防止できる。これにより、高温でも安定に動作する電子デバイス１００が得られる。また、電子デバイス１００の浮遊容量が低減されるので、電子デバイス１００の動作速

度が向上する。また、絶縁層１６４の高い絶縁抵抗により、電子デバイス１００からＳｉ基板１６２への不要なリーク電流を抑制することができる。

[0049] ＧＯＩ基板１０２は、不純物を含まない高抵抗ウェハであってよく、ｐ型またはｎ型の不純物を含む低抵抗のウェハであってもよい。Ｇｅ結晶層１６６は、不純物を含まないＧｅで形成されてよく、ｐ型またはｎ型の不純物を含むＧｅで形成されてもよい。

[0050] ＧＯＩ基板１０２は、少なくとも一部において、Ｓｉ基板１６２と、絶縁層１６４と、Ｇｅ結晶層１６６とを、この順に有する。ＧＯＩ基板１０２は、Ｓｉ基板１６２の主面１７２の側に、絶縁層１６４とＧｅ結晶層１６６とを有する。Ｓｉ基板１６２は単結晶Ｓｉ基板であってもよい。Ｓｉ基板１６２はベース基板の一例である。Ｓｉ基板１６２は、電子デバイス１００のサブストレートとして機能する。

[0051] 絶縁層１６４は、Ｓｉ基板１６２とＧｅ結晶層１６６とを電気的に絶縁する。一例として、絶縁層１６４はＳｉ基板１６２の主面１７２に接して形成される。Ｓｉ基板１６２および絶縁層１６４と、ベース基板１２および絶縁層１３とは同等である。Ｇｅ結晶層１６６とSi_xGe_{1-x}結晶層１６とは同等である。そこで、同等の部材については、重複する説明を省略する場合がある。

[0052] Ｇｅ結晶層１６６は絶縁層１６４に接して形成される。Ｇｅ結晶層１６６はＧｅの単結晶を含んでもよい。Ｇｅ結晶層１６６は多結晶であってもよい。Ｇｅ結晶層１６６は、Ｓｉの含有率が低いSi_xGe_{1-x}結晶であってもよい。

[0053] 阻害層１０４はエピタキシャル成長を阻害する。阻害層１０４は、ＧＯＩ基板１０２の主面１７２の側に、Ｇｅ結晶層１６６に接して形成されてよい。また、阻害層１０４は、Ｓｉ基板１６２の主面１７２に略垂直な方向に阻害層１０４を貫通する開口１０５が形成されてよい。阻害層１０４は、開口１０５が形成され、かつ、結晶成長を阻害してよい。開口１０５はＧｅ結晶層１６６を露出する。これにより、阻害層１０４には、Ｇｅ結晶層１６６に

達する開口１０５が形成されるので、Ｇｅ結晶層１６６が露出した開口１０５には、エピタキシャル膜が選択的に成長する。一方、阻害層１０４の表面における結晶成長は阻害されるので、阻害層１０４の表面にはエピタキシャル膜が成長しない。阻害層１０４は、例えば、酸化シリコンまたは窒化シリコンを含む。

[0054] ここで、本明細書において、「開口のアスペクト比」とは、「開口の深さ」を「開口の幅」で除した値をいう。例えば、電子情報通信学会編「電子情報通信ハンドブック　第１分冊」７５１ページ（１９８８年、オーム社発行）によると、アスペクト比として（エッチング深さ／パターン幅）と記載されている。本明細書においても、同様の意義でアスペクト比の用語を用いる。なお、「開口の深さ」は基板上に薄膜を積層した場合の、積層方向における開口の深さである。「開口の幅」は積層方向に垂直な方向における、開口の幅である。開口の幅が一定でない場合には、「開口の幅」は、開口の最小の幅を指す。たとえば、積層方向から見た開口の形状が長方形である場合、「開口の幅」は、長方形の短辺の長さを指す。

[0055] 開口１０５に形成されたＧｅ結晶層１６６を６００～９００℃程度にまで加熱しない場合には、例えば、開口１０５は（√３）／３以上のアスペクト比を有することが好ましい。より具体的には、開口１０５の底面におけるＧｅ結晶層１６６の面方位が（１００）の場合には、開口１０５は１以上のアスペクト比を有してもよい。開口１０５の底面におけるＧｅ結晶層１６６の面方位が（１１１）の場合には、開口１０５は√２（＝約１．４１４）以上のアスペクト比を有してもよい。開口１０５の底面におけるＧｅ結晶層１６６の面方位が（１１０）の場合は、開口１０５は（√３）／３（＝約０．５７７）以上のアスペクト比を有してもよい。

[0056] アスペクト比が（√３）／３以上の開口１０５の内部にＧｅ結晶層１６６が形成されると、Ｇｅ結晶層１６６に含まれる欠陥が開口１０５の壁面でターミネートされる。その結果、開口１０５の壁面で覆われずに露出するＧｅ結晶層１６６の表面における欠陥が低減する。即ち、開口１０５が（√３）

／３以上のアスペクト比を有する場合には、開口１０５に形成されたＧｅ結晶層１６６にアニールが施されない状態であっても、開口１０５において露出するＧｅ結晶層１６６の表面の欠陥密度を所定の許容範囲まで小さくすることができる。開口１０５において露出するＧｅ結晶層１６６の表面をシード化合物半導体結晶１０８の結晶核として用いることで、シード化合物半導体結晶１０８の結晶性を高めることができる。

[0057] なお、開口１０５に形成されたＧｅ結晶層１６６を６００～９００℃程度にまで加熱してアニールを施こすことができる場合には、開口１０５のアスペクト比は√２未満であってもよい。開口１０５のアスペクト比が√２未満の場合であっても、アニールを施すことでＧｅ結晶層１６６の欠陥を低減できるからである。より具体的には、開口１０５の底面におけるＧｅ結晶層１６６の面方位が（１００）の場合には、開口１０５は１未満のアスペクト比を有してもよい。開口１０５の底面におけるＧｅ結晶層１６６の面方位が（１１１）の場合には、開口１０５は√２（＝約１．４１４）未満のアスペクト比を有してもよい。開口１０５の底面におけるＧｅ結晶層１６６の面方位が（１１０）の場合は、開口１０５は（√３）／３（＝約０．５７７）未満のアスペクト比を有してもよい。Ｇｅ結晶層１６６は、Ｇｅ結晶層１６６上で化合物半導体を結晶成長させる前にアニールされてもよい。

[0058] また、開口１０５の面積は１mm^2以下であってよく、好ましくは０．２５mm^2未満であってもよい。この場合、シード化合物半導体結晶１０８の底面積も、１mm^2以下または０．２５mm^2となる。シード化合物半導体結晶１０８のサイズを所定値以下とすることで、シード化合物半導体結晶１０８の任意の点の欠陥をシード化合物半導体結晶１０８の端部まで移動させることができる。このため、シード化合物半導体結晶１０８の欠陥密度を容易に低減できる。

[0059] また、開口１０５の底面積は０．０１mm^2以下であってよく、好ましくは１６００μm^2以下であってよく、より好ましくは９００μm^2以下であってもよい。これらの場合、開口１０５の内部に形成されるシード化合物半導体

結晶１０８の底面積も、０．０１ｍｍ^{2}以下、１６００μｍ^{2}以下、または、９００μｍ^{2}以下となる。

[0060] シード化合物半導体結晶１０８および化合物半導体層等の機能層と、ＧＯＩ基板１０２との熱膨張係数の差が大きい場合には、熱アニールによって機能層に局部的な反りが生じやすい。これに対し、上記面積が０．０１ｍｍ^{2}以下である場合には、上記面積が０．０１ｍｍ^{2}より大きい場合と比較して、開口１０５の底面に露出するＧｅ結晶層１６６のアニールに要する時間を短縮できる。このため、開口１０５の底面積を０．０１ｍｍ^{2}以下にすることで、当該反りにより機能層に結晶欠陥が生じることを抑制できる。

[0061] 開口１０５の底面積が１６００μｍ^{2}より大きい場合には、結晶欠陥を十分に抑制できないので、デバイスの製造に必要な所定の特性を有する半導体基板を得ることが困難である。これに対して、開口１０５の底面積が１６００μｍ^{2}以下である場合には、結晶欠陥の数が所定値以下に低減されることがある。その結果、開口の内部に形成された機能層を用いて、高性能のデバイスを製造することができる。さらに、上記面積が９００μｍ^{2}以下である場合には、結晶欠陥の数が所定値以下になる確率が高まるので、上記デバイスを歩留まりよく製造できる。

[0062] 一方、開口１０５の底面積は２５μｍ^{2}以上であることが好ましい。上記面積が２５μｍ^{2}より小さくなると、開口１０５の内部に結晶をエピタキシャル成長させる場合に、当該結晶の成長速度が不安定になり、結晶の形状に乱れを生じやすい。さらに上記面積が２５μｍ^{2}より小さくなると、形成される化合物半導体を加工してデバイスを形成することが難しく、歩留まりが低下する場合がある。

[0063] また、被覆領域の面積に対する開口１０５の底面積の割合は、０．０１％以上であることが好ましい。被覆領域は、阻害層１０４により覆われるＧｅ結晶層１６６の領域であってもよい。上記割合が０．０１％より小さくなると、開口１０５の内部における結晶の成長速度が不安定になる。なお、１つの被覆領域に複数の開口１０５が形成されている場合には、開口１０５の底

面積とは、当該被覆領域に含まれる複数の開口１０５の底面積の総和を意味する。

[0064] 開口１０５の底面形状は最大幅が１００μｍ以下であってよく、好ましくは８０μｍ以下であってもよい。開口１０５の底面形状の最大幅は、開口１０５の底面形状に含まれる任意の２点を結ぶそれぞれの直線の長さのうち、最大の長さを指す。開口１０５が正方形または長方形である場合には、当該底面形状の一辺の長さは１００μｍ以下であってよく、好ましくは８０μｍ以下であってもよい。上記底面形状の最大幅が１００μｍ以下である場合には、上記底面形状の最大幅が１００μｍより大きい場合と比較して、開口１０５に露出するＧｅ結晶層１６６を、比較的に短時間でアニールできる。

[0065] また、Ｇｅ結晶層１６６においてアニールされる領域は、Ｇｅ結晶層１６６と絶縁層１６４との、アニールの温度条件における熱膨張係数の相違によるストレスが加えられた場合であっても、Ｇｅ結晶層１６６に欠陥が発生しない大きさに形成されてもよい。当該アニールされる領域とは、開口１０５において露出する領域を指してよい。例えば、主面１７２と略平行な方向のＧｅ結晶層１６６の当該領域の最大幅は４０μｍ以下であってよく、好ましくは２０μｍ以下であってもよい。Ｇｅ結晶層１６６の当該領域の最大幅は、開口１０５の底面形状における最大幅で定まるので、開口１０５の底面形状は、所定値以下の最大幅を有することが好ましい。例えば開口１０５の底面形状の最大幅は、４０μｍ以下であってよく、さらに好ましくは３０μｍ以下であってもよい。

[0066] １つの阻害層１０４には、１つの開口１０５が形成されてもよい。これにより、開口１０５の内部において、安定した成長速度で結晶をエピタキシャル成長させることができる。また、１つの阻害層１０４には、複数の開口１０５が形成されてもよい。この場合、それぞれの開口１０５が等間隔に配置されることが好ましい。これにより、開口１０５の内部において、安定した成長速度で結晶をエピタキシャル成長させることができる。

[0067] 開口１０５の底面形状が多角形である場合には、当該多角形の少なくとも

１辺の方向は、ＧＯＩ基板１０２の主面の結晶学的面方位の１つと実質的に平行であってもよい。開口１０５の底面形状と、ＧＯＩ基板１０２の主面の結晶学的面方位との関係は、開口１０５の内部に成長する結晶の側面が安定な面となる関係であることが好ましい。ここで、「実質的に平行」とは、上記多角形の一辺の方向と、基板の結晶学的面方位の１つとが平行からわずかに傾いている場合を含む。上記傾きの大きさは、５°以下であってもよい。これにより、結晶成長の乱れを抑制でき、上記結晶が安定して形成される。

[0068] ＧＯＩ基板１０２の主面は、（１００）面、（１１０）面もしくは（１１１）面、または、これらと等価な面であってもよい。また、ＧＯＩ基板１０２の主面は、上記の結晶学的面方位からわずかに傾いていることが好ましい。即ち、ＧＯＩ基板１０２はオフ角を有することが好ましい。上記傾きの大きさは、１０°以下であってもよい。また、上記傾きの大きさは、０．０５°以上６°以下であってよく、０．３°以上６°以下であってよく、２°以上６°以下であってもよい。開口の内部に方形結晶を成長させる場合には、基板の主面は、（１００）面もしくは（１１０）面またはこれらと等価な面であってもよい。これにより、上記結晶に４回対称の側面が現れやすくなる。

[0069] 一例として、阻害層１０４が、ＧＯＩ基板１０２の表面の（１００）面に形成され、開口１０５が正方形または長方形の底面形状を有し、シード化合物半導体結晶１０８がＧａＡｓ結晶である場合について説明する。この場合、開口１０５の底面形状の少なくとも１辺の方向は、ＧＯＩ基板１０２の＜０１０＞方向、＜０－１０＞方向、＜００１＞方向および＜００－１＞方向のうちの何れか１つの方向と実質的に平行であってもよい。これにより、ＧａＡｓ結晶の側面が、安定した面になる。

[0070] 別の例として、阻害層１０４が、ＧＯＩ基板１０２の表面の（１１１）面に形成され、開口１０５が六角形の底面形状を有し、シード化合物半導体結晶１０８がＧａＡｓ結晶である場合について説明する。この場合、開口１０５の底面形状の少なくとも１辺は、ＧＯＩ基板１０２の＜１－１０＞方向、

＜－１１０＞方向、＜０－１１＞方向、＜０１－１＞方向、＜１０－１＞方向および＜－１０１＞方向のうちの何れか１つの方向と実質的に平行であってもよい。これにより、ＧａＡｓ結晶の側面が、安定した面となる。なお、開口１０５の底面形状は、正六角形であってもよい。

[0071] ＧＯＩ基板１０２には、複数の阻害層１０４が形成されてもよい。これにより、ＧＯＩ基板１０２には、複数の被覆領域が形成される。例えば、ＧＯＩ基板１０２には、図７に示した阻害層１０４が、図２３に示すそれぞれの領域８０３に形成されてもよい。

[0072] 開口１０５の内部のシード化合物半導体結晶１０８は、化学気相成長法（ＣＶＤ法）または気相エピタキシャル成長法（ＶＰＥ法）で形成される。これらの成長法では、形成しようとする薄膜結晶の構成元素を含む原料ガスを基板上に供給して、原料ガスの気相または基板表面での化学反応により薄膜を形成する。反応装置内に供給された原料ガスは、気相反応により反応中間体（以下、前駆体という場合がある。）を生成する。生成された反応中間体は、気相中を拡散して、基板表面に吸着する。基板表面に吸着した反応中間体は、基板表面を表面拡散して、固体膜として析出する。

[0073] そこで、ＧＯＩ基板１０２には、隣接する２つの阻害層１０４の間に、犠牲成長部が設けられてもよい。当該犠牲成長部は、当該２つの阻害層１０４の何れの上面よりも高い吸着速度でＧｅ結晶層１６６またはシード化合物半導体結晶１０８の原料を吸着し、薄膜を形成する。当該犠牲成長部に製膜される薄膜はＧｅ結晶層１６６またはシード化合物半導体結晶１０８と同等の結晶品質を有する結晶薄膜である必要はなく、多結晶体あるいは非晶質体であってもよい。また、犠牲成長部に製膜される薄膜はデバイス製造用に用いられなくてもよい。

[0074] 犠牲成長部は、それぞれの阻害層１０４を別個に囲んでよい。これにより、開口１０５の内部において、安定した成長速度で結晶をエピタキシャル成長させることができる。

[0075] また、各々の阻害層１０４は複数の開口１０５を有してもよい。電子デバ

イス１００は、隣接する２つの開口１０５の間に、犠牲成長部を含んでよい。犠牲成長部の各々は、等間隔に配置されてもよい。

[0076] ＧＯＩ基板１０２の表面近傍の領域が、犠牲成長部として機能してもよい。また、犠牲成長部は、阻害層１０４に形成された、ＧＯＩ基板１０２に達する溝であってもよい。上記溝の幅は、２０μｍ以上５００μｍ以下であってもよい。なお、犠牲成長部においても結晶成長が生じてよい。

[0077] 上述したように、犠牲成長部が、隣接する２つの阻害層１０４の間に配置される。または、犠牲成長部が、それぞれの阻害層１０４を囲むように設けられる。これにより、犠牲成長部が、被覆領域の表面を拡散している上記前駆体を、捕捉、吸着または固着する。従って、開口１０５の内部において、安定した成長速度で結晶を成長させることができる。上記前駆体は、シード化合物半導体結晶１０８の原料の一例である。

[0078] ＧＯＩ基板１０２の表面に所定の大きさの被覆領域が配されており、被覆領域はＧＯＩ基板１０２の表面に囲まれている。例えば、ＭＯＣＶＤ法により、開口１０５の内部に結晶を成長させる場合、ＧＯＩ基板１０２の表面まで到達した前駆体の一部がＧＯＩ基板１０２の表面で結晶成長する。このように、上記前駆体の一部がＧＯＩ基板１０２の表面で消費されることで、開口１０５の内部に形成される結晶の成長速度が安定化する。

[0079] 犠牲成長部の別の例としては、Ｓｉ、ＧａＡｓ等で形成された半導体領域が挙げられる。例えば、阻害層１０４の表面に、イオンプレーティング法、スパッタリング法等の方法で、アモルファス半導体、または半導体多結晶を堆積することで、犠牲成長部が形成されてもよい。犠牲成長部は、隣接する２つの阻害層１０４の間に配されてもよく、阻害層１０４に含まれてもよい。また、隣接する２つの被覆領域の間に、前駆体の拡散が阻害される領域が配置されてもよい。また、被覆領域が、前駆体の拡散が阻害される領域に囲まれてもよい。

[0080] 隣接する２つの阻害層１０４がわずかでも離れていれば、開口１０５の内部における結晶の成長速度は安定化する。隣接する２つの阻害層１０４は、

２０μｍ以上離れて設けられてもよい。複数の阻害層１０４は、犠牲成長部を挟んで２０μｍ以上隔てて設けられてもよい。これにより、開口１０５の内部において、より安定した成長速度で結晶が成長する。ここで、隣接する２つの阻害層１０４の間の距離は、隣接する２つの阻害層１０４の外周上の点どうしの最短距離を示す。それぞれの阻害層１０４は、等間隔に配されてもよい。特に、隣接する２つの阻害層１０４の間の距離が１０μｍ未満である場合には、複数の阻害層１０４を等間隔に配置することで、開口１０５の内部において、安定した成長速度で結晶を成長させることができる。

[0081] 開口１０５の積層方向から見た形状は、正方形、長方形、円形、楕円形、および長円形等の任意の形状である。開口１０５の積層方向から見た形状が円形あるいは楕円形の場合、開口１０５の幅は、各々直径および短径である。さらに開口１０５の積層方向と平行な面における断面形状も、矩形、台形放物線形状、および双曲線形状等の任意の形状である。開口１０５の積層方向と平行な面における断面形状が台形である場合、開口１０５の幅は、開口１０５の底面あるいは入り口における最短の幅である。

[0082] 開口１０５の積層方向から見た形状が長方形または正方形であり、積層方向と平行な面における開口１０５の断面形状が矩形の場合、開口１０５内部の立体形状は直方体となる。開口１０５内部の立体形状は任意の形状である。任意な立体形状のアスペクト比は、開口１０５内部の立体形状に近似する直方体のアスペクト比であってもよい。

[0083] Ｇｅ結晶層１６６は、Ｇｅ結晶層１６６の内部を移動できる欠陥を捕捉する欠陥捕捉部を有してよい。当該欠陥は、Ｇｅ結晶層１６６の形成時に存在していた欠陥を含んでよい。欠陥捕捉部は、Ｇｅ結晶層１６６における、結晶界面（ｂｏｕｎｄａｒｙ）または結晶表面であってよく、Ｇｅ結晶層１６６に形成される物理的な傷であってもよい。例えば、欠陥捕捉部は、結晶界面または結晶表面であって、Ｓｉ基板１６２と略平行でない方向の面である。一例として、Ｇｅ結晶層１６６を機械的な引っ掻き、摩擦、イオン注入等により、Ｇｅ結晶層１６６に物理的な傷を形成することによって、欠陥捕捉

部が形成される。欠陥捕捉部は、Ｇｅ結晶層１６６において、開口１０５により露出されない領域に形成されてもよい。また、欠陥捕捉部は、Ｇｅ結晶層１６６と阻害層１０４との界面であってもよい。

[0084] 上記欠陥は、Ｇｅ結晶層１６６に上記の温度および時間でアニールを施すことにより、上記欠陥がＧｅ結晶層１６６の内部を移動して、例えば、Ｇｅ結晶層１６６と阻害層１０４との界面に捕捉される。このように、Ｇｅ結晶層１６６の内部に存在した欠陥が、アニールにより上記界面に集中するので、Ｇｅ結晶層１６６の内部の欠陥密度が低減される。その結果、アニール前に比べて、開口１０５に露出したＧｅ結晶層１６６の表面の結晶性が向上する。

[0085] 欠陥捕捉部は、アニールの温度および時間条件において、欠陥が移動可能な距離以下となるように配置されてよい。上記欠陥が移動可能な距離Ｌ［μｍ］は、アニール温度が７００～９５０℃の場合、３μｍ～２０μｍであってよい。欠陥捕捉部は、Ｇｅ結晶層１６６の開口１０５に露出する領域に含まれる全ての欠陥に対して上記距離内に配置されてよい。その結果、Ｇｅ結晶層１６６の当該領域の貫通欠陥密度（または、貫通転位密度とも称する）が上記アニールにより低減される。例えば、Ｇｅ結晶層１６６の貫通転位密度は、１×１０^{6}／$ｃｍ^{2}$以下に低減される。

[0086] なお、Ｇｅ結晶層１６６は、Ｇｅ結晶層１６６の開口１０５に露出する領域に形成時に存在していた欠陥がＧｅ結晶層１６６の上記欠陥捕捉部にまで移動できる温度および時間の条件でアニールされてもよい。Ｇｅ結晶層１６６の当該領域は、所定の条件のアニールにおいて欠陥が移動する距離の２倍を越えない最大幅で形成されてよい。

[0087] また、Ｇｅ結晶層１６６の開口１０５に露出する領域は、アニールの温度における、Ｇｅ結晶層１６６とＳｉ基板１６２との熱膨張係数の相違によるストレスが加えられた場合であっても、Ｇｅ結晶層１６６の当該領域に欠陥が発生しない大きさに形成されてよい。Ｇｅ結晶層１６６の当該領域の、主面１７２と略平行な方向の最大幅は、４０μｍ以下であってよく、好ましく

は２０μｍ以下であってよい。

[0088] 以上の構成を採用することにより、Ｇｅ結晶層１６６の欠陥捕捉部以外の領域における欠陥密度が低減される。例えば、Ｇｅ結晶層１６６が開口１０５に露出した絶縁層１６４に接して形成される場合、格子欠陥等が発生する場合がある。上記欠陥は、Ｇｅ結晶層１６６の内部を移動でき、Ｇｅ結晶層１６６の温度が高いほど移動速度も増加する。また、上記欠陥は、Ｇｅ結晶層１６６の表面および界面等において捕捉される。

[0089] これにより、エピタキシャル薄膜における欠陥が低減され、電子デバイス１００の性能が向上する。例えば、開口１０５に露出したＧｅ結晶層１６６の表面を結晶核としてシード化合物半導体結晶１０８を成長させた場合には、シード化合物半導体結晶１０８の結晶性を高めることができる。また、結晶性に優れるＧｅ結晶層１６６を基板材料とすることで、格子不整合により絶縁層１６４には直接結晶成長できない種類の薄膜を、良質に形成することができる。

[0090] Ｇｅ結晶層１６６は、シード化合物半導体結晶１０８の結晶核を提供してよい。開口１０５に露出したＧｅ結晶層１６６の表面を、シード化合物半導体結晶１０８の結晶核として用いた場合には、シード化合物半導体結晶１０８の結晶性を高めることができる。また、エピタキシャル薄膜における基板材料に起因する欠陥を低減でき、結果として電子デバイス１００の性能を向上できる。また、格子不整合に起因して、絶縁層１６４には直接結晶成長できない種類の薄膜であっても、結晶性に優れるＧｅ結晶層１６６を基板材料として良質な結晶薄膜を形成できる。

[0091] なお、本明細書において、欠陥密度が小さいとは、所定の大きさの結晶層の内部に含まれる貫通転位の個数の平均値が０．１個以下である場合をいう。貫通転位とは、Ｇｅ結晶層１６６を貫通するように形成された欠陥をいう。また、貫通転位の平均値が０．１個であるとは、活性層部分の面積が１０μｍ×１０μｍ程度のデバイスを１０個検査して、貫通転位を有するデバイスが１個発見された場合を言い、転位密度に換算すれば、エッチピット法ま

たは透過型電子顕微鏡（以下、ＴＥＭという場合がある。）による平面断面観察により測定した平均転位密度が、おおよそ、１．０×１０^{5}ｃｍ$^{-2}$以下の場合を言う。

[0092] Ｇｅ結晶層１６６は、シード化合物半導体結晶１０８に対向する面が、気体のＰ化合物により表面処理されてよい。これにより、Ｇｅ結晶層１６６に形成する膜の結晶性を高めることができる。Ｐを含むガスは、例えば、PH_3（フォスフィン）を含むガスであってよい。

[0093] シード化合物半導体結晶１０８は、Ｇｅ結晶層１６６に格子整合または擬格子整合する化合物半導体の一部を構成してよい。シード化合物半導体結晶１０８は、Ｇｅ結晶層１６６に接して、形成されてよい。シード化合物半導体結晶１０８は、Ｇｅ結晶層１６６に格子整合または擬格子整合してよい。

[0094] シード化合物半導体結晶１０８は、アニールされたＧｅ結晶層１６６を核として成長した化合物半導体結晶であってよい。シード化合物半導体結晶１０８は、阻害層１０４の表面よりも凸に形成されてよい。シード化合物半導体結晶１０８は、Ｇｅ結晶層１６６が形成された領域に形成され、シード化合物半導体結晶１０８の上部が、阻害層１０４の表面より上になるように形成されてよい。例えば、シード化合物半導体結晶１０８は、開口１０５の内部で、Ｇｅ結晶層１６６の表面を結晶核として結晶成長して、阻害層１０４の表面より突出するように形成されてよい。

[0095] 阻害層１０４の表面より突出したシード化合物半導体結晶１０８の特定面は、第１化合物半導体結晶１１０の結晶核になるシード面であってよい。ＧＯＩ基板１０２の面方位が（１００）であり、＜００１＞方向に開口１０５を形成する場合、シード化合物半導体結晶１０８のシード面は、（１１０）面およびこれと等価な面である。＜０１１＞方向に開口１０５を形成する場合、シード化合物半導体結晶１０８のシード面は、（１１１）Ａ面およびこれと等価な面である。結晶性の優れたシード化合物半導体結晶１０８は、結晶性の優れたシード面を提供する。これにより、シード化合物半導体結晶１０８を結晶核にして結晶成長する第１化合物半導体結晶１１０の結晶性が高

まる。

[0096] シード化合物半導体結晶１０８は、Ｇｅ結晶層１６６に格子整合または擬格子整合する４族、３－５族または２－６族の化合物半導体であってよく、ＧａＡｓ、ＩｎＧａＡｓ、$Ｓｉ_{x}Ｇｅ_{1-x}$（０≦ｘ＜１）を例示できる。シード化合物半導体結晶１０８とＧｅ結晶層１６６との間に、バッファ層が形成されてもよい。バッファ層は、Ｇｅ結晶層１６６に格子整合または擬格子整合する化合物半導体の一部を構成してよい。バッファ層は、Ｐを含む３－５族化合物半導体層を有してよい。

[0097] 第１化合物半導体結晶１１０は、シード化合物半導体結晶１０８の特定面を核として、阻害層１０４の上にラテラル成長して形成される。第１化合物半導体結晶１１０は、ラテラル成長化合物半導体結晶の一例である。第１化合物半導体結晶１１０は、Ｇｅ結晶層１６６に格子整合または擬格子整合する化合物半導体の一部を構成してよい。第１化合物半導体結晶１１０は、シード化合物半導体結晶１０８の特定面に格子整合または擬格子整合する４族、３－５族または２－６族の化合物半導体であってよく、例えば、ＧａＡｓ、ＩｎＧａＡｓ、$Ｓｉ_{x}Ｇｅ_{1-x}$（０≦ｘ＜１）である。第１化合物半導体結晶１１０の特定面は、第２化合物半導体結晶１１２の結晶核になり得るシード面を提供してよい。第１化合物半導体結晶１１０は、優れた結晶性を有しているので、第１化合物半導体結晶１１０は、結晶性の優れたシード面を提供できる。

[0098] 第２化合物半導体結晶１１２は、ラテラル成長化合物半導体結晶の一例である。第２化合物半導体結晶１１２は、第１化合物半導体結晶１１０の特定面をシード面として、阻害層１０４の上にラテラル成長してよい。第２化合物半導体結晶１１２は、Ｇｅ結晶層１６６に格子整合または擬格子整合する化合物半導体の一部を構成してよい。第２化合物半導体結晶１１２は、結晶性の優れた第１化合物半導体結晶１１０の特定面をシード面として結晶成長するので、結晶性の優れた第２化合物半導体結晶１１２が形成される。これにより、第２化合物半導体結晶１１２は、欠陥を含まない無欠陥領域を有す

る。

[0099] 第２化合物半導体結晶１１２は、Ｇｅ結晶層１６６に格子整合または擬格子整合する、２－６族化合物半導体または３－５族化合物半導体を含んでよい。第２化合物半導体結晶１１２は、３族元素としてＡｌ、Ｇａ、Ｉｎのうち少なくとも１つを含み、５族元素としてＮ、Ｐ、Ａｓ、Ｓｂのうち少なくとも１つを含んでよい。第２化合物半導体結晶１１２は、例えば、ＧａＡｓまたはＩｎＧａＡｓ層を含んでよい。

[0100] Ｇｅ結晶層１６６は、ハロゲン元素を含むガスを原料ガスに含む雰囲気中でＣＶＤ法により形成されてもよい。ハロゲン元素を含むガスは、塩化水素ガスまたは塩素ガスであってもよい。これにより、１００Ｐａ以上の圧力下でＣＶＤ法によりＧｅ結晶層１６６を形成する場合であっても、阻害層１０４の表面へのＧｅ結晶の堆積を抑制できる。

[0101] シード化合物半導体結晶１０８は、その上部が阻害層１０４の表面より突出するように、Ｇｅ結晶層１６６を核として結晶成長してもよい。例えば、シード化合物半導体結晶１０８は、阻害層１０４の表面よりも突出するまで、開口１０５の内部で結晶成長する。

[0102] シード化合物半導体結晶１０８は、一例としてＧｅ結晶層１６６に格子整合または擬格子整合する４族、３－５族または２－６族の化合物半導体である。より具体的には、シード化合物半導体結晶１０８は、ＧａＡｓ、ＩｎＧａＡｓ、Si_xGe_{1-x}（０≦ｘ＜１）であってもよい。また、シード化合物半導体結晶１０８とＧｅ結晶層１６６との間に、バッファ層が形成されてもよい。バッファ層は、Ｇｅ結晶層１６６に格子整合または擬格子整合してもよい。バッファ層はＰを含む３－５族化合物半導体層を有してもよい。

[0103] シード化合物半導体結晶１０８は、機能層の一例である。シード化合物半導体結晶１０８は、Ｇｅ結晶層１６６に接して形成されてもよい。すなわち、シード化合物半導体結晶１０８は、Ｇｅ結晶層１６６上に結晶成長される。結晶成長の一例としてエピタキシャル成長が例示できる。

[0104] シード化合物半導体結晶１０８は、Ｇｅに格子整合または擬格子整合する

、３－５族化合物層または２－６族化合物層であってよい。あるいはシード化合物半導体結晶１０８は、Ｇｅに格子整合または擬格子整合する、３－５族化合物層であり、３族元素としてＡｌ、Ｇａ、Ｉｎのうち少なくとも１つを含み、５族元素としてＮ、Ｐ、Ａｓ、Ｓｂのうち少なくとも１つを含むものであってよい。たとえばシード化合物半導体結晶１０８として、ＧａＡｓ層が例示できる。

[0105] シード化合物半導体結晶１０８は、算術平均粗さ（以下、Ｒａ値と称する場合がある。）が０．０２μｍ以下、好ましくは０．０１μｍ以下であってよい。これにより、シード化合物半導体結晶１０８を用いて、高性能のデバイスを形成できる。ここで、Ｒａ値は表面粗さを表す指標であり、ＪＩＳＢ０６０１－２００１に基づいて算出できる。Ｒａ値は、一定長さの粗さ曲線を中心線から折り返して、当該粗さ曲線と当該中心線とにより得られた面積を、測定した長さで除して算出できる。

[0106] シード化合物半導体結晶１０８の成長速度は、３００ｎｍ／ｍｉｎ以下であってよく、好ましくは２００ｎｍ／ｍｉｎ以下であってよく、より好ましくは６０ｎｍ／ｍｉｎ以下であってよい。これにより、シード化合物半導体結晶１０８のＲａ値を０．０２μｍ以下にできる。一方、シード化合物半導体結晶１０８の成長速度は、１ｎｍ／ｍｉｎ以上であってよく、好ましくは、５ｎｍ／ｍｉｎ以上であってよい。これにより、生産性を犠牲にすることなく、良質なシード化合物半導体結晶１０８が得られる。例えば、シード化合物半導体結晶１０８を１ｎｍ／ｍｉｎ以上、３００ｎｍ／ｍｉｎ以下の成長速度で結晶成長させてよい。

[0107] なお、本実施形態においては、Ｓｉ基板１６２と、絶縁層１６４と、Ｇｅ結晶層１６６と、阻害層１０４とが、この順に配置され、Ｇｅ結晶層１６６が開口１０５に露出する場合について説明したが、各部の位置関係は、この場合に限定されない。例えば、Ｇｅ結晶層１６６は、阻害層１０４が形成される前に、または、阻害層１０４が形成された後に、エッチング等により適切な大きさにパターニングされてよい。これにより、Ｇｅ結晶層１６６を、

絶縁層１６４の上に局所的に形成できる。また、Ｇｅ結晶層１６６は開口１０５の内部にあってよい。

[0108] また、本実施形態において、Ｇｅ結晶層１６６の表面にシード化合物半導体結晶１０８が形成される場合について説明したが、これに限定されない。例えば、Ｇｅ結晶層１６６と、シード化合物半導体結晶１０８との間に、中間層が配置されてもよい。中間層は、単一の層であってもよく、複数の層を含んでもよい。中間層は、６００℃以下、好ましくは５５０℃以下で形成されてよい。これにより、シード化合物半導体結晶１０８の結晶性が向上する。一方、中間層は、４００℃以上で形成されてよい。中間層は、４００℃以上６００℃以下で形成されてよい。これにより、シード化合物半導体結晶１０８の結晶性が向上する。中間層は、６００℃以下、好ましくは５５０℃以下の温度で形成されたＧａＡｓ層であってよい。

[0109] シード化合物半導体結晶１０８は、以下の手順で形成されてよい。まず、Ｇｅ結晶層１６６の表面に、中間層を形成する。中間層の成長温度は、６００℃以下であってよい。その後、中間層が形成されたＧＯＩ基板１０２の温度を所定の温度まで昇温した後、シード化合物半導体結晶１０８を形成してよい。

[0110] なお、本実施形態において、第２化合物半導体結晶１１２は、第１化合物半導体結晶１１０の特定面をシード面として、阻害層１０４の上にラテラル成長した化合物半導体であったが、シード化合物半導体結晶１０８および第１化合物半導体結晶１１０は、一体として形成された化合物半導体結晶であってもよい。第２化合物半導体結晶１１２は、上記一体として形成された化合物半導体結晶の特定面をシード面として、阻害層１０４の上にラテラル成長した化合物半導体であってもよい。上記一体として形成されたシード化合物半導体結晶は、Ｇｅ結晶層１６６を核として成長された化合物半導体結晶であって、阻害層１０４の表面よりも凸に形成されたシード化合物半導体結晶であってもよい。これにより、阻害層１０４は、少なくとも一部が、第２化合物半導体結晶１１２とＧＯＩ基板１０２の絶縁層１６４との間に形成さ

れる。

[0111] 第２化合物半導体結晶１１２の無欠陥領域の上に、活性領域を有する能動素子を形成してもよい。能動素子として、ゲート絶縁膜１１４、ゲート電極１１６、ソース・ドレイン電極１１８を備えるＭＩＳＦＥＴを例示できる。ＭＩＳＦＥＴは、ＭＯＳＦＥＴ（ｍｅｔａｌ－ｏｘｉｄｅ－ｓｅｍｉｃｏｎｄｕｃｔｏｒ　ｆｉｅｌｄ－ｅｆｆｅｃｔ　ｔｒａｎｓｉｓｔｏｒ）であってもよい。能動素子は、ＨＥＭＴであってもよい。

[0112] ゲート絶縁膜１１４は、ゲート電極１１６を第２化合物半導体結晶１１２から電気的に絶縁する。ゲート絶縁膜１１４として、ＡｌＧａＡｓ膜、ＡｌＩｎＧａＰ膜、酸化シリコン膜、窒化シリコン膜、酸化アルミニウム膜、酸化ガリウム膜、酸化ガドリニウム膜、酸化ハフニウム膜、酸化ジルコニウム膜、酸化ランタン膜、及び、これらの絶縁膜の混合物または積層膜を例示できる。

[0113] ゲート電極１１６は制御電極の一例である。ゲート電極１１６は、ソースおよびドレインで例示される入出力間の電流または電圧を制御する。ゲート電極１１６として、アルミニウム、銅、金、銀、白金、タングステンその他の金属、または、高濃度にドープされたシリコン等の半導体、窒化タンタル。または金属シリサイド等が例示できる。

[0114] ソース・ドレイン電極１１８は入出力電極の一例である。ソース・ドレイン電極１１８は、各々ソース領域およびドレイン領域にコンタクトする。ソース・ドレイン電極１１８として、アルミニウム、銅、金、銀、白金、タングステンその他の金属、または、高濃度にドープされたシリコン等の半導体、窒化タンタル、または金属シリサイド等が例示できる。

[0115] なお、ソース・ドレイン電極１１８の下部にはソースおよびドレインの各領域が形成されるが図では省略している。また、ゲート電極１１６の下部であってソースおよびドレイン領域の間のチャネル領域が形成されるチャネル層は、第２化合物半導体結晶１１２自体であってもよく、第２化合物半導体結晶１１２の上に形成された層であってもよい。第２化合物半導体結晶１１

２とチャネル層との間には、バッファ層が形成されてもよい。チャネル層あるいはバッファ層として、ＧａＡｓ層、ＩｎＧａＡｓ層、ＡｌＧａＡｓ層、ＩｎＧａＰ層、ＺｎＳｅ層等が例示できる。

[0116] 図７に示す通り、電子デバイス１００は、６つのＭＩＳＦＥＴを有する。６つのＭＩＳＦＥＴのうち、３つのＭＩＳＦＥＴがゲート電極１１６およびソース・ドレイン電極１１８の配線によって相互に接続されている。また、ＧＯＩ基板１０２の上に複数形成されたＧｅ結晶層１６６の、各々の開口１０５に露出する各々の領域を核として結晶成長された第２化合物半導体結晶１１２は、阻害層１０４の上で互いに接することなく形成されている。

[0117] 複数の第２化合物半導体結晶１１２が互いに接することなく形成されているので、隣接する第２化合物半導体結晶１１２との間に界面を形成されることがない。従って、当該界面に起因する欠陥が生じない。第２化合物半導体結晶１１２の上に形成される能動素子は、その活性層において優れた結晶性が実現されていればよく、第２化合物半導体結晶１１２が接することなく形成されることによる不具合は生じない。

[0118] 各能動素子における駆動電流を増加したい場合には、各能動素子をたとえば並列に接続する。なお、図７から図９に例示される電子デバイスにおいては、開口１０５を挟んで２個のＭＩＳＦＥＴが形成されているが、２個のＭＩＳＦＥＴの間は、化合物半導体層のエッチング等による除去またはイオン注入等による不活性化により、互いに分離されて形成されてもよい。

[0119] 本実施形態において、Ｓｉ基板１６２と、絶縁層１６４と、Ｇｅ結晶層１６６と、Ｇｅ結晶層１６６に格子整合または擬格子整合する化合物半導体とが、Ｓｉ基板１６２の主面１７２に略垂直な方向に、この順に配置される場合について説明したが、各部の位置関係は、この場合に限定されない。例えば、化合物半導体は、Ｇｅ結晶層１６６における、Ｓｉ基板１６２の主面１７２に略垂直な面の少なくとも１つに接して、Ｇｅ結晶層１６６に格子整合または擬格子整合してよい。このとき、Ｇｅ結晶層１６６と、化合物半導体とが、Ｓｉ基板１６２の主面１７２に略平行な方向に配置される。

[0120] 図１０から図１４は、電子デバイス１００の製造過程における断面例を示す。図１０は、図７のＡ－Ａ線断面の製造過程における断面例を示す。図１０に示すように、少なくとも一部において、Ｓｉ基板１６２と、絶縁層１６４と、Ｇｅ結晶層１６６とを、この順に備えるＧＯＩ基板１０２が準備される。ＧＯＩ基板１０２は、市販のＧＯＩ基板を用いてよい。次に、ＧＯＩ基板１０２に、結晶成長を阻害する阻害層１０４が形成される。阻害層１０４は、例えば、ＣＶＤ（Ｃｈｅｍｉｃａｌ Ｖａｐｏｒ Ｄｅｐｏｓｉｔｉｏｎ）法、スパッタ法により形成できる。阻害層１０４に、ＧＯＩ基板１０２に達する開口１０５が形成される。開口１０５は、例えば、フォトリソグラフィ法により形成できる。図１０に示すように、開口１０５はＧｅ結晶層１６６を露出させる。

[0121] Ｇｅ結晶層１６６は、この段階でアニールされてもよい。なお、Ｇｅ結晶層１６６は、阻害層１０４が形成される前にアニールされてもよい。

[0122] 図１１は、図７のＡ－Ａ線断面図の製造過程における断面例を示す。図１１に示すように、アニールされたＧｅ結晶層１６６を核として、シード化合物半導体結晶が、阻害層１０４の表面よりも凸に形成される。即ち、シード化合物半導体結晶は、阻害層１０４の表面から突出するように形成される。シード化合物半導体結晶は、以下のようにして形成できる。

[0123] 図１１に示すように、Ｇｅ結晶層１６６を核として、シード化合物半導体結晶１０８が、阻害層１０４の表面よりも凸に形成される。シード化合物半導体結晶１０８の一例として、ＧａＡｓを形成する場合には、ＭＯＣＶＤ法（有機金属気相成長法）または有機金属を原料として用いるＭＢＥ法を用いたエピタキシャル成長法が利用できる。この場合、原料ガスには、ＴＭ－Ｇａ（トリメチルガリウム）、AsH_3（アルシン）その他のガスを利用できる。成長温度としては、６００℃以上７００℃以下が例示できる。

[0124] 図１２は、図７のＢ－Ｂ線断面図の製造過程における断面例を示す。図１２に示すように、シード化合物半導体結晶１０８の特定面をシード面にして、第１化合物半導体結晶１１０が形成される。この段階における断面は、図

９と同様になる。第１化合物半導体結晶１１０の一例として、ＧａＡｓを形成する場合には、ＭＯＣＶＤ法または有機金属を原料として用いるＭＢＥ法を用いたエピタキシャル成長法が利用できる。この場合、原料ガスには、ＴＭ－Ｇａ（トリメチルガリウム）、AsH_3（アルシン）その他のガスを利用できる。成長温度としては、６００℃以上７００℃以下が例示できる。

[0125] 図１３は、図７のＡ－Ａ線断面図の製造過程における断面例を示す。図１３に示すように、第１化合物半導体結晶１１０の特定面をシード面として、阻害層１０４の上に、第２化合物半導体結晶１１２がラテラル成長する。第２化合物半導体結晶１１２の一例として、ＧａＡｓを形成する場合には、ＭＯＣＶＤ法または有機金属を原料として用いるＭＢＥ法を用いたエピタキシャル成長法が利用できる。この場合、原料ガスには、ＴＭ－Ｇａ（トリメチルガリウム）、AsH_3（アルシン）その他のガスを利用できる。

[0126] 例えば、（００１）面上におけるラテラル成長を促進するには、低温成長の条件を選択することが好ましい。具体的には７００℃以下の温度条件、さらに好ましくは、６５０℃以下の温度条件で成長させてよい。例えば、＜１１０＞方向にラテラル成長させる場合には、AsH_3の分圧が高い条件で成長させることが好ましい。例えば、AsH_3の分圧が、1×10^{-3}ａｔｍ以上の条件で成長させることが好ましい。これにより、＜１１０＞方向の成長レートを、＜－１１０＞方向の成長レートより大きくできる。

[0127] 図１４は、図７のＡ－Ａ断面図の一部を表す断面例を示す。図１４に示すように、第２化合物半導体結晶１１２の上に、ゲート絶縁膜１１４になる絶縁膜、および、ゲート電極１１６になる導電膜が、順次形成される。当該形成された導電膜および絶縁膜は、例えば、フォトリソグラフィ法によりパターニングされる。これにより、ゲート絶縁膜１１４およびゲート電極１１６が形成される。その後、ソース・ドレイン電極１１８になる導電膜が形成される。当該形成した導電膜は、例えば、フォトリソグラフィ法によりパターニングされ、図８に示す電子デバイス１００が得られる。

[0128] 図１５および図１６は、電子デバイス１００の他の製造過程における断面

例を示す。図１５に示すように、本実施形態においても、少なくとも一部の領域において、Ｓｉ基板１６２と、絶縁層１６４と、Ｇｅ結晶層１６６とを、この順に備えるＧＯＩ基板１０２を準備する。本実施形態において、Ｇｅ結晶層１６６は、エッチングなどによりパターニングされて、単一または互いに離れて形成される。例えば、ＧＯＩ基板１０２のＧｅ結晶層１６６の一部が残存するように、Ｇｅ結晶層１６６がエッチングされる。上記エッチングには、例えば、フォトリソグラフィ法が利用できる。なお、Ｇｅ結晶層１６６の最大幅寸法として５μｍ以下、好ましくは２μｍ以下を例示できる。ここで、本明細書において、「幅」とは、ＧＯＩ基板１０２の主面に略平行な方向の長さを表す。

[0129] 図１６に示すように、ＧＯＩ基板１０２において、Ｇｅ結晶層１６６が形成された領域以外の領域に、阻害層１０４が形成される。阻害層１０４は、例えば、ＣＶＤ法によりSiO_2を堆積させて形成される。その後の工程は、図１２以降の工程と同様であってよい。

[0130] 図１７は、電子デバイス２００の平面例を示す。なお、図１７において、ゲート電極およびソース・ドレイン電極は省略している。電子デバイス２００における第２化合物半導体結晶１１２は、欠陥を捕捉する欠陥捕捉部１２０を有してもよい。欠陥捕捉部１２０は、Ｇｅ結晶層１６６およびシード化合物半導体結晶１０８が形成される開口１０５を起点として、第２化合物半導体結晶１１２の端部まで形成されてもよい。

[0131] 欠陥捕捉部１２０の配置は、例えば、開口１０５を所定の配置で形成することで制御される。ここで、上記所定の配置は、電子デバイス２００の目的に応じて適宜設計される。例えば、開口１０５は複数形成されてもよい。また、上記複数の開口１０５は、等間隔に形成されてもよい。また、複数の開口１０５は、規則性を以って形成されてよく、周期的に形成されてもよい。複数の開口１０５のそれぞれの内部には、シード化合物半導体結晶１０８が形成されてよい。

[0132] 図１８は、電子デバイス３００の平面例を示す。なお、図１８において、

ゲート電極およびソース・ドレイン電極は省略している。電子デバイス３００における第２化合物半導体結晶１１２は、電子デバイス２００における欠陥捕捉部１２０に加えて欠陥捕捉部１３０を有する。欠陥捕捉部１３０は、第１化合物半導体結晶１１０のシード面または阻害層１０４において所定の間隔で形成された欠陥中心を起点として、第２化合物半導体結晶１１２の端部まで形成される。

[0133] 欠陥中心は、例えば、物理的な傷等をシード面または阻害層１０４に形成して生成されてもよい。物理的な傷は、例えば、機械的な引っ掻き、摩擦、イオン注入等により形成できる。ここで、上記所定の間隔は、電子デバイス３００の目的に応じて適宜設計される。例えば、上記欠陥中心は、複数形成されてもよい。上記複数の欠陥中心は、等間隔に形成されてもよい。また、上記複数の欠陥中心は規則性を以って形成されてよく、周期的に形成されてよい。

[0134] 欠陥捕捉部１２０および欠陥捕捉部１３０は、第２化合物半導体結晶１１２の結晶成長段階で形成されてもよい。欠陥捕捉部１２０および欠陥捕捉部１３０が形成されることで、第２化合物半導体結晶１１２の内部に存在する欠陥を、欠陥捕捉部１２０あるいは欠陥捕捉部１３０に集中させることができる。その結果、第２化合物半導体結晶１１２における、欠陥捕捉部１２０および欠陥捕捉部１３０でない領域のストレス等を低減して、結晶性を高めることができる。このため、第２化合物半導体結晶１１２において、電子デバイスを形成する領域の欠陥を低減できる。

[0135] 図１９は、電子デバイス４００の断面例を示す。図１９の断面例は、図７におけるＡ－Ａ線断面に相当する。電子デバイス４００は、バッファ層４０２を有する他は、電子デバイス１００と同様の構成を有してよい。

[0136] バッファ層４０２は、Ｇｅ結晶層１６６に格子整合または擬格子整合する化合物半導体の一部を構成してよい。Ｇｅ結晶層１６６とシード化合物半導体結晶１０８との間に形成されてよい。バッファ層４０２は、Ｐを含む３－５族化合物半導体層であってよい。バッファ層４０２は、例えば、ＩｎＧａ

Ｐ層であってよい。ＩｎＧａＰ層は、例えば、エピタキシャル成長法により形成できる。

[0137] ＩｎＧａＰ層のエピタキシャル成長法としては、例えば、ＭＯＣＶＤ法または有機金属を原料として用いるＭＢＥ法が用いられる。原料ガスには、ＴＭ－Ｇａ（トリメチルガリウム）、ＴＭ－Ｉｎ（トリメチルインジウム）、PH_3（フォスフィン）を用いてよい。ＩｎＧａＰ層をエピタキシャル成長させる場合、例えば、６５０℃の温度で結晶薄膜が形成される。バッファ層４０２を形成することで、シード化合物半導体結晶１０８の結晶性をさらに向上できる。

[0138] PH_3処理の好ましい処理温度として、５００℃以上９００℃以下が例示できる。５００℃より低いと処理の効果が現れず、９００℃より高いとＧｅ結晶層１６６が変質するから好ましくない。さらに好ましい処理温度として、６００℃以上８００℃以下が例示できる。曝露処理は、プラズマ等によってPH_3を活性化してもよい。

[0139] バッファ層４０２は、単一の層であってもよく、複数の層を含んでもよい。バッファ層４０２は、６００℃以下、好ましくは５５０℃以下で形成されてよい。これにより、シード化合物半導体結晶１０８の結晶性が向上する。バッファ層４０２は、６００℃以下、好ましくは５５０℃以下の温度で形成されたＧａＡｓ層であってよい。バッファ層４０２は、４００℃以上で形成されてよい。この場合、Ｇｅ結晶層１６６のバッファ層４０２に対向する面が、気体のＰ化合物により表面処理されてよい。

[0140] 図２０は、電子デバイス５００の断面例を示す。図２０の断面例は、図７におけるＡ－Ａ線断面に相当する。電子デバイス５００の構成は、ソース・ドレイン電極５０２の配置が相違する他は、電子デバイス１００の構成と同様であってもよい。電子デバイス５００において、ＭＩＳＦＥＴは、ソース・ドレイン電極１１８およびソース・ドレイン電極５０２を有する。上記ＭＩＳＦＥＴは、能動素子の一例であってよい。

[0141] ソース・ドレイン電極５０２は第１入出力電極の一例である。ソース・ド

レイン電極１１８は第２入出力電極の一例である。図２０に示すとおり、第２化合物半導体結晶１１２の成長面は、ソース・ドレイン電極５０２に覆われている。即ち、ソース・ドレイン電極５０２は、第２化合物半導体結晶１１２の側面にも形成されている。

[0142] ソース・ドレイン電極５０２が第２化合物半導体結晶１１２の側面にも形成されることにより、第２化合物半導体結晶１１２あるいはその上に形成される活性層（キャリア移動層と称される場合もある。）でのキャリアの移動方向の延長線と交差する位置に入出力電極を配置できる。これにより、キャリア移動が容易になり、電子デバイス５００の性能が向上する。

[0143] 図２１は、電子デバイス６００の断面例を示す。図２１の断面例は、図７におけるＡ－Ａ線断面に相当する。電子デバイス６００の構成は、ソース・ドレイン電極６０２の配置が相違する他は、電子デバイス５００の構成と同様である。電子デバイス６００において、ＭＩＳＦＥＴは、ソース・ドレイン電極６０２およびソース・ドレイン電極５０２を有する。上記ＭＩＳＦＥＴは、能動素子の一例であってよい。ソース・ドレイン電極６０２は第２入出力電極の一例であってよい。

[0144] 電子デバイス６００において、第２化合物半導体結晶１１２の、開口１０５の上の領域は、例えば、エッチングにより除去されている。図２１に示すとおり、本実施形態において、上記エッチングにより露出した第２化合物半導体結晶１１２の側面は、ソース・ドレイン電極６０２により覆われている。これにより、電子デバイス６００におけるキャリア移動がさらに容易になり、電子デバイス６００の性能は、さらに向上する。

[0145] また、ソース・ドレイン電極６０２は、エッチングにより露出した開口１０５のシード化合物半導体結晶１０８を介して、Ｇｅ結晶層１６６に接続されている。これにより、例えば、ＭＩＳＦＥＴの一方の入出力端子を基板電位に維持して、ノイズを低減することができる。

[0146] 図２２は、電子デバイス７００の断面例を示す。図２２の断面例は、図７におけるＡ－Ａ線断面に相当する。電子デバイス７００の構成は、下部ゲー

ト絶縁膜７０２および下部ゲート電極７０４を備える他は、電子デバイス１００の場合と同様である。

[0147] 下部ゲート電極７０４は、第２化合物半導体結晶１１２を挟んで、ゲート電極１１６と対向して配置される。下部ゲート電極７０４は、阻害層１０４の表面に形成された溝部に形成されてもよい。下部ゲート電極７０４および第２化合物半導体結晶１１２の間には、下部ゲート絶縁膜７０２が形成される。

[0148] 電子デバイス７００においてゲート電極１１６および下部ゲート電極７０４を上記のように配置することにより、簡便にダブルゲート構造を実現できる。これにより、ゲートの制御性を高め、ひいては電子デバイス７００のスイッチング性能等を向上させることができる。

[0149] 図２３は、半導体基板８０１の平面例を示す。半導体基板８０１は、ＧＯＩ基板８０２の上に、素子が形成される領域８０３を備える。領域８０３は、図示するとおり、ＧＯＩ基板８０２の表面に複数配置される。また、領域８０３は等間隔に配置される。ＧＯＩ基板８０２とＧＯＩ基板１０２とは同等である。例えば、市販のＧＯＩ基板がＧＯＩ基板８０２として利用される。

[0150] 図２４は、領域８０３の一例を示す。領域８０３には阻害層８０４が形成される。阻害層８０４は、電子デバイス１００の阻害層１０４に相当する。阻害層８０４は絶縁性である。阻害層８０４として、酸化シリコン層、窒化シリコン層、酸窒化シリコン層もしくは酸化アルミニウム層またはこれらを積層した層が例示できる。開口８０６と電子デバイス１００の開口１０５とは同等である。即ち、開口８０６のアスペクト比および面積は、開口１０５と同様であってよい。阻害層８０４は、ＧＯＩ基板８０２の上に、複数形成され、複数の阻害層８０４は、それぞれ、間隔をおいて配置される。例えば、阻害層８０４は、１辺が５０μｍ以上４００μｍ以下の正方形に形成される。また、それぞれの阻害層８０４は、５０μｍ以上５００μｍ以下の間隔をおいて、等間隔に形成されてもよい。

[0151] 本実施形態の半導体基板８０１では、図２４に示す開口８０６に電子素子としてヘテロジャンクション・バイポーラ・トランジスタ（以下、ＨＢＴと称する場合がある。）を形成する例を示す。開口８０６を囲むように形成された阻害層８０４の上には、ＨＢＴのコレクタに接続されるコレクタ電極８０８、エミッタに接続されるエミッタ電極８１０およびベースに接続されるベース電極８１２が各々形成される。なお、電極は、配線または配線のボンディングパッドに代えることもできる。また、電子素子の一例であるＨＢＴは、開口８０６ごとに一つ形成されてもよい。電子素子は相互に接続されてよく、また、並列に接続されてもよい。

[0152] 図２５は、半導体基板８０１の断面図の一例を、阻害層８０４で被覆される被覆領域の開口８０６に形成されるＨＢＴと共に示す。半導体基板８０１は、ＧＯＩ基板８０２、阻害層８０４、バッファ層８２２、化合物半導体機能層８２４を備える。

[0153] ＧＯＩ基板８０２は、少なくとも一部の領域において、Ｓｉ基板８６２と、絶縁層８６４と、Ｇｅ結晶層８６６とを、この順に有する。Ｓｉ基板８６２、絶縁層８６４、Ｇｅ結晶層８６６は、それぞれ、電子デバイス１００のＳｉ基板１６２、絶縁層１６４、Ｇｅ結晶層１６６に相当する。Ｓｉ基板８６２は主面８７２を含む。主面８７２とＳｉ基板１６２の主面１７２とは同等である。

[0154] 阻害層８０４は、Ｇｅ結晶層８６６の上に形成され、化合物半導体機能層８２４の結晶成長を阻害する。阻害層８０４は、化合物半導体機能層８２４のエピタキシャル成長を阻害する。阻害層８０４と阻害層１０４とは同等である。

[0155] 阻害層８０４は、Ｇｅ結晶層８６６の一部を覆うように設けられる。また、阻害層８０４には、Ｇｅ結晶層８６６まで貫通する開口８０６が形成される。阻害層８０４の表面の形状は正方形であってよく、阻害層８０４は、表面の中心に開口８０６を有してもよい。阻害層８０４はＧｅ結晶層８６６に接して形成されてもよい。

[0156] Ｇｅ結晶層８６６は、Si_xGe_{1-x}結晶（０≦ｘ＜１）の一例である。つまり、Ｇｅ結晶層８６６とＧｅ結晶層１６６とは同等である。Ｇｅ結晶層８６６は、阻害層８０４の開口８０６に表面の少なくとも一部を露出させる。

[0157] バッファ層８２２は、Ｇｅ結晶層８６６に格子整合または擬格子整合する。バッファ層８２２とバッファ層４０２とは同等である。バッファ層８２２は、Ｇｅ結晶層８６６と化合物半導体機能層８２４との間に形成されてもよい。バッファ層８２２はＰを含む３－５族化合物半導体層であってもよい。バッファ層は、例えば、ＩｎＧａＰ層であってよい。ＩｎＧａＰ層は、例えば、エピタキシャル成長法により形成できる。

[0158] ＩｎＧａＰ層が、Ｇｅ結晶層８６６に接してエピタキシャル成長する場合、ＩｎＧａＰ層は、阻害層８０４の表面には形成されず、Ｇｅ結晶層８６６の表面に選択的に成長される。ＩｎＧａＰ層の膜厚は、薄いほど化合物半導体機能層８２４の結晶性は向上する。なお、半導体基板８０１は、バッファ層８２２を含まなくてもよい。このとき、Ｇｅ結晶層８６６の化合物半導体機能層８２４に対向する面は、気体のＰ化合物で表面処理されてよい。

[0159] 化合物半導体機能層８２４は、Ｇｅ結晶層８６６に格子整合または擬格子整合する化合物半導体の一例であってよい。化合物半導体機能層８２４には、例えば、ＨＢＴが形成される。ＨＢＴは、電子素子の一例である。化合物半導体機能層８２４は、Ｇｅ結晶層８６６に接して形成されてもよい。即ち、化合物半導体機能層８２４は、Ｇｅ結晶層８６６に接して、または、バッファ層８２２を介して形成されてもよい。化合物半導体機能層８２４は、結晶成長により形成されてもよい。例えば、化合物半導体機能層８２４は、エピタキシャル成長により形成される。

[0160] 化合物半導体機能層８２４は、Ｇｅ結晶層８６６に格子整合または擬格子整合する、３－５族化合物層または２－６族化合物層であってもよい。化合物半導体機能層８２４は、Ｇｅ結晶層８６６に格子整合または擬格子整合する、３－５族化合物層であり、３族元素としてＡｌ、Ｇａ、Ｉｎのうち少なくとも１つを含み、５族元素としてＮ、Ｐ、Ａｓ、Ｓｂのうち少なくとも１

つを含んでよい。たとえば化合物半導体機能層８２４として、ＧａＡｓ、ＩｎＧａＡｓ層が例示できる。

[0161] 化合物半導体機能層８２４には、電子素子としてＨＢＴが形成される。なお、化合物半導体機能層８２４に形成される電子素子として、本実施形態ではＨＢＴを例示するが、電子素子はＨＢＴに限定されず、例えば、発光ダイオード、高電子移動度トランジスタ（以下、ＨＥＭＴと称する場合がある。）、太陽電池、薄膜センサであってもよい。

[0162] 化合物半導体機能層８２４の表面には、ＨＢＴのコレクタメサ、エミッタメサおよびベースメサが、各々形成される。コレクタメサ、エミッタメサおよびベースメサの表面には、コンタクトホールを介して、コレクタ電極８０８、エミッタ電極８１０およびベース電極８１２が形成される。化合物半導体機能層８２４は、ＨＢＴのコレクタ層、エミッタ層およびベース層を含む。即ち、コレクタ層はバッファ層８２２の上に形成され、エミッタ層はバッファ層８２２とコレクタ層との間に形成され、ベース層は、バッファ層８２２とエミッタ層との間に形成される。

[0163] コレクタ層は、キャリア濃度が３．０×１０^{18}ｃｍ$^{-3}$、膜厚５００ｎｍのｎ$^{+}$ＧａＡｓ層と、キャリア濃度が１．０×１０^{16}ｃｍ$^{-3}$、膜厚５００ｎｍのｎ$^{-}$ＧａＡｓ層とが、この順に積層した積層膜であってもよい。エミッタ層は、キャリア濃度が３．０×１０^{17}ｃｍ$^{-3}$、膜厚３０ｎｍのｎ－ＩｎＧａＰ層と、キャリア濃度が３．０×１０^{18}ｃｍ$^{-3}$、膜厚１００ｎｍのｎ$^{+}$ＧａＡｓ層と、キャリア濃度が１．０×１０^{19}ｃｍ$^{-3}$、膜厚１００ｎｍのｎ$^{+}$ＩｎＧａＡｓ層とが、この順に積層した積層膜であってもよい。ベース層は、キャリア濃度が５．０×１０^{19}ｃｍ$^{-3}$、膜厚５０ｎｍのｐ$^{+}$ＧａＡｓ層であってもよい。ここで、キャリア濃度、膜厚の値は、設計値を示す。

[0164] 化合物半導体機能層８２４以外のＳｉ層の少なくとも一部には、ＭＩＳＦＥＴ８８０が形成されてもよい。ＭＩＳＦＥＴ８８０は、Ｓｉデバイスの一例であってよい。ＭＩＳＦＥＴ８８０は、同図に示すように、ウエル８８２と、ゲート電極８８８とを有してもよい。図面には示されていないが、ウエ

ルにはソース領域およびドレイン領域が形成されてもよい。また、ウエル８８２とゲート電極８８８との間には、ゲート絶縁膜が形成されてもよい。

[0165] 化合物半導体機能層８２４以外のＳｉ層は、Ｓｉ基板８６２であってよい。ＭＩＳＦＥＴ８８０は、Ｓｉ基板８６２のＧｅ結晶層８６６に覆われていない領域に形成されてもよい。

[0166] Ｓｉ基板８６２は、単結晶Ｓｉ基板であってもよい。このとき、ＭＩＳＦＥＴ８８０は、単結晶Ｓｉ基板のＧｅ結晶層８６６および絶縁層８６４に覆われていない領域の少なくとも一部に形成されてもよい。また、Ｓｉ基板８６２には、Ｓｉを加工して形成される能動素子、機能素子のような電子素子だけでなく、Ｓｉ層の上に形成される配線、Ｓｉを含む配線、および、それらを組み合わせて形成される電子回路、および、ＭＥＭＳ（Ｍｉｃｒｏ Ｅｌｅｃｔｒｏ Ｍｅｃｈａｎｉｃａｌ Ｓｙｓｔｅｍｓ）の少なくとも１つが形成されてもよい。

[0167] なお、本実施形態では、Si_xGe_{1-x}結晶が、結晶成長により形成されたＧｅ結晶である場合について説明したが、この場合に限定されない。例えば、Si_xGe_{1-x}結晶は、電子デバイス１００の場合と同様に、$0 \leqq x < 1$の範囲のｘに対応するSi_xGe_{1-x}であってもよい。Si_xGe_{1-x}結晶は、Ｓｉの含有率が低いSi_xGe_{1-x}であってもよい。

実施例

[0168] （実施例１）

図１０から図１１に示された手順に従って、ＧＯＩ基板１０２の上に、開口１０５が形成された阻害層１０４と、開口１０５の底部に露出したＧｅ結晶層１６６とを備える半導体基板を作製した。ＧＯＩ基板１０２の上には、２５０００個の開口１０５を作製した。また、図１０から図１４に示された手順に従って、上記開口１０５ごとに、電子デバイス１００を作製した。電子デバイスは、２５０００個製造した。

[0169] ＧＯＩ基板１０２のＳｉ基板１６２には、単結晶Ｓｉ基板を用いた。ＧＯＩ基板１０２は、市販のＧＯＩ基板を用いた。阻害層１０４として、SiO_2

を、ＣＶＤ法により形成した後、フォトリソグラフィ法により阻害層１０４に開口１０５を形成した。開口１０５のアスペクト比は、１とした。８００℃で、１０分間の高温アニールと、６８０℃で、１０分間の低温アニールとを繰り返す２段階アニールを実施した。上記２段階アニールを、１０回実施した。これにより、上記半導体基板が得られた。

[0170] 上記半導体基板のＧｅ結晶層１６６の上に、シード化合物半導体結晶１０８、第１化合物半導体結晶１１０および第２化合物半導体結晶１１２として、ＧａＡｓ結晶を形成した。ＧａＡｓ結晶は、原料ガスとしてＴＭ－ＧａおよびAsH_3を用いて、成長温度を６５０℃として、ＭＯＣＶＤ法により形成した。第２化合物半導体結晶１１２は、AsH_3の分圧を、1×10^{-3}ａｔｍにして成長させた。第２化合物半導体結晶１１２の上に、高抵抗ＡｌＧａＡｓのゲート絶縁膜１１４、Ｐｔのゲート電極１１６、および、Ｗのソース・ドレイン電極１１８を形成して、電子デバイス１００が得られた。

[0171] Ｇｅ結晶層１６６が形成された半導体基板について、Ｇｅ結晶層１６６の表面に形成された欠陥の有無を検査した。検査は、エッチピット法により実施した。その結果、Ｇｅ結晶層１６６の表面には、欠陥は発見されなかった。また、１０個の電子デバイス１００について、貫通欠陥の有無を検査した。検査は、ＴＥＭによる面内断面観察により実施した。その結果、貫通欠陥が発見された電子デバイス１００は、０個であった。

[0172] 本実施形態によれば、Ｇｅ結晶層１６６にアニールを施したことにより、Ｇｅ結晶層１６６の結晶性をさらに高めることができた。また、アスペクト比が（√３）／３以上の開口１０５の内部に、シード化合物半導体結晶１０８の一部を形成したので、第１化合物半導体結晶１１０、および、第１化合物半導体結晶１１０の特定面をシード面とする第２化合物半導体結晶１１２の結晶性が向上した。

[0173] 以上の構成により、第２化合物半導体結晶１１２の上に形成する電子デバイス１００の活性層の結晶性を高め、安価な基板であるＧＯＩ基板１０２の上に形成した電子デバイス１００の性能を高めることができた。また、本実

施形態の電子デバイス１００によれば、ＧＯＩ基板１０２の上に形成された第２化合物半導体結晶１１２に電子素子が形成されたので、電子デバイス１００の浮遊容量が低減され、電子デバイス１００の動作速度が向上した。また、Ｓｉ基板１６２へのリーク電流を低減できた。

[0174] （実施例２）

２５００個の領域８０３を備えた半導体基板８０１を、以下の通り作製した。ＧＯＩ基板８０２のＳｉ基板８６２には、単結晶Ｓｉ基板を用いた。ＧＯＩ基板８０２は、市販のＧＯＩ基板を用いた。酸化シリコンの阻害層８０４を、ＣＶＤ法により形成した後、フォトリソグラフィ法により開口８０６を形成して、Ｇｅ結晶層８６６を露出させた。開口８０６のアスペクト比は、１とした。開口８０６の形状は、一辺が２μｍの正方形として、隣接する開口８０６同士は、５００μｍの間隔をおいて配置した。阻害層８０４を形成した後、８００℃で、２分間の高温アニールと、６８０℃で、２分間の低温アニールとを繰り返す２段階アニールを実施した。上記２段階アニールを、１０回実施した。

[0175] 次に、領域８０３のそれぞれのＧｅ結晶層８６６の上に、ＩｎＧａＰのバッファ層８２２を形成した。バッファ層８２２は、原料ガスとしてＴＭ－Ｇａ、ＴＭ－ＩｎおよびＰＨ$_3$を用いて、成長温度を６５０℃として、ＭＯＣＶＤ法により形成した。

[0176] バッファ層８２２の上に、ＨＢＴのコレクタ層として、キャリア濃度が３．０×１０^{18}ｃｍ$^{-3}$、膜厚５００ｎｍのｎ$^+$ＧａＡｓ層と、その上にキャリア濃度が１．０×１０^{16}ｃｍ$^{-3}$、膜厚５００ｎｍのｎ$^-$ＧａＡｓ層とを、この順に形成した。コレクタ層の上に、ＨＢＴのベース層として、キャリア濃度が５．０×１０^{19}ｃｍ$^{-3}$、膜厚５０ｎｍのｐ$^-$ＧａＡｓ層を形成した。ベース層の上に、ＨＢＴのエミッタ層として、キャリア濃度が３．０×１０^{17}ｃｍ$^{-3}$、膜厚３０ｎｍのｎ－ＩｎＧａＰ層と、キャリア濃度が３．０×１０^{18}ｃｍ$^{-3}$、膜厚１００ｎｍのｎ$^+$ＧａＡｓ層と、キャリア濃度が１．０×１０^{19}ｃｍ$^{-3}$、膜厚１００ｎｍのｎ$^+$ＩｎＧａＡｓ層とを、この順に形成した。ここで、

キャリア濃度、膜厚の値は、設計値を示す。

[0177] これにより、ベース層、エミッタ層、コレクタ層を含む化合物半導体機能層８２４が形成できた。ベース層、エミッタ層、コレクタ層のＧａＡｓ層は、原料ガスとしてＴＭ－ＧａおよびＡｓＨ$_3$を用いて、成長温度を６５０℃として、ＭＯＣＶＤ法により形成した。その後、それぞれ、所定のエッチングにより、ベース層、エミッタ層、コレクタ層電極接続部を形成した。化合物半導体機能層８２４の表面に、コレクタ電極８０８、エミッタ電極８１０およびベース電極８１２を形成して、ＨＢＴを作製した。エミッタ層及びコレクタ層についてはＡｕＧｅＮｉ層を真空蒸着法により形成した。ベース層についてはＡｕＺｎ層を真空蒸着法により形成した。その後、水素雰囲気中において４２０℃で１０分間熱処理を施すことにより、各電極を形成した。各電極と上記駆動回路とを電気的に接続して、電子デバイスを作製した。

[0178] これにより、小型で消費電力の少ない電子デバイスを作製できた。また、化合物半導体機能層８２４の表面をＳＥＭ（二次電子顕微鏡）で観察したところ、表面にμｍオーダーの凹凸は観察されなかった。

[0179] （実施例３）

ＳＯＩ基板１０１上に形成されたSi_xGe_{1-x}結晶層５６（０．７＜ｘ＜１）を酸化濃縮法により酸化濃縮することによって形成したＧＯＩ基板を用いて、半導体基板を作製した。当該ＳＯＩ基板１０１は、（１００）結晶面から2°傾けた主面を有し、厚さ４０ｎｍのＳｉ結晶層１４を有する。SiH_4及びGeH_4を原料とする低圧ＣＶＤ法により、膜厚１００ｎｍのSi_xGe_{1-x}（ｘ＝０．８５）の単結晶層をＳＯＩ基板１０１上に製膜した。続いて、Si_xGe_{1-x}（ｘ＝０．８５）の単結晶層上に膜厚１０ｎｍのＳｉ結晶層５７を製膜した。

[0180] 次に、Si_xGe_{1-x}（ｘ＝０．８５）の単結晶層およびＳｉエピタキシャル層を製膜したＳＯＩ基板１０１を、ドライ酸素雰囲気中で熱酸化した。ドライ酸素雰囲気の初期酸化温度は１２００℃である。ドライ酸素雰囲気の温度をドライ酸素雰囲気の最終温度である９００℃まで徐々に下げた。その結

果、最表面が約２００ｎｍの厚さの阻害層６５（Ｓｉ酸化膜）に覆われた、厚さ約１８ｎｍの厚さを有するSi_xGe_{1-x}結晶層５６を有するＧＯＩ基板が得られた。熱酸化によってSi_xGe_{1-x}結晶層５６内のＳｉが拡散するので、得られたＧＯＩ基板上のSi_xGe_{1-x}結晶層５６におけるＧｅ濃度は９５%以上（ｘ＜０．０５）であると考えられる。つまり、酸化濃縮前のSi_xGe_{1-x}結晶層５６におけるｘの値に比べて、酸化濃縮後のSi_xGe_{1-x}結晶層５６におけるｘの値は、小さくなっていると考えられる。

[0181] 次に、通常のフォトリソグラフィを利用した加工プロセスにより、一辺が４０μｍの正方形の形状を残して最表面の酸化膜を除去した。当該正方形は、一辺が２０μｍの正方形の開口を中心に有する。その結果、Si_xGe_{1-x}結晶層５６（ｘ＜０．０５）表面が露出した。その後、GeH_4を原料とする低圧ＣＶＤ法により、Si_xGe_{1-x}結晶層５６表面の露出部に、４５０℃において膜厚１０ｎｍ、６００℃において膜厚５００ｎｍのＧｅの単結晶層が選択的を製膜した。さらに、８５０℃で２分間／６５０℃で２分間の熱処理を１０サイクル繰り返し加えた。

[0182] 続いて、ＭＯＣＶＤ法を用いることにより、熱処理されたＧＯＩ基板の開口に露出されたSi_xGe_{1-x}結晶層５６（Ｇｅ単結晶層）上に３０ｎｍのＧａＡｓ結晶層を成長させた。当該ＧａＡｓ結晶層は化合物半導体６８に相当する。ＧａＡｓ結晶層は、結晶成長温度５５０℃において、トリメチルガリウムおよびアルシンを原料ガスとして水素ガスをキャリアガスとすることにより成長させた。その後、ＧａＡｓ結晶層の成長を一時的に中断し、水素およびアルシン雰囲気中において基板の温度を６４０℃まで昇温した後、再度トリメチルガリウムを導入することにより、厚さ１０００ｎｍのＧａＡｓ層が形成された。

[0183] このように形成されたＧａＡｓ層の最表面を、６４０℃の水素及び塩化水素ガス雰囲気内で１分間処理した。その結果、１０μｍ幅の酸化膜に囲まれた２０μｍ角の正方形の開口部内に形成されたＧａＡｓ層においては、エッチピットの無い、平坦な表面を有するＧａＡｓ結晶が得られた。つまり、Ｓ

ＯＩ基板１０１上に形成されたSi_xGe_{1-x}結晶層５６（０．７＜ｘ＜１）を酸化濃縮法により酸化濃縮することにより形成したＧＯＩ基板上で、貫通転位等がない良好な結晶を得られたことが確認された。

[0184] なお、本実施例３では、酸化濃縮法を用いてＧｅ濃度を高めたSi_xGe_{1-x}層を、ＳＯＩ基板１０１上に形成する例を説明した。しかし、酸化濃縮法を用いてＧｅ濃度を高める方法は、シリコンウェハ等のシリコン基板、その他の任意な材料で構成される基板の上に形成されたSi_xGe_{1-x}層に対しても適用が可能である。たとえばシリコンウェハ上にSi_xGe_{1-x}（ｘ＝０．８５）層およびシリコン層を形成し、シリコン層をドライ熱酸化させて、Si_xGe_{1-x}結晶層５６（ｘ＜０．０５）をシリコンウェハと酸化シリコン層との間に形成できる。

[0185] （実施例４）

図２６は、実施例３から実施例１２で使用した半導体基板の断面の模式図である。当該半導体基板は、Ｓｉ基板２１０２と、阻害層２１０４と、Ｇｅ結晶層２１０６と、素子形成層として機能する化合物半導体２１０８とを備える。Ｇｅ結晶層２１０６は、ＧＯＩ基板におけるSi_xGe_{1-x}結晶層と同等に機能する。

[0186] 図２７から図３１は、アニール温度とＧｅ結晶層２１０６の平坦性との関係示す。図２７は、アニールしていないＧｅ結晶層２１０６の断面形状を示す。図２８、図２９、図３０および図３１は、それぞれ、７００℃、８００℃、８５０℃、９００℃でアニールを実施した場合の、Ｇｅ結晶層２１０６の断面形状を示す。Ｇｅ結晶層２１０６の断面形状は、レーザー顕微鏡により観察した。各図の縦軸は、Ｓｉ基板２１０２の主面に垂直な方向における距離を示し、Ｇｅ結晶層２１０６の膜厚を示す。各図の横軸は、Ｓｉ基板２１０２の主面に平行な方向における距離を示す。

[0187] 各図において、Ｇｅ結晶層２１０６は以下の手順で形成した。まず、熱酸化法により、Ｓｉ基板２１０２の表面にSiO_2層の阻害層２１０４を形成して、阻害層２１０４に被覆領域および開口を形成した。Ｓｉ基板２１０２は

市販の単結晶Ｓｉ基板を用いた。被覆領域の平面形状は、一辺の長さが４００μｍの正方形であった。次に、ＣＶＤ法により、開口の内部にＧｅ結晶層２１０６を選択的に成長させた。

[0188] 図２７から図３１より、アニール温度が低いほどＧｅ結晶層２１０６の表面の平坦性が良好であることがわかる。特に、アニール温度が９００℃未満の場合、Ｇｅ結晶層２１０６の表面が優れた平坦性を示すことがわかる。

[0189] （実施例５）

Ｓｉ基板２１０２と、阻害層２１０４と、Ｇｅ結晶層２１０６と、化合物半導体２１０８とを備えた半導体基板を作製して、阻害層２１０４に形成した開口の内部に成長する結晶の成長速度と、被覆領域の大きさおよび開口の大きさとの関係を調べた。実験は、阻害層２１０４に形成される被覆領域の平面形状および開口の底面形状を変えて、一定時間の間に成長する化合物半導体２１０８の膜厚を測定することで実施した。

[0190] まず、以下の手順で、Ｓｉ基板２１０２の表面に、被覆領域および開口を形成した。Ｓｉ基板２１０２の一例として、市販の単結晶Ｓｉ基板を用いた。熱酸化法により、Ｓｉ基板２１０２の表面に、阻害層２１０４の一例としてSiO_2層を形成した。

[0191] 上記SiO_2層をエッチングして、所定の大きさのSiO_2層を形成した。所定の大きさのSiO_2層は、３個以上形成した。このとき、所定の大きさのSiO_2層の平面形状が同一の大きさの正方形となるよう設計した。また、エッチングにより、上記正方形のSiO_2層の中心に、所定の大きさの開口を形成した。このとき、上記正方形のSiO_2層の中心と、上記開口の中心とが一致するよう設計した。上記正方形のSiO_2層の１つにつき、１つの開口を形成した。なお、本明細書において、上記正方形のSiO_2層の一辺の長さを、被覆領域の一辺の長さと称する場合がある。

[0192] 次に、ＭＯＣＶＤ法により、上記開口に、Ｇｅ結晶層２１０６を選択的に成長させた。原料ガスには、GeH_4を用いた。原料ガスの流量および成膜時間は、それぞれ、所定の値に設定した。次に、ＭＯＣＶＤ法により、化合物

半導体２１０８の一例として、ＧａＡｓ結晶を形成した。ＧａＡｓ結晶は、６２０℃、８ＭＰａの条件で、開口の内部のＧｅ結晶層２１０６の表面にエピタキシャル成長させた。原料ガスには、トリメチルガリウムおよびアルシンを用いた。原料ガスの流量および成膜時間は、それぞれ、所定の値に設定した。

[0193] 化合物半導体２１０８を形成した後、化合物半導体２１０８の膜厚を測定した。化合物半導体２１０８の膜厚は、針式段差計（ＫＬＡ　Ｔｅｎｃｏｒ社製、Ｓｕｒｆａｃｅ　Ｐｒｏｆｉｌｅｒ　Ｐ－１０）により、化合物半導体２１０８の３箇所の測定点における膜厚を測定して、当該３箇所の膜厚を平均することで算出した。このとき、当該３箇所の測定点における膜厚の標準偏差も算出した。なお、上記膜厚は、透過型電子顕微鏡または走査型電子顕微鏡による断面観察法により、化合物半導体２１０８の３箇所の測定点における膜厚を直接測定して、当該３箇所の膜厚を平均することで算出してもよい。

[0194] 以上の手順により、被覆領域の一辺の長さを、５０μｍ、１００μｍ、２００μｍ、３００μｍ、４００μｍまたは５００μｍに設定した場合のそれぞれについて、開口の底面形状を変えて、化合物半導体２１０８の膜厚を測定した。開口の底面形状は、一辺が１０μｍの正方形の場合、一辺が２０μｍの正方形の場合、短辺が３０μｍで長辺が４０μｍの長方形である場合の３通りについて実験した。

[0195] なお、被覆領域の一辺の長さが５００μｍの場合、複数の上記正方形のSiO_2層は、一体的に形成されている。この場合、一辺の長さが５００μｍの被覆領域が５００μｍ間隔で配されているわけではないが、便宜上、被覆領域の一辺の長さが５００μｍの場合として表す。また、便宜上、隣接する２つの被覆領域の間の距離を０μｍとして表す。

[0196] 実施例５の実験結果を、図３２および図３３に示す。図３２は、実施例５のそれぞれの場合における化合物半導体２１０８の膜厚の平均値を示す。図３３は、実施例５のそれぞれの場合における化合物半導体２１０８の膜厚の

変動係数を示す。

[0197] 図３２は、化合物半導体２１０８の成長速度と、被覆領域の大きさおよび開口の大きさとの関係を示す。図３２において、縦軸は一定時間の間に成長した化合物半導体２１０８の膜厚[Å]を示し、横軸は被覆領域の一辺の長さ[μｍ]を示す。本実施例において、化合物半導体２１０８の膜厚は一定時間の間に成長した膜厚なので、当該膜厚を当該時間で除することで、化合物半導体２１０８の成長速度の近似値が得られる。

[0198] 図３２において、菱形のプロットは、開口の底面形状が一辺が１０μｍの正方形である場合の実験データを示し、四角形のプロットは、開口の底面形状が一辺が２０μｍの正方形である場合の実験データを示す。同図において、三角形のプロットは、開口の底面形状が、長辺が４０μｍ、短辺が３０μｍの長方形である場合の実験データを示す。

[0199] 図３２より、上記成長速度は、被覆領域の大きさが大きくなるに従い、単調増加することがわかる。また、上記成長速度は、被覆領域の一辺の長さが４００μｍ以下の場合には、ほぼ線形に増加しており、開口の底面形状によるばらつきは少ないことがわかる。一方、被覆領域の一辺の長さが５００μｍの場合には、被覆領域の一辺の長さが４００μｍ以下の場合と比較して成長速度が急激に増加しており、開口の底面形状によるばらつきも大きくなることがわかる。

[0200] 図３３は、化合物半導体２１０８の成長速度の変動係数と、隣接する２つの被覆領域の間の距離との関係を示す。ここで、変動係数とは、平均値に対する標準偏差の比であり、上記３箇所の測定点における膜厚の標準偏差を、当該膜厚の平均値で除して算出できる。図３３において、縦軸は一定時間の間に成長した化合物半導体２１０８の膜厚[Å]の変動係数を示し、横軸は隣接する被覆領域の間の距離[μｍ]を示す。図３３は、隣接する２つの被覆領域の間の距離が、０μｍ、２０μｍ、５０μｍ、１００μｍ、２００μｍ、３００μｍ、４００μｍおよび４５０μｍの場合の実験データを示す。図３３において、菱形のプロットは、開口の底面形状が一辺が１０μｍの正方形

の場合の実験データを示す。

[0201] 図３３において、隣接する２つの被覆領域の間の距離が、０μｍ、１００μｍ、２００μｍ、３００μｍ、４００μｍおよび４５０μｍの実験データは、それぞれ、図３２における被覆領域の一辺の長さが５００μｍ、４００μｍ、３００μｍ、２００μｍ、１００μｍおよび５０μｍの場合の実験データに対応する。隣接する２つの被覆領域の間の距離が２０μｍおよび５０μｍのデータについては、他の実験データと同様の手順により、それぞれ、被覆領域の一辺の長さが４８０μｍおよび４５０μｍの場合について化合物半導体２１０８の膜厚を測定して得られた。

[0202] 図３３より、隣接する２つの被覆領域の間の距離が０μｍの場合と比較して、上記距離が２０μｍの場合には、化合物半導体２１０８の成長速度が非常に安定していることがわかる。上記結果より、隣接する２つの被覆領域がわずかでも離れている場合には、開口の内部に成長する結晶の成長速度が安定化することがわかる。または、隣接する２つの被覆領域の間に結晶成長が生じる領域が配されていれば、上記結晶の成長速度が安定化することがわかる。また、隣接する２つの被覆領域の間の距離が０μｍの場合であっても、複数の開口を等間隔で配置することで、上記結晶の成長速度のばらつきを抑制できていることがわかる。

[0203] （実施例６）

被覆領域の一辺の長さを２００μｍ、５００μｍ、７００μｍ、１０００μｍ、１５００μｍ、２０００μｍ、３０００μｍまたは４２５０μｍに設定して、それぞれの場合について、実施例５の場合と同様の手順で半導体基板を作製して、開口の内部に形成された化合物半導体２１０８の膜厚を測定した。本実施例では、Ｓｉ基板２１０２の上に同一の大きさのSiO_2層が複数配されるように、当該SiO_2層を形成した。また、上記複数のSiO_2層が互いに離間するよう、当該SiO_2層を形成した。開口の底面形状は、実施例５と同様に、一辺が１０μｍの正方形の場合、一辺が２０μｍの正方形の場合、短辺が３０μｍで長辺が４０μｍの長方形である場合の３通りについ

て実験した。Ｇｅ結晶層２１０６および化合物半導体２１０８の成長条件は実施例５と同一の条件に設定した。

[0204] （実施例７）

トリメチルガリウムの供給量を半分にして、化合物半導体２１０８の成長速度を約半分にした以外は実施例６の場合と同様にして、開口の内部に形成された化合物半導体２１０８の膜厚を測定した。なお、実施例７では、被覆領域の一辺の長さを２００μｍ、５００μｍ、１０００μｍ、２０００μｍ、３０００μｍまたは４２５０μｍに設定して、開口の底面形状が一辺が１０μｍの正方形の場合について、実験を実施した。

[0205] 実施例６および実施例７の実験結果を、図３４、図３５～図３９、図４０～図４４、および、表１に示す。図３４に、実施例６のそれぞれの場合における化合物半導体２１０８の膜厚の平均値を示す。図３５～図３９に、実施例６のそれぞれの場合における化合物半導体２１０８の電子顕微鏡写真を示す。図４０～図４４に、実施例７のそれぞれの場合における化合物半導体２１０８の電子顕微鏡写真を示す。表１に、実施例６および実施例７のそれぞれの場合における、化合物半導体２１０８の成長速度と、Ｒａ値とを示す。

[0206] 図３４は、化合物半導体２１０８の成長速度と、被覆領域の大きさおよび開口の大きさとの関係を示す。図３４において、縦軸は一定時間の間に成長した化合物半導体２１０８の膜厚を示し、横軸は被覆領域の一辺の長さ[μｍ]を示す。本実施例において、化合物半導体２１０８の膜厚は一定時間の間に成長した膜厚なので、当該膜厚を当該時間で除することで、化合物半導体２１０８の成長速度の近似値が得られる。

[0207] 図３４において、菱形のプロットは、開口の底面形状が一辺が１０μｍの正方形である場合の実験データを示し、四角形のプロットは、開口の底面形状が一辺が２０μｍの正方形である場合の実験データを示す。同図において、三角形のプロットは、開口の底面形状が、長辺が４０μｍ、短辺が３０μｍの長方形である場合の実験データを示す。

[0208] 図３４より、被覆領域の一辺の長さが４２５０μｍにいたるまで、上記成

長速度は、被覆領域の大きさが大きくなるに従い、安定して増加することがわかる。図３２に示した結果および図３４に示した結果より、隣接する２つの被覆領域がわずかでも離れている場合には、開口の内部に成長する結晶の成長速度が安定化することがわかる。または、隣接する２つの被覆領域の間に結晶成長が生じる領域が配されていれば、上記結晶の成長速度が安定化することがわかる。

[0209] 図３５から図３９に、実施例６のそれぞれの場合について、化合物半導体２１０８の表面を電子顕微鏡で観察した結果を示す。図３５、図３６、図３７、図３８、図３９は、それぞれ、被覆領域の一辺の長さが４２５０μｍ、２０００μｍ、１０００μｍ、５００μｍ、２００μｍの場合の結果を示す。図３５から図３９より、被覆領域の大きさが大きくなるにつれて、化合物半導体２１０８の表面状態が悪化していることがわかる。

[0210] 図４０から図４４に、実施例７のそれぞれの場合について、化合物半導体２１０８の表面を電子顕微鏡で観察した結果を示す。図４０、図４１、図４２、図４３、図４４は、それぞれ、被覆領域の一辺の長さが４２５０μｍ、２０００μｍ、１０００μｍ、５００μｍ、２００μｍの場合の結果を示す。図４０から図４４より、被覆領域の大きさが大きくなるにつれて、化合物半導体２１０８の表面状態が悪化していることがわかる。また、実施例６の結果と比較すると、化合物半導体２１０８の表面状態が改善されていることがわかる。

[0211] 表１に、実施例６および実施例７のそれぞれの場合における、化合物半導体２１０８の成長速度[Å／ｍｉｎ]と、Ｒａ値[μｍ]とを示す。なお、化合物半導体２１０８の膜厚は、針式段差計により測定した。また、Ｒａ値は、レーザー顕微鏡装置による観察結果に基づいて算出した。表１より、化合物半導体２１０８の成長速度が小さいほど、表面粗さが改善することがわかる。また、化合物半導体２１０８の成長速度が３００ｎｍ／ｍｉｎ以下の場合には、Ｒａ値が０．０２μｍ以下であることがわかる。

[表1]

	実施例６		実施例７	
被覆領域の１辺の長さ［μｍ］	成長速度［Å／min］	Ra値［μｍ］	成長速度［Å／min］	Ra値［μｍ］
200	526	0.006	286	0.003
500	789	0.008	442	0.003
1000	1216	0.012	692	0.005
2000	2147	0.017	1264	0.007
3000	3002	0.020	1831	0.008
4250	3477	0.044	2190	0.015

[0212] （実施例８）

実施例５と同様にして、Ｓｉ基板２１０２と、阻害層２１０４と、Ｇｅ結晶層２１０６と、化合物半導体２１０８の一例としてのＧａＡｓ結晶とを備えた半導体基板を作製した。本実施例では、Ｓｉ基板２１０２の表面の（１００）面に阻害層２１０４を形成した。図４５から図４７に、上記半導体基板に形成されたＧａＡｓ結晶の表面の電子顕微鏡写真を示す。

[0213] 図４５は、開口の底面形状の一辺の方向と、Ｓｉ基板２１０２の＜０１０＞方向とが実質的に平行となるように配された開口の内部にＧａＡｓ結晶を成長させた場合の結果を示す。本実施例において、被覆領域の平面形状は、一辺の長さが３００μｍの正方形であった。開口の底面形状は、一辺が１０μｍの正方形であった。図４５において、図中の矢印は＜０１０＞方向を示す。図４５に示すとおり、形状の整った結晶が得られた。

[0214] 図４５より、ＧａＡｓ結晶の４つの側面には、それぞれ、（１０－１）面、（１－１０）面、（１０１）面および（１１０）面が現れているのがわかる。また、図中、ＧａＡｓ結晶の左上の角には、（１１－１）面が現れてお

り、図中、ＧａＡｓ結晶の右下の角には、（１－１１）面が現れていることがわかる。（１１－１）面および（１－１１）面は、（－１－１－１）面と等価な面であり、安定な面である。

[0215] 一方、図中、ＧａＡｓ結晶の左下の角および右上の角には、このような面が現れていないのがわかる。例えば、図中、左下の角には（１１１）面が現れてよいにもかかわらず、（１１１）面が現れていない。これは、図中、左下の角は、（１１１）面より安定な（１１０）面および（１０１）面に挟まれているからと考えられる。

[0216] 図４６は、開口の底面形状の一辺の方向と、Ｓｉ基板２１０２の＜０１０＞方向とが実質的に平行となるように配された開口の内部にＧａＡｓ結晶を成長させた場合の結果を示す。図４６は、上方斜め４５°から観察した場合の結果を示す。本実施例において、被覆領域の平面形状は、一辺の長さが５０μｍの正方形であった。開口の底面形状は、一辺の長さが１０μｍの正方形であった。図４６において、図中の矢印は＜０１０＞方向を示す。図４６に示すとおり、形状の整った結晶が得られた。

[0217] 図４７は、開口の底面形状の一辺の方向と、Ｓｉ基板２１０２の＜０１１＞方向とが実質的に平行となるように配された開口の内部にＧａＡｓ結晶を成長させた場合の結果を示す。本実施例において、被覆領域の平面形状は、一辺の長さが４００μｍの正方形であった。開口の底面形状は、一辺の長さが１０μｍの正方形であった。図４７において、図中の矢印は＜０１１＞方向を示す。図４７に示すとおり、図４５および図４６と比較して、形状の乱れた結晶が得られた。ＧａＡｓ結晶の側面に、比較的不安定な（１１１）面が現れた結果、結晶の形状に乱れが生じたと考えられる。

[0218] （実施例９）

実施例５と同様にして、Ｓｉ基板２１０２と、阻害層２１０４と、Ｇｅ結晶層２１０６と、化合物半導体２１０８の一例としてのＧａＡｓ層とを備えた半導体基板を作製した。本実施例においては、Ｇｅ結晶層２１０６と、化合物半導体２１０８との間に中間層を形成した。本実施例において、被覆領

域の平面形状は、一辺の長さが２００μｍの正方形であった。開口の底面形状は、一辺が１０μｍの正方形であった。ＣＶＤ法により、開口の内部に、膜厚が８５０ｎｍのＧｅ結晶層２１０６を形成した後、８００℃でアニールを実施した。

[0219] Ｇｅ結晶層２１０６をアニールした後、Ｇｅ結晶層２１０６が形成されたＳｉ基板２１０２の温度が５５０℃になるように設定して、ＭＯＣＶＤ法により、中間層を形成した。中間層は、トリメチルガリウムおよびアルシンを原料ガスとして成長させた。中間層の膜厚は、３０ｎｍであった。その後、中間層が形成されたＳｉ基板２１０２の温度を６４０℃まで昇温した後、ＭＯＣＶＤ法により化合物半導体２１０８の一例としてのＧａＡｓ層を形成した。ＧａＡｓ層の膜厚は、５００ｎｍであった。それ以外の条件については、実施例５と同一の条件で半導体基板を作製した。

[0220] 図４８に、製造した半導体基板の断面を透過型電子顕微鏡で観察した結果を示す。図４８に示すとおり、Ｇｅ結晶層２１０６およびＧａＡｓ層には転位は観察されなかった。これにより、上記の構成を採用することで、Ｓｉ基板上に、良質なＧｅ層、および、当該Ｇｅ層に格子整合または擬格子整合する化合物半導体層を形成できることがわかる。

[0221] （実施例１０）

実施例９と同様にして、Ｓｉ基板２１０２と、阻害層２１０４と、Ｇｅ結晶層２１０６と、中間層と、化合物半導体２１０８の一例としてのＧａＡｓ層とを備えた半導体基板を作製した後、得られた半導体基板を用いてＨＢＴ素子構造を作製した。ＨＢＴ素子構造は、以下の手順で作製した。まず、実施例９の場合と同様にして、半導体基板を作製した。なお、本実施例では、被覆領域の平面形状は、一辺の長さが５０μｍの正方形であった。開口の底面形状は、一辺が２０μｍの正方形であった。それ以外の条件については、実施例９の場合と同一の条件で半導体基板をした。

[0222] 次に、ＭＯＣＶＤ法により、上記半導体基板のＧａＡｓ層の表面に、半導体層を積層した。これにより、Ｓｉ基板２１０２と、膜厚が８５０ｎｍのＧ

ｅ結晶層２１０６と、膜厚が３０ｎｍの中間層と、膜厚が５００ｎｍのアンドープＧａＡｓ層と、膜厚が３００ｎｍのｎ型ＧａＡｓ層と、膜厚が２０ｎｍのｎ型ＩｎＧａＰ層と、膜厚が３ｎｍのｎ型ＧａＡｓ層と、膜厚が３００ｎｍのＧａＡｓ層と、膜厚が５０ｎｍのｐ型ＧａＡｓ層と、膜厚が２０ｎｍのｎ型ＩｎＧａＰ層と、膜厚が１２０ｎｍのｎ型ＧａＡｓ層と、膜厚が６０ｎｍのｎ型ＩｎＧａＡｓ層とが、この順に配されたＨＢＴ素子構造が得られた。得られたＨＢＴ素子構造に電極を配して、電子素子または電子デバイスの一例であるＨＢＴ素子を作成した。上記半導体層において、ｎ型不純物としてＳｉを用いた。上記半導体層において、ｐ型不純物としてＣを用いた。

[0223] 図４９は、得られたＨＢＴ素子のレーザー顕微鏡像を示す。図中、薄い灰色の部分は、電極を示す。図４９より、正方形の被覆領域の中央付近に配された開口領域に、３つの電極が並んでいるのがわかる。上記３つの電極は、それぞれ、図中左からＨＢＴ素子のベース電極、エミッタ電極およびコレクタ電極を示す。上記ＨＢＴ素子の電気特性を測定したところ、トランジスタ動作が確認できた。また、上記ＨＢＴ素子について、透過型電子顕微鏡により断面を観察したところ、転位は観察されなかった。

[0224] （実施例１１）

実施例１０と同様にして、実施例１０と同様の構造を有するＨＢＴ素子を３つ作製した。作製した３つのＨＢＴ素子を並列接続した。本実施例では、被覆領域の平面形状は、長辺が１００μｍ、短辺が５０μｍの長方形であった。また、上記被覆領域の内部に、３つの開口を設けた。開口の底面形状は、すべて、一辺が１５μｍの正方形であった。それ以外の条件については、実施例１０の場合と同一の条件でＨＢＴ素子を作製した。

[0225] 図５０は、得られたＨＢＴ素子のレーザー顕微鏡像を示す。図中、薄い灰色の部分は、電極を示す。図５０より、３つのＨＢＴ素子が並列に接続されていることがわかる。上記電子素子の電気特性を測定したところ、トランジスタ動作が確認できた。

[0226] （実施例１２）

開口の底面積を変えてＨＢＴ素子を作製して、開口の底面積と、得られたＨＢＴ素子の電気特性との関係を調べた。実施例１０と同様にして、ＨＢＴ素子を作製した。ＨＢＴ素子の電気特性として、ベースシート抵抗値R_b［Ω／□］および電流増幅率βを測定した。電流増幅率βは、コレクタ電流の値をベース電流の値で除して求めた。本実施例では、開口の底面形状が、一辺が２０μｍの正方形、短辺が２０μｍで長辺が４０μｍの長方形、一辺が３０μｍの正方形、短辺が３０μｍで長辺が４０μｍの長方形、または、短辺が２０μｍで長辺が８０μｍの長方形の場合のそれぞれについて、ＨＢＴ素子を作製した。

[0227] 開口の底面形状が正方形である場合には、開口の底面形状の直交する２つの辺の一方がＳｉ基板２１０２の＜０１０＞方向と平行となり、他方がＳｉ基板２１０２の＜００１＞方向と平行となるように、開口を形成した。開口の底面形状が長方形である場合には、開口の底面形状の長辺がＳｉ基板２１０２の＜０１０＞方向と平行となり、短辺がＳｉ基板２１０２の＜００１＞方向と平行となるように、開口を形成した。被覆領域の平面形状は、主に、１辺が３００μｍの正方形である場合について実験した。

[0228] 図５１は、上記ＨＢＴ素子のベースシート抵抗値R_bに対する電流増幅率βの比と、開口の底面積［μm^2］との関係を示す。図５１において、縦軸は電流増幅率βをベースシート抵抗値R_bで除した値を示し、横軸は開口の底面積を示す。なお、図５１には電流増幅率βの値を示していないが、電流増幅率は７０～１００程度の高い値が得られた。一方、Ｓｉ基板２１０２の全面に同様のＨＢＴ素子構造を形成して、ＨＢＴ素子を形成した場合の電流増幅率βは、１０以下であった。

[0229] これより、Ｓｉ基板２１０２の表面に局所的に上記ＨＢＴ素子構造を形成することで、電気特性に優れたデバイスを作製できることがわかる。特に、開口の底面形状の一辺の長さが８０μｍ以下、または、開口の底面積が１６００μm^2の以下の場合には、電気特性に優れたデバイスを作製できることがわかる。

[0230] 図５１より、開口の底面積が９００μｍ^{2}以下の場合には、開口の底面積が１６００μｍ^{2}の場合と比較して、ベースシート抵抗値R_bに対する電流増幅率βの比のばらつきが小さいことがわかる。これより、開口の底面形状の一辺の長さが４０μｍ以下、または、開口の底面積が９００μｍ^{2}の以下の場合には、上記デバイスを歩留まりよく製造できることがわかる。

[0231] 上記のとおり、Ｓｉの基板の主面に結晶成長を阻害する阻害層を形成する段階と、阻害層をパターニングして、基板の主面に対し略垂直な方向に貫通して基板を露出させてなる開口を阻害層に形成する段階と、開口の内部の基板に接してＧｅ層を結晶成長させる段階と、Ｇｅ層上に機能層を結晶成長させる段階とを含む半導体基板の製造方法により半導体基板を作製できた。Ｓｉの基板の上に、開口を有し、結晶成長を阻害する阻害層を形成する段階と、開口内に、Ｇｅ層を形成する段階と、Ｇｅ層を形成した後に、機能層を形成する段階とを含む半導体基板の製造方法により、半導体基板を作製できた。

[0232] 上記のとおり、Ｓｉの基板の主面に結晶成長を阻害する阻害層を形成し、基板の主面に対し略垂直な方向に貫通して基板を露出させてなる開口を阻害層に形成し、開口の内部の基板に接してＧｅ層を結晶成長させ、Ｇｅ層上に機能層を結晶成長させて得られる半導体基板を作製できた。Ｓｉの基板と、基板の上に設けられ、開口を有し、結晶成長を阻害する阻害層と、開口内に形成されたＧｅ層と、Ｇｅ層が形成された後に形成された機能層とを含む半導体基板を作製できた。

[0233] 上記のとおり、Ｓｉの基板の主面に結晶成長を阻害する阻害層を形成し、基板の主面に対し略垂直な方向に貫通して基板を露出させてなる開口を阻害層に形成し、開口の内部の基板に接してＧｅ層を結晶成長させ、Ｇｅ層上に機能層を結晶成長させ、機能層に電子素子を形成して得られる電子デバイスを製造できた。Ｓｉの基板と、基板の上に設けられ、開口を有し、結晶成長を阻害する阻害層と、開口内に形成されたＧｅ層と、Ｇｅ層が形成された後に形成された機能層と、機能層に形成された電子素子とを含む電子デバイス

を作製できた。

[0234] （実施例１３）

図５２は、作製した半導体基板における結晶の断面における走査型電子顕微鏡写真を示す。図５３は、図５２の写真を見やすくする目的で示した模写図である。当該半導体基板は、以下の方法により作製された。（１００）面を主面とするＳｉ基板２２０２を用意し、Ｓｉ基板２２０２の上に、絶縁膜としてSiO_2膜２２０４を形成した。SiO_2膜２２０４に、Ｓｉ基板２２０２の主面に達する開口を形成し、当該開口の内部に露出しているＳｉ基板２２０２の主面に、モノゲルマンを原料として用いたＣＶＤ法により、Ｇｅ結晶２２０６を形成した。

[0235] さらに、トリメチルガリウムとアルシンを原料として用いたＭＯＣＶＤ法により、Ｇｅ結晶２２０６の上にシード化合物半導体となるＧａＡｓ結晶２２０８を成長させた。ＧａＡｓ結晶２２０８の成長では、まず５５０℃で低温成長を行い、その後６４０℃の温度で成長させた。６４０℃の温度での成長時におけるアルシン分圧は、０．０５ｋＰａであった。Ｇｅ結晶２２０６の上にＧａＡｓ結晶２２０８が成長していることが確認できる。ＧａＡｓ結晶２２０８のシード面として、（１１０）面が現れていることが確認できる。

[0236] 続けて、さらにラテラル成長化合物半導体層であるＧａＡｓ結晶２２０８を成長させた。ラテラル成長時の成長温度は６４０℃であり、アルシン分圧は０．４３ｋＰａであった。

[0237] 図５４は、得られた結晶の断面における走査型電子顕微鏡写真を示す。図５５は、図５４の写真を見やすくする目的で示した模写図である。ＧａＡｓ結晶２２０８がSiO_2膜２２０４の上にラテラル成長面を有し、ＧａＡｓ結晶２２０８がSiO_2膜２２０４の上にもラテラル成長していることが確認できる。ラテラル成長した部分は、無欠陥領域となっているので、当該ラテラル成長した部分に電子デバイスを形成することで、性能の優れた電子デバイスを形成することができる。

[0238] （実施例１４）

実施例１３と同様に、Ｓｉ基板２２０２の上にＧｅ結晶２２０６を選択成長させ、半導体基板を形成した。当該半導体基板に、８００℃と６８０℃の温度を１０回繰り返すサイクルアニールを施した。得られた半導体基板（以下試料Ａと呼ぶ）のＧｅ結晶２２０６とＳｉ基板２２０２の界面でのＳｉおよびＧｅの元素濃度を、エネルギー分散型蛍光Ｘ線分析装置（以下ＥＤＸと記すことがある）により評価した。また同様に、Ｓｉ基板２２０２上にＧｅ結晶を選択成長した半導体基板について、サイクルアニールを施さない半導体基板（以下試料Ｂと呼ぶ）を形成し、同様にＥＤＸにより評価した。

[0239] 図５６は、試料ＡについてのＳｉ元素のプロファイルを示す。図５７は、試料ＡについてのＧｅ元素のプロファイルを示す。図５８は、試料ＢについてのＳｉ元素のプロファイルを示す。図５９は、試料ＢについてのＧｅ元素のプロファイルを示す。図６０は、図５６から図５９を見やすくする目的で示した模式図である。試料Ｂでは、Ｓｉ基板２２０２とＧｅ結晶との間の界面が急峻であるのに対し、試料Ａでは、界面がぼやけた状態であり、ＧｅがＳｉ基板２２０２の中へ拡散している様子が確認できる。

[0240] 試料Ａおよび試料Ｂについて、Ｓｉ基板２２０２とＧｅ結晶２２０６との界面における測定領域に限定して、ＳｉおよびＧｅの元素強度積分値を測定した。図６１は試料Ａについての測定領域を示すＳＥＭ写真である。前記元素強度積分値の測定領域は、図６１（ＳＥＭ写真）において、Ｓｉ基板２２０２上にＧｅ結晶２２０６が存在する位置で、そのＳｉ基板２２０２とＧｅ結晶２２０６との界面（前記ＳＥＭ写真において観察される界面）からＳｉ基板２２０２側へ１０～１５ｎｍ入った位置とした。

[0241] 図６２は、図６１に示す測定領域についてのＳｉおよびＧｅの元素強度積分値を示す。図６３は試料Ｂについての測定領域を示すＳＥＭ写真である。図６４は、図６３に示す測定領域についてのＳｉおよびＧｅの元素強度積分値を示す。試料Ｂでは、Ｇｅの信号がほとんど検出されず、Ｓｉの信号が支配的であるのに対し、試料Ａでは、Ｇｅの信号が比較的大きく検出されてい

る。これより、試料ＡではＧｅがＳｉ基板２２０２中に拡散していることがわかる。

[0242] Ｓｉ基板２２０２とSiO_2膜２２０４が接している領域で、Ｓｉの元素の深さ方向プロファイルをプロットしたとき、Ｓｉ基板２２０２におけるＳｉの強度とSiO_2膜２２０４におけるＳｉの強度との合計が５０％になる位置をＳｉ基板２２０２とＧｅ結晶の界面と定め、その界面からＳｉ基板２２０２側へ５ｎｍから１０ｎｍまでの範囲のＧｅおよびＳｉのそれぞれの元素強度比を測定した。各元素強度比から、それぞれの元素についての深さ方向の積分値を算出し、それぞれの積分値の比（Ｇｅ／Ｓｉ）を算出した。

[0243] その結果、試料Ａでは３．３３、試料Ｂでは１．１０となった。これにより、Ｓｉ基板２２０２とＧｅ結晶２２０６との界面から、Ｓｉ基板２２０２側へ５ｎｍから１０ｎｍまでの範囲におけるＧｅの平均濃度は、試料Ａで７７％、試料Ｂで５２％と算出された。試料Ａおよび試料Ｂについて、透過型電子顕微鏡による転位の観察を行ったところ、試料ＡではＧｅ結晶２２０６表面に到達している転位は存在していなかった。一方、試料Ｂでは1×10^{9}ｃｍ$^{-2}$程度の密度で結晶表面に到達する転位の存在が確認された。以上の結果から、サイクルアニールの実施は、Ｇｅ結晶２２０６の転位を低減させる効果があることを確認した。

[0244] （実施例１５）

実施例１４の試料Ａと同様にサイクルアニールを施したＧｅ結晶２２０６上に、ＭＯＣＶＤ法によりＧａＡｓ結晶２２０８を成長させ、当該ＧａＡｓ結晶２２０８上にさらにＧａＡｓ層およびＩｎＧａＰ層からなる多層構造膜を積層して試料Ｃを作成した。また、Ｇｅ結晶２２０６にポストアニールを施していないことを除いては、上記と同様にＧａＡｓ結晶２２０８および多層構造膜を形成して試料Ｄを作成した。

[0245] 試料Ｃおよび試料Ｄについて、実施例１４と同様のＥＤＸ測定を実施し、Ｓｉ基板２２０２とＧｅ結晶との界面からＳｉ基板２２０２側へ５ｎｍから１０ｎｍまでの範囲のＧｅおよびＳｉのそれぞれの元素強度比を測定した。

さらに深さ方向の積分値を算出し、ＧｅおよびＳｉのそれぞれの積分値の比（Ｇｅ／Ｓｉ）を算出した。試料Ｃは２．２８であり、試料Ｄは０．６０であった。これよりＳｉ基板２２０２とＧｅ結晶の界面からＳｉ基板２２０２側へ５ｎｍから１０ｎｍまでの範囲におけるＧｅの平均濃度は、試料Ｃは７０％と算出され、試料Ｄは３８％と算出された。

[0246] 試料Ｃおよび試料Ｄについて、透過型電子顕微鏡による転位の観察を行ったところ、試料ＣではＧａＡｓ層およびＩｎＧａＰ層からなる多層構造膜にまで到達する転位は存在しなかったのに対し、試料ＤではＧａＡｓ層およびＩｎＧａＰ層からなる多層構造膜まで到達する転位が観測された。以上より、Ｓｉ基板２２０２とＧｅ結晶との界面からＳｉ基板２２０２側へ５ｎｍから１０ｎｍまでの範囲におけるＧｅの平均濃度が６０％以上の場合に、より高品質な化合物半導体層がＧｅ結晶上に形成できることがわかる。さらに好ましいＧｅの平均濃度は、７０％以上である。

[0247] （実施例１６）

実施例１６では、阻害層の幅を変えることでデバイス用薄膜の成長速度が変化することを、本発明者らの実験データに基づき説明する。デバイス用薄膜とは、デバイス用薄膜が加工されて半導体デバイスの一部になる薄膜をいう。たとえばシリコン結晶上に複数の化合物半導体薄膜を順次積層し、積層された化合物半導体薄膜を加工して半導体デバイスを形成する場合、積層された化合物半導体薄膜はデバイス用薄膜に含まれる。また、積層された化合物半導体薄膜とシリコン結晶との間に形成されるバッファ層もデバイス用薄膜に含まれ、バッファ層あるいは化合物半導体薄膜の結晶成長の核となるシード層もデバイス用薄膜に含まれる。

[0248] デバイス用薄膜の成長速度は、平坦性、結晶性等デバイス用薄膜の特性に影響する。そしてデバイス用薄膜の特性は、当該デバイス用薄膜に形成される半導体デバイスの性能に強く影響する。よって、半導体デバイスの要求仕様から導かれるデバイス用薄膜の要求特性を満足するように、デバイス用薄膜の成長速度を適切に制御する必要がある。以下に説明する実験データは、

阻害層の幅等によってデバイス用薄膜の成長速度が変化することを示す。当該実験データを用いることにより、デバイス用薄膜の成長速度がデバイス用薄膜の要求仕様から導かれる適正な成長速度になるよう、阻害層の形状を設計することが可能になる。

[0249] 図６５は、実施例１６で作成した半導体デバイス用基板３０００の平面パターンを示す。半導体デバイス用基板３０００は、ベース基板上に、阻害層３００２、デバイス用薄膜３００４および犠牲成長部３００６を有する。阻害層３００２がデバイス用薄膜３００４を囲み、犠牲成長部３００６が阻害層３００２を囲むように、阻害層３００２、デバイス用薄膜３００４および犠牲成長部３００６を形成した。

[0250] 阻害層３００２は、ほぼ正方形の外形を有するように形成し、正方形の中心部分にほぼ正方形の開口部を形成した。開口部の一辺ａは３０μｍまたは５０μｍとした。阻害層３００２の外周辺から内周辺までの距離である阻害層３００２の幅ｂは５μｍから２０μｍの範囲で変化させた。阻害層３００２として、二酸化シリコン（SiO_2）を用いた。二酸化シリコンは、選択ＭＯＣＶＤとなるエピタキシャル成長条件においては、その表面に結晶がエピタキシャル成長しない。阻害層３００２は、ベース基板上にドライ熱酸化法を用いて二酸化シリコン膜を形成し、当該二酸化シリコン膜をフォトリソグラフィ法によりパターニングすることにより形成した。

[0251] 阻害層３００２以外のベース基板上に、ＭＯＣＶＤ法により化合物半導体結晶を選択エピタキシャル成長させた。阻害層３００２で囲まれた開口部にエピタキシャル成長させた化合物半導体結晶がデバイス用薄膜３００４であり、阻害層３００２の外側の阻害層３００２を囲む化合物半導体結晶が犠牲成長部３００６である。化合物半導体結晶として、ＧａＡｓ結晶、ＩｎＧａＰ結晶またはＰ型ドープしたＧａＡｓ結晶（ｐ－ＧａＡｓ結晶）を成長させた。Ｇａ原料としてトリメチルガリウム（$Ga(CH_3)_3$）を用い、Ａｓ原料としてアルシン（AsH_3）を用いた。Ｉｎ原料としてトリメチルインジウム（$In(CH_3)_3$）を用い、Ｐ原料としてホスフィン（PH_3）を用いた。

Ｐ型不純物である炭素（Ｃ）のドープは、ドーパントとして臭化トリクロロメタン（ＣＢｒＣｌ$_3$）の添加量を調整することで制御した。エピタキシャル成長時の反応温度は、６１０℃とした。

[0252] 図６６は、デバイス用薄膜３００４および犠牲成長部３００６としてＧａＡｓをエピタキシャル成長させた場合における、デバイス用薄膜３００４の成長速度と阻害層３００２の幅との関係を示したグラフである。図６７はデバイス用薄膜３００４および犠牲成長部３００６としてＧａＡｓをエピタキシャル成長させた場合における、デバイス用薄膜３００４の成長速度と面積比との関係を示したグラフである。図６８は、デバイス用薄膜３００４および犠牲成長部３００６としてＩｎＧａＰをエピタキシャル成長させた場合における、デバイス用薄膜３００４の成長速度と阻害層３００２の幅との関係を示したグラフである。

[0253] 図６９はデバイス用薄膜３００４および犠牲成長部３００６としてＩｎＧａＰをエピタキシャル成長させた場合における、デバイス用薄膜３００４の成長速度と面積比との関係を示したグラフである。図７０は、デバイス用薄膜３００４および犠牲成長部３００６としてｐ－ＧａＡｓをエピタキシャル成長させた場合における、デバイス用薄膜３００４の成長速度と阻害層３００２の幅との関係を示したグラフである。図７１はデバイス用薄膜３００４および犠牲成長部３００６としてｐ－ＧａＡｓをエピタキシャル成長させた場合における、デバイス用薄膜３００４の成長速度と面積比との関係を示したグラフである。

[0254] 図６６から図７１の各図において、縦軸は化合物半導体結晶の成長速度比を示す。成長速度比は、阻害層３００２がないベタ平面における成長速度を１とした場合の、当該ベタ平面における成長速度と比較した成長速度の比である。面積比は、デバイス用薄膜３００４が形成される領域の面積と阻害層３００２の形成されている領域の面積とを加えた総面積に対するデバイス用薄膜３００４が形成される領域の面積の比である。

[0255] 各図において、黒四角または黒菱形で示したプロットは実際の測定点を示

す。実線は実験線を示す。実験線は１変数の２次関数であり、各多項式の係数を最小二乗法により求めた。比較のため、犠牲成長部３００６がない場合におけるデバイス用薄膜３００４の成長速度比を破線で示す。Ｌ１は阻害層３００２の開口部面積が５０μｍ□の場合であり、Ｌ２は阻害層３００２の開口部面積が３０μｍ□の場合である。犠牲成長部３００６がない場合とは、犠牲成長部３００６に相当する領域が阻害層３００２で覆われている場合のことである。

[0256] 図６６から図７１の各図に示す通り、阻害層３００２の幅が大きくなるほど成長速度は大きくなり、面積比が小さくなるほど成長速度は大きくなった。また、実験線と測定点とは良く一致した。よって、実験線の２次関数を用いて所望の成長速度を実現するよう阻害層３００２を設計できることがわかる。

[0257] なお、このような実験結果は、以下のような結晶の成長メカニズムを考えることで説明できる。すなわち成膜中の結晶原料であるＧａやＡｓの原子は、空間から飛来する分子または表面泳動する分子によって供給されると考えられる。本発明者らは、選択エピタキシャル成長するようなＭＯＣＶＤの反応環境においては、表面泳動している分子による結晶原料の供給が支配的であると考えている。この場合、阻害層３００２に飛来してきた原料分子（前駆体）は、表面から離脱するもの以外は阻害層３００２の表面を泳動し、デバイス用薄膜３００４または犠牲成長部３００６に供給される。ここで、阻害層３００２の幅が大きければ、表面泳動により供給される原料分子の絶対数が大きくなりデバイス用薄膜３００４の成長速度は大きくなる。また、総面積に対するデバイス用薄膜３００４の面積比が小さければ、阻害層３００２からデバイス用薄膜３００４に供給される原料分子が相対的に多くなる。このためデバイス用薄膜３００４の成長速度は大きくなる。

[0258] 上記のような成長メカニズムを基礎にすれば、犠牲成長部３００６の機能を以下のように把握できる。すなわち、仮に犠牲成長部３００６がないとすればデバイス用薄膜３００４に過剰な原料分子が供給され、デバイス用薄膜

３００４の表面乱れや結晶性の低下を招く。つまり犠牲成長部３００６が存在することで、阻害層３００２に飛来してきた原料分子を適度に犠牲成長部３００６に取り込ませ、デバイス用薄膜３００４への原料分子の供給が適正量に制御される。犠牲成長部３００６は、原料分子を犠牲成長させて消費することにより、デバイス用薄膜３００４への過剰な原料分子の供給を抑制する機能があるといえる。

[0259] 図７２および図７３は、ベース基板のオフ角を２°にした場合の半導体デバイス用基板３０００の表面を観察した電子顕微鏡写真である。図７２はエピタキシャル成長後の状態を観察したものであり、図７３はアニール後の状態を観察したものである。図７４および図７５は、ベース基板のオフ角を６°にした場合の半導体デバイス用基板３０００の表面を観察した電子顕微鏡写真である。図７４はエピタキシャル成長後の状態を観察したものであり、図７５はアニール後の状態を観察したものである。ここでオフ角とは、ベース基板であるシリコンの表面が結晶学的面方位である（１００）面から傾いた角度をいう。

[0260] 図７２および図７４に示す通り、オフ角が２°の場合の結晶表面は、オフ角が６°の場合の結晶表面に比べて表面の乱れが小さかった。よってオフ角６°よりオフ角２°が好ましい。図７３および図７５に示すようにアニール後の結晶表面は何れのオフ角においても良好であった。よってオフ角が２°から６°の範囲であれば良好な結晶が成長できることが分かった。

[0261] （実施例１７）

図７６は、本発明者らが製造したヘテロ接合バイポーラトランジスタ（ＨＢＴ）３１００の平面図を示す。ＨＢＴ３１００は２０個のＨＢＴ素子３１５０を並列に接続した構造を有する。なお、図７６においてベース基板の一部を示し、１つのＨＢＴ３１００の部分だけを示す。同一のベース基板にテストパターンその他の半導体素子も形成したが、ここでは説明を省略する。

[0262] ２０個のＨＢＴ素子３１５０のそれぞれのコレクタはコレクタ配線３１２４で並列に接続し、それぞれのエミッタはエミッタ配線３１２６で並列に接

続し、それぞれのベースはベース配線３１２８で並列に接続した。なお、２０個のベースは４つのグループに分け、各グループの５個のベースをそれぞれ並列に接続した。コレクタ配線３１２４はコレクタパッド３１３０に接続し、エミッタ配線３１２６はエミッタパッド３１３２に接続し、ベース配線３１２８はベースパッド３１３４に接続した。コレクタ配線３１２４、コレクタパッド３１３０、エミッタ配線３１２６およびエミッタパッド３１３２は同一の第１配線層に形成し、ベース配線３１２８およびベースパッド３１３４は第１配線層より上層の第２配線層に形成した。

[0263] 図７７は図７６において破線で囲んだ部分を示す顕微鏡写真である。図７８は図７７において破線で囲んだ３個のＨＢＴ素子３１５０の部分を拡大して示す平面図である。コレクタ配線３１２４はコレクタ電極３１１６に接続され、エミッタ配線３１２６はエミッタ引き出し配線３１２２を介してエミッタ電極３１１２に接続され、ベース配線３１２８はベース引き出し配線３１２０を介してベース電極３１１４に接続された。コレクタ配線３１２４、エミッタ引き出し配線３１２２およびベース引き出し配線３１２０の下層にはフィールド絶縁膜３１１８を形成しており、ＨＢＴ素子３１５０および犠牲成長部とコレクタ配線３１２４、エミッタ引き出し配線３１２２およびベース引き出し配線３１２０との間をフィールド絶縁膜３１１８で絶縁した。フィールド絶縁膜３１１８の下層には阻害層３１０２を形成した。阻害層３１０２で囲んだ領域にＨＢＴ素子３１５０を形成した。図７９は、ＨＢＴ素子３１５０の領域を観察したレーザー顕微鏡写真である。

[0264] 図８０から図８４は、ＨＢＴ３１００の製造工程の順に示した平面図である。ベース基板としてシリコンウェハを用意し、当該ベース基板の上に二酸化シリコン膜をドライ熱酸化法により形成した。その後、図８０に示すように、フォトリソグラフィ法を用いて二酸化シリコン膜をパターニングし、阻害層３１０２を形成した。

[0265] 図８１に示すように、選択エピタキシャル法を用いて、阻害層３１０２で囲んだ領域にデバイス用薄膜３１０８を形成し、阻害層３１０２を囲む周囲

の領域に犠牲成長部３１１０を形成した。デバイス用薄膜３１０８は、ベース基板であるシリコンウェハ上に、Ｇｅシード層、バッファ層、サブコレクタ層、コレクタ層、ベース層、エミッタ層、サブエミッタ層を順次積層して形成した。デバイス用薄膜３１０８の積層中、エミッタ層成長後、サブエミッタ層成長前に、いったんアルシン流量をゼロとし、水素ガス雰囲気下で、６７０℃、３分間の条件でアニールを行った。

[0266] 図８２に示すように、デバイス用薄膜３１０８にエミッタ電極３１１２を形成し、エミッタ電極３１１２をマスクにしてデバイス用薄膜３１０８にエミッタメサを形成した。エミッタメサを形成する段階ではベース層が露出する深さまでデバイス用薄膜３１０８をエッチングした。次にコレクタ電極３１１６が形成される領域にコレクタメサを形成した。コレクタメサを形成する段階ではサブコレクタ層が露出する深さまでデバイス用薄膜３１０８をエッチングした。さらにデバイス用薄膜３１０８の周辺部をエッチングしてアイソレーションメサを形成した。

[0267] 図８３に示すように、全面に二酸化シリコン膜を成膜してフィールド絶縁膜３１１８を形成し、フィールド絶縁膜３１１８にベース層に接続する接続孔を開口してベース電極３１１４を形成した。さらにフィールド絶縁膜３１１８にサブコレクタ層に接続する接続孔を開口してコレクタ電極３１１６を形成した。なお、エミッタ電極３１１２、ベース電極３１１４およびコレクタ電極３１１６はニッケル（Ｎｉ）および金（Ａｕ）の積層膜とした。エミッタ電極３１１２、ベース電極３１１４およびコレクタ電極３１１６はリフトオフ法により形成した。このようにしてＨＢＴ素子３１５０を形成した。

[0268] 図８４に示すように、エミッタ電極３１１２に接続するエミッタ引き出し配線３１２２、エミッタ引き出し配線３１２２に接続するエミッタ配線３１２６、ベース電極３１１４に接続するベース引き出し配線３１２０、コレクタ電極３１１６に接続するコレクタ配線３１２４を形成した。エミッタ引き出し配線３１２２、エミッタ配線３１２６、ベース引き出し配線３１２０およびコレクタ配線３１２４はアルミニウムとした。さらにエミッタ引き出し

配線３１２２、エミッタ配線３１２６、ベース引き出し配線３１２０およびコレクタ配線３１２４を覆うポリイミド膜を層間絶縁層として全面に形成した。層間絶縁層の上に、接続孔を介してベース引き出し配線３１２０に接続するベース配線３１２８を形成し、図７８に示すＨＢＴ３１００を形成した。

[0269] 図８５から図８９は、製造したＨＢＴ３１００の各種特性を測定したデータを示すグラフである。図８５はベースーエミッタ間の電圧を変化させたときのコレクタ電流およびベース電流を示す。四角のプロットがコレクタ電流であり、三角のプロットがベース電流である。図８６はベースーエミッタ間の電圧を変化させたときの電流増幅率を示す。ベースーエミッタ間電圧が約１．１５Ｖ付近から電流増幅率が増加し、ベースーエミッタ間電圧が１．４７Ｖに達したとき最大電流増幅率が１０６に達した。図８７はコレクタ電圧に対するコレクタ電流を示す。同図は、ベース電圧を変化させたときのデータを４系列示している。同図によって、広いコレクタ電圧の範囲でコレクタ電流が安定して流れることが示された。図８８は、電流増幅率が１となるカットオフ周波数を求めるための実験データを示す。ベースーエミッタ間電圧が１．５Ｖである場合においてカットオフ周波数１５ＧＨｚの値が得られた。図８９は、電流増幅率が１となる最大発振周波数を求めるための実験データを示す。ベースーエミッタ間電圧が１．４５Ｖである場合において最大発振周波数９ＧＨｚの値が得られた。

[0270] 図９０は、デバイス用薄膜３１０８を形成した段階における、２次イオン質量分析法による深さプロファイルを測定したデータである。Ａｓの原子濃度、Ｃの原子濃度、ＩｎＧａＡｓ中のＳｉの原子濃度、およびＧａＡｓ中のＳｉの原子濃度値が、それぞれの深さに対応して示されている。範囲３２０２は、サブエミッタ層およびエミッタ層であるＧａＡｓおよびＩｎＧａＰである。範囲３２０４は、ベース層であるｐ－ＧａＡｓである。範囲３２０６は、コレクタ層であるｎ－ＧａＡｓである。範囲３２０８は、サブコレクタ層であるｎ＋ＧａＡｓおよびエッチストップ層であるＩｎＧａＰである。範

囲３２１０は、バッファ層であるＧａＡｓおよびＡｌＧａＡｓである。範囲３２１２は、シード層であるＧｅである。

[0271] 図９１は、ＨＢＴ３１００と同時に形成したＨＢＴの断面を示すＴＥＭ写真である。シリコン３２２０の上にＧｅ層３２２２、バッファ層３２２４、サブコレクタ層３２２６、コレクタ層３２２８、ベース層３２３０、サブエミッタ層およびエミッタ層３２３２が順次形成されている。サブコレクタ層３２２６に接触してコレクタ電極３２３４が形成され、ベース層３２３０に接触してベース電極３２３６が形成され、エミッタ層３２３２に接してエミッタ電極３２３８が形成されていることが示された。

[0272] 図９２は、比較のために示すＴＥＭ写真であり、阻害層がないベタ基板にデバイス用薄膜を形成したＨＢＴを示す。３２４０で示す領域に多くの結晶欠陥が観察され、欠陥はＨＢＴの活性領域であるエミッターベースーコレクタ領域に達している。一方、図９１に示すＨＢＴでは、結晶欠陥は極めて少ない。図９１に示すＨＢＴでは最大電流増幅率として１２３が得られたが、図９２のＨＢＴでは最大電流増幅率は３０に過ぎなかった。

[0273] 以上の説明において電子デバイスの一例として、ＭＩＳＦＥＴ（ｍｅｔａｌ－ｉｎｓｕｌａｔｏｒ－ｓｅｍｉｃｏｎｄｕｃｔｏｒ ｆｉｅｌｄ－ｅｆｆｅｃｔ ｔｒａｎｓｉｓｔｏｒ）を例示した。しかし電子デバイスはＭＩＳＦＥＴに限られず、ＭＩＳＦＥＴの他、ＭＯＳＦＥＴ、ＨＥＭＴ（Ｈｉｇｈ Ｅｌｅｃｔｒｏｎ Ｍｏｂｉｌｉｔｙ Ｔｒａｎｓｉｓｔｏｒ）、シュードモルフィックＨＥＭＴ（ｐｓｅｕｄｏｍｏｒｐｈｉｃ－ＨＥＭＴ）が例示できる。さらに電子デバイス１００として、ＭＥＳＦＥＴ（Ｍｅｔａｌ－Ｓｅｍｉｃｏｎｄｕｃｔｏｒ Ｆｉｅｌｄ Ｅｆｆｅｃｔ Ｔｒａｎｓｉｓｔｏｒ）等が例示できる。

[0274] 以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが

、請求の範囲の記載から明らかである。

[0275] 請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず、」、「次に、」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。

符号の説明

[0276] １０　半導体基板、１１　主面、１２　ベース基板、１３　絶縁層、１４　Ｓｉ結晶層、１５　阻害層、１６　Si_xGe_{1-x}結晶層、１７　開口、１９　表面、２０　半導体基板、２８　化合物半導体、３０　半導体基板、３６　Si_xGe_{1-x}結晶層、３８　化合物半導体、４０　半導体基板、４１　面、４６　Si_xGe_{1-x}結晶層、４５　阻害層、４６　Si_xGe_{1-x}結晶層、４８　化合物半導体、５０　半導体基板、５６　Si_xGe_{1-x}結晶層、５７　Ｓｉ結晶層、６０　半導体基板、６４　絶縁層、６５　阻害層、６８　化合物半導体、１００　電子デバイス、１０１　ＳＯＩ基板、１０２　ＧＯＩ基板、１０４　阻害層、１０５　開口、１０８　シード化合物半導体結晶、１１０　第１化合物半導体結晶、１１２　第２化合物半導体結晶、１１４　ゲート絶縁膜、１１６　ゲート電極、１１８　ソース・ドレイン電極、１２０　欠陥捕捉部、１３０　欠陥捕捉部、１６２　Ｓｉ基板、１６４　絶縁層、１６６　Ｇｅ結晶層、１７２　主面、２００　電子デバイス、３００　電子デバイス、４００　電子デバイス、４０２　バッファ層、５００　電子デバイス、５０２　ソース・ドレイン電極、６００　電子デバイス、６０２　ソース・ドレイン電極、７００　電子デバイス、７０２　下部ゲート絶縁膜、７０４　下部ゲート電極、８０１　半導体基板、８０２　ＧＯＩ基板、８０３　領域、８０４　阻害層、８０６　開口、８０８　コレクタ電極、８１０　エミッタ電極、８１２　ベース電極、８２２　バッファ層、８２

４　化合物半導体機能層、８６２　Ｓｉ基板、８６４　絶縁層、８６６　Ｇｅ結晶層、８７２　主面、８８０　ＭＩＳＦＥＴ、８８２　ウエル、８８８　ゲート電極、２１０２　Ｓｉ基板、２１０４　阻害層、２１０６　Ｇｅ結晶層、２１０８　化合物半導体、２２０２　Ｓｉ基板、２２０４　SiO_2膜、２２０６　Ｇｅ結晶、２２０８　ＧａＡｓ結晶、３０００　半導体デバイス用基板、３００２　阻害層、３００４　デバイス用薄膜、３００６　犠牲成長部、３１００　ＨＢＴ、３１０２　阻害層、３１０８　デバイス用薄膜、３１１０　犠牲成長部、３１１２　エミッタ電極、３１１４　ベース電極、３１１６　コレクタ電極　３１１８　フィールド絶縁膜、３１２０　配線、３１２２　配線、３１２４　コレクタ配線、３１２６　エミッタ配線、３１２８　ベース配線、３１３０　コレクタパッド、３１３２　エミッタパッド、３１３４　ベースパッド、３１５０　ＨＢＴ素子、３２０２　範囲、３２０４　範囲、３２０６　範囲、３２０８　範囲、３２１０　範囲、３２１２　範囲、３２２０　シリコン、３２２４　バッファ層、３２２６　サブコレクタ層、３２３０　ベース層、３２３２　エミッタ層、３２３４　コレクタ電極、３２３６　ベース電極、３２３８　エミッタ電極

請求の範囲

[請求項1] ベース基板と、絶縁層と、Si_xGe_{1-x}結晶層（$0 \leqq x < 1$）とをこの順に有する半導体基板であって、

前記Si_xGe_{1-x}結晶層上に設けられる阻害層と、

前記Si_xGe_{1-x}結晶層に格子整合または擬格子整合している化合物半導体と

を備え、

前記阻害層は前記Si_xGe_{1-x}結晶層にまで貫通する開口を有し、かつ前記化合物半導体の結晶成長を阻害する半導体基板。

[請求項2] 前記開口が（$\sqrt{3}$）／３以上のアスペクト比を有する

請求項１に記載の半導体基板。

[請求項3] 前記化合物半導体が、

前記開口の内部における前記Si_xGe_{1-x}結晶層上で、前記阻害層の表面よりも凸に結晶成長したシード化合物半導体結晶と、

前記シード化合物半導体結晶を核として前記阻害層に沿ってラテラル成長したラテラル成長化合物半導体結晶と

を有する請求項１に記載の半導体基板。

[請求項4] 前記ラテラル成長化合物半導体結晶が、

前記シード化合物半導体結晶を核として前記阻害層に沿ってラテラル成長した第１化合物半導体結晶と、

前記第１化合物半導体結晶を核として前記阻害層に沿って前記第１化合物半導体結晶と異なる方向にラテラル成長した第２化合物半導体結晶と

を有する請求項３に記載の半導体基板。

[請求項5] 前記ラテラル成長化合物半導体結晶が３－５族化合物半導体または２－６族化合物半導体である

請求項３に記載の半導体基板。

[請求項6] 前記阻害層が複数の前記開口を有し、

前記複数の開口のそれぞれの内部で前記Si_xGe_{1-x}結晶層に格子整合または擬格子整合している前記化合物半導体は、隣接する前記開口の内部で前記Si_xGe_{1-x}結晶層に格子整合または擬格子整合している前記化合物半導体と接していない請求項３に記載の半導体基板。

[請求項7] 前記複数の開口が等間隔に設けられている請求項６に記載の半導体基板。

[請求項8] 前記Si_xGe_{1-x}結晶層の前記化合物半導体との界面が気体のＰ化合物により表面処理されている請求項１に記載の半導体基板。

[請求項9] 前記化合物半導体が３－５族化合物半導体または２－６族化合物半導体である請求項１に記載の半導体基板。

[請求項10] 前記化合物半導体が３－５族化合物半導体であり、３族元素としてＡｌ、Ｇａ、Ｉｎのうち少なくとも１つを含み、５族元素としてＮ、Ｐ、Ａｓ、Ｓｂのうち少なくとも１つを含む請求項９に記載の半導体基板。

[請求項11] 前記化合物半導体はＰを含む３－５族化合物半導体からなるバッファ層を含み、

前記バッファ層が前記Si_xGe_{1-x}結晶層に格子整合または擬格子整合している

請求項１に記載の半導体基板。

[請求項12] 前記ベース基板が単結晶のＳｉであり、

前記ベース基板における前記Si_xGe_{1-x}結晶層が設けられていない部分に設けられたＳｉ半導体デバイスを更に備える

請求項１に記載の半導体基板。

[請求項13] 前記Si_xGe_{1-x}結晶層（$0 \leqq x < 1$）の前記化合物半導体が形成される面は、（１００）面、（１１０）面、（１１１）面、（１００）面と結晶学的に等価な面、（１１０）面と結晶学的に等価な面、および（１１１）面と結晶学的に等価な面、から選択されたいずれか

一つの結晶面から傾いたオフ角を有する請求項１に記載の半導体基板。

[請求項14] 前記オフ角が２°以上６°以下である請求項１３に記載の半導体基板。

[請求項15] 前記開口の底面積が１mm^2以下である請求項１に記載の半導体基板。

[請求項16] 前記底面積が１６００μm^2以下である請求項１５に記載の半導体基板。

[請求項17] 前記底面積が９００μm^2以下である請求項１６に記載の半導体基板。

[請求項18] 前記開口の底面の最大幅が８０μｍ以下である請求項１に記載の半導体基板。

[請求項19] 前記開口の底面の最大幅が４０μｍ以下である請求項１８に記載の半導体基板。

[請求項20] 前記開口の底面の最大幅が５μｍ以下である請求項１９に記載の半導体基板。

[請求項21] 前記ベース基板が、（１００）面または（１００）面と結晶学的に等価な面から傾いたオフ角を有する主面を有し、

前記開口の底面が長方形であり、

前記長方形の一辺が、前記ベース基板の＜０１０＞方向、＜０－１０＞方向、＜００１＞方向、および＜００－１＞方向のいずれか一つと実質的に平行である

請求項１に記載の半導体基板。

[請求項22] 前記オフ角が２°以上６°以下である請求項２１に記載の半導体基板。

[請求項23] 前記ベース基板が、（１１１）面または（１１１）面と結晶学的に等価な面から傾いたオフ角を有する主面を有し、

前記開口の底面が六角形であり、

前記六角形の一辺が、前記ベース基板の＜１－１０＞方向、＜－１１０＞方向、＜０－１１＞方向、＜０１－１＞方向、＜１０－１＞方向、および＜－１０１＞方向のいずれか一つと実質的に平行である

請求項１に記載の半導体基板。

[請求項24] 前記オフ角が２°以上６°以下である請求項２３に記載の半導体基板。

[請求項25] 前記阻害層の外形の最大幅が４２５０μｍ以下である請求項１に記載の半導体基板。

[請求項26] 前記阻害層の外形の最大幅が４００μｍ以下である請求項２５に記載の半導体基板。

[請求項27] Ｓｉ結晶層を表面に有するＳＯＩ基板を準備し、

前記ＳＯＩ基板上にSi_yGe_{1-y}結晶層（０．７＜ｙ＜１、かつｘ＜ｙ）を生成し、

前記Si_yGe_{1-y}結晶層上にＳｉ薄膜を結晶成長させ、

前記Si_yGe_{1-y}結晶層の少なくとも一部と前記Ｓｉ薄膜と前記ＳＯＩ基板のＳｉ結晶層とを熱酸化させること

によって製造された請求項１に記載の半導体基板。

[請求項28] 前記ｙが０．０５以下である請求項２７に記載の半導体基板。

[請求項29] 前記Si_yGe_{1-y}結晶層（０．７＜ｙ＜１、かつｘ＜ｙ）は、（１１１）面または（１１１）面と結晶学的に等価な面を主面とする請求項２７に記載の半導体基板。

[請求項30] 前記ベース基板がＳｉ基板であり、

前記絶縁層がSiO_2層である請求項１に記載の半導体基板。

[請求項31] サブストレートと、

前記サブストレート上に設けられた絶縁層と、

前記絶縁層上に設けられたSi_xGe_{1-x}結晶層（０≦ｘ＜１）と、

前記Si_xGe_{1-x}結晶層上に設けられ化合物半導体の結晶成長を

阻害する阻害層であって、前記Si_xGe_{1-x}結晶層にまで貫通する開口を有する阻害層と、

前記開口の内部で前記Si_xGe_{1-x}結晶層に格子整合または擬格子整合する化合物半導体と、

前記化合物半導体を用いて形成された半導体デバイスと

を備える電子デバイス。

[請求項32] 前記化合物半導体が、

前記開口の内部における前記Si_xGe_{1-x}結晶層上で、前記阻害層の表面よりも凸に結晶成長したシード化合物半導体結晶と、

前記シード化合物半導体結晶を核として前記阻害層に沿ってラテラル成長したラテラル成長化合物半導体結晶と

を有する請求項３１に記載の電子デバイス。

[請求項33] ベース基板と、絶縁層と、Si_xGe_{1-x}結晶層（$0 \leqq x < 1$）とをこの順に有するＧＯＩ基板を準備する段階と、

前記ＧＯＩ基板上に、化合物半導体の結晶成長を阻害する阻害層を設ける段階と、

前記Si_xGe_{1-x}結晶層にまで貫通する開口を前記阻害層に形成する段階と、

前記開口の内部で前記Si_xGe_{1-x}結晶層に格子整合または擬格子整合する前記化合物半導体を結晶成長させる段階と

を備える半導体基板の製造方法。

[請求項34] 前記開口を形成する段階は、複数の前記開口を等間隔に形成する段階を含む請求項３３に記載の製造方法。

[請求項35] 前記ＧＯＩ基板を準備する段階が、

ＳＯＩ基板を用意する段階と、

前記ＳＯＩ基板上にSi_yGe_{1-y}結晶層（$0.7 < y < 1$、かつ$x < y$）を形成する段階と、

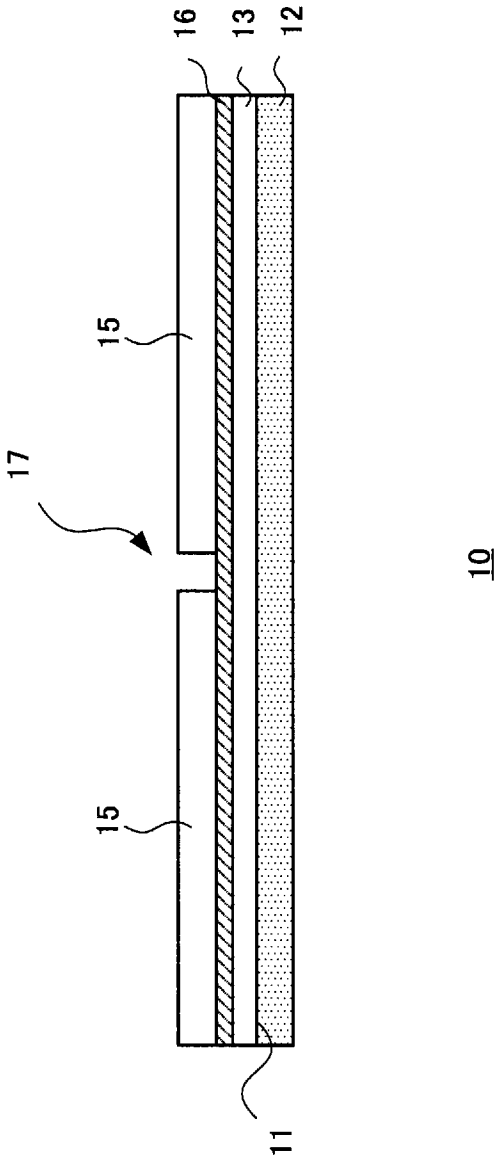
前記Si_yGe_{1-y}結晶層上にＳｉ薄膜を結晶成長させる段階と、

前記Si_yGe_{1-y}結晶層の少なくとも一部の領域と前記Ｓｉ薄膜とを熱酸化させる段階と

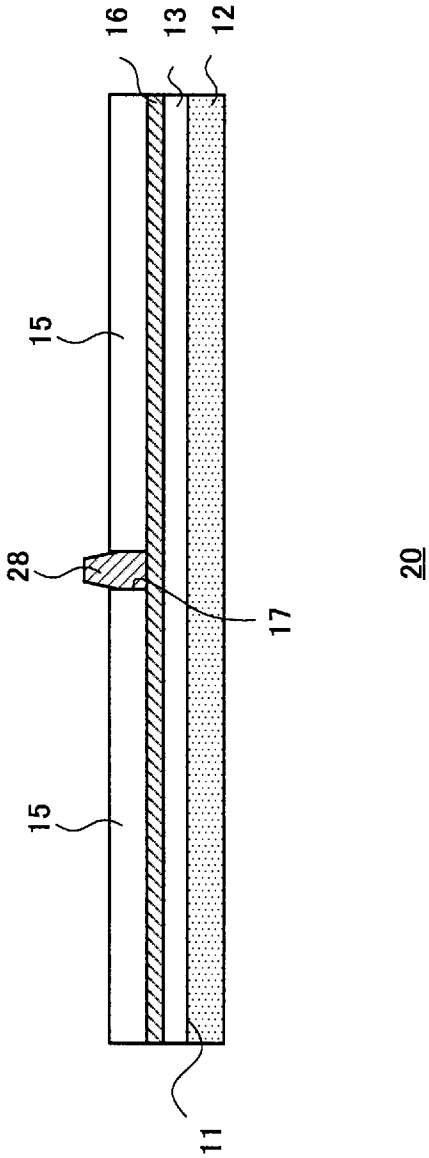
を有する請求項３３に記載の製造方法。

[請求項36] 前記熱酸化させる段階後の前記Si_xGe_{1-x}結晶層（０≦ｘ＜１）におけるＧｅの組成比が、前記熱酸化させる段階前の前記Si_yGe_{1-y}結晶層（０．７＜ｙ＜１、かつｘ＜ｙ）におけるＧｅの組成比よりも高められている請求項３５に記載の製造方法。

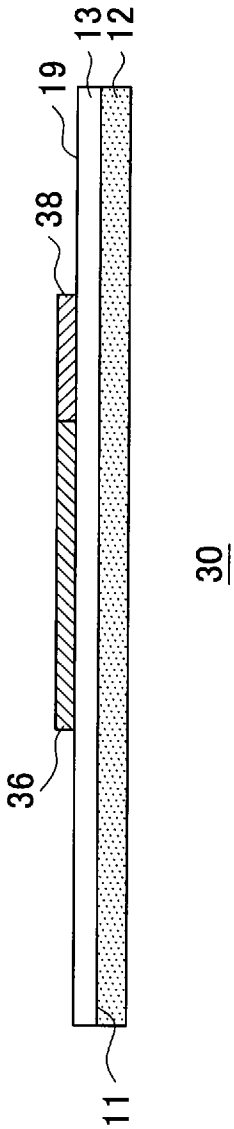
[図1]



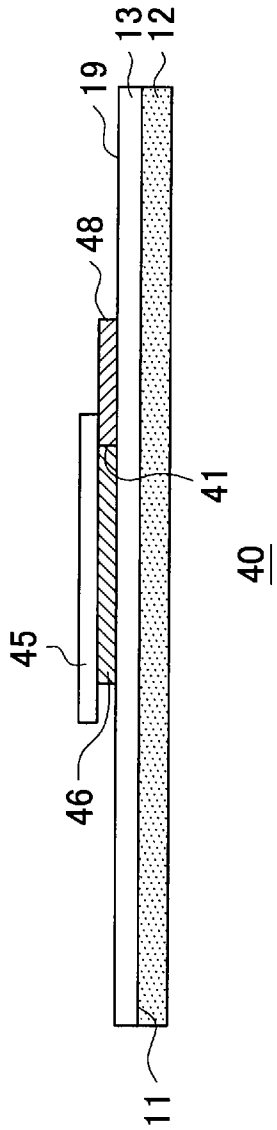
[図2]



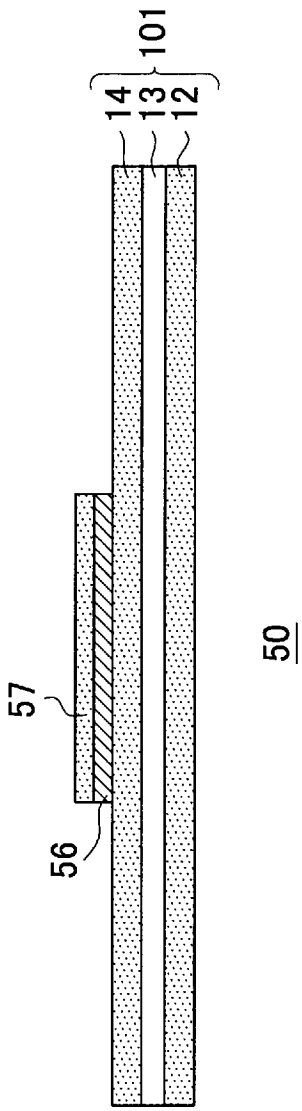
[図3]



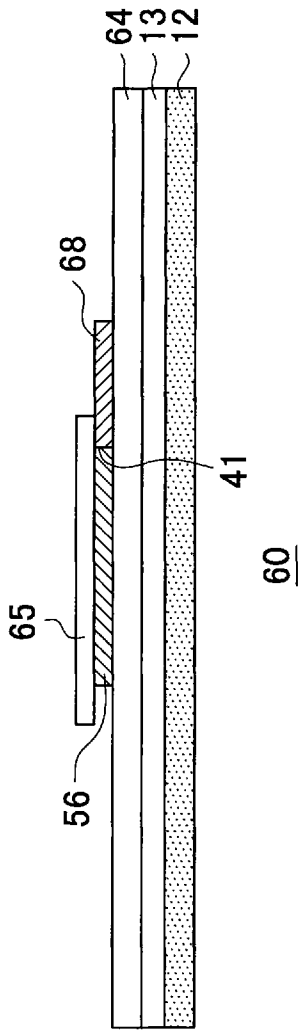
[図4]



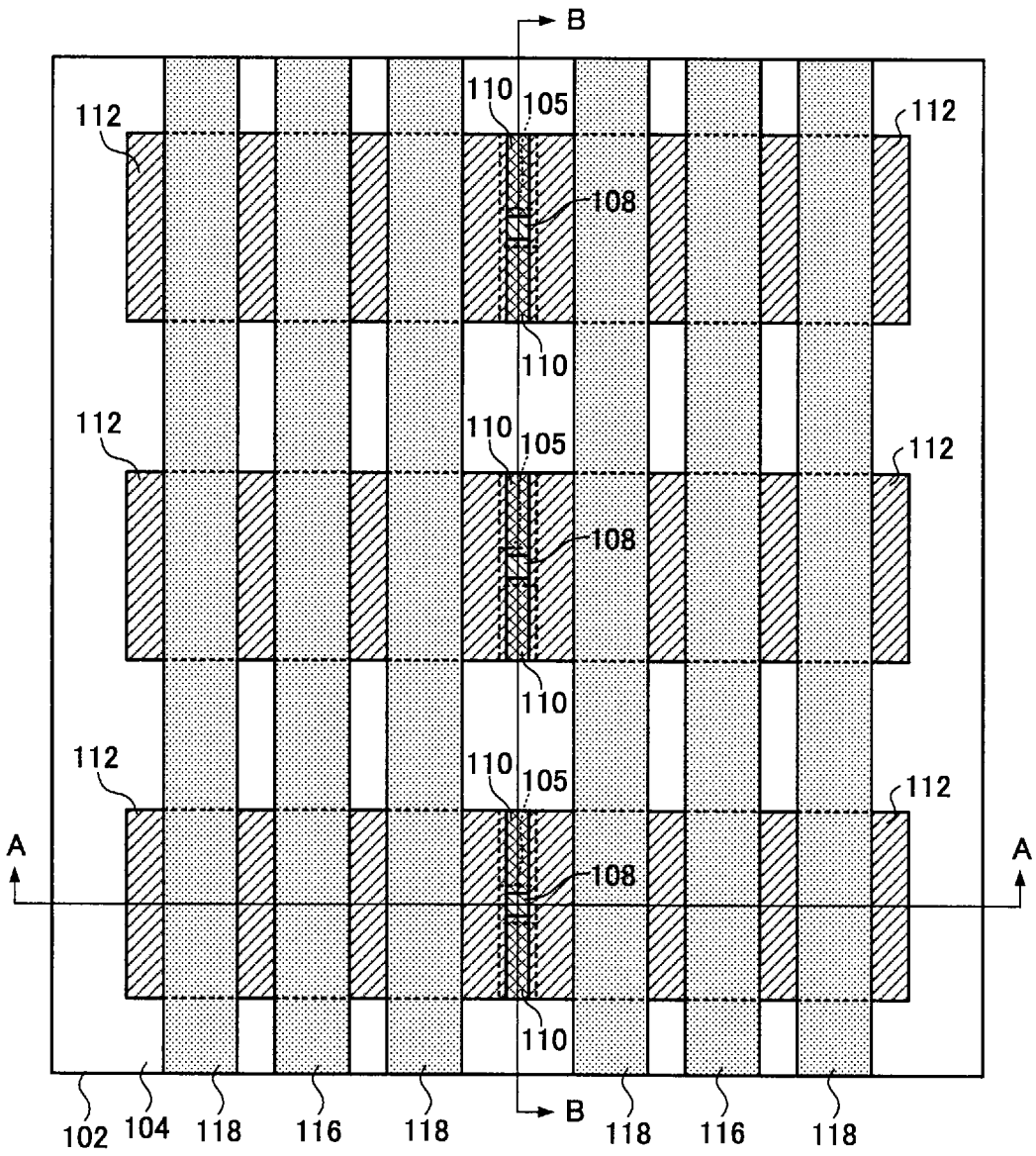
[図5]



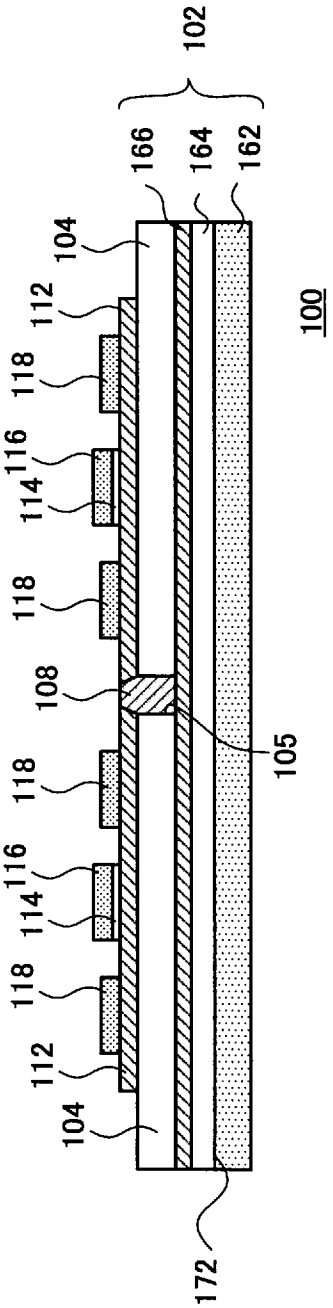
[図6]



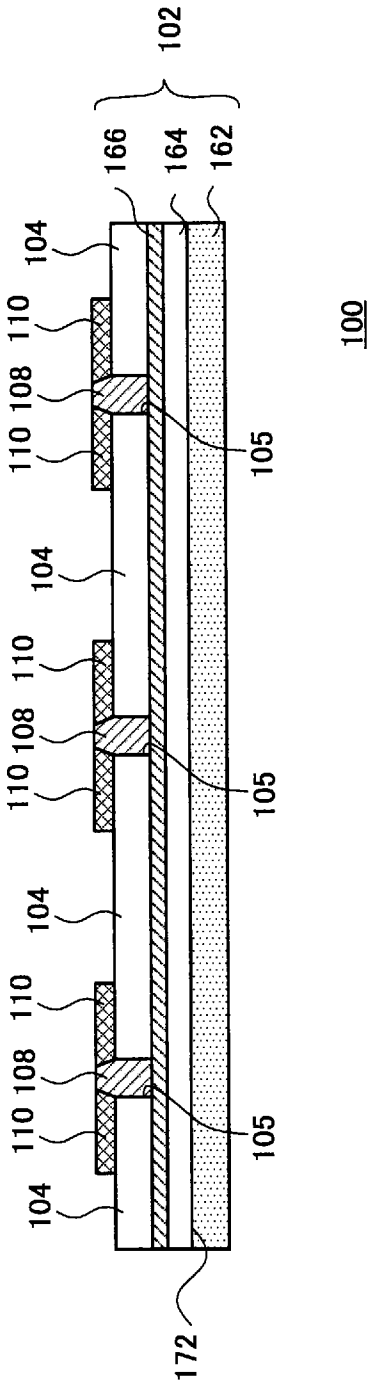
[図7]


B
110
105
112
108
110
112
110
105
112
108
110
112
110
105
112
108
110
A
A
B
102
104
118
116
118
118
116
118
100

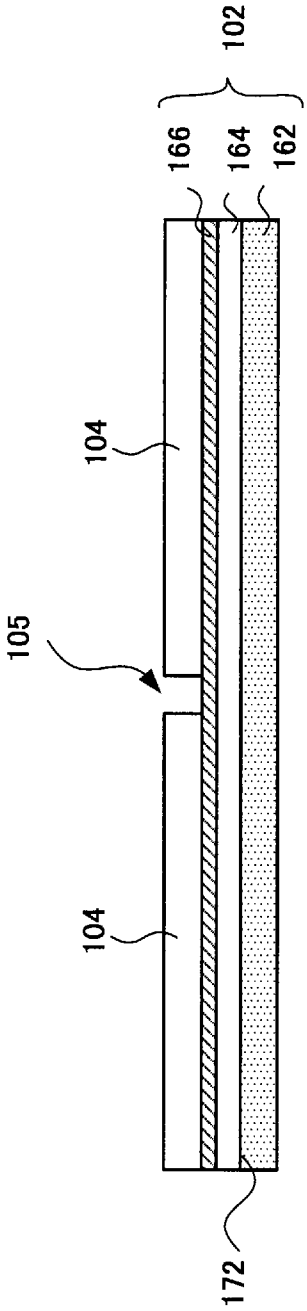
[図8]


102
166
164
162
104
112
118
116
114
118
108
105
118
116
114
118
112
104
172
100

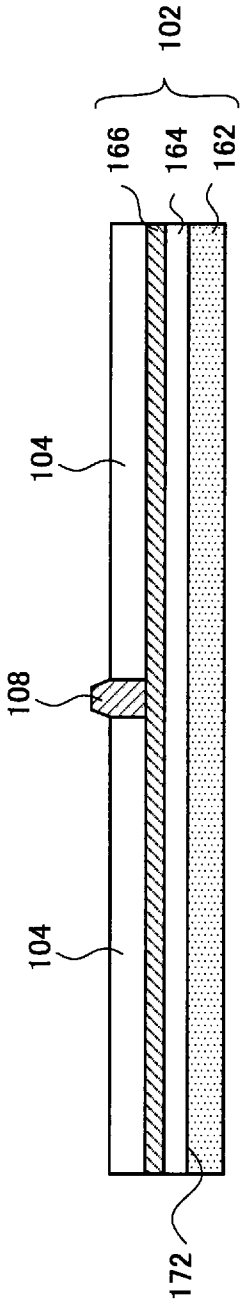
[図9]


102
166
164
162
104
110
108
110
105
104
110
108
110
105
104
110
108
110
105
104
172
100

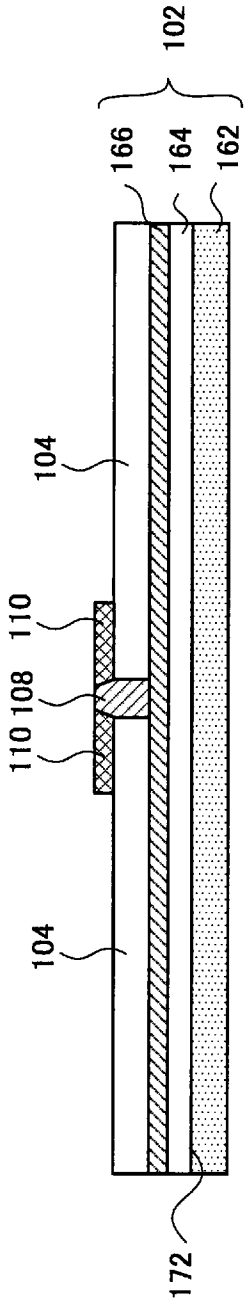
[図10]



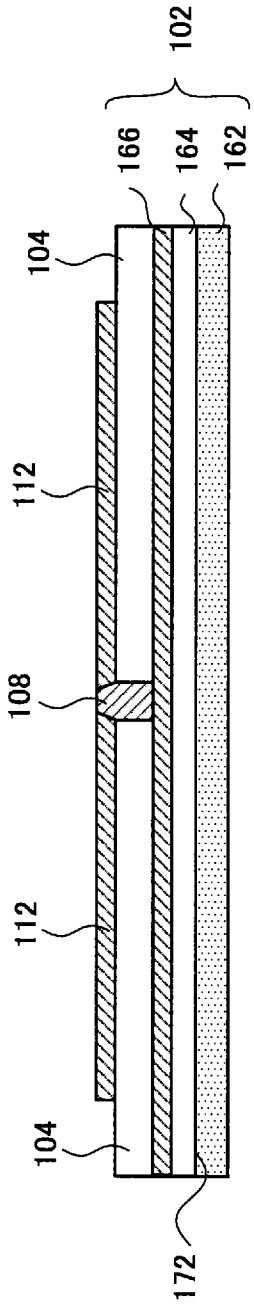
[図11]



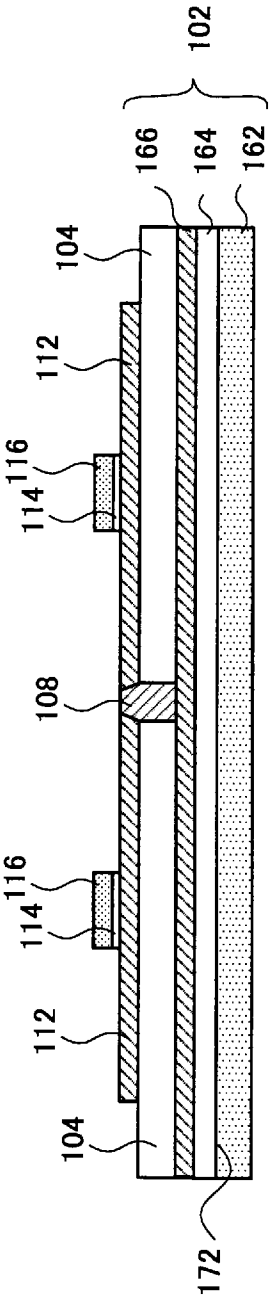
[図12]



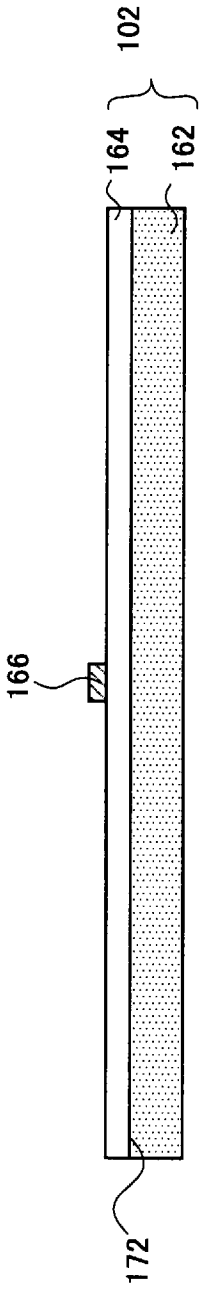
[図13]



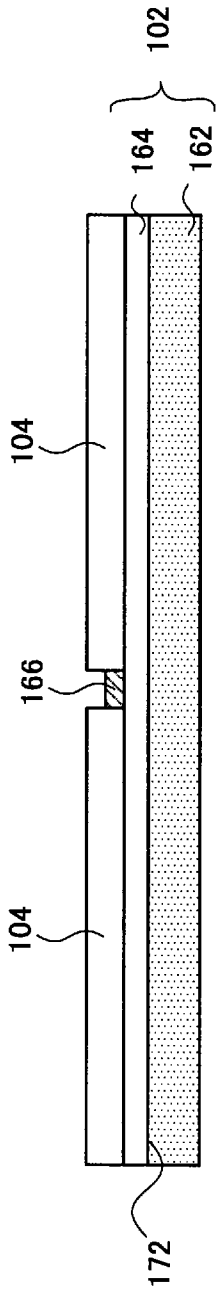
[図14]



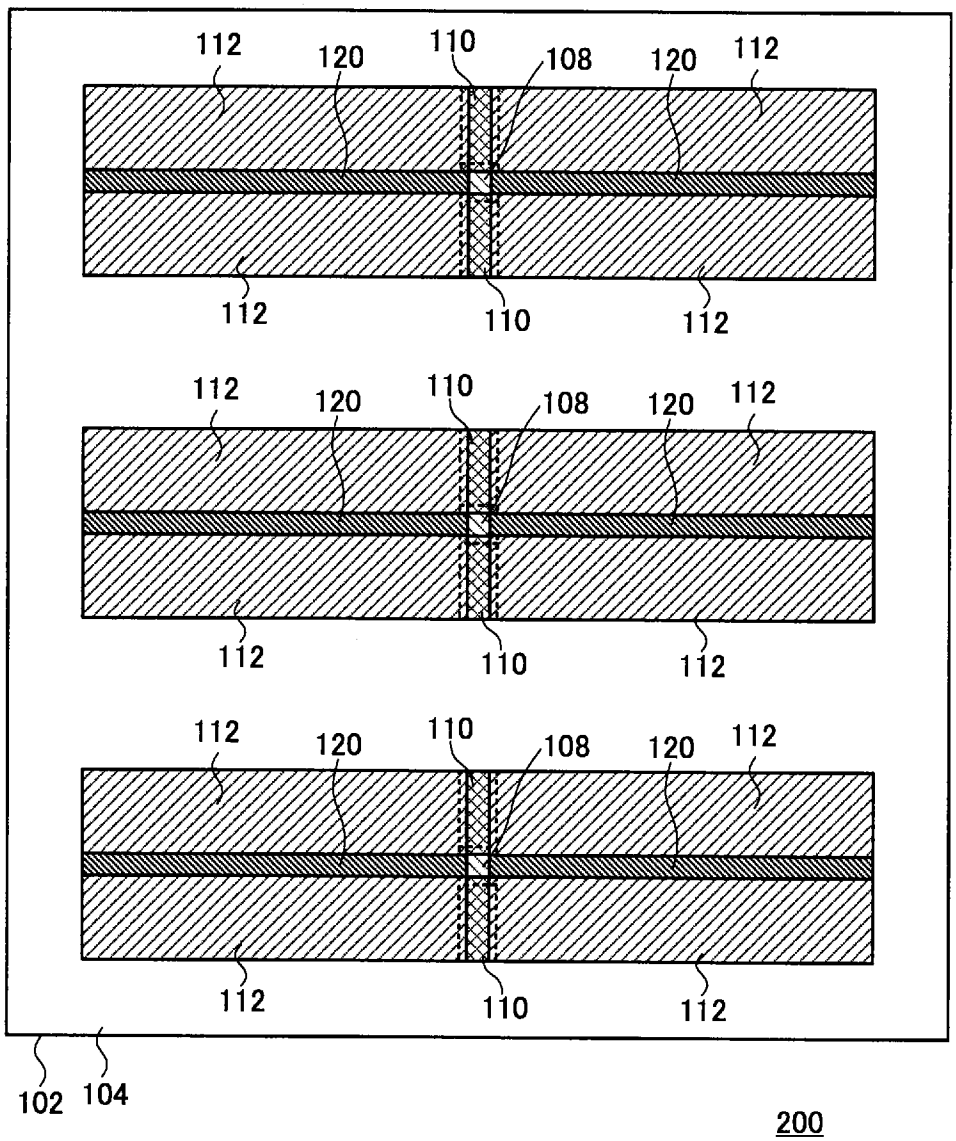
[図15]



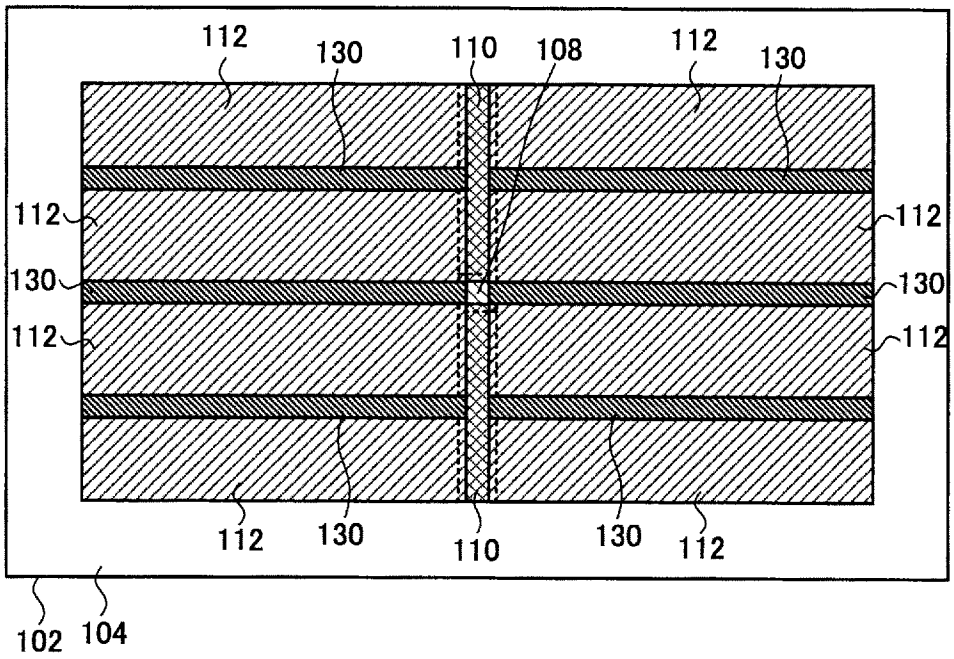
[図16]



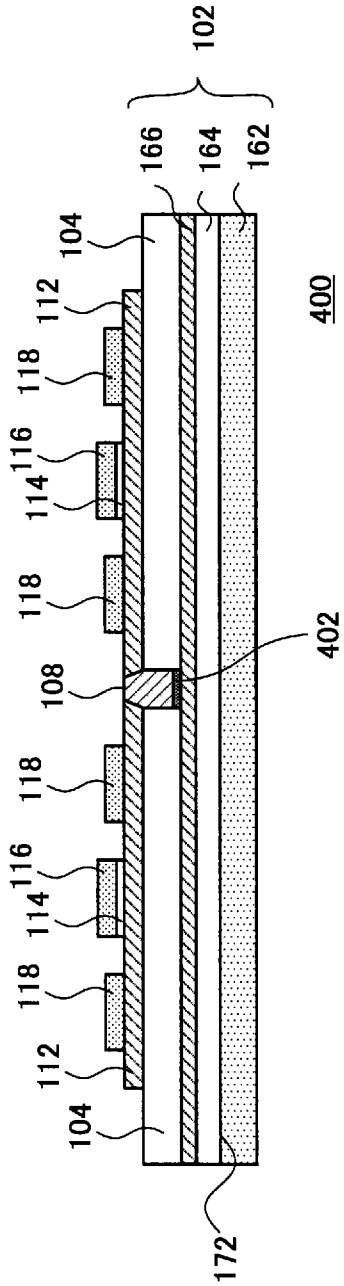
[図17]


112
120
110
108
120
112
112
110
112
112
120
110
108
120
112
112
110
112
112
120
110
108
120
112
112
110
112
102
104
200

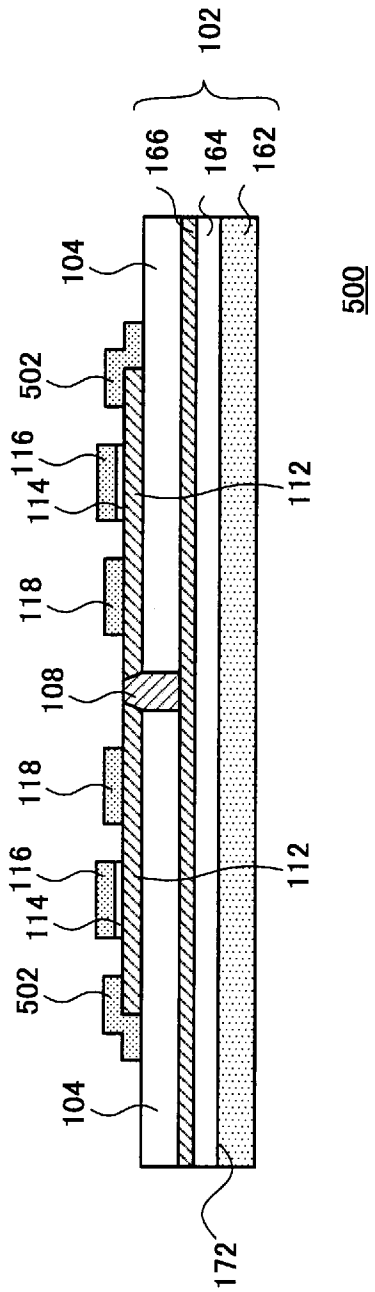
[図18]


112
130
110
108
112
130
112
130
112
112
130
112
112
130
110
130
112
102
104
300

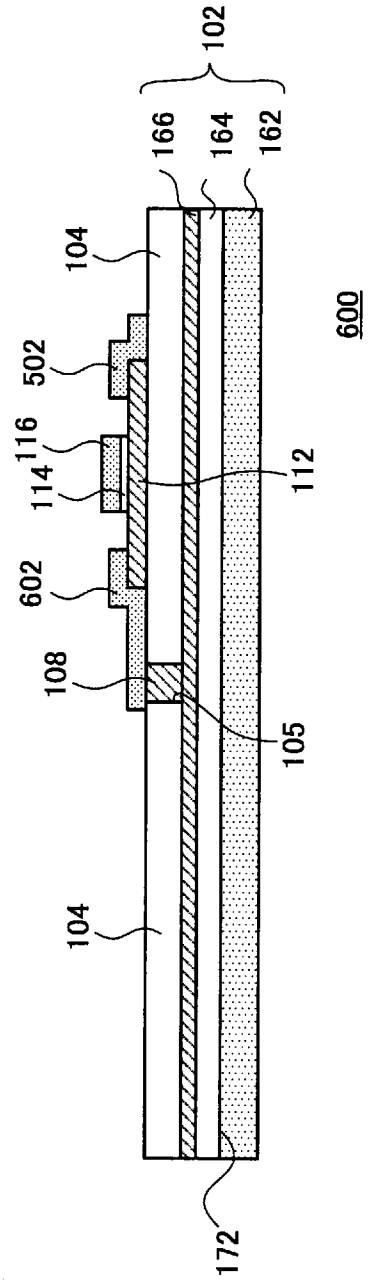
[図19]


102
166
164
162
104
112
118
116
114
118
108
402
400
118
116
114
118
112
104
172

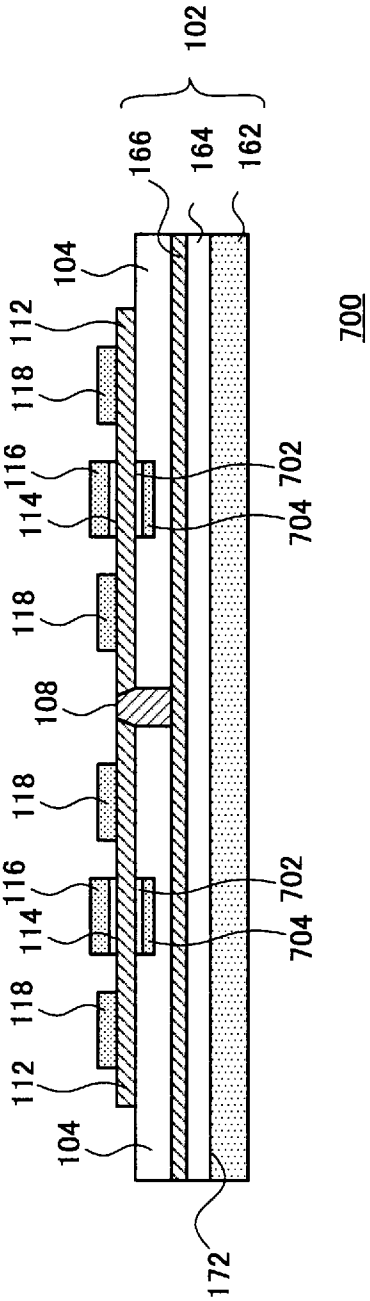
[図20]


102
166
164
162
104
500
502
116
114
112
118
108
118
116
112
114
502
104
172

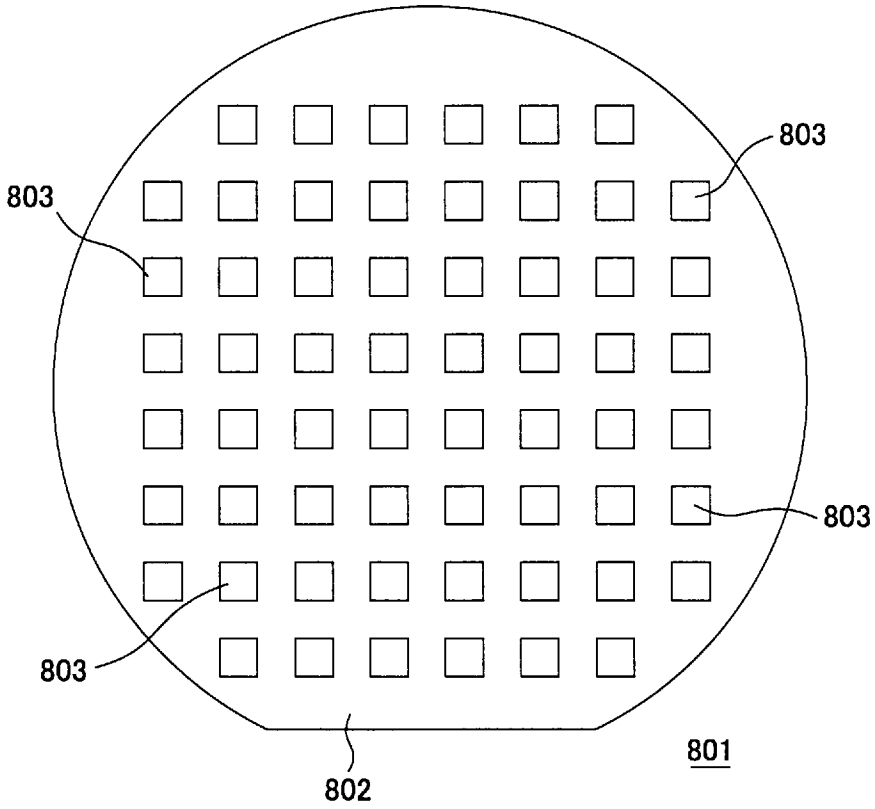
[図21]



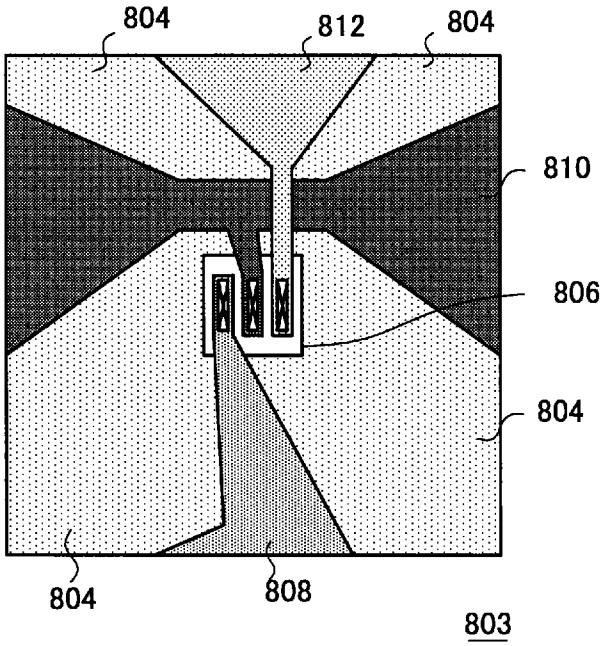
[図22]


102
166
164
162
104
112
118
116
114
702
704
118
108
118
116
114
702
704
118
112
104
172
700

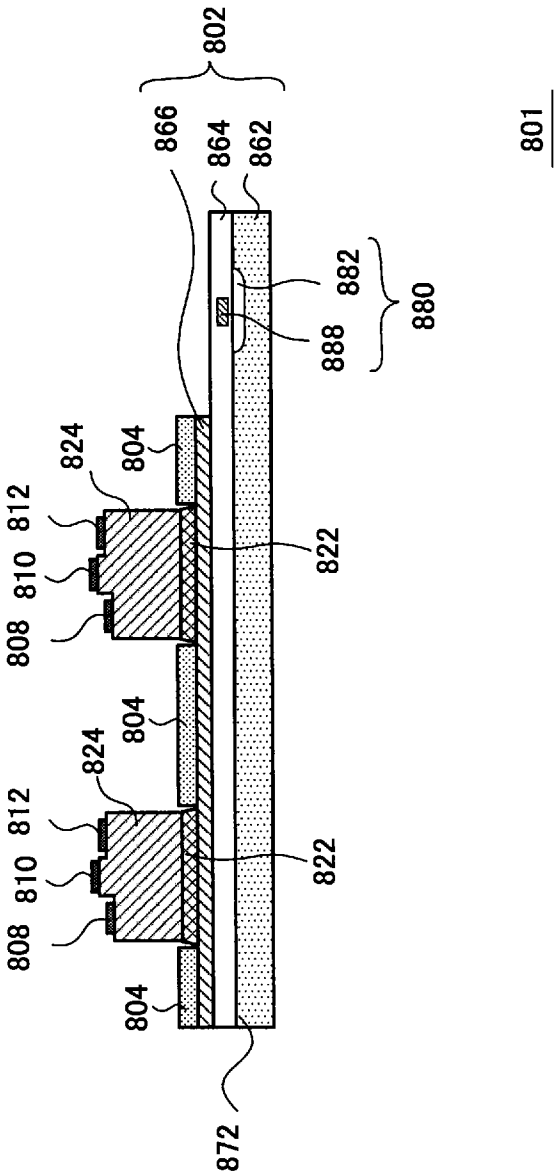
[図23]



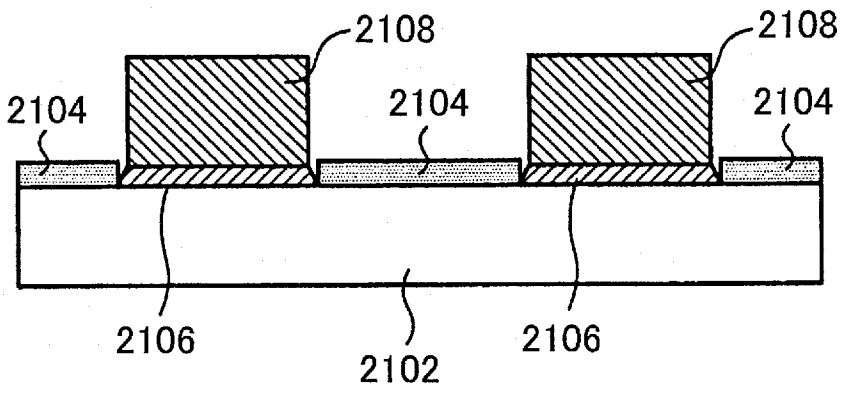
[図24]



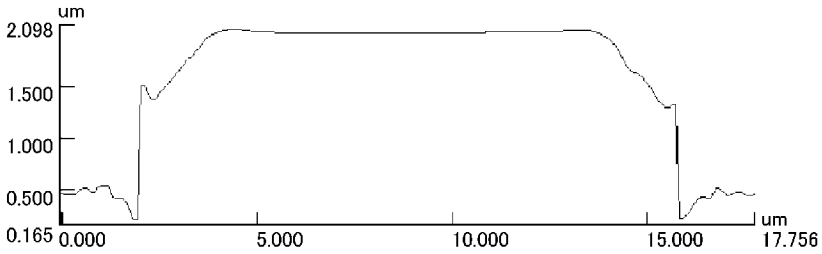
[図25]


802
866
864
862
801
882
880
888
824
804
812
810
808
822
804
824
812
810
808
822
804
872

[図26]

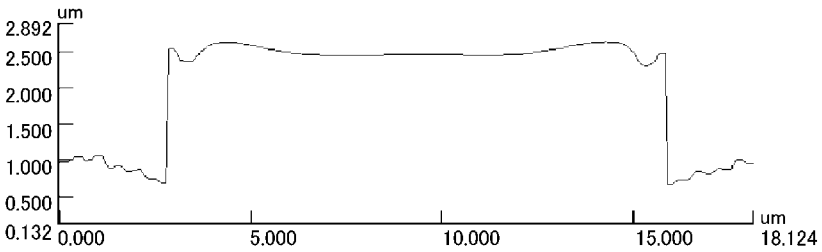


[図27]



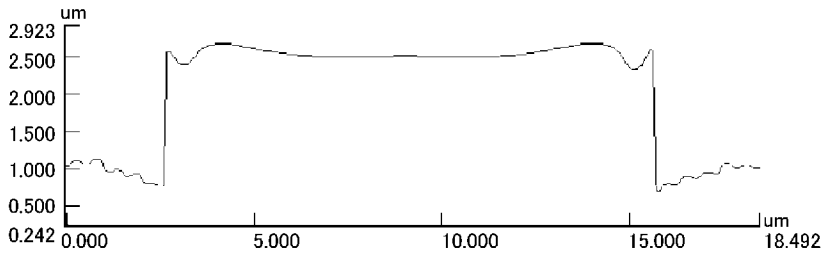
アニール無し

[図28]


um
2.892
2.500
2.000
1.500
1.000
0.500
0.132
0.000
5.000
10.000
15.000
um
18.124

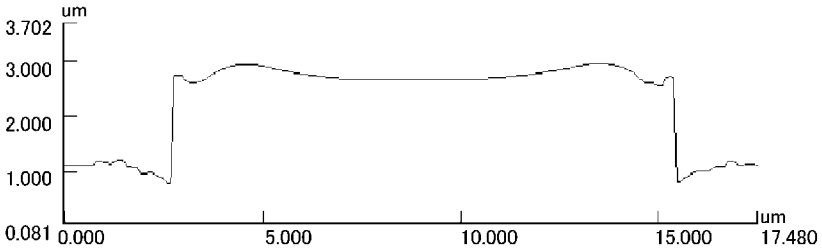
700℃アニール

[図29]


um
2.923
2.500
2.000
1.500
1.000
0.500
0.242
0.000
5.000
10.000
15.000
um
18.492

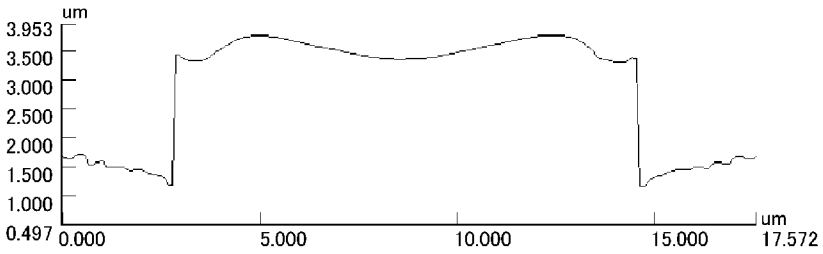
800℃アニール

[図30]



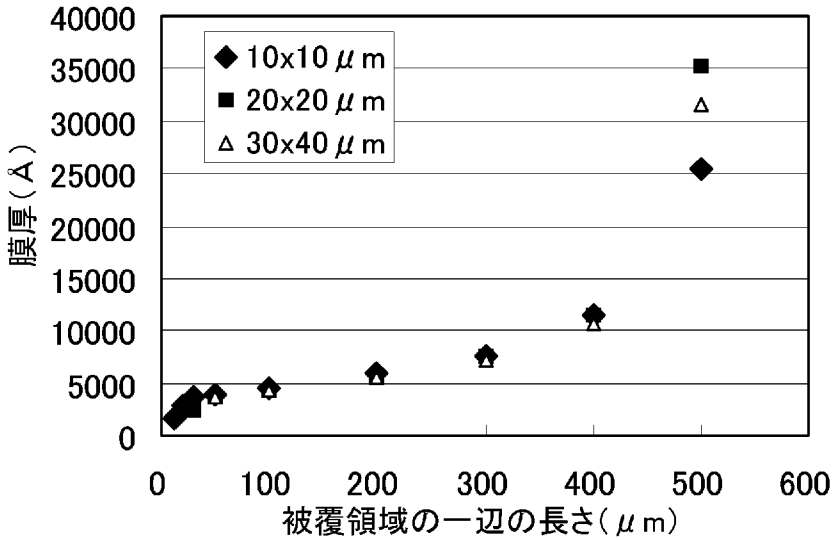
850℃アニール

[図31]

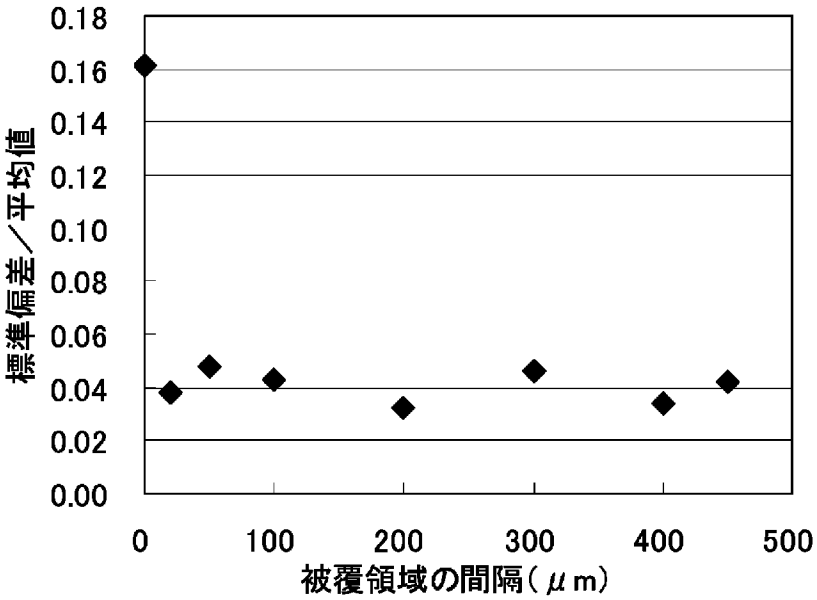

um
3.953
3.500
3.000
2.500
2.000
1.500
1.000
0.497
0.000
5.000
10.000
15.000
um
17.572

900℃アニール

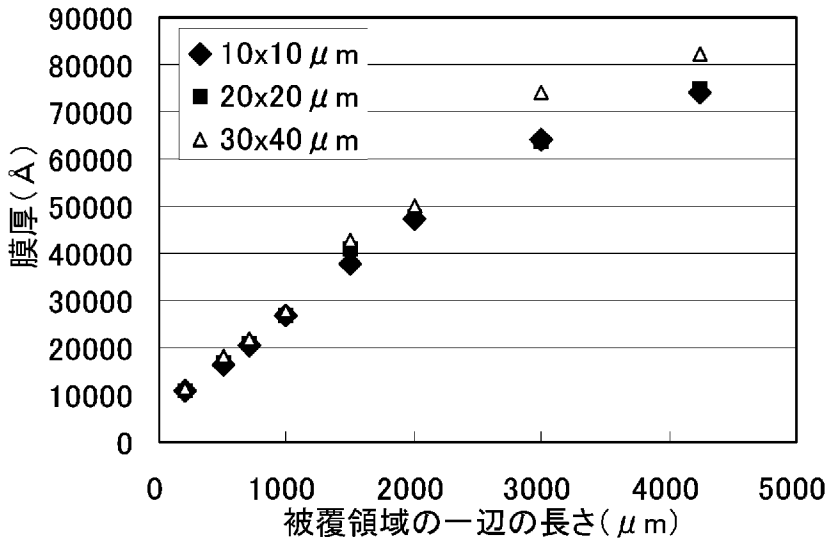
[図32]


40000
35000
30000
25000
20000
15000
10000
5000
0
膜厚(Å)
10x10μm
20x20μm
30x40μm
0
100
200
300
400
500
600
被覆領域の一辺の長さ(μm)

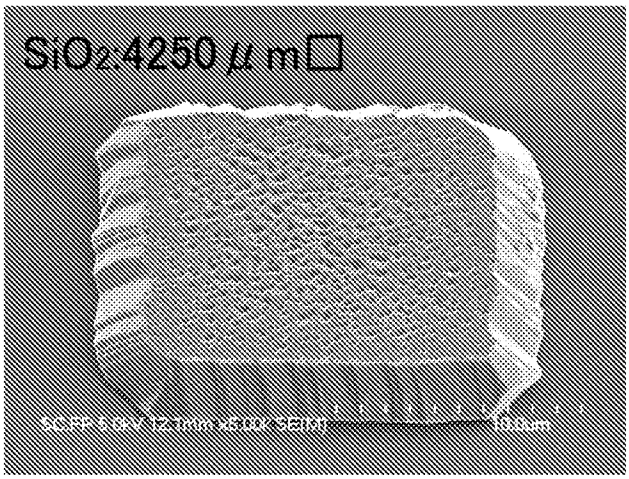
[図33]


0.18
0.16
0.14
0.12
0.10
0.08
0.06
0.04
0.02
0.00
標準偏差／平均値
0
100
200
300
400
500
被覆領域の間隔（μm）

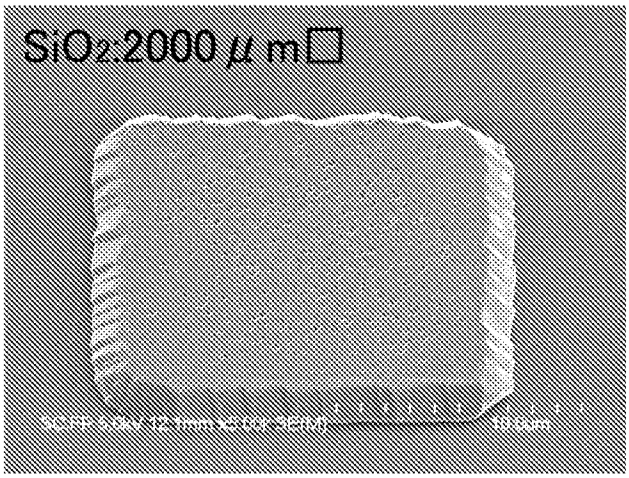
[図34]


90000
80000
70000
60000
50000
40000
30000
20000
10000
0
膜厚(Å)
◆ 10x10 μm
■ 20x20 μm
△ 30x40 μm
0
1000
2000
3000
4000
5000
被覆領域の一辺の長さ(μm)

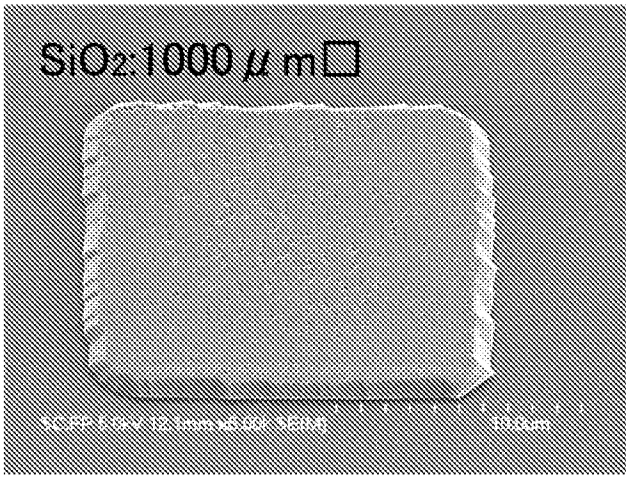
[図35]



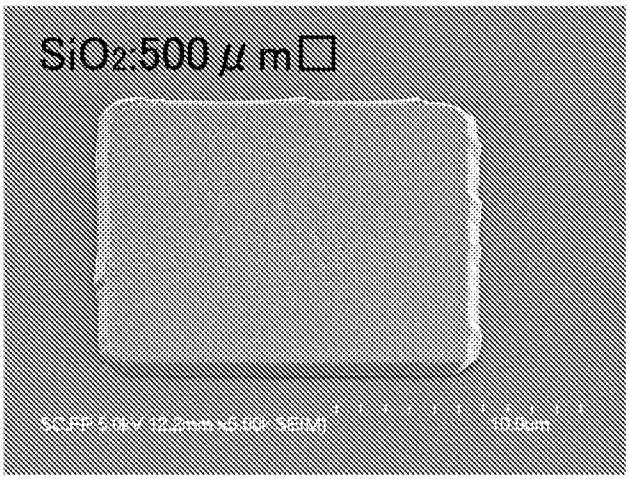
[図36]



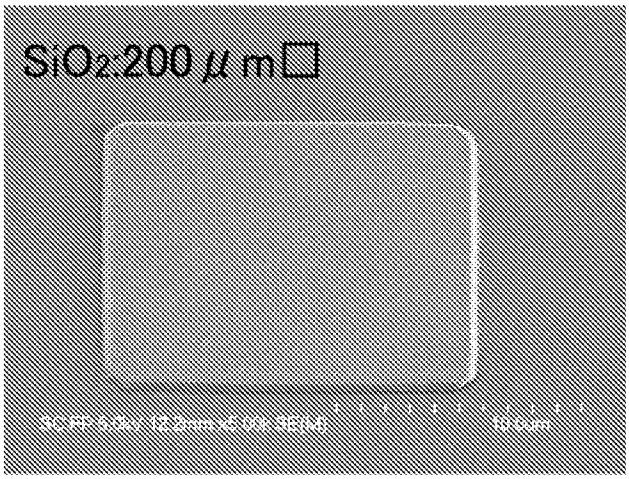
[図37]



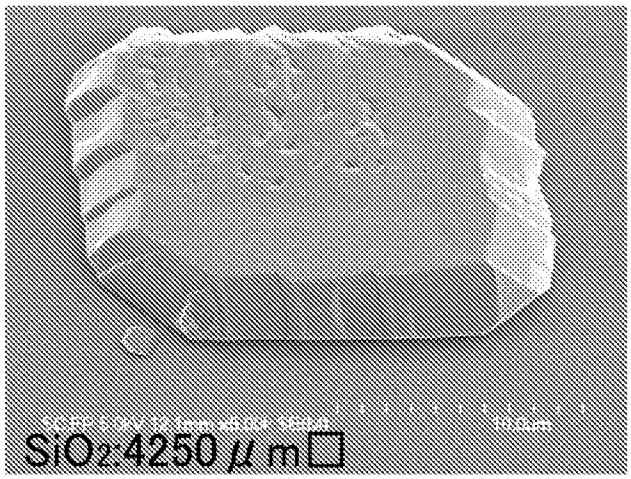
[図38]



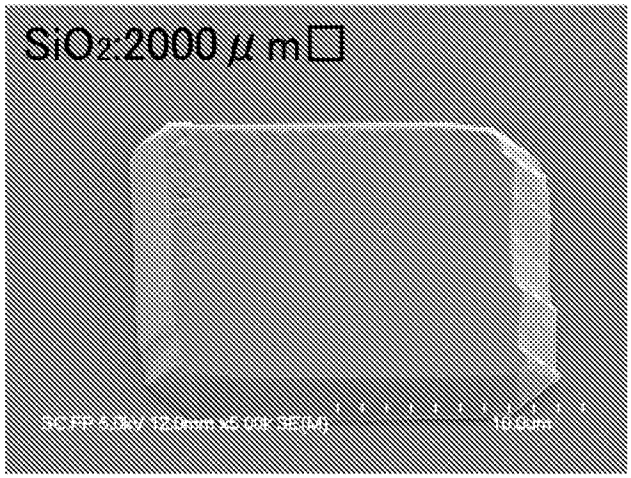
[図39]



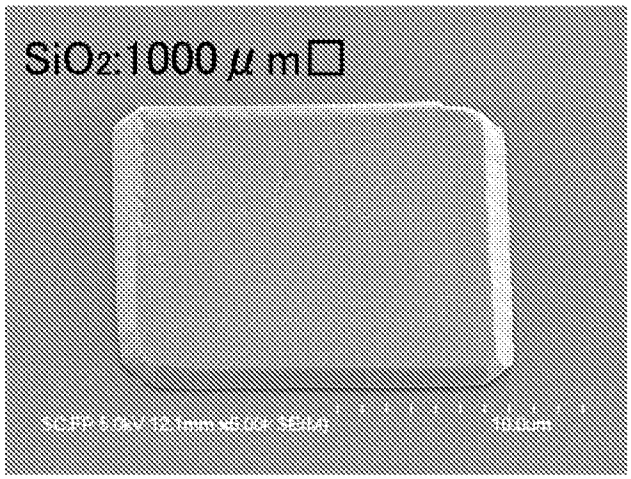
[図40]



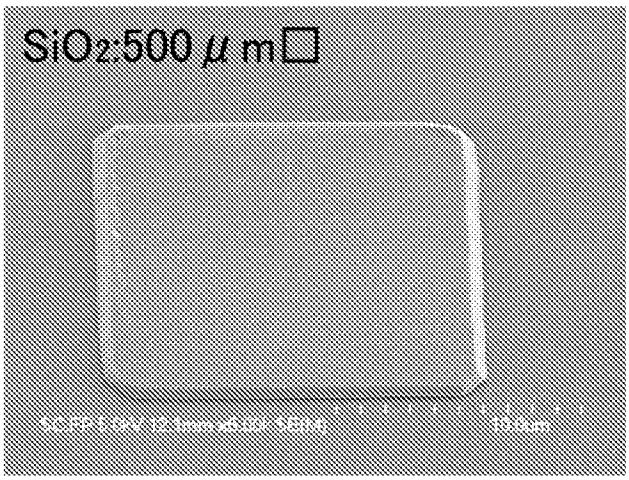
[図41]



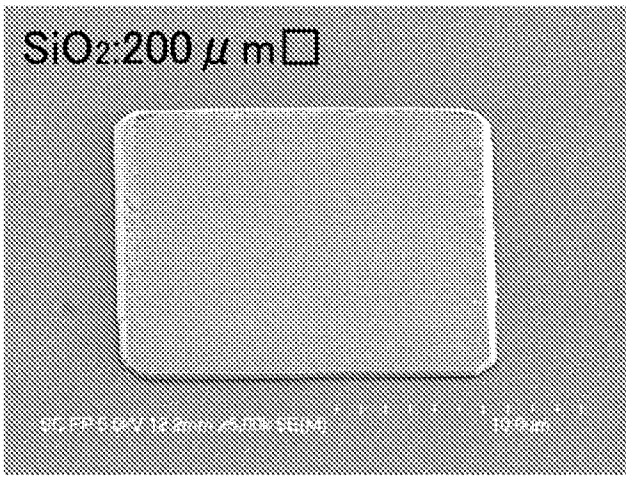
[図42]



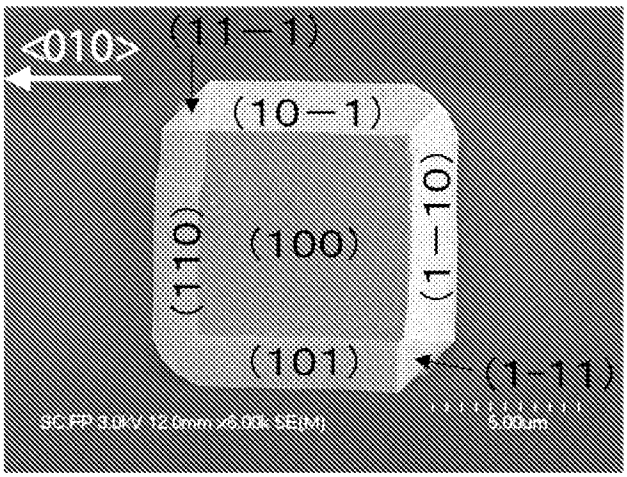
[図43]



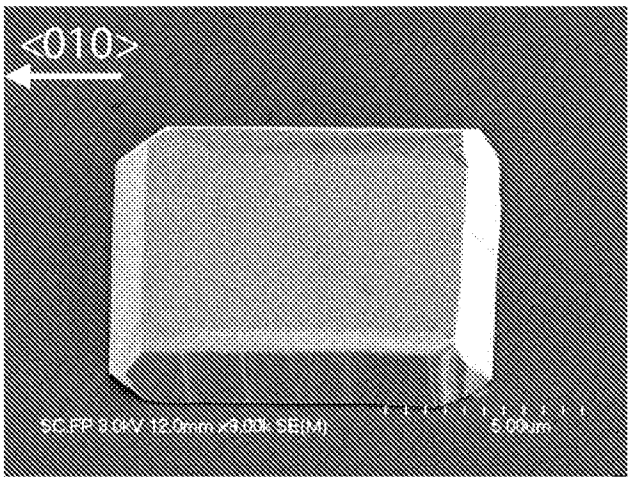
[図44]



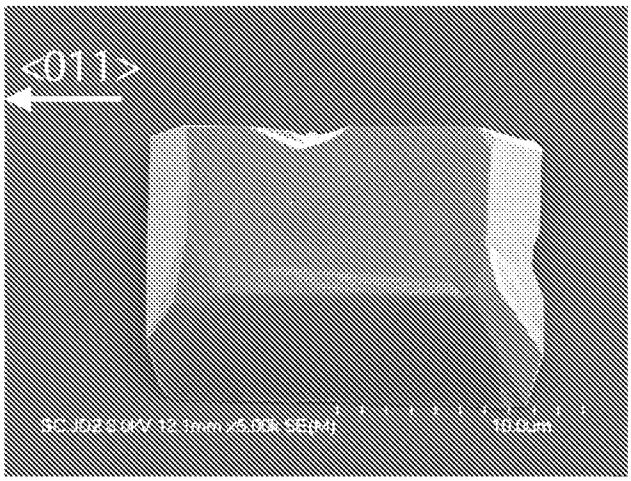
[図45]



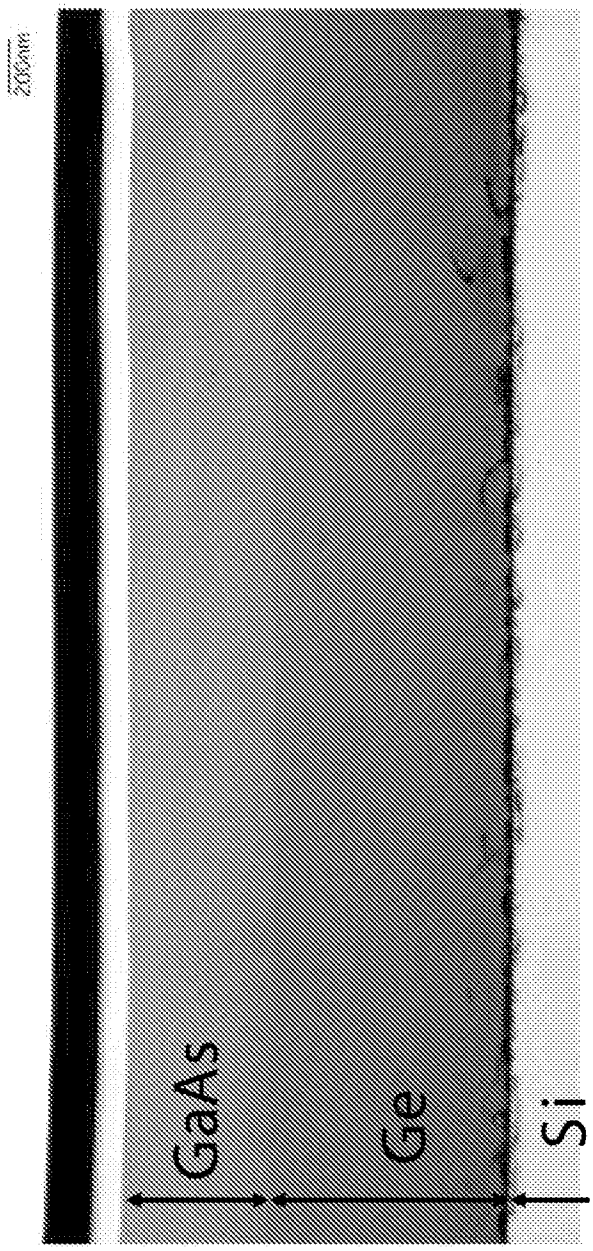
[図46]



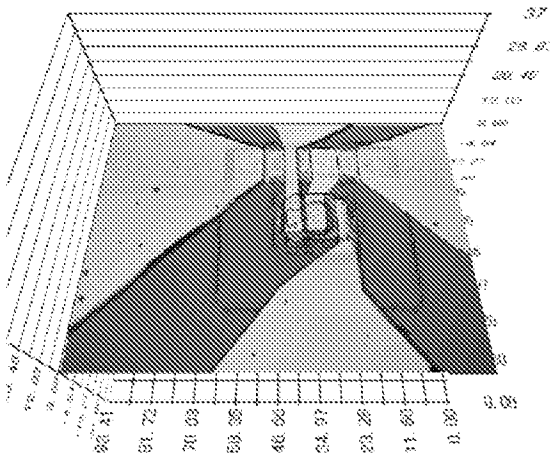
[図47]



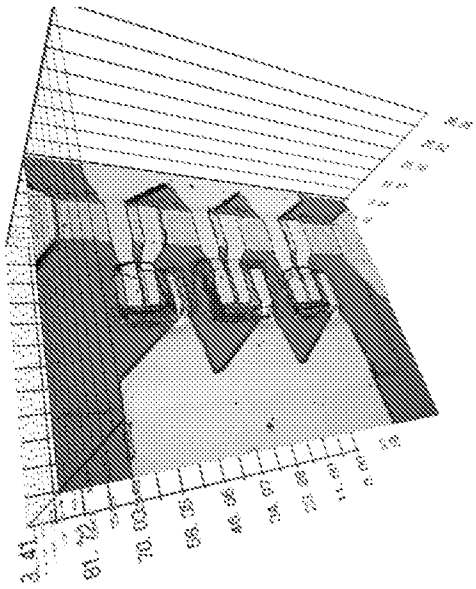
[図48]



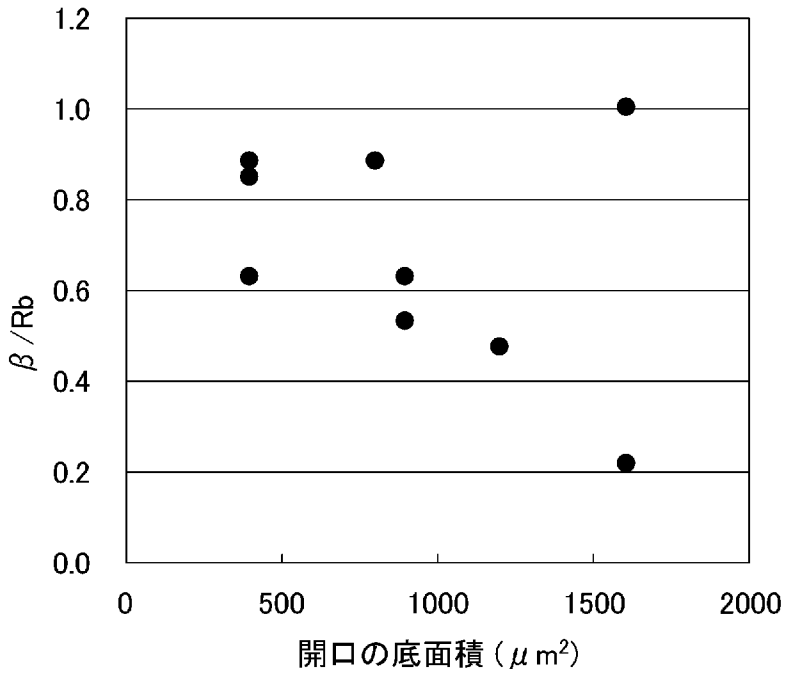
[図49]



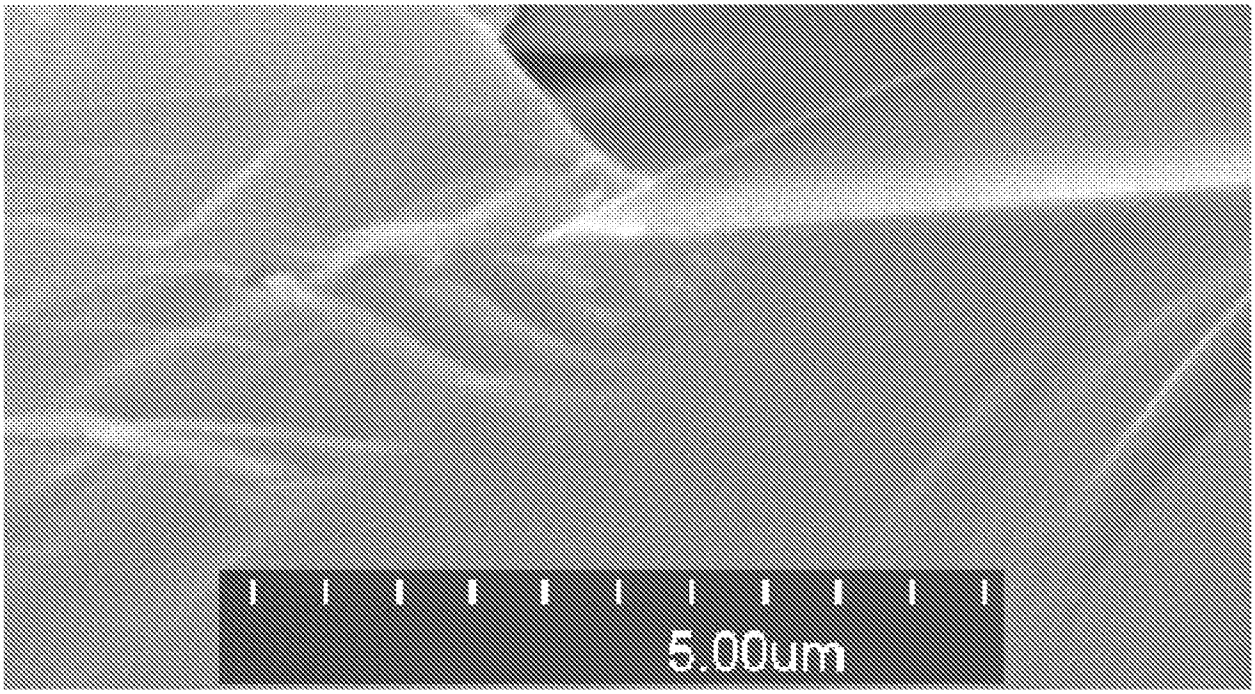
[図50]



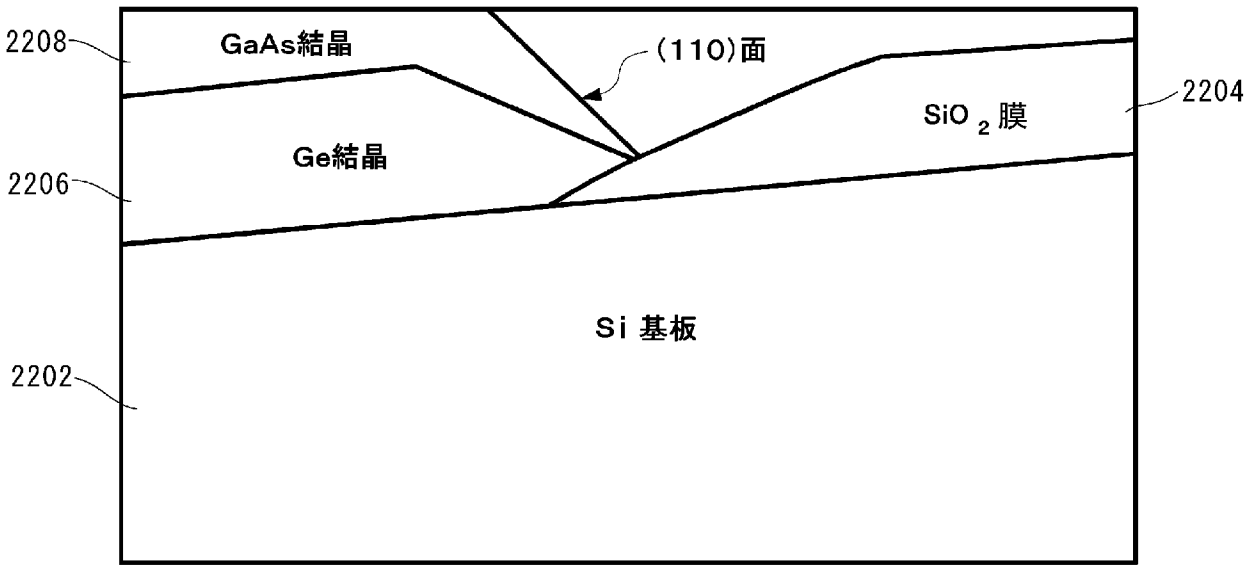
[図51]



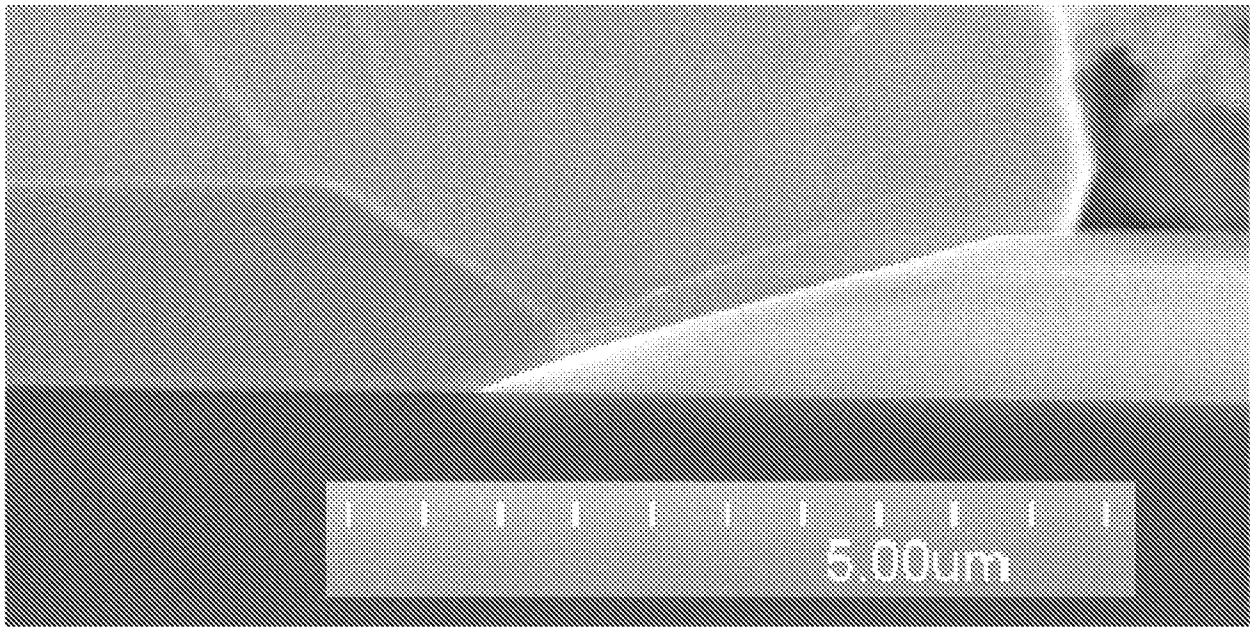
[図52]



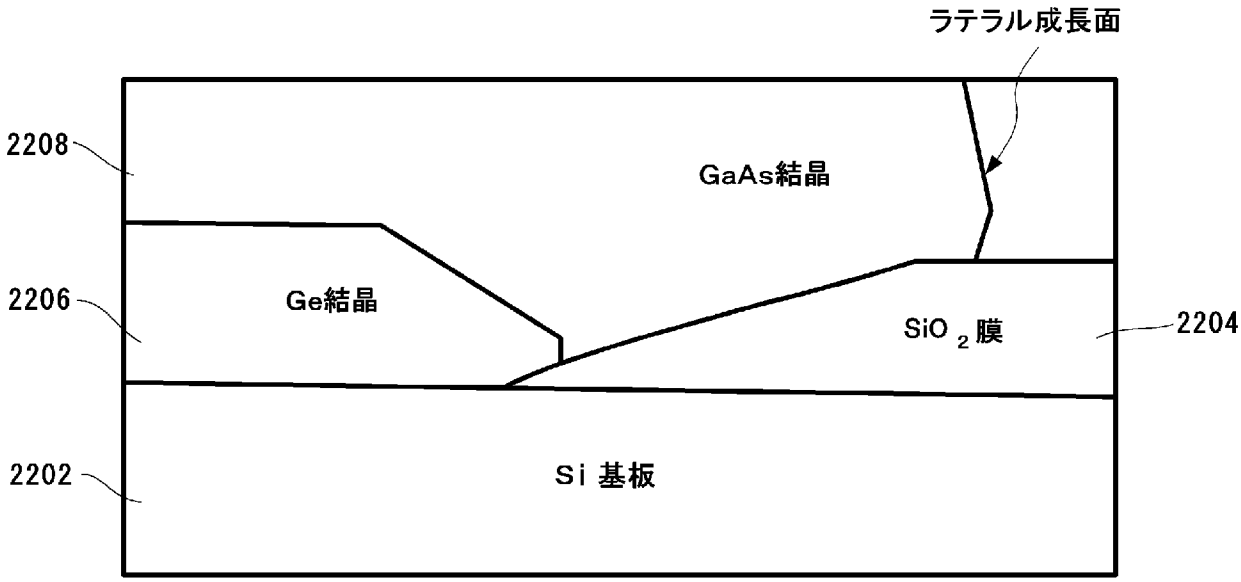
[図53]



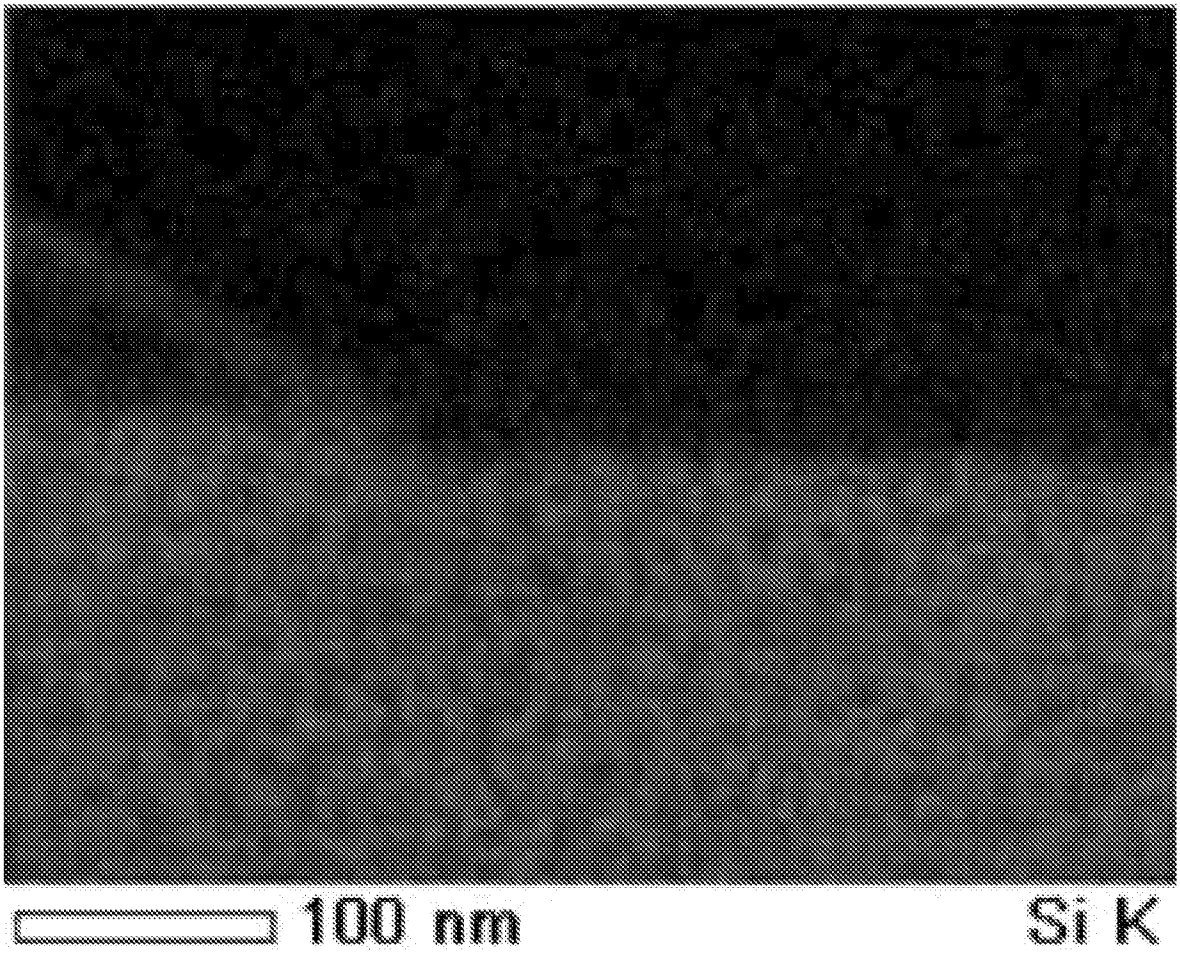
[図54]



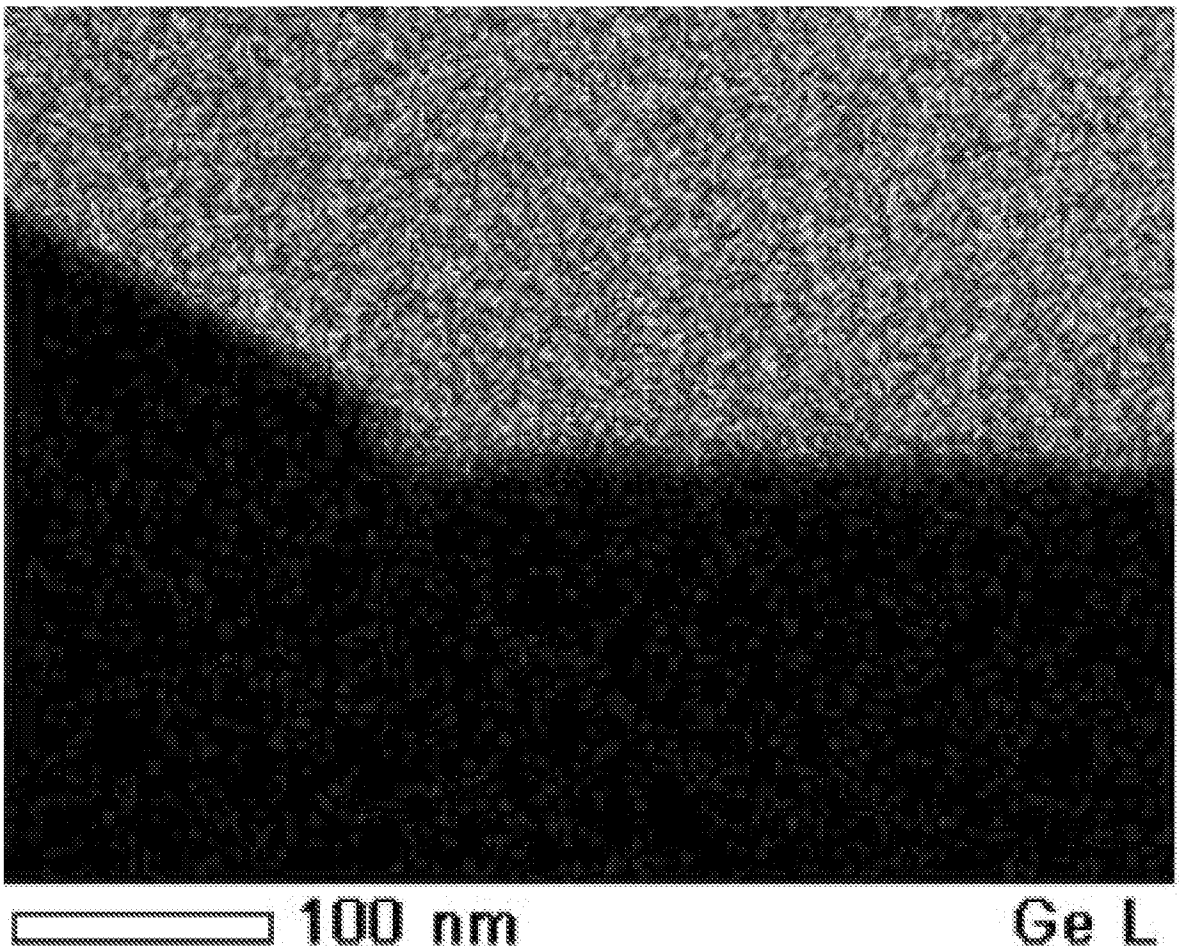
[図55]



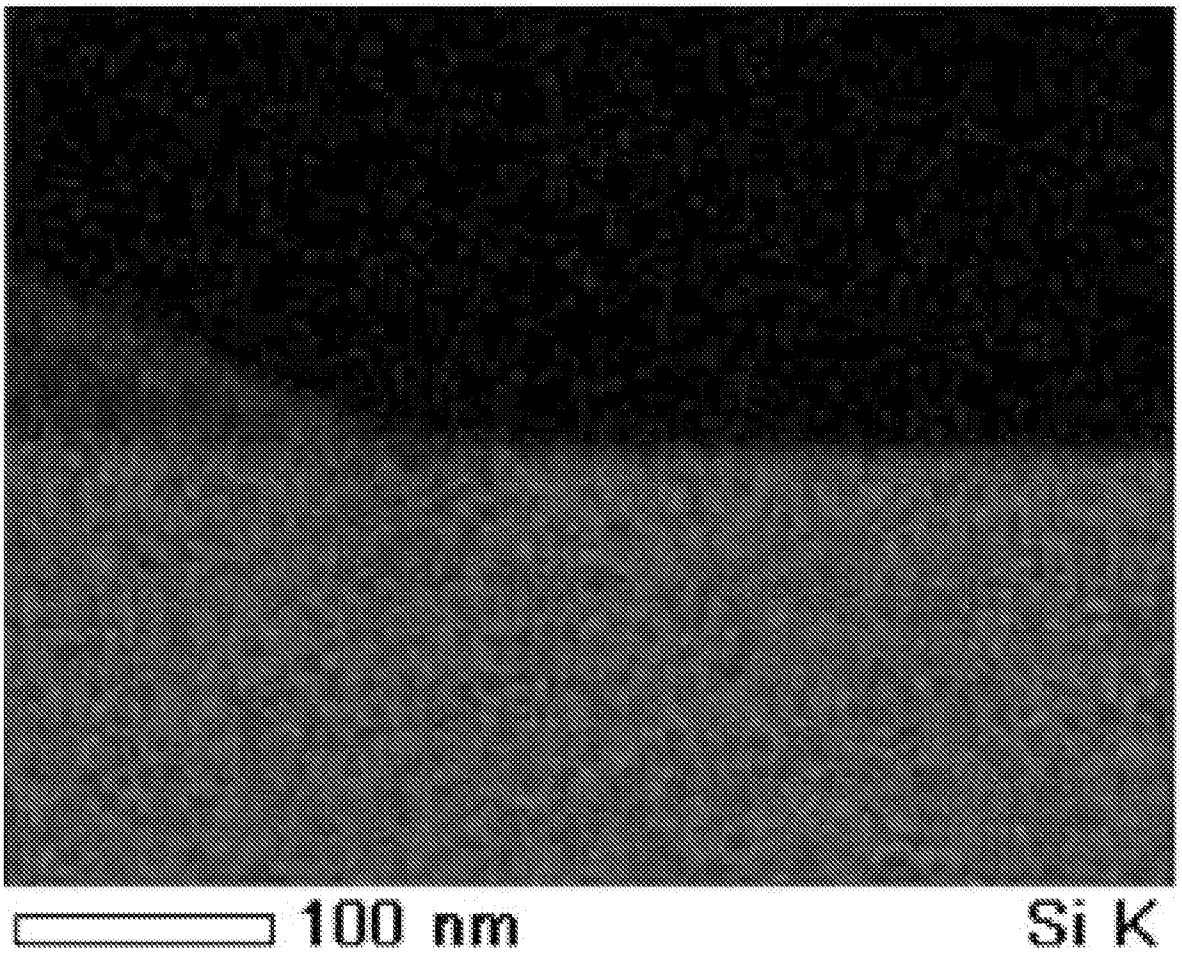
[図56]



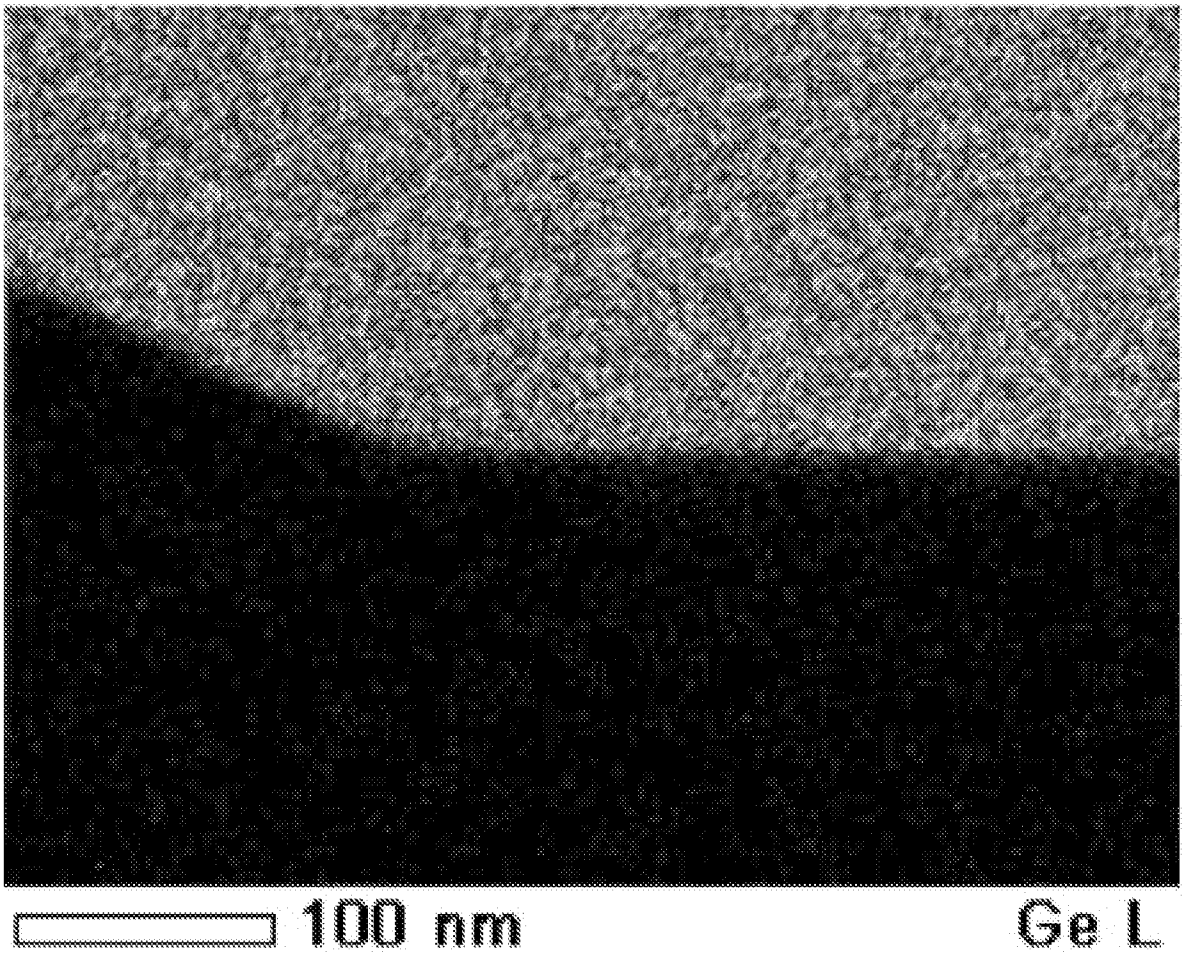
[図57]



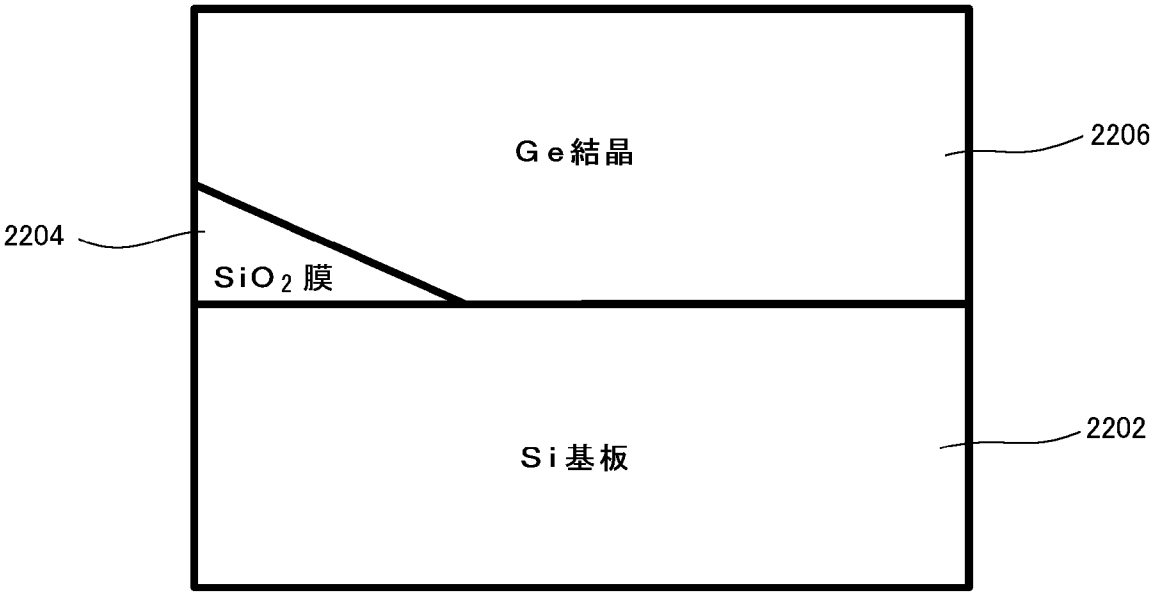
[図58]



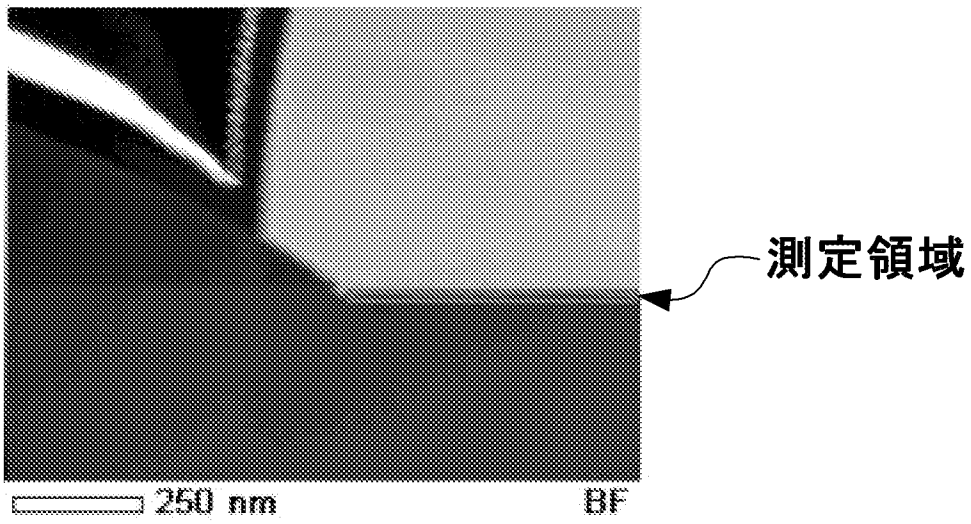
[図59]



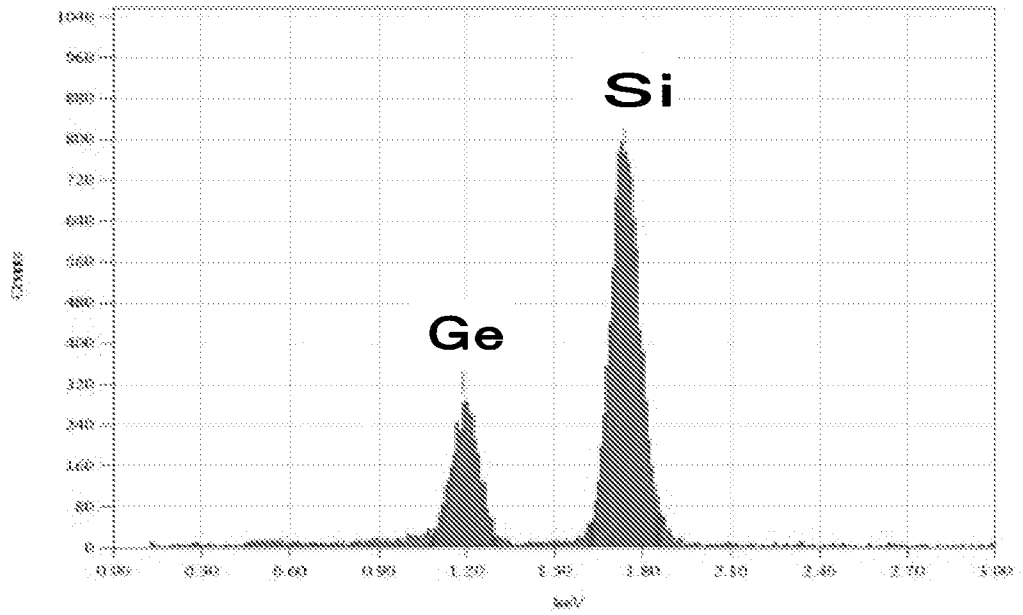
[図60]



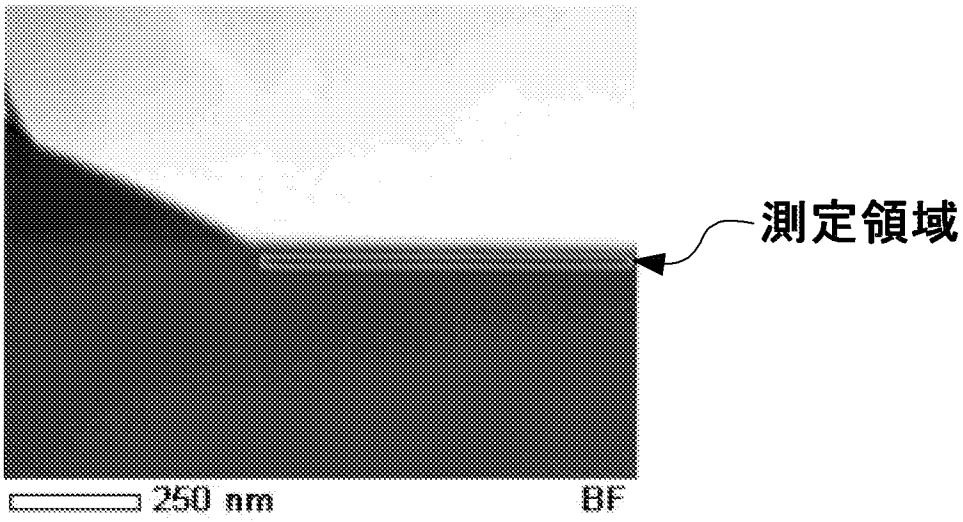
[図61]



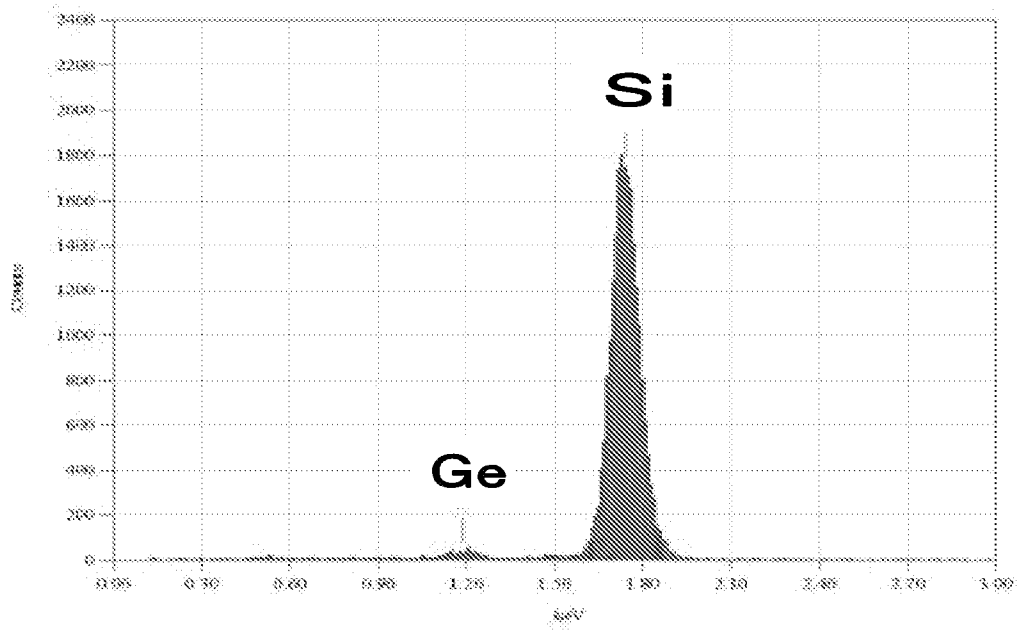
[図62]



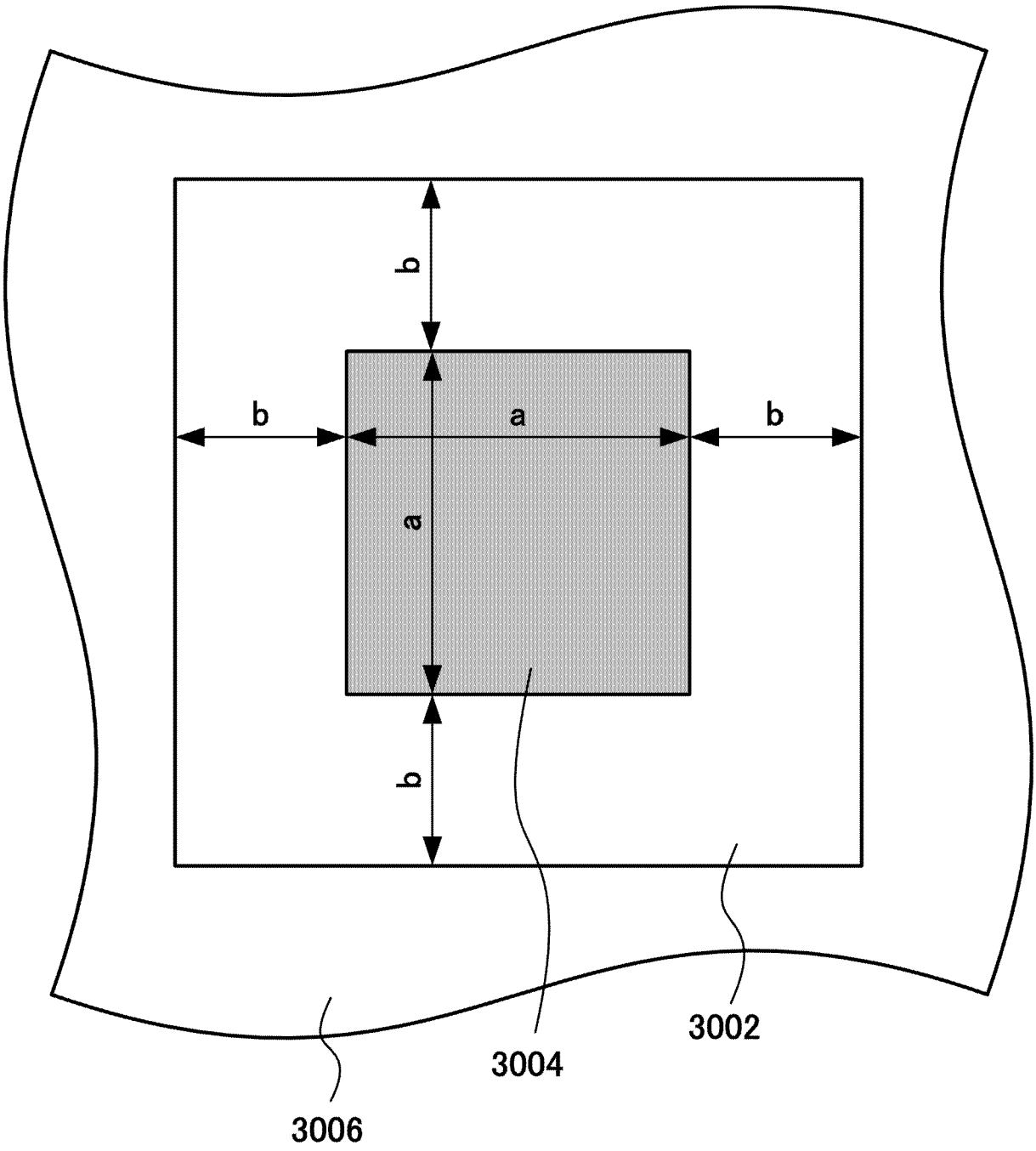
[図63]



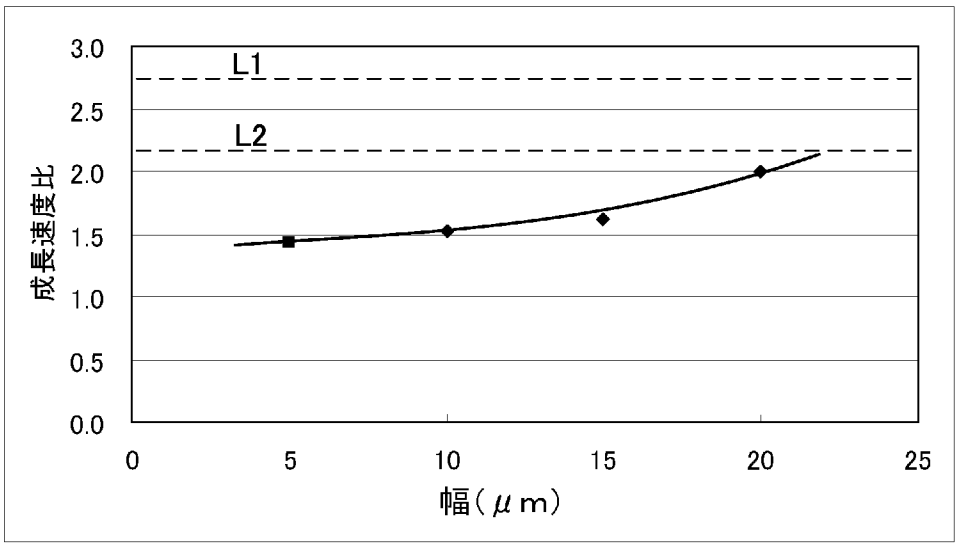
[図64]



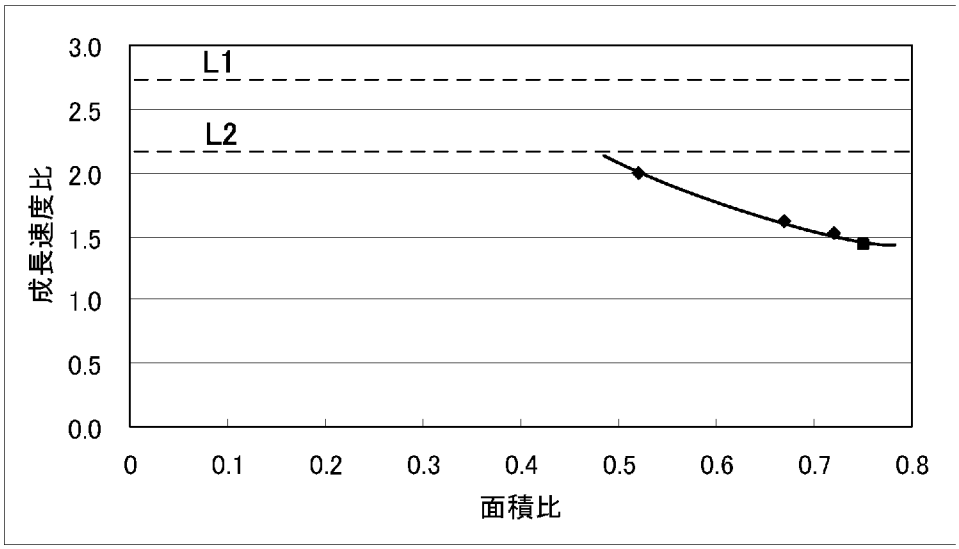
[図65]



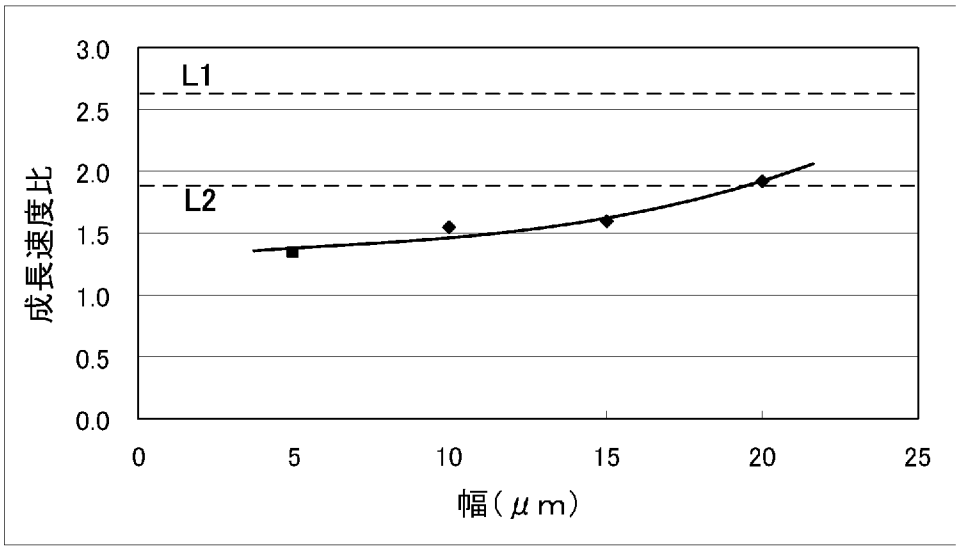
[図66]


3.0
2.5
2.0
1.5
1.0
0.5
0.0
L1
L2
成長速度比
0
5
10
15
20
25
幅（μm）

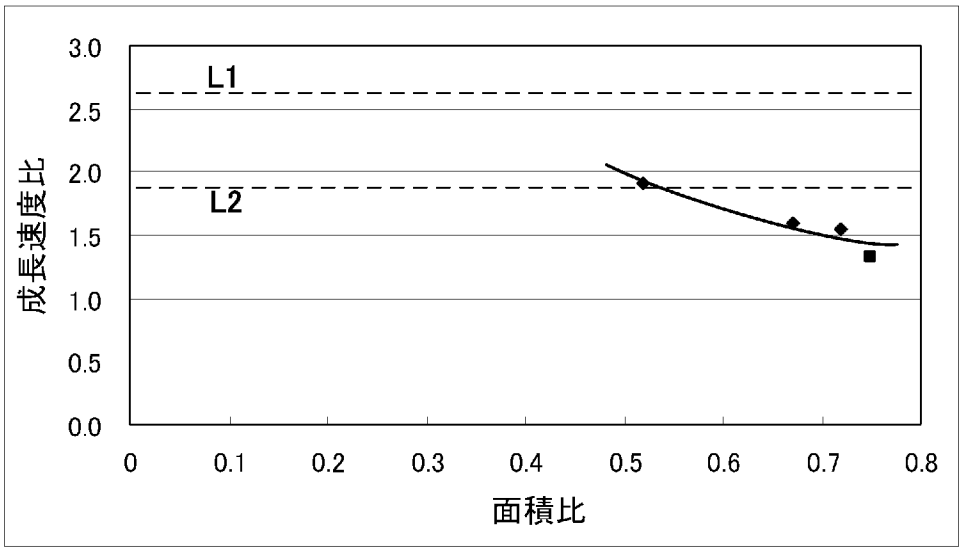
[図67]


3.0
2.5
2.0
1.5
1.0
0.5
0.0
L1
L2
成長速度比
0
0.1
0.2
0.3
0.4
0.5
0.6
0.7
0.8
面積比

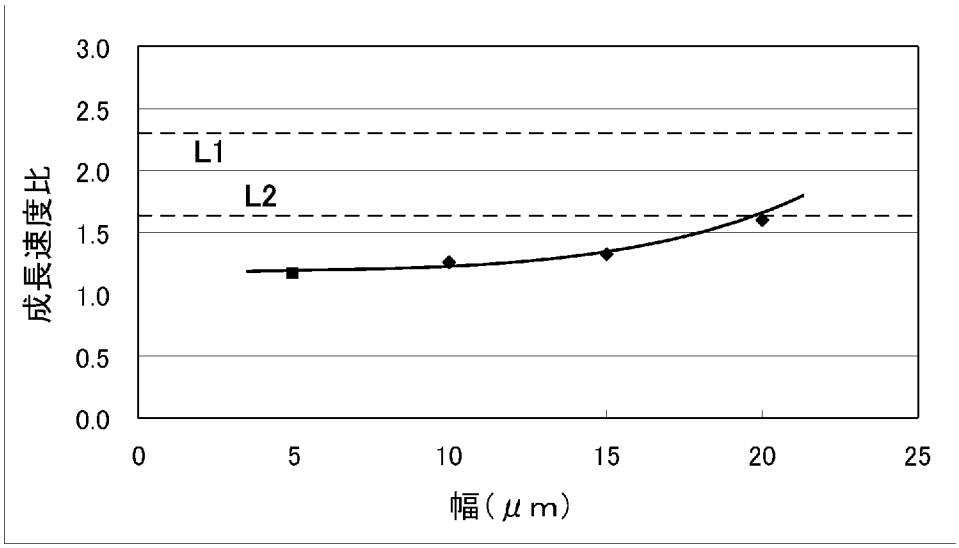
[図68]


3.0
2.5
2.0
1.5
1.0
0.5
0.0
L1
L2
成長速度比
0
5
10
15
20
25
幅（μm）

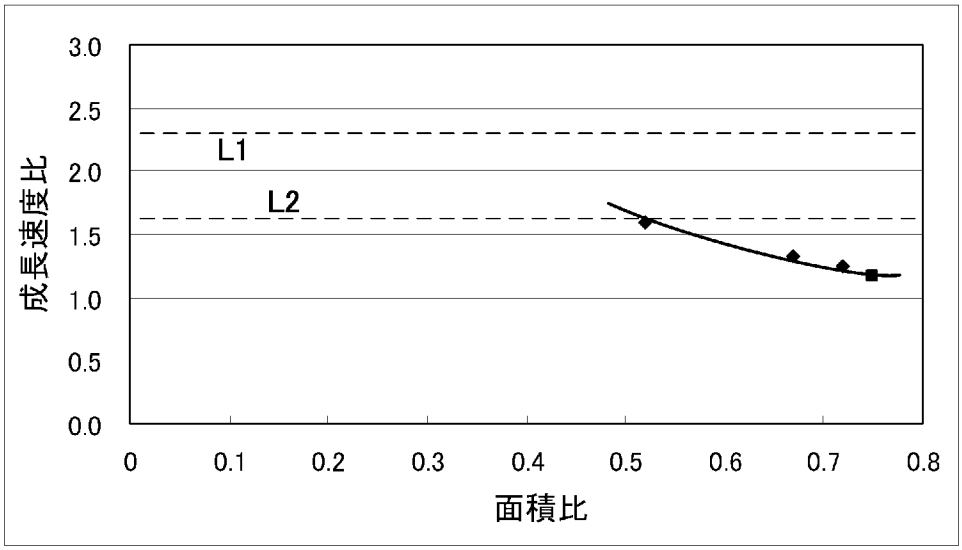
[図69]


3.0
2.5
2.0
1.5
1.0
0.5
0.0
L1
L2
成長速度比
0
0.1
0.2
0.3
0.4
0.5
0.6
0.7
0.8
面積比

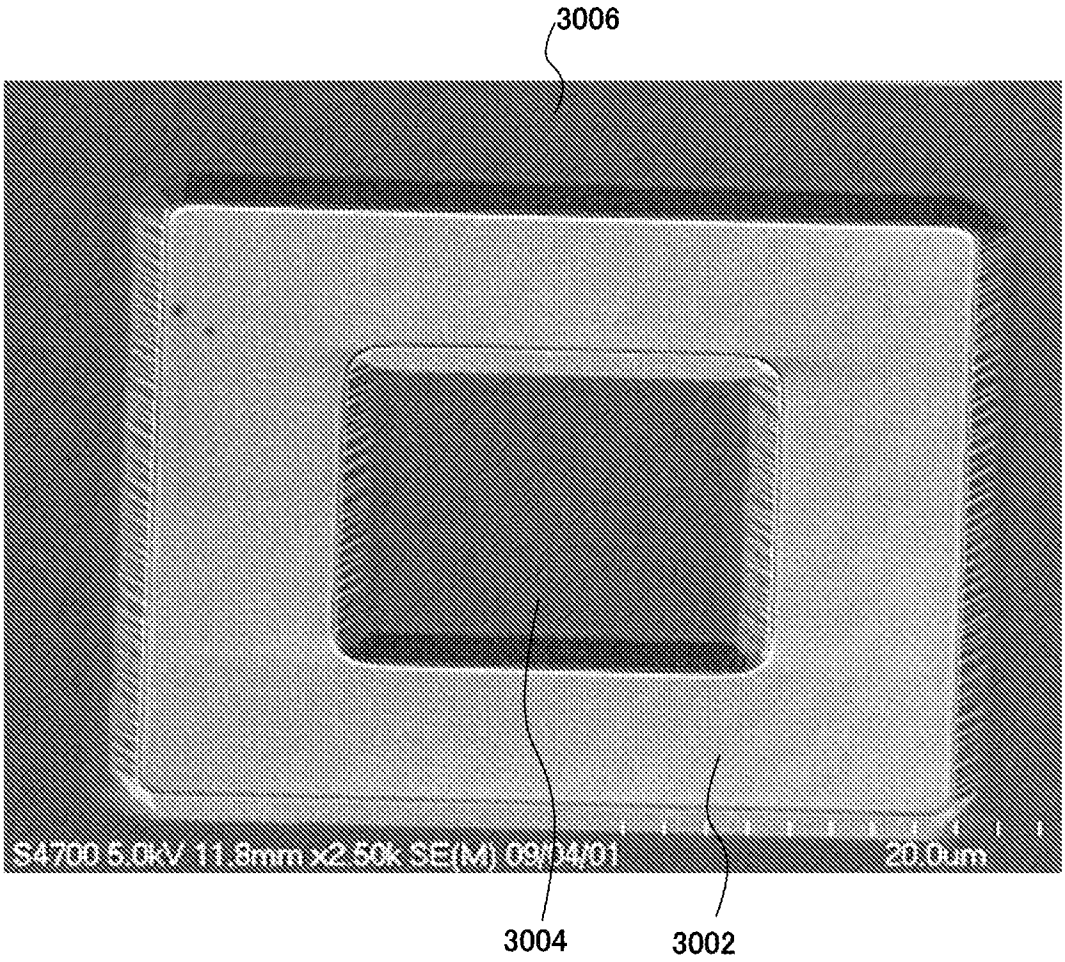
[図70]


3.0
2.5
2.0
1.5
1.0
0.5
0.0
L1
L2
成長速度比
0
5
10
15
20
25
幅（μm）

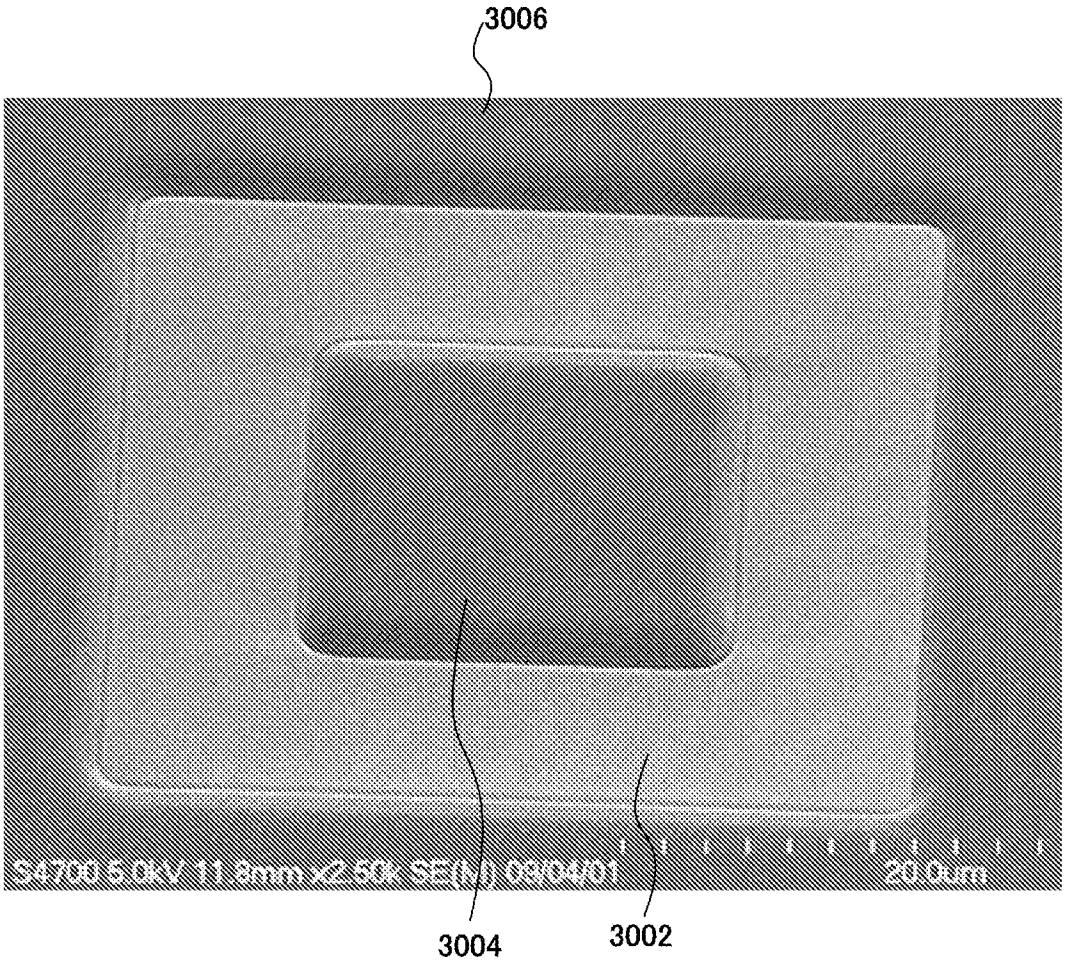
[図71]


3.0
2.5
2.0
1.5
1.0
0.5
0.0
L1
L2
成長速度比
0
0.1
0.2
0.3
0.4
0.5
0.6
0.7
0.8
面積比

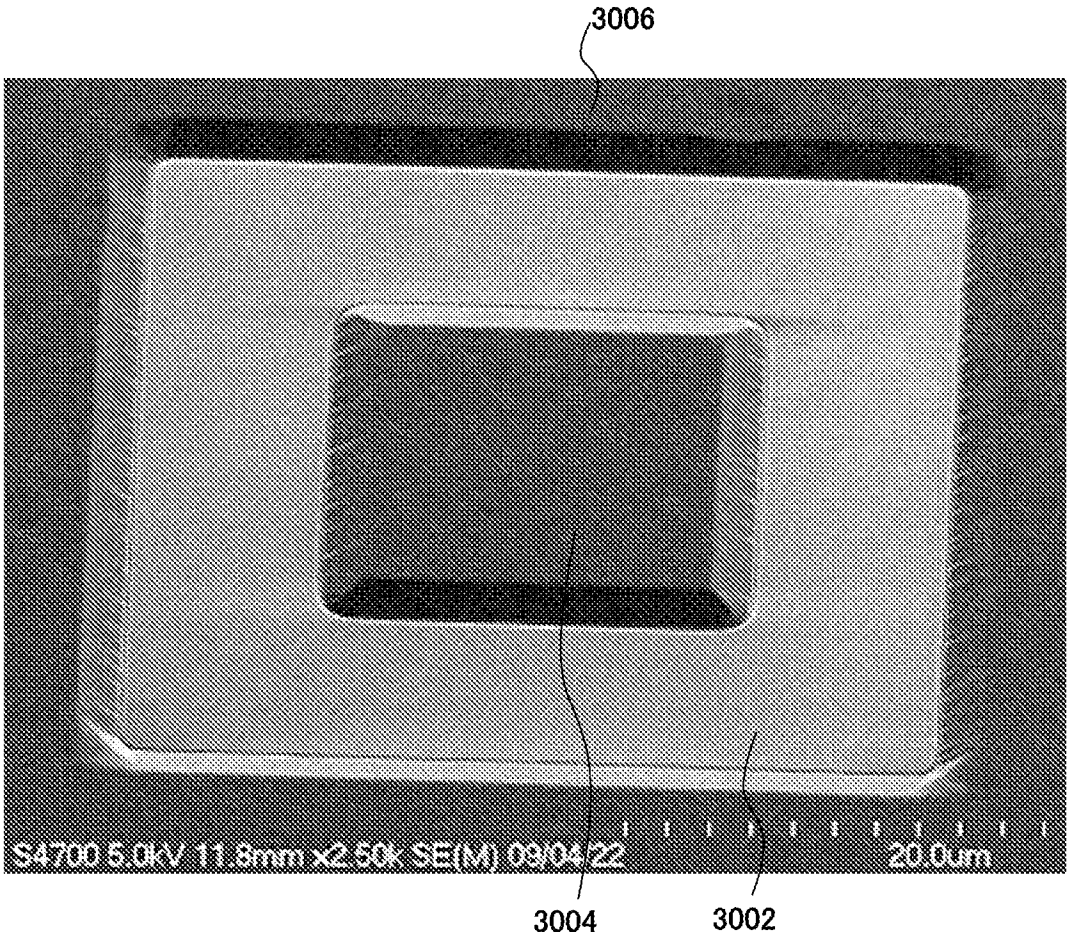
[図72]



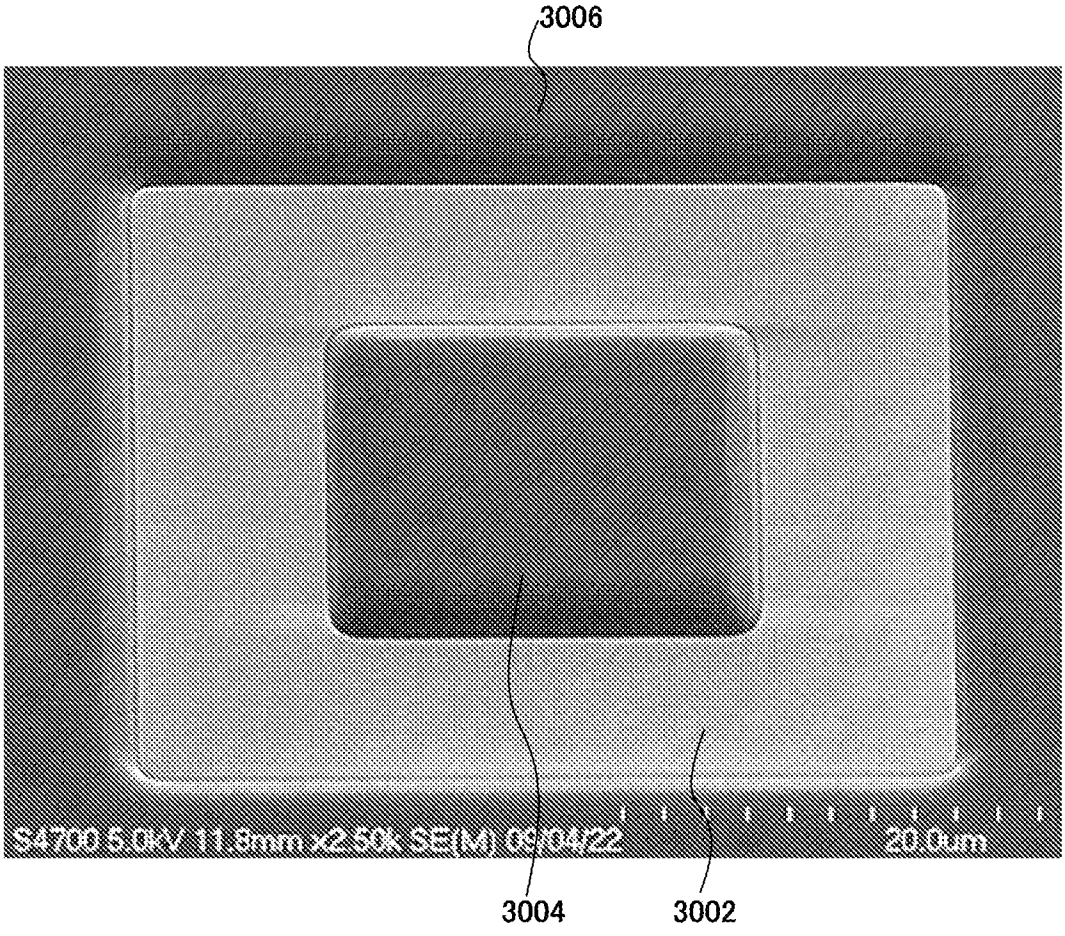
[図73]



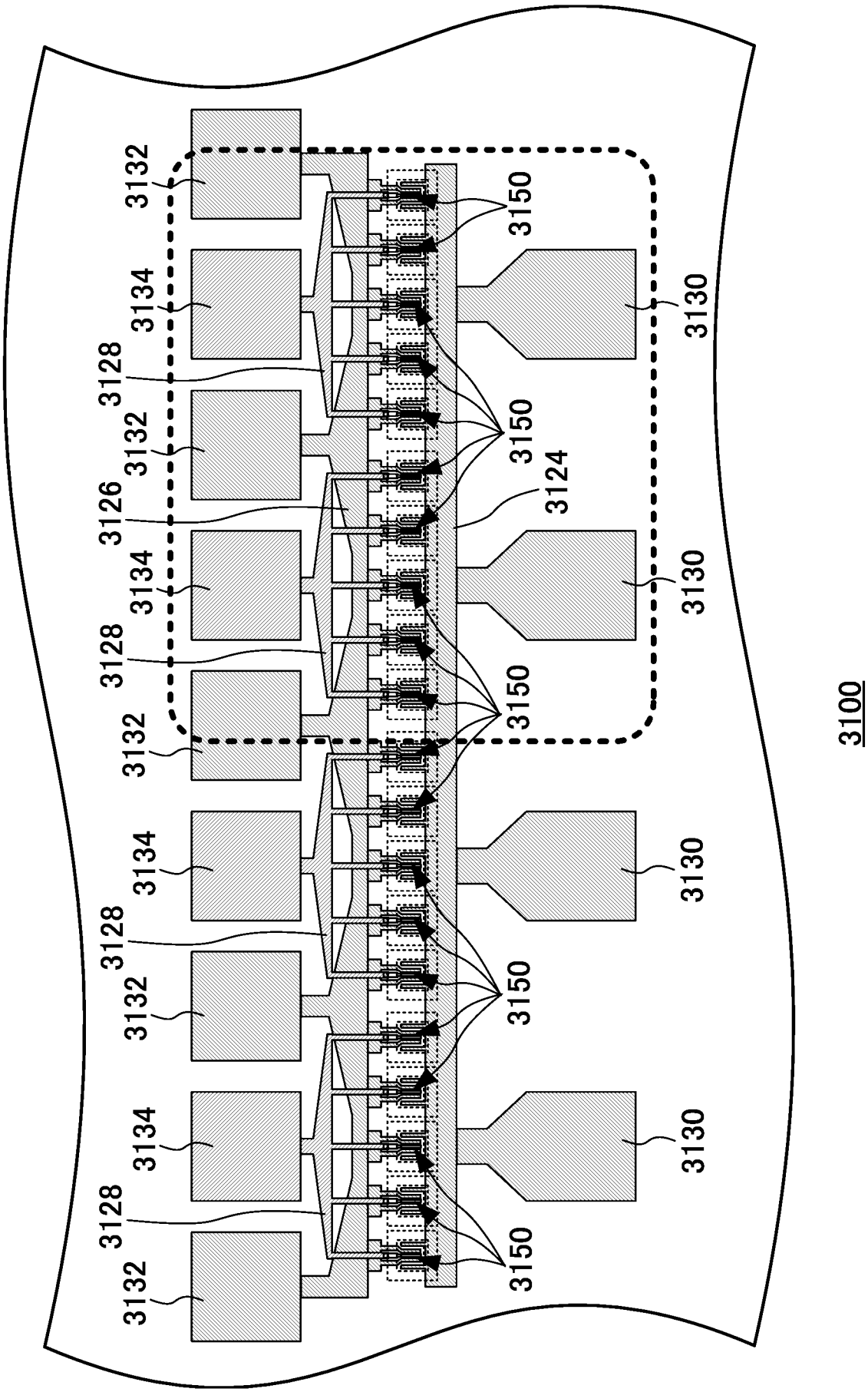
[図74]


3006
S4700 5.0kV 11.8mm x2.50k SE(M) 09/04/22
20.0um
3004
3002

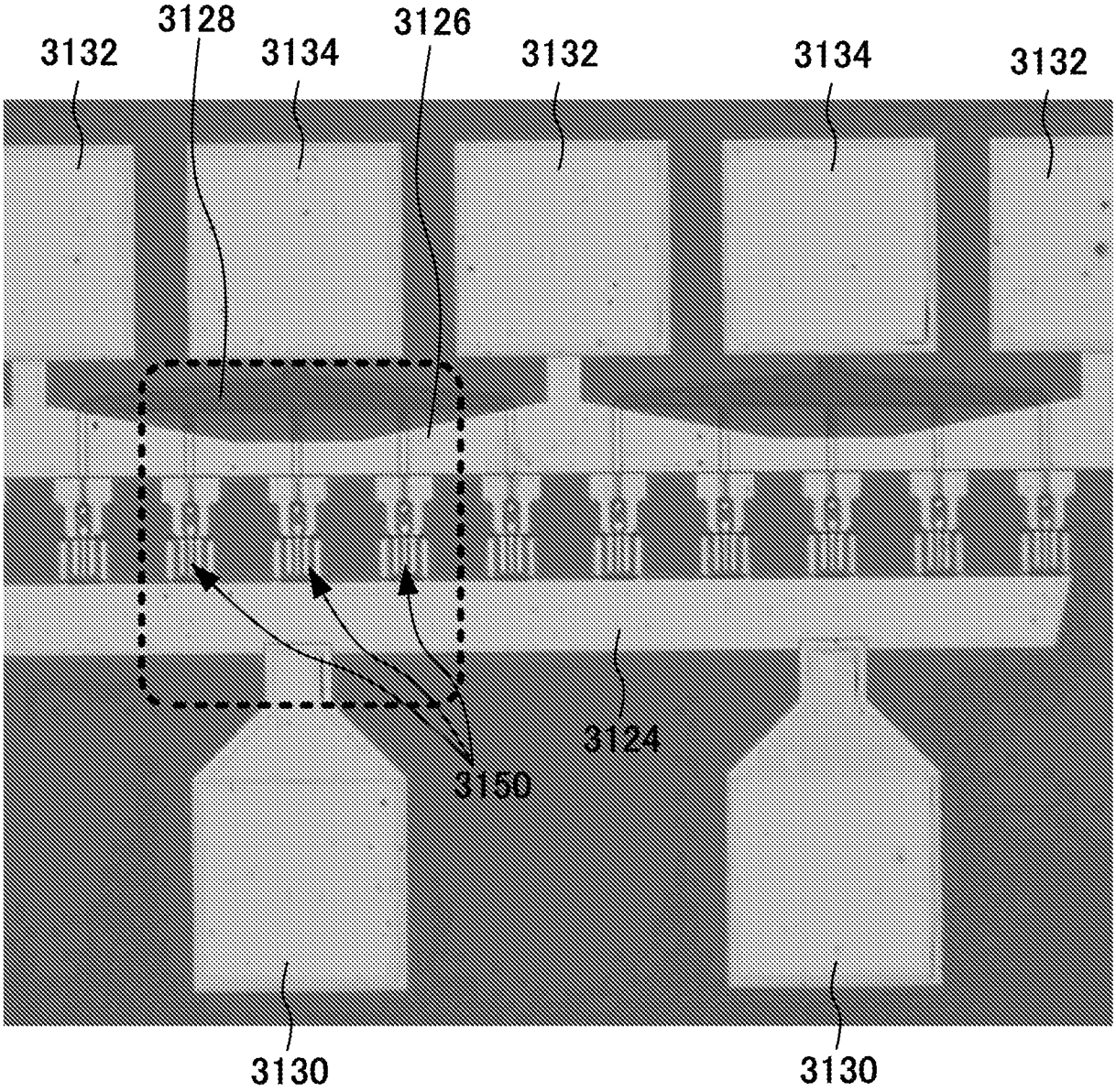
[図75]


3006
S4700 5.0kV 11.8mm x2.50k SE(M) 09/04/22
20.0um
3004
3002

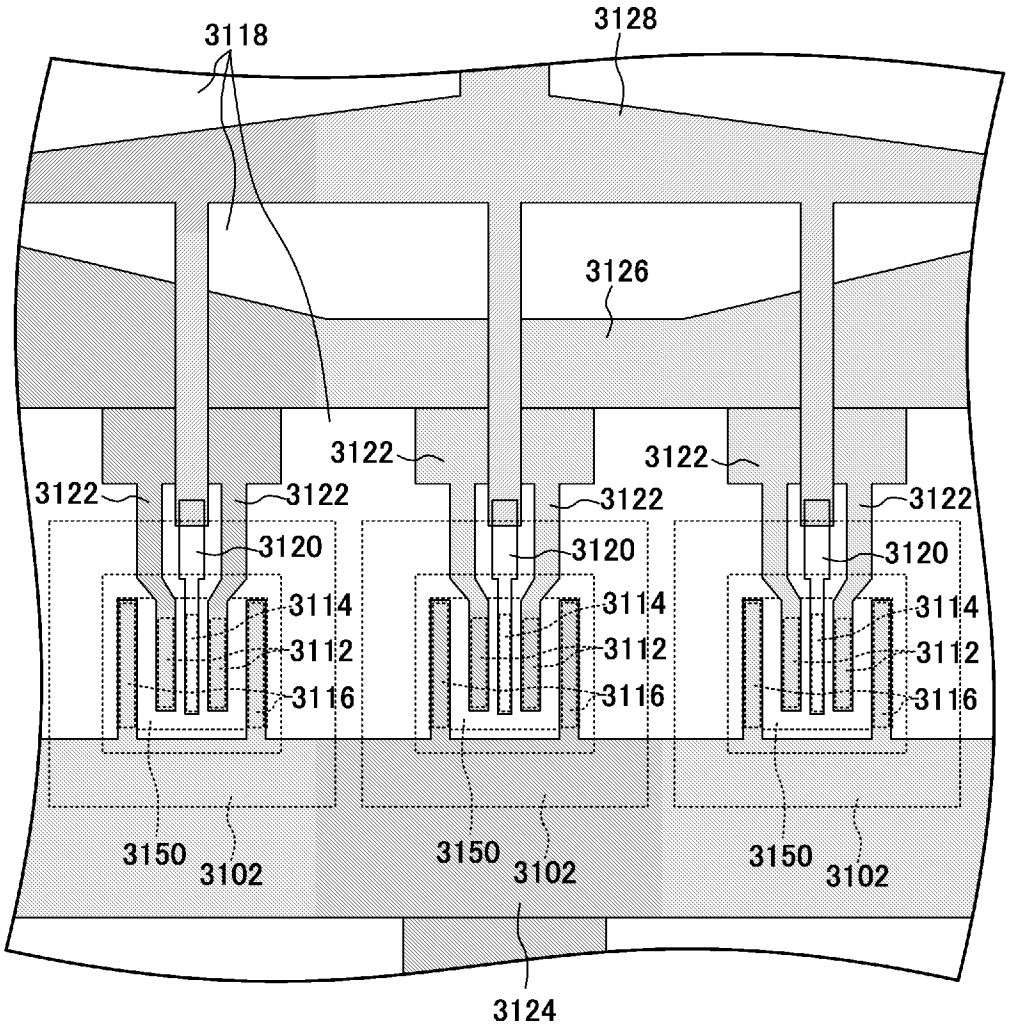
[図76]



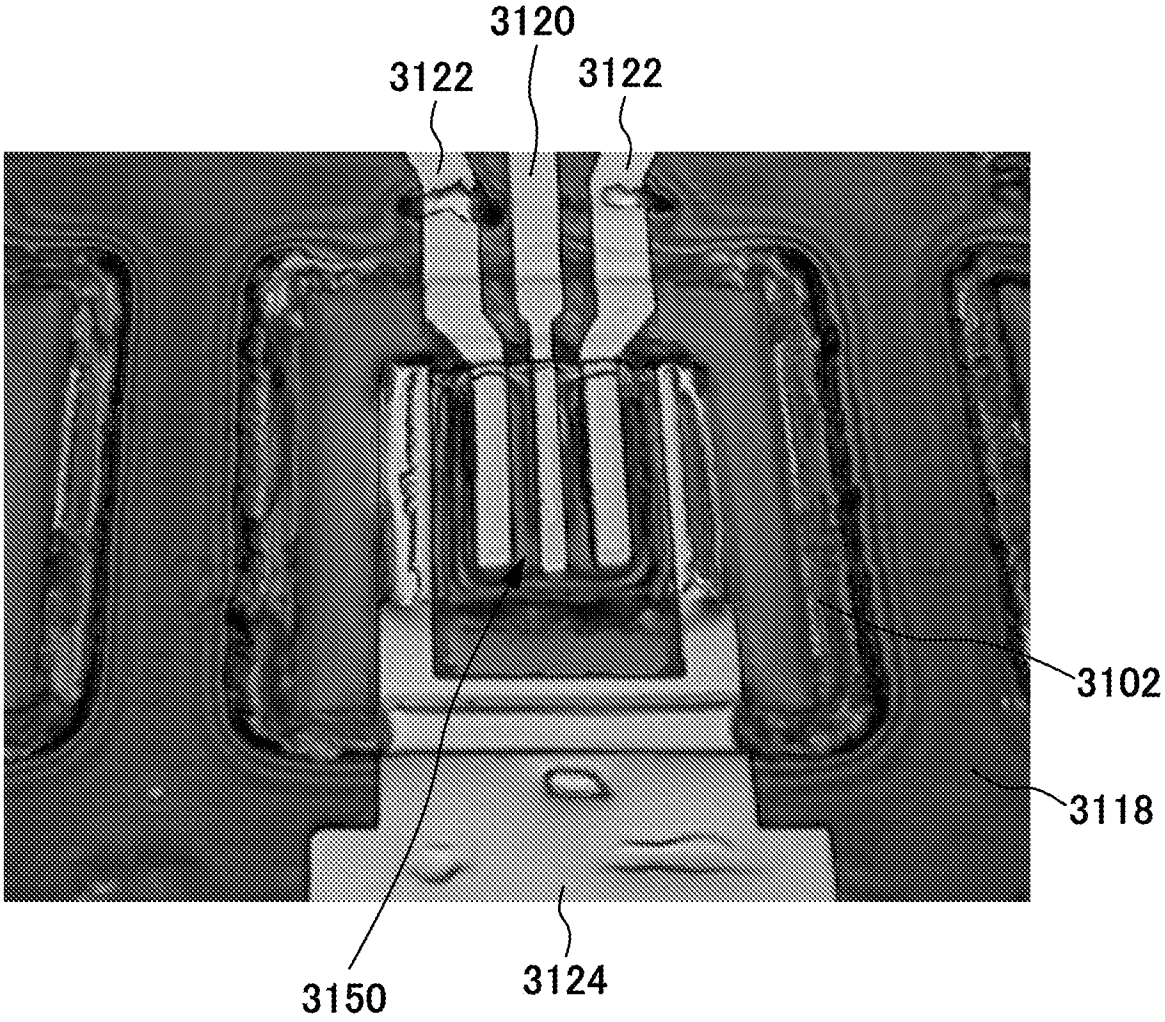
[図77]



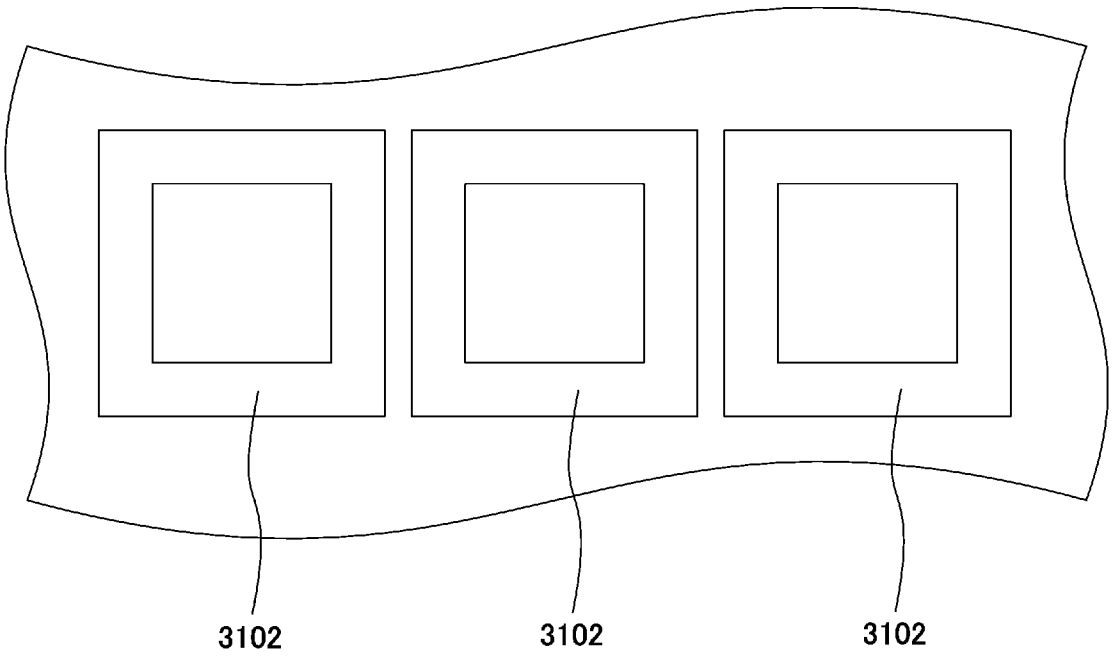
[図78]


3118
3128
3126
3122
3122
3122
3122
3122
3120
3120
3120
3114
3114
3114
3112
3112
3112
3116
3116
3116
3150
3102
3150
3102
3150
3102
3124

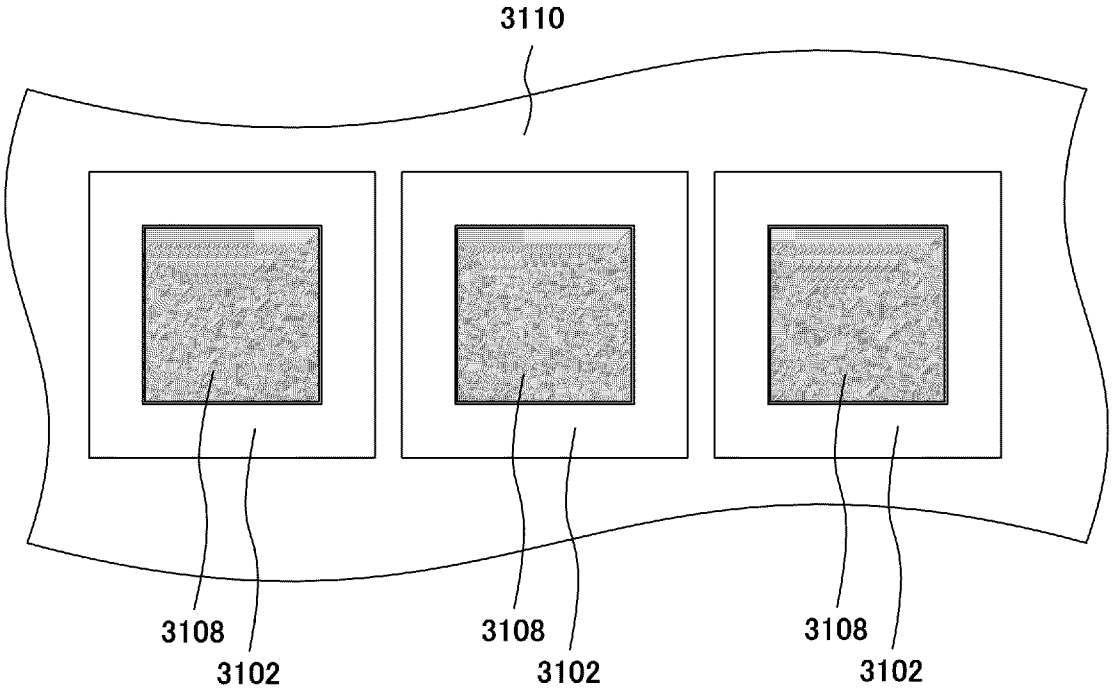
[図79]



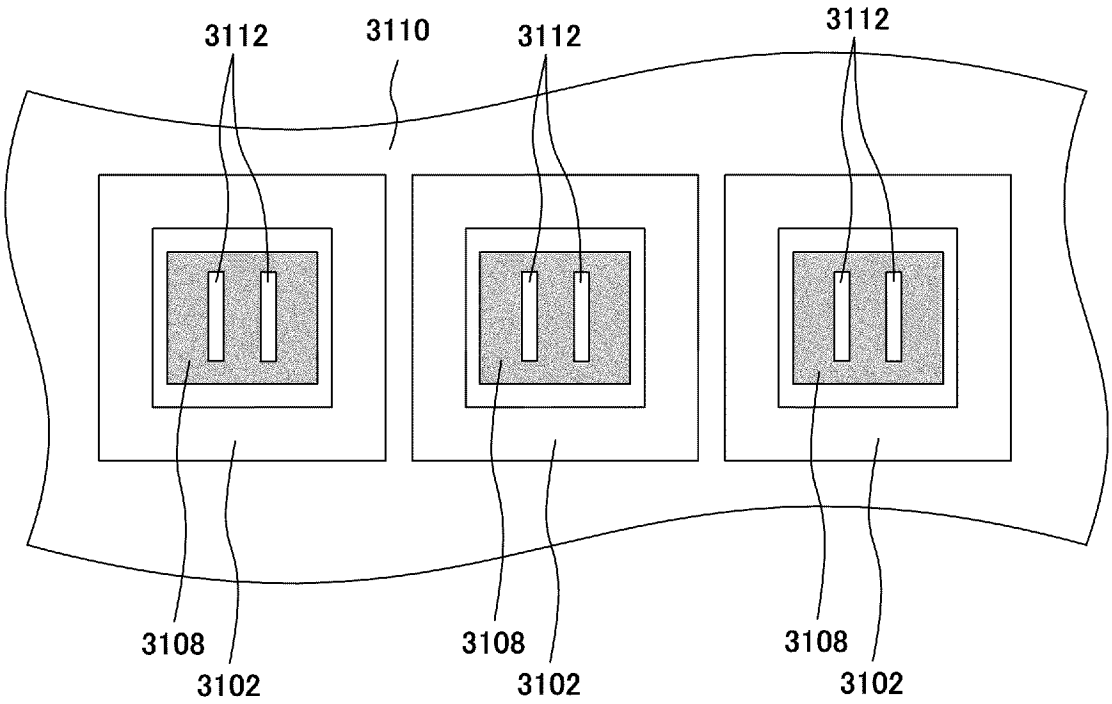
[図80]



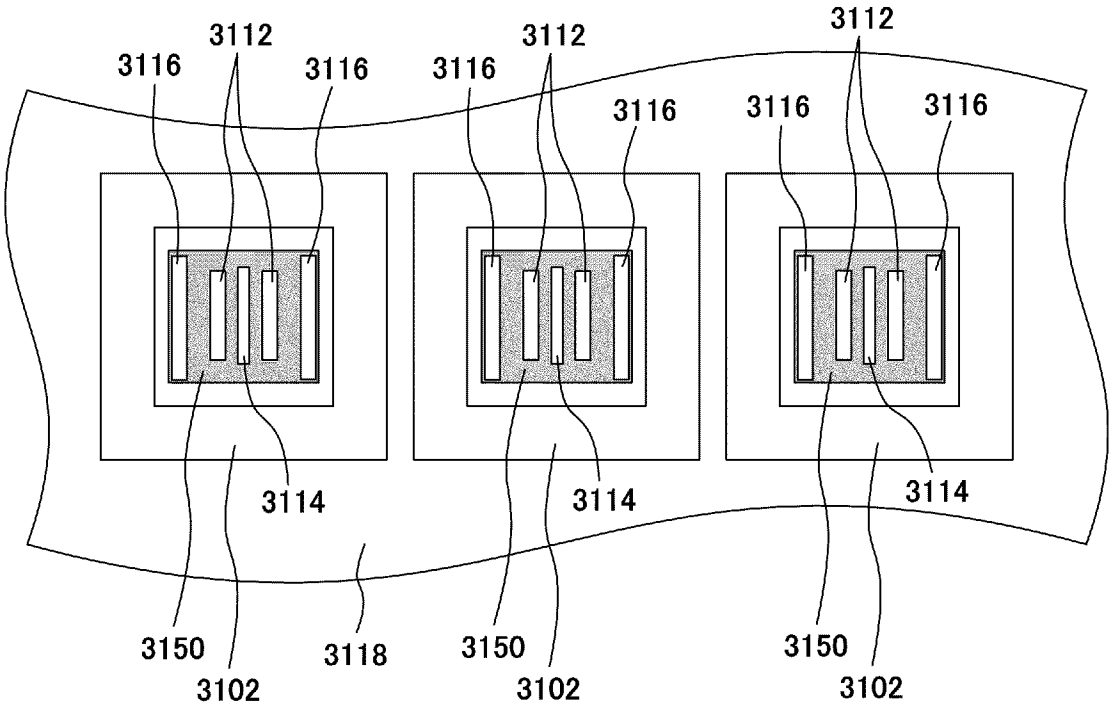
[図81]


3110
3108
3102
3108
3102
3108
3102

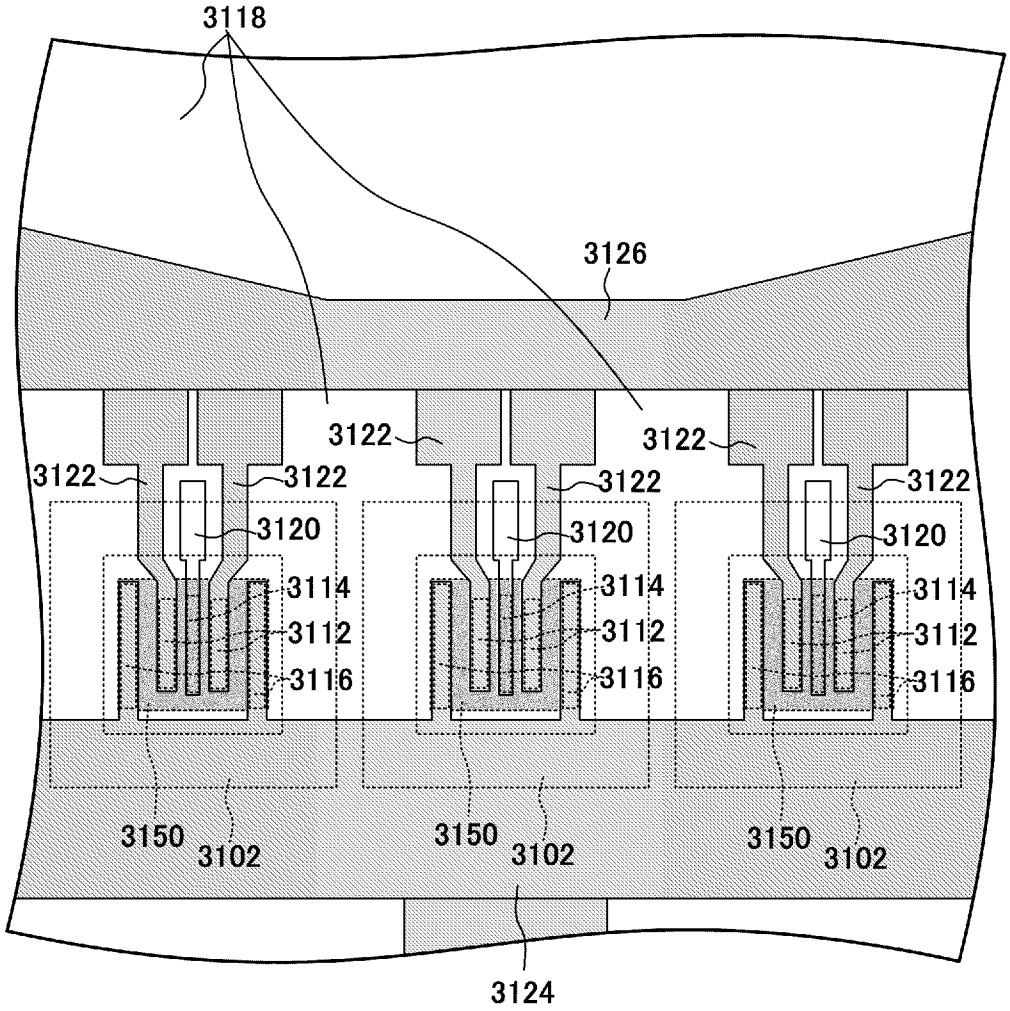
[図82]


3112
3110
3112
3112
3108
3102
3108
3102
3108
3102

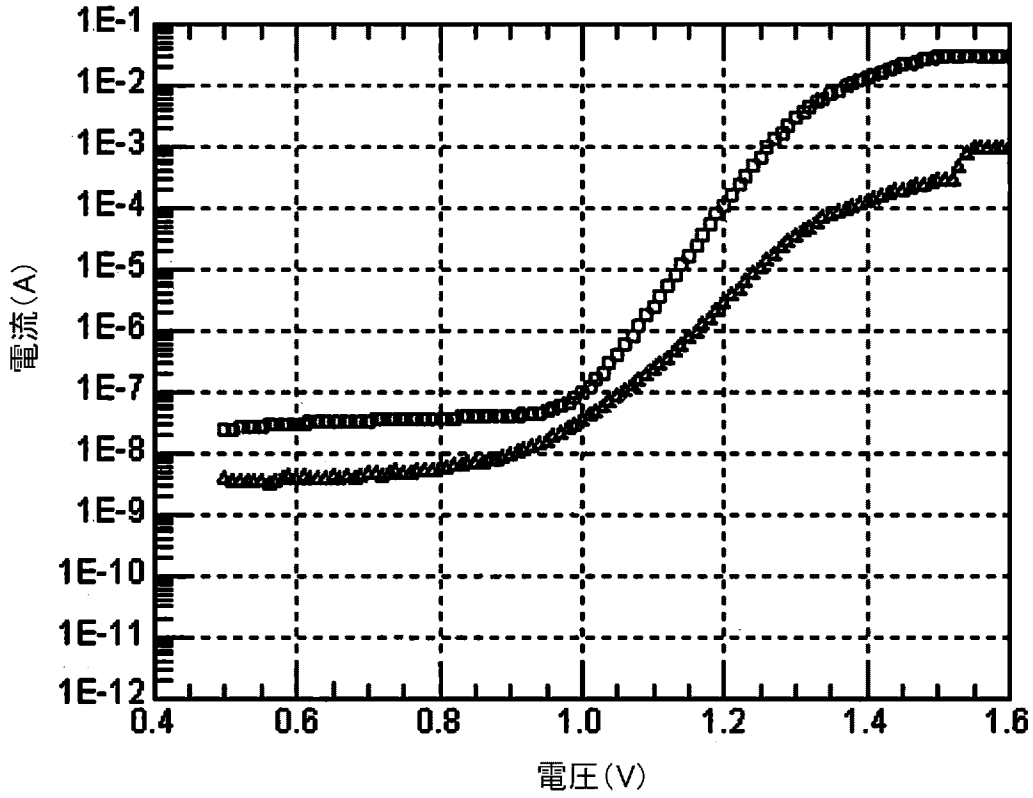
[図83]


3112
3116
3112
3116
3112
3116
3116
3116
3116
3114
3114
3114
3150
3102
3118
3150
3102
3150
3102

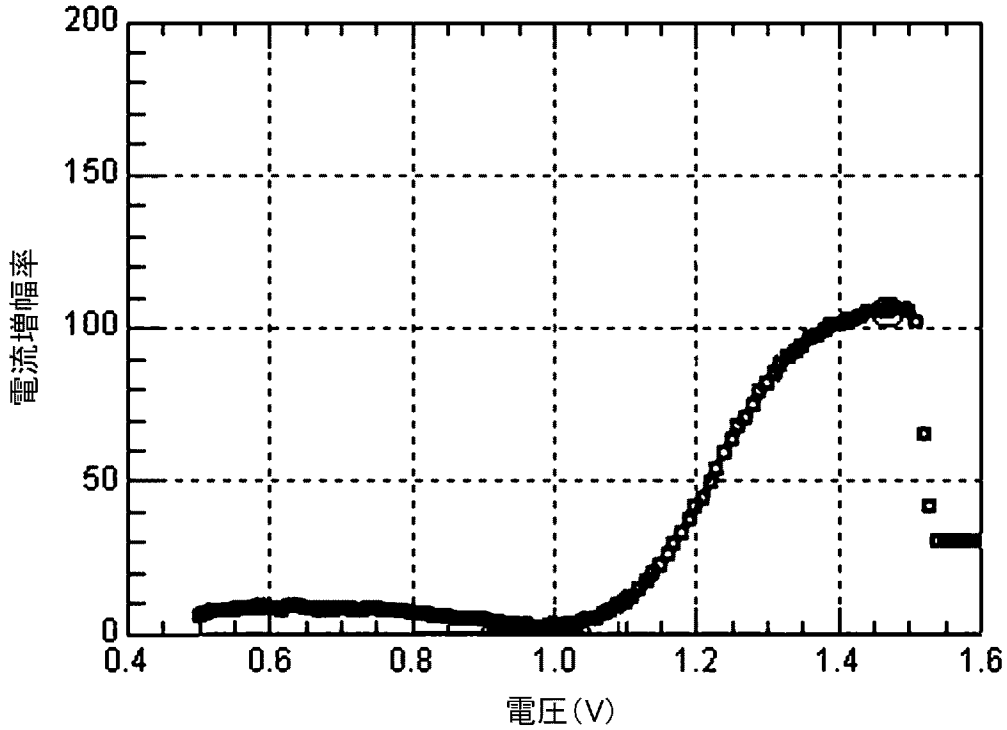
[図84]


3118
3126
3122
3122
3122
3122
3122
3122
3120
3120
3120
3114
3112
3116
3114
3112
3116
3114
3112
3116
3150
3102
3150
3102
3150
3102
3124

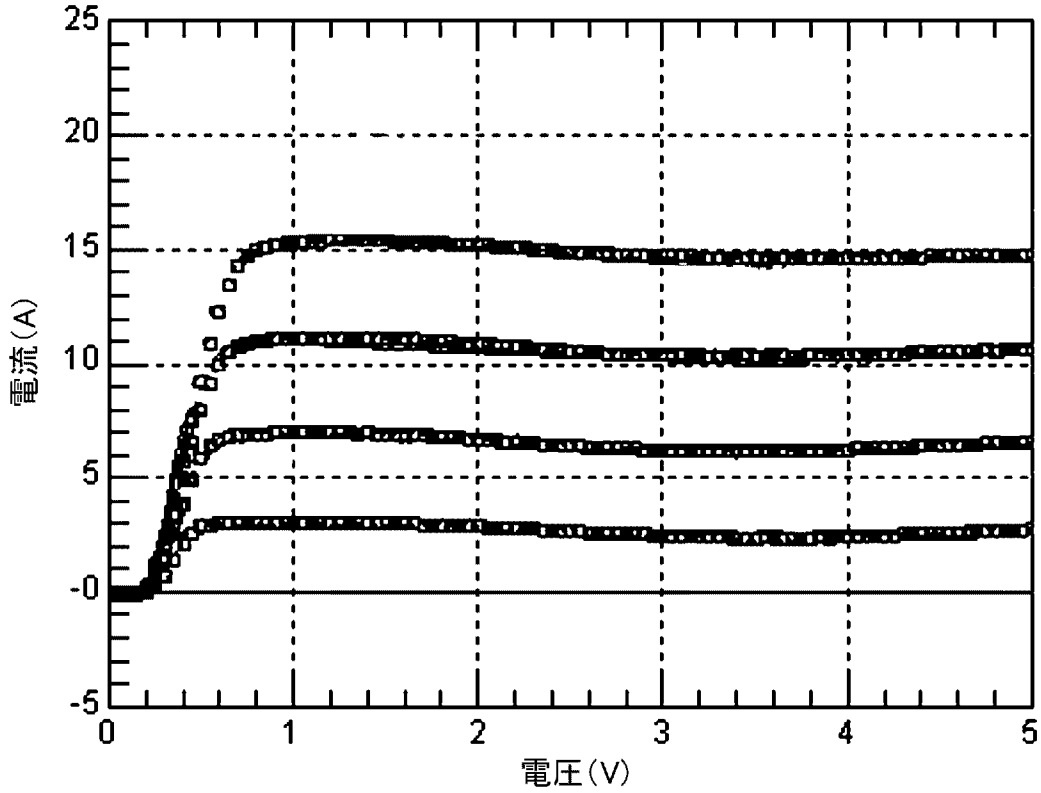
[図85]


1E-1
1E-2
1E-3
1E-4
1E-5
1E-6
1E-7
1E-8
1E-9
1E-10
1E-11
1E-12
電流(A)
0.4
0.6
0.8
1.0
1.2
1.4
1.6
電圧(V)

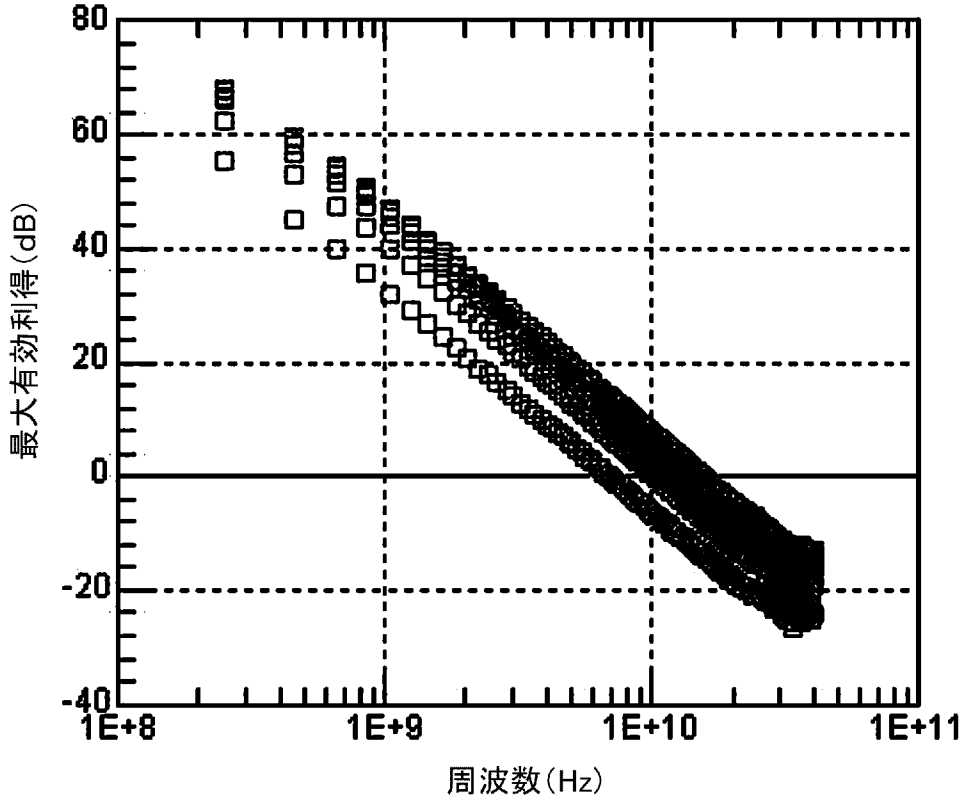
[図86]


200
150
100
50
0
電流増幅率
0.4
0.6
0.8
1.0
1.2
1.4
1.6
電圧(V)

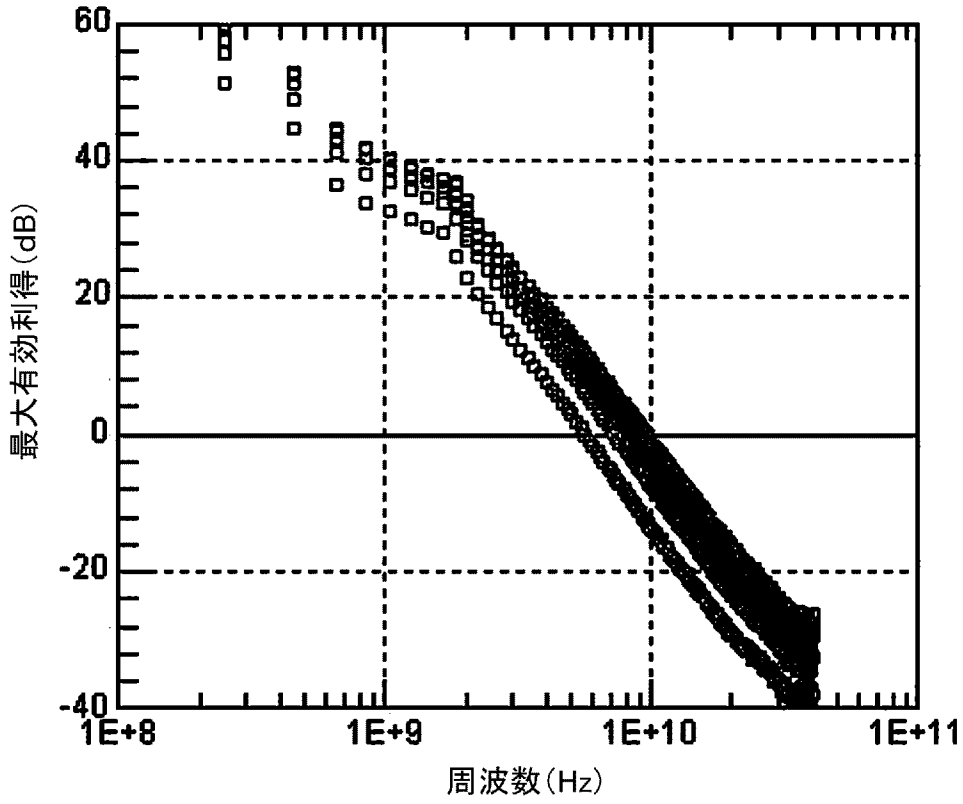
[図87]


25
20
15
10
5
-0
-5
0
1
2
3
4
5
電流(A)
電圧(V)

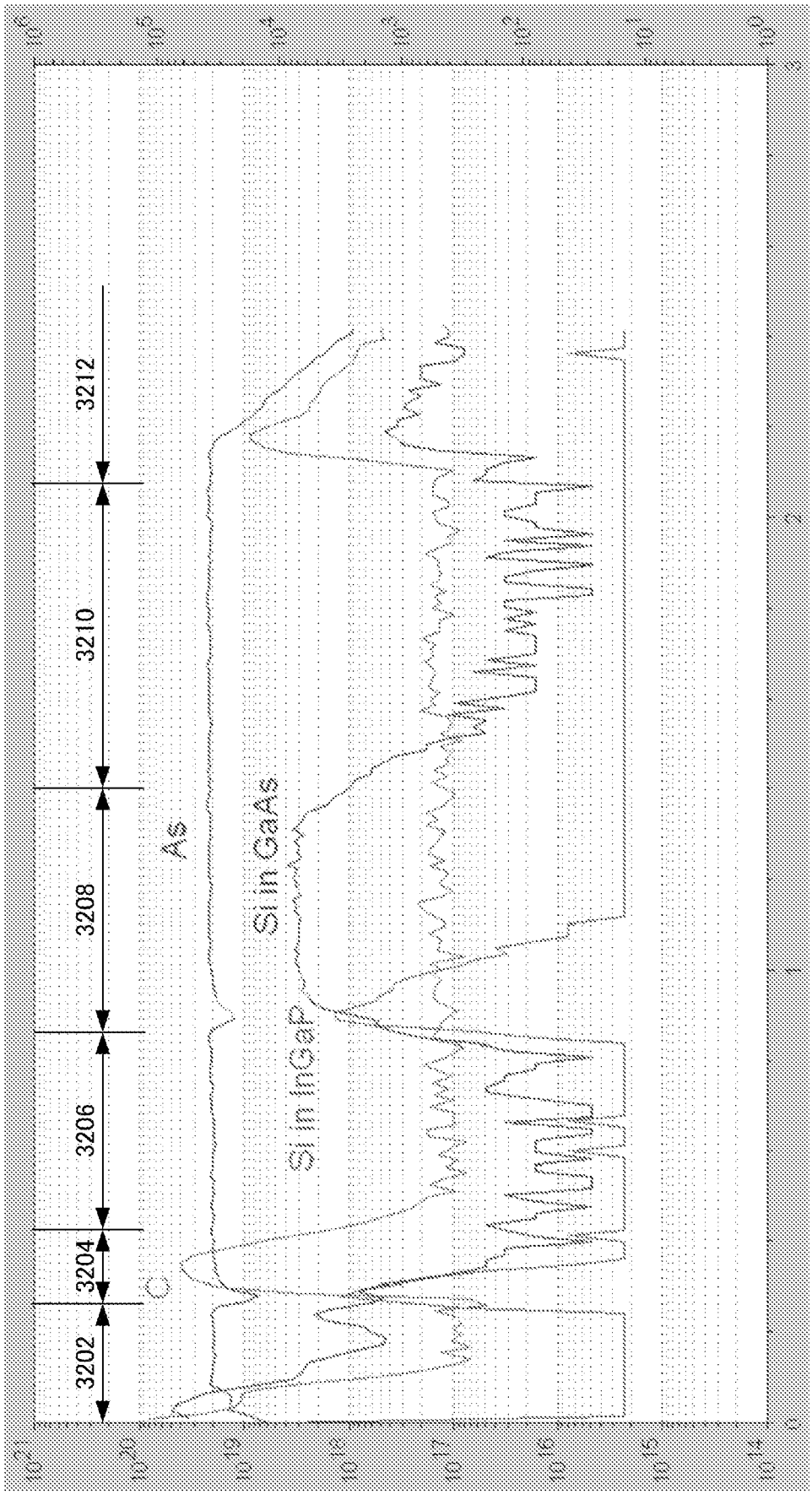
[図88]


80
60
40
20
0
-20
-40
1E+8
1E+9
1E+10
1E+11
最大有効利得(dB)
周波数(Hz)

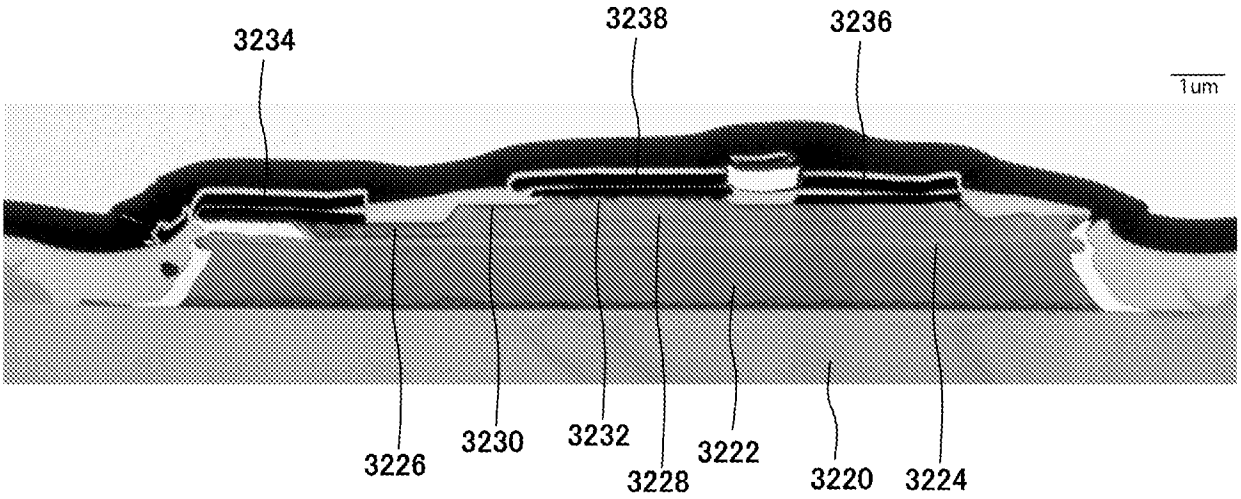
[図89]



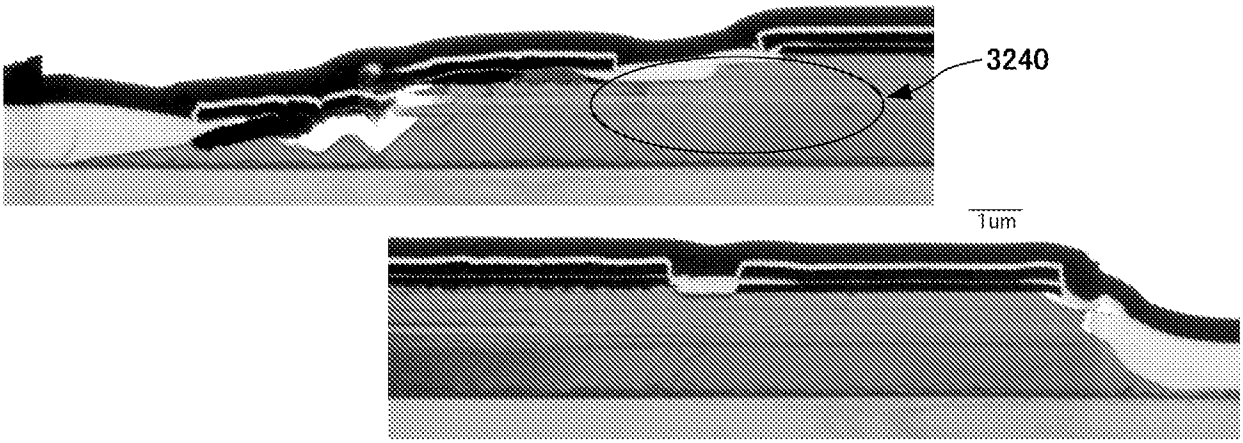
[図90]


3212
3210
3208
3206
3204
3202
As
Si in GaAs
Si in InGaP
C
濃度(atoms/cm3)
深さ(μm)

[図91]


3234
3238
3236
1um
3226
3230
3232
3228
3222
3220
3224

[図92]


3240
1um

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2009/005071

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/20(2006.01)i, *H01L21/02*(2006.01)i, *H01L21/336*(2006.01)i, *H01L21/338*(2006.01)i, *H01L27/12*(2006.01)i, *H01L29/778*(2006.01)i, *H01L29/786*(2006.01)i, *H01L29/812*(2006.01)i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/20, H01L21/02, H01L21/336, H01L21/338, H01L27/12, H01L29/778, H01L29/786, H01L29/812

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	Oh HJ, et al., "Integration of GaAs epitaxial layer to Si-based substrate using Ge condensation and low-temperature migration enhanced epitaxy techniques", JOURNAL OF APPLIED PHYSICS, 2007.09.01, Vol. 102, No. 5, pp. 054306-1 to 054306-6	1-36
Y	WO 2006/125040 A2 (AMBERWAVE SYSTEMS CORP.), 23 November 2006 (23.11.2006), fig. 6, 7 & JP 2008-546181 A & US 2006/0131606 A1 & US 2006/0292719 A1 & US 2009/0039361 A1 & KR 10-2008-0027254 A & CN 101300663 A	1-36

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
16 December, 2009 (16.12.09)	28 December, 2009 (28.12.09)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (April 2007)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2009/005071

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 04-084418 A (NEC Corp.), 17 March 1992 (17.03.1992), fig. 1 to 4 (Family: none)	3-7,32,34
Y	JP 2000-021771 A (Hewlett-Packard Co.), 21 January 2000 (21.01.2000), paragraphs [0056] to [0062]; fig. 25 to 27 & US 6500257 B1 & EP 951055 A2	4
Y	JP 04-162614 A (Olympus Optical Co., Ltd.), 08 June 1992 (08.06.1992), page 2, lower left column, line 18 to page 3, upper left column, line 9; fig. 3 to 5 (Family: none)	6,7,34
Y	McMahon WE, et al., "An STM and LEED study of MOCVD-prepared P/Ge (100) to (111) surfaces", SURFACE SCIENCE, 2004.11.01, Vol. 571, No. 1-3, pp. 146-156	8,11
Y	JP 61-135115 A (The United States of America), 23 June 1986 (23.06.1986), page 6, upper right column, line 14 to page 7, upper left column, line 4; fig. 6, 7 & US 4614564 A	12-14,21,22
Y	JP 01-227424 A (Sharp Corp.), 11 September 1989 (11.09.1989), page 3, lower left column, line 2 to lower right column, line 8; page 4, upper left column, line 17 to upper right column, line 3; fig. 1 (Family: none)	23,24,29
Y	JP 2000-243946 A (Toshiba Corp.), 08 September 2000 (08.09.2000), paragraphs [0078] to [0080]; fig. 8 & JP 2006-203223 A & US 6369438 B1 & US 6607948 B1 & US 2004/0070051 A1	27-29,35,36
Y	T. Tezuka, et. al., Dislocation-free formation of relaxed SiGe-on-insulator layers, APPLIED PHYSICS LETTERS, 2002.05.13, VOL. 80, NO. 19, pp.3560-3562	27-29,35,36

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００９／００５０７１

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/20(2006.01)i, H01L21/02(2006.01)i, H01L21/336(2006.01)i, H01L21/338(2006.01)i, H01L27/12(2006.01)i, H01L29/778(2006.01)i, H01L29/786(2006.01)i, H01L29/812(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/20, H01L21/02, H01L21/336, H01L21/338, H01L27/12, H01L29/778, H01L29/786, H01L29/812

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００９年
日本国実用新案登録公報	１９９６－２００９年
日本国登録実用新案公報	１９９４－２００９年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	Oh HJ, et al.,, "Integration of GaAs epitaxial layer to Si-based substrate using Ge condensation and low-temperature migration enhanced epitaxy techniques", JOURNAL OF APPLIED PHYSICS, 2007.09.01, Vol. 102, No. 5, pp. 054306-1～054306-6	1-36
Y	WO 2006/125040 A2 (AMBERWAVE SYSTEMS CORPORATION) 2006.11.23, FIG. 6, 7 & JP 2008-546181 A & US 2006/0131606 A1 & US 2006/0292719 A1 & US 2009/0039361 A1 & KR 10-2008-0027254 A & CN 101300663 A	1-36

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 １６．１２．２００９	国際調査報告の発送日 ２８．１２．２００９
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　４Ｌ　９８３５ 萩原　周治 電話番号　０３－３５８１－１１０１　内線　３４９８

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 04-084418 A（日本電気株式会社）1992.03.17，第１－４図（ファミリーなし）	3-7，32，34
Y	JP 2000-021771 A（ヒューレット・パッカード・カンパニー）2000.01.21，段落【００５６】－【００６２】，第２５－２７図 & US 6500257 B1 & EP 951055 A2	4
Y	JP 04-162614 A（オリンパス光学工業株式会社）1992.06.08，第２頁左下欄第１８行乃至第３頁左上欄第９行及び第３－５図（ファミリーなし）	6，7，34
Y	McMahon WE, et al., "An STM and LEED study of MOCVD-prepared P/Ge (100) to (111) surfaces", SURFACE SCIENCE, 2004.11.01, Vol. 571, No. 1-3, pp. 146-156	8，11
Y	JP 61-135115 A（アメリカ合衆国）1986.06.23，第６頁右上欄第１４行乃至第７頁左上欄第４行及び第６，７図 & US 4614564 A	12-14，21，22
Y	JP 01-227424 A（シャープ株式会社）1989.09.11，第３頁左下欄第２行乃至右下欄第８行，第４頁左上欄第１７行乃至右上欄第３行及び第１図（ファミリーなし）	23，24，29
Y	JP 2000-243946 A（株式会社東芝）2000.09.08，段落【００７８】－【００８０】及び第８図 & JP 2006-203223 A & US 6369438 B1 & US 6607948 B1 & US 2004/0070051 A1	27-29，35，36
Y	T. Tezuka, et. al., Dislocation-free formation of relaxed SiGe-on-insulator layers, APPLIED PHYSICS LETTERS, 2002.05.13, VOL. 80, NO. 19, pp.3560-3562	27-29，35，36