



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0008923
(43) 공개일자 2019년01월25일

(51) 국제특허분류(Int. Cl.)
H05K 3/38 (2006.01) H05K 1/02 (2006.01)
H05K 3/02 (2006.01) H05K 3/46 (2006.01)
(52) CPC특허분류
H05K 3/383 (2013.01)
H05K 1/0242 (2013.01)
(21) 출원번호 10-2018-7036624
(22) 출원일자(국제) 2017년05월18일
심사청구일자 없음
(85) 번역문제출일자 2018년12월17일
(86) 국제출원번호 PCT/US2017/033342
(87) 국제공개번호 WO 2017/201294
국제공개일자 2017년11월23일
(30) 우선권주장
62/337,979 2016년05월18일 미국(US)

(71) 출원인
아이솔라 유에스에이 코프
미국 애리조나 85226 챠들러 스위트 301 레이 로
드 3100 더블유
(72) 발명자
게이 마이클
미국 97140 오리건주 셔우드 사우스웨스트 파인허
스트 드라이브 22890
(74) 대리인
특허법인코리아나

전체 청구항 수 : 총 56 항

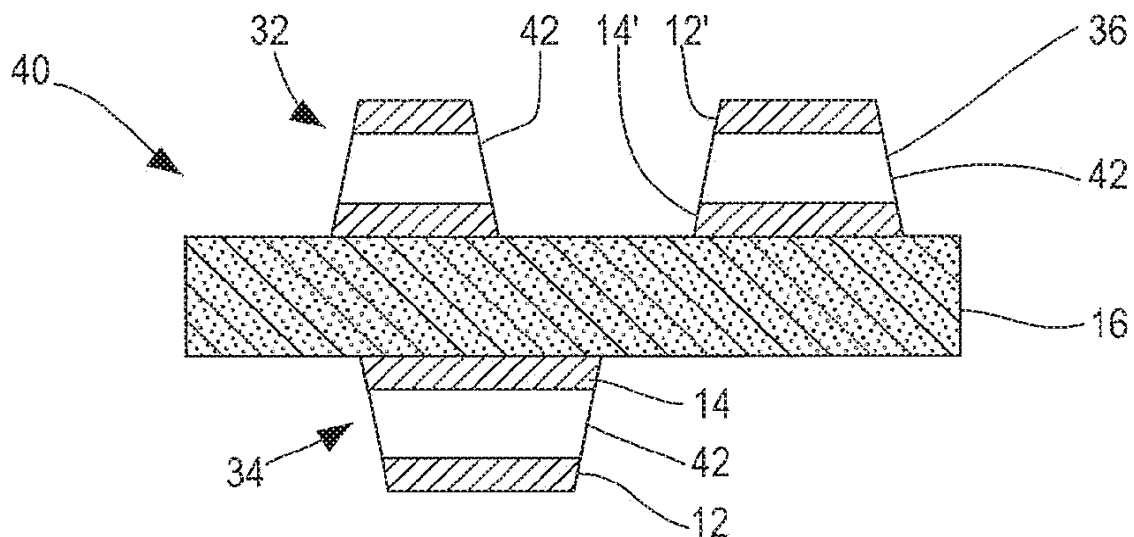
(54) 발명의 명칭 회로 기판들을 제조하는 방법

(57) 요약

낮은 프로파일의 구리 층들로부터의 라미네이트들 상에 전기 회로들을 제조하기 위한 방법들로서, 상기 그 회로
들 중 하나 이상이 공지되고 재생가능한 신호 손실들을 갖는다. 인쇄 회로 기판들 (40) 을 제조하기 위한 방
법은: 제 1 평면 표면 및 제 2 평면 표면을 갖는 평면 유전체 재료 층, 및 제 1 평면 표면 및 제 2 평면 표면을

(뒷면에 계속)

대표도 - 도3c



갖는 제 1 구리 포일 시트 (10) 를 포함하는 평면 시트 (16) 를 제공하는 단계로서, 여기서 제 1 구리 포일의 평면 표면은 제 1 유전체 재료 층의 평면 표면과 연관되고, 여기서 제 1 구리 포일 시트의 제 1 표면 및 제 2 표면 각각은 결합 강화 층 (12, 14) 을 포함하는, 상기 평면 시트를 제공하는 단계; 및 제 1 평면 구리 시트의 불필요한 부분들을 제거하고 회로 패턴 구리를 그대로 두어 회로 패턴을 포함하는 내부층 시트를 형성함으로써 제 1 평면 구리 시트에 회로 패턴 (32, 34, 36) 을 형성하는 단계로서, 상기 결합 강화 층은 회로 패턴에 적용되지 않는, 상기 회로 패턴 (32, 34, 36) 을 형성하는 단계를 포함한다.

(52) CPC특허분류

H05K 3/022 (2019.01)

H05K 3/385 (2013.01)

H05K 3/389 (2013.01)

H05K 3/4611 (2013.01)

H05K 3/4652 (2013.01)

H05K 2201/0373 (2013.01)

H05K 2203/0307 (2013.01)

명세서

청구범위

청구항 1

인쇄 회로 기판들을 제조하기 위한 방법으로서,

i. 제 1 평면 표면 및 제 2 평면 표면을 갖는 평면 유전체 재료 층, 및 제 1 평면 표면 및 제 2 평면 표면을 갖는 제 1 구리 포일 시트를 포함하는 평면 시트를 제공하는 단계로서, 제 1 구리 포일의 평면 표면은 제 1 유전체 재료 층의 평면 표면과 연관되고, 상기 제 1 구리 포일 시트의 제 1 표면 및 제 2 표면 각각은 결합 강화 층을 포함하는, 상기 평면 시트를 제공하는 단계; 및

ii. 제 1 평면 구리 시트의 불필요한 부분들을 제거하고 회로 패턴 구리를 그대로 두어 회로 패턴을 포함하는 내부층 시트를 형성함으로써 상기 제 1 평면 구리 시트에 상기 회로 패턴을 형성하는 단계로서, 상기 결합 강화 층은 상기 회로 패턴에 적용되지 않는, 상기 회로 패턴을 형성하는 단계를 포함하는, 인쇄 회로 기판들을 제조하기 위한 방법.

청구항 2

제 1 항에 있어서,

유전체 재료 층이 상기 내부층 시트에 적층되어 상기 유전체 재료 층이 상기 회로 패턴의 제 2 평면 표면에 부착되게 하는, 인쇄 회로 기판들을 제조하기 위한 방법.

청구항 3

제 1 항에 있어서,

결합 강화 층들을 평면 구리 포일 시트의 제 1 및 제 2 표면들에 적용하기 위해 결합 강화 방법들이 사용되는, 인쇄 회로 기판들을 제조하기 위한 방법.

청구항 4

제 3 항에 있어서,

상기 결합 강화 층을 상기 평면 구리 포일 시트의 제 1 표면에 적용하기 위해 제 1 결합 강화 방법이 사용되고, 상기 결합 강화 층을 상기 평면 구리 포일 시트의 제 2 표면에 적용하기 위해 제 2 결합 강화 방법이 사용되며,

상기 제 1 결합 강화 방법 및 상기 제 2 결합 강화 방법은 상이한 결합 강화 방법들인, 인쇄 회로 기판들을 제조하기 위한 방법.

청구항 5

제 1 항에 있어서,

상기 결합 강화 층들은 약 0.25 내지 약 5.0 미크론의 Rz 거칠기를 갖는, 인쇄 회로 기판들을 제조하기 위한 방법.

청구항 6

제 1 항에 있어서,

제 1 평면 구리 포일 시트의 제 1 평면 표면의 표면 거칠기는 약 1.5 미크론 미만인, 인쇄 회로 기판들을 제조하기 위한 방법.

청구항 7

제 1 항에 있어서,

상기 제 1 구리 포일 시트의 제 2 평면 표면의 표면 거칠기는 약 2.5 미크론 미만인, 인쇄 회로 기판들을 제조하기 위한 방법.

청구항 8

제 1 항에 있어서,

상기 회로 패턴은 제 1 구리 시트의 제 1 평면 표면에 대응하는 저부 벽, 상기 제 1 구리 포일 시트의 제 2 평면 표면에 대응하는 상부 벽 및 측벽들을 포함하고, 상기 측벽들은 결합 강화 층을 포함하지 않는, 인쇄 회로 기판들을 제조하기 위한 방법.

청구항 9

제 1 항에 있어서,

상기 내부층 시트는 복수의 송신 라인들을 갖는 회로 패턴을 포함하는, 인쇄 회로 기판들을 제조하기 위한 방법.

청구항 10

제 1 항에 있어서,

상기 평면 시트는 제 1 평면 표면 및 제 2 평면 표면을 갖는 제 2 구리 포일 시트를 포함하고,

제 2 구리 포일의 제 1 평면 표면은 상기 유전체 재료 층의 제 2 평면 표면과 연관되고, 제 2 평면 구리 포일 시트의 제 1 표면 및 제 2 표면 각각은 결합 강화 층을 포함하는, 인쇄 회로 기판들을 제조하기 위한 방법.

청구항 11

제 10 항에 있어서,

회로 패턴이 제 2 구리 시트에 형성되고, 상기 결합 강화 층은 상기 회로 패턴에 적용되지 않는, 인쇄 회로 기판들을 제조하기 위한 방법.

청구항 12

제 1 항에 있어서,

적어도 하나의 내부층 시트를 프리프레그 상에 적층함으로써 레이업이 형성되는, 인쇄 회로 기판들을 제조하기 위한 방법.

청구항 13

제 1 항에 있어서,

상기 제 1 구리 포일 시트의 제 1 및 제 2 평면 구리 표면들의 거칠기는 본질적으로 동일한, 인쇄 회로 기판들을 제조하기 위한 방법.

청구항 14

제 1 항에 있어서,

상기 제 1 구리 포일 시트의 제 1 및 제 2 평면 구리 표면들의 거칠기는 약 0.1 내지 약 6.0 미크론 범위인, 인쇄 회로 기판들을 제조하기 위한 방법.

청구항 15

제 1 항에 있어서,

구리 포일들은 1 온스 구리 포일, 1/2 온스 구리 포일 및 1/4 온스 구리 포일로부터 선택되는, 인쇄 회로 기판들을 제조하기 위한 방법.

청구항 16

제 1 항에 있어서,

상기 제 1 구리 포일 시트는 10 내지 400 미크론의 두께를 갖는 낮은 프로파일의 구리 포일 시트이고, 보다 바람직하게는 약 5 미크론 내지 약 200 미크론, 그리고 더 좁게는 약 5 내지 약 35 미크론의 두께를 갖는 매우 낮은 프로파일의 구리 시트들인, 인쇄 회로 기판들을 제조하기 위한 방법.

청구항 17

제 1 항에 있어서,

적어도 하나의 제 1 구리 시트의 결합 강화 층은 코팅을 포함하는, 인쇄 회로 기판들을 제조하기 위한 방법.

청구항 18

제 9 항에 있어서,

상기 회로 패턴은 약 25 내지 약 250 미크론의 폭들을 갖는 복수의 송신 라인들을 포함하는, 인쇄 회로 기판들을 제조하기 위한 방법.

청구항 19

제 1 항에 있어서,

결합 강화 층들은 상기 제 1 구리 포일 시트의 제 1 및 제 2 평면 구리 표면들 상에 동시에 부여되는, 인쇄 회로 기판들을 제조하기 위한 방법.

청구항 20

제 1 항에 있어서,

상기 평면 시트는 레진 코팅된 구리, 구리 피복된 프리프레그 또는 c-스테이지 라미네이트로부터 선택되는, 인쇄 회로 기판들을 제조하기 위한 방법.

청구항 21

복수의 인쇄 회로 기판들을 제조하는 방법으로서,

a. 추가의 단계들에 의해 제 1 제조 위치에서 복수의 인쇄 회로 기판들을 제조하는 단계로서, 상기 추가의 단계들은,

제 1 평면 표면 및 제 2 평면 표면을 갖는 유전체 재료 층, 및 제 1 평면 표면 및 제 2 평면 표면을 갖는 제 1 구리 포일 시트를 포함하는 평면 시트를 제공하는 단계로서, 제 1 구리 포일의 제 1 평면 표면은 상기 유전체 재료 층의 제 1 평면 표면과 연관되고, 상기 제 1 구리 포일 시트의 제 1 표면 및 제 2 표면 각각은 결합 강화 층을 포함하는, 상기 평면 시트를 제공하는 단계;

제 1 평면 구리 시트의 불필요한 부분들을 제거하고 회로 패턴 구리를 그대로 두어서 회로 패턴을 포함하는 제 1 제조된 내부층 시트를 형성함으로써 상기 제 1 구리 포일 시트에 상기 회로 패턴을 형성하는 단계로서, 상기 결합 강화 층은 상기 회로 패턴에 적용되지 않고 상기 회로 패턴은 총 손실을 갖는 송신 라인을 포함하는, 상기 회로 패턴을 형성하는 단계; 및

상기 제 1 제조된 내부층 시트를 제 1 제조된 인쇄 회로 기판에 통합하는 단계

인, 상기 제 1 제조 위치에서 복수의 인쇄 회로 기판들을 제조하는 단계; 및

b. 추가의 단계들에 의해 제 2 제조 위치에서 복수의 인쇄 회로 기판들을 제조하는 단계로서, 상기 추가의 단계들은,

제 1 평면 표면 및 제 2 평면 표면을 갖는 유전체 재료 층, 및 제 1 평면 표면 및 제 2 평면 표면을 갖는 제 1 구리 포일 시트를 포함하는 평면 시트를 제공하는 단계로서, 상기 제 1 구리 포일 시트의 제 1 평면 표면은 상기 유전체 재료 층의 제 1 평면 표면과 연관되고, 상기 제 1 구리 포일 시트의 제 1 표면 및 제 2 표면 각각은 결합 강화 층을 포함하는, 상기 평면 시트를 제공하는 단계;

상기 제 1 평면 구리 시트의 불필요한 부분들을 제거하고 상기 회로 패턴 구리를 그대로 두어서 회로 패턴을 포

합하는 제 2 제조된 내부층 시트를 형성함으로써 제 1 평면 구리 시트에 회로 패턴을 형성하는 단계로서, 상기 결합 강화 층은 상기 회로 패턴에 적용되지 않고 상기 회로 패턴은 총 손실을 갖는 송신 라인을 포함하는, 상기 회로 패턴을 형성하는 단계; 및

상기 제 2 제조된 내부층 시트를 제 2 제조된 인쇄 회로 기판에 통합하는 단계로서, 제 1 제조된 내부층의 송신 라인은 제 2 제조된 내부층의 송신 라인과 본질적으로 동일한, 상기 제 2 제조된 내부층 시트를 제 2 제조된 인쇄 회로 기판에 통합하는 단계

인, 상기 제 2 제조 위치에서 복수의 인쇄 회로 기판들을 제조하는 단계;

c. 복수의 제 1 제조된 내부층들 및 제 2 제조된 내부층들을 형성하기 위해 단계들 (a) 및 (b) 을 복수 회 반복하는 단계로서, 상기 복수의 제 1 제조된 내부층의 적어도 90 퍼센트의 측정된 송신 라인의 총 손실 및 복수의 제 2 제조된 내부층의 적어도 90 퍼센트의 측정된 송신 라인의 총 손실은 10% 이하로 서로 상이한, 상기 단계들 (a) 및 (b) 을 복수 회 반복하는 단계를 포함하는, 복수의 인쇄 회로 기판들을 제조하는 방법.

청구항 22

제 21 항에 있어서,

상기 복수의 제 1 제조된 내부층의 적어도 95 퍼센트의 상기 측정된 송신 라인의 총 손실 및 상기 복수의 제 2 제조된 내부층의 적어도 95 퍼센트의 상기 측정된 송신 라인의 총 손실은 10% 이하로 서로 상이한, 복수의 인쇄 회로 기판들을 제조하는 방법.

청구항 23

제 21 항에 있어서,

상기 구리 포일 시트가 유전체 재료 층과 연관되기 전에 결합 강화 층들을 평면 구리 포일 시트의 제 1 및 제 2 표면들에 적용하기 위해 결합 강화 방법들이 사용되는, 복수의 인쇄 회로 기판들을 제조하는 방법.

청구항 24

제 23 항에 있어서,

상기 결합 강화 층을 상기 평면 구리 포일 시트의 제 1 표면에 적용하기 위해 제 1 결합 강화 방법이 사용되고, 상기 결합 강화 층을 상기 평면 구리 포일 시트의 제 2 표면에 적용하기 위해 상이한 제 2 결합 강화 방법이 사용되는, 복수의 인쇄 회로 기판들을 제조하는 방법.

청구항 25

제 21 항에 있어서,

상기 결합 강화 층들은 약 0.25 내지 약 5.0 μm 의 Rz 거칠기를 갖는, 복수의 인쇄 회로 기판들을 제조하는 방법.

청구항 26

제 21 항에 있어서,

제 1 평면 구리 포일 시트의 제 1 평면 표면의 표면 거칠기는 약 1.5 미크론 미만인, 복수의 인쇄 회로 기판들을 제조하는 방법.

청구항 27

제 21 항에 있어서,

상기 제 1 구리 포일 시트의 제 2 평면 표면의 표면 거칠기는 약 2.5 미크론 미만인, 복수의 인쇄 회로 기판들을 제조하는 방법.

청구항 28

제 21 항에 있어서,

상기 단계들 (a) 및 (b) 에서 형성된 상기 회로 패턴은 제 1 구리 시트의 제 1 평면 표면에 대응하는 저부 벽, 상기 제 1 구리 포일 시트의 제 2 평면 표면에 대응하는 상부 벽 및 측벽들을 포함하고, 상기 측벽들은 결합 강화 층을 포함하지 않는, 복수의 인쇄 회로 기판들을 제조하는 방법.

청구항 29

제 21 항에 있어서,

상기 단계들 (a) 및 (b)에서 제조된 상기 내부층 시트들은 복수의 송신 라인들을 갖는 회로 패턴을 포함하고,

제 1 제조 설비 및 제 2 제조 설비는 상기 제 1 및 제 2 제조된 인쇄 회로 기판들을 형성하기 위해 상이한 방법들을 사용하는, 복수의 인쇄 회로 기판들을 제조하는 방법.

청구항 30

제 21 항에 있어서,

상기 단계들 (a) 및 (b) 의 상기 평면 시트는 각각, 제 1 평면 표면 및 제 2 평면 표면을 갖는 제 2 구리 포일 시트를 포함하고,

제 2 구리 포일의 제 1 평면 표면은 상기 유전체 재료 층의 제 2 평면 표면과 연관되고, 제 2 평면 구리 포일 시트의 제 1 표면 및 제 2 표면 각각은 결합 강화 층을 포함하는, 복수의 인쇄 회로 기판들을 제조하는 방법.

청구항 31

제 30 항에 있어서,

회로 패턴이 상기 단계들 (a) 및 (b) 에서 제 2 구리 시트에 형성되고, 상기 결합 강화 층은 상기 회로 패턴에 적용되지 않는, 복수의 인쇄 회로 기판들을 제조하는 방법.

청구항 32

제 21 항에 있어서,

상기 제 1 구리 포일 시트의 제 1 및 제 2 평면 구리 표면들의 거칠기는 본질적으로 동일한, 복수의 인쇄 회로 기판들을 제조하는 방법.

청구항 33

제 21 항에 있어서,

상기 제 1 구리 포일 시트의 제 1 및 제 2 평면 구리 표면들의 거칠기는 약 0.4 내지 약 6.0 μm 범위인, 복수의 인쇄 회로 기판들을 제조하는 방법.

청구항 34

제 21 항에 있어서,

상기 단계들 (a) 및 (b) 에서 사용되는 상기 제 1 구리 포일 시트는 1 온스 구리 포일, 1/2 온스 구리 포일 및 1/4 온스 구리 포일로부터 선택되는, 복수의 인쇄 회로 기판들을 제조하는 방법.

청구항 35

제 21 항에 있어서,

상기 단계들 (a) 및 (b) 에서 사용된 상기 제 1 구리 포일 시트는 약 5 미크론 내지 35 미크론의 두께를 갖는 매우 낮은 프로파일의 구리 시트들인, 복수의 인쇄 회로 기판들을 제조하는 방법.

청구항 36

제 21 항에 있어서,

적어도 하나의 제 1 구리 시트의 결합 강화 층은 코팅을 포함하는, 복수의 인쇄 회로 기판들을 제조하는 방법.

청구항 37

제 21 항에 있어서,

적어도 하나의 상기 송신 라인들은 약 25 내지 약 250 미크론의 폭을 갖는, 복수의 인쇄 회로 기판들을 제조하는 방법.

청구항 38

제 21 항에 있어서,

상기 결합 강화 층들은 상기 단계들 (a) 및 (b) 에서 사용된 상기 제 1 구리 포일 시트의 제 1 및 제 2 평면 구리 표면들 상에 동시에 부여되는, 복수의 인쇄 회로 기판들을 제조하는 방법.

청구항 39

제 21 항에 있어서,

상기 단계들 (a) 및 (b) 의 상기 평면 시트는 레진 코팅된 구리, 구리 피복된 프리프레그 또는 c-스테이지 라미네이트로부터 선택되는, 복수의 인쇄 회로 기판들을 제조하는 방법.

청구항 40

평면 시트로서,

제 1 평면 표면 및 제 2 평면 표면을 갖는 평면 유전체 재료 층, 및 제 1 평면 표면 및 제 2 평면 표면을 갖는 제 1 구리 포일 시트를 포함하며,

제 1 구리 포일의 평면 표면은 제 1 유전체 재료층의 평면 표면과 연관되고, 상기 제 1 구리 포일 시트의 제 1 표면 및 제 2 표면 각각은 결합 강화 층을 포함하는, 평면 시트.

청구항 41

제 40 항에 있어서,

회로 패턴이 제 1 평면 구리 시트에 형성되어 회로 패턴 구리를 그대로 두면서 상기 제 1 평면 구리 시트의 불필요한 부분들이 제거되게 하고, 상기 결합 강화 층은 상기 회로 패턴이 형성된 후에 상기 회로 패턴에 적용되지 않는, 평면 시트.

청구항 42

제 40 항에 있어서,

상기 평면 시트에 적층된 제 2 유전체 재료 층을 포함하여, 상기 제 2 유전체 재료 층이 회로 패턴의 제 2 평면 표면에 부착되게 하는, 평면 시트.

청구항 43

제 40 항에 있어서,

상기 제 1 구리 포일 시트의 제 1 표면 및 제 2 표면의 결합 강화 층들은 상이한 결합 강화 방법들에 의해 형성되는, 평면 시트.

청구항 44

제 40 항에 있어서,

상기 결합 강화 층들은 약 0.25 내지 약 5.0 미크론들의 Rz 거칠기를 갖는, 평면 시트.

청구항 45

제 40 항에 있어서,

상기 제 1 구리 포일 시트의 제 1 평면 표면의 표면 거칠기는 약 1.5 미크론 미만인, 평면 시트.

청구항 46

제 40 항에 있어서,

상기 제 1 구리 포일 시트의 제 2 평면 표면의 표면 거칠기는 약 2.5 미크론 미만인, 평면 시트.

청구항 47

제 41 항에 있어서,

상기 회로 패턴은 제 1 구리 시트의 제 1 평면 표면에 대응하는 저부 벽, 상기 제 1 구리 포일 시트의 제 2 평면 표면에 대응하는 상부 벽 및 측벽들을 포함하고, 상기 측벽들은 결합 강화 층을 포함하지 않는, 평면 시트.

청구항 48

제 47 항에 있어서,

상기 회로 패턴은 복수의 송신 라인들을 포함하는, 평면 시트.

청구항 49

제 40 항에 있어서,

제 1 평면 표면 및 제 2 평면 표면을 갖는 제 2 구리 포일 시트를 포함하고,

제 2 구리 포일의 제 1 평면 표면은 상기 유전체 재료 층의 제 2 평면 표면과 연관되고, 제 2 평면 구리 포일 시트의 제 1 표면 및 제 2 표면 각각은 결합 강화 층을 포함하는, 평면 시트.

청구항 50

제 49 항에 있어서,

회로 패턴이 제 2 구리 시트에 형성되고, 상기 결합 강화 층은 상기 회로 패턴에 적용되지 않는, 평면 시트.

청구항 51

제 40 항에 있어서,

상기 제 1 구리 포일 시트의 제 1 및 제 2 평면 구리 표면들의 거칠기는 본질적으로 동일한, 평면 시트.

청구항 52

제 40 항에 있어서,

상기 제 1 구리 포일 시트의 제 1 및 제 2 평면 구리 표면들의 거칠기는 약 0.1 내지 약 6.0 미크론 범위인, 평면 시트.

청구항 53

제 40 항에 있어서,

구리 포일들은 1 온스 구리 포일, 1/2 온스 구리 포일 및 1/4 온스 구리 포일로부터 선택되는, 평면 시트.

청구항 54

제 40 항에 있어서,

상기 제 1 구리 포일 시트는 약 5 미크론 내지 약 35 미크론의 두께를 갖는 매우 낮은 프로파일의 구리 시트들인, 평면 시트.

청구항 55

제 40 항에 있어서,

적어도 하나의 제 1 구리 시트의 결합 강화 층은 코팅을 포함하는, 평면 시트.

청구항 56

제 40 항에 있어서,

레진 코팅된 구리, 구리 피복된 프리프레그 또는 구리 피복된 c-스테이지 라미네이트로부터 선택되는, 평면 시트.

발명의 설명

기술 분야

[0001] 본 발명은 낮은 프로파일의 구리 층들로부터의 라미네이트들 상에 전기 회로들을 제조하기 위한 방법들에 관한 것이며, 여기서 그 회로들 중 하나 이상이 공지되고 재생가능한 송신 라인 총 신호 손실을 갖는다.

배경 기술

[0002] 인쇄 회로 기판 (PCB) 설계자는 고속 디지털 애플리케이션들을 위해 PCB들에 사용되는 재료들의 한계를 계속해서 압박하고 있다. 25 Gb/채널 또는 그 이상의 데이터 레이트들을 달성할 수 있는 송신 라인들을 갖는 새로운 PCB들은, 라미네이트들이 신규 레진 시스템, 확산 및 평탄화 (flattened) 된 유리 패브릭 및 매우 낮은 프로파일의 구리 포일을 갖는 라미네이트들 및 프리프레그들을 사용하여 유전체 특성들을 개선하는 새로운 디자인을 개발하게 한다. 이러한 설계들 각각의 특징들은 완성된 인쇄 회로 기판의 전기 성능에 영향을 미친다.

[0003] 구리 포일 기술은 구리/유전체 접합 강도들을 개선하고 표피 효과 (skin effect) 들을 감소시키기 위해 새롭게 개선된 표면 토포그래피로 계속해서 발전해 왔다. 구리 포일의 표면 토포그래피는 PCB 제작에 사용되는 재료와 연관된 신호 손실의 원인이 된다. 5-7 μm 의 거칠기를 가진 포일들과 2-3 μm 의 거칠기를 가진 포일 간에 최대 30% 의 신호 손실 차이가 나타난다. 이러한 개선은 전체 라미네이트 재료 성능을 개선시키는 데 활용될 수 있다. 그러나, 신호 손실 개선은 라미네이트 (유전체 재료 층) 에 결합되고 직접 접촉하는 구리 포일 표면에 제한된다.

[0004] 회로 패턴들을 제작하기 위한 구리 피복된 라미네이트들의 내부 층 프로세싱은 내부 층들 사이의 프리프레그 또는 결합 시트에 대한 결합을 강화시키도록 처리되는, 구리 송신 라인의 3 개의 면을 노출시킨다. 일반적으로 산화물 또는 결합 강화 프로세스로 지칭되는 처리 프로세스는, 구리 표면이 처리된 구리 표면의 인접한 유전체 재료 층과의 기계적 및/또는 화학적 결합을 강화시키도록 변형되는, 다양한 수단을 통해 달성된다. 임의의 구리 표면 변형 프로세스와 같이, 발생된 구리 토포그래피는 사용된 화학물질의 타입, 프로세스 제어들 및 제조업자의 능력, 및 내부층들을 프로세싱하는데 사용되는 장비에 따라 상이하다. 인쇄 회로 제조업자들 사이에서 발생된 구리 표면 토포그래피의 변화들을 비교할 때, 이러한 주요 기여 요인들의 각각이 확대된다.

[0005] 송신 라인 상에는 4 개의 표면들이 있다. 이들 표면들 중, 라미네이트 제조업자는 트레이스의 저부 - 라미네이트에 결합된 표면 (구리 중량에 따라 단면적의 둘레의 약 40-45%) 에 대한 제어 및 송신 라인의 상부 또는 구리 포일의 프로세스층의 오직 부분적 제어만을 갖는다. 라미네이터는 허용가능한 박리 강도를 제공할 가장 낮은 표면 프로파일을 갖는 포일을 선택할 수 있으며, 그 후에 가장 낮은 프로파일 표면, 전형적으로 드림 층을 라미네이트에 결합시킬 수 있다. 라미네이터가 '선적된 (as shipped)' 상부 구리 포일 토포그래피를 제어하고 매우 낮은 프로파일의 구리를 선택할 수도 있는 반면, PCB 제조업자는 전형적으로 구리의 상부 표면 또는 송신 라인의 상부 표면에 결합 강화 프로세스 실시하고, 이는 궁극적인 송신 라인 상부 표면 및 측면 프로파일들과 신호 손실에 대한 후속하는 영향을 결정하는, 선택된 프로세스 및 선택된 프로세스의 성능이다.

[0006] PCB 제조업자들은 송신 라인들의 상부 및 측면 프로파일들을 변경하기 위해 다양한 결합 강화 프로세스들 및 프로세스 파라미터들을 사용한다. 허용가능한 회로 손실 사양들이 계속해서 감소됨에 따라, 인쇄 회로 기판 제조업자들 간의 결합 강화 프로세스에서 표면 토포그래피의 차이가 문제가 되고 있다. 제조업자 대 제조업자 결합 강화 표면 토포그래피 변화는 증가하는 문제로 여겨지고 있으며, 다양한 인쇄 회로 기판 제조업자들의 프로세스 능력을 조정하여 그들 각각이 결합 강화를 통해 내부층들을 프로세싱하고 엄격한 표면 토포로지 사양을 충족시키도록 보장하는 것이 요구된다.

발명의 내용

해결하려는 과제

과제의 해결 수단

- [0007] 본 발명의 일 양태는 인쇄 회로 기판들을 제조하기 위한 방법이며, 제 1 평면 표면 및 제 2 평면 표면을 갖는 평면 유전체 재료 층, 및 제 1 평면 표면 및 제 2 평면 표면을 갖는 제 1 구리 포일 시트를 포함하는 평면 시트를 제공하는 단계로서, 여기서 제 1 구리 포일의 평면 표면은 제 1 유전체 재료 층의 평면 표면과 연관되고, 상기 제 1 구리 포일 시트의 제 1 표면 및 제 2 표면 각각은 결합 강화 층을 포함하는, 상기 평면 시트를 제공하는 단계; 및 제 1 평면 구리 시트의 불필요한 부분들을 제거하고 회로 패턴 구리를 그대로 두어 회로 패턴을 포함하는 내부층 시트를 형성함으로써 제 1 평면 구리 시트에 회로 패턴을 형성하는 단계로서, 상기 결합 강화 층은 회로 패턴에 적용되지 않는, 상기 회로 패턴을 형성하는 단계를 포함한다.
- [0008] 본 발명의 다른 양태는 복수의 인쇄 회로 기판들을 제조하는 방법이며, 그 방법은: 추가의 단계들에 의해 제 1 제조 위치에서 복수의 인쇄 회로 기판들을 제조하는 단계로서, 상기 추가의 단계들은, 제 1 평면 표면 및 제 2 평면 표면을 갖는 유전체 재료 층, 및 제 1 평면 표면 및 제 2 평면 표면을 갖는 제 1 구리 포일 시트를 포함하는 평면 시트를 제공하는 단계로서, 제 1 구리 포일의 제 1 평면 표면은 상기 유전체 재료 층의 제 1 평면 표면과 연관되고, 상기 제 1 구리 포일 시트의 제 1 표면 및 제 2 표면 각각은 결합 강화 층을 포함하는, 상기 평면 시트를 제공하는 단계; 제 1 평면 구리 시트의 불필요한 부분들을 제거하고 회로 패턴 구리를 그대로 두어서 회로 패턴을 포함하는 제 1 제조된 내부층 시트를 형성함으로써 상기 제 1 구리 포일 시트에 상기 회로 패턴을 형성하는 단계로서, 상기 결합 강화 층은 상기 회로 패턴에 적용되지 않고 상기 회로 패턴은 총 회로 손실을 갖는 송신 라인을 포함하는, 상기 회로 패턴을 형성하는 단계; 및 상기 제 1 제조된 내부층 시트를 제 1 제조된 인쇄 회로 기판에 통합하는 단계인, 상기 제 1 제조 위치에서 복수의 인쇄 회로 기판들을 제조하는 단계; 및 그 후에 추가의 단계들에 의해 제 2 제조 위치에서 복수의 인쇄 회로 기판들을 제조하는 단계로서, 상기 추가의 단계들은, 제 1 평면 표면 및 제 2 평면 표면을 갖는 유전체 재료 층, 및 제 1 평면 표면 및 제 2 평면 표면을 갖는 제 1 구리 포일 시트를 포함하는 평면 시트를 제공하는 단계로서, 상기 제 1 구리 포일 시트의 제 1 평면 표면은 상기 유전체 재료 층의 제 1 평면 표면과 연관되고, 상기 제 1 구리 포일 시트의 제 1 표면 및 제 2 표면 각각은 결합 강화 층을 포함하는, 상기 평면 시트를 제공하는 단계; 상기 제 1 평면 구리 시트의 불필요한 부분들을 제거하고 상기 회로 패턴 구리를 그대로 두어서 회로 패턴을 포함하는 제 2 제조된 내부층 시트를 형성함으로써 제 1 평면 구리 시트에 회로 패턴을 형성하는 단계로서, 상기 결합 강화 층은 상기 회로 패턴에 적용되지 않고 상기 회로 패턴은 총 회로 손실을 갖는 송신 라인을 포함하는, 상기 회로 패턴을 형성하는 단계; 및 상기 제 2 제조된 내부층 시트를 제 2 제조된 인쇄 회로 기판에 통합하는 단계로서, 제 1 제조된 내부층의 송신 라인은 제 2 제조된 내부층의 송신 라인과 본질적으로 동일한, 상기 제 2 제조된 내부층 시트를 제 2 제조된 인쇄 회로 기판에 통합하는 단계인, 상기 제 2 제조 위치에서 복수의 인쇄 회로 기판들을 제조하는 단계; 복수의 제 1 제조된 내부층들 및 제 2 제조된 내부층들을 형성하기 위해 단계들 (a) 및 (b) 을 복수 회 반복하는 단계로서, 상기 복수의 제 1 제조된 내부층의 적어도 90 퍼센트의 측정된 송신 라인의 총 손실 및 복수의 제 2 제조된 내부층의 적어도 90 퍼센트의 측정된 송신 라인의 총 손실은 10% 이하로 서로 상이한, 상기 단계들 (a) 및 (b) 을 복수 회 반복하는 단계를 포함한다.
- [0009] 본 발명의 또 다른 양태는 제 1 평면 표면 및 제 2 평면 표면을 갖는 평면 유전체 재료 층, 및 제 1 평면 표면 및 제 2 평면 표면을 갖는 제 1 구리 포일 시트를 포함하는 평면 시트이며, 상기 제 1 구리 포일의 평면 표면은 제 1 유전체 재료 층의 평면 표면과 연관되고, 상기 제 1 구리 포일 시트의 제 1 표면 및 제 2 표면 각각은 결합 강화 층을 포함한다.
- [0010] 특정 양태들에서, 결합 강화 층은 약 0.25 내지 약 5.0 미크론의 Rz 거칠기를 갖는다. 다른 양태들에서, 제 1 평면 구리 포일 시트의 제 1 평면 표면의 표면 거칠기는 약 1.5 미크론 미만이다. 또 다른 양태들에서, 제 1 평면 구리 포일 시트의 제 2 평면 표면의 표면 거칠기는 약 2.5 미크론 미만이다.

도면의 간단한 설명

- [0011] 도 1a 및 도 1b는 사전 세정 후 이지만 표면 산화 전의 구리 포일 표면들 사진들이다.
- 도 2a 및 도 2b 는 사전 세정되고 그 후에 산화 처리 단계를 거친 구리 포일 표면들의 사진들이다.

도 3a, 도 3b 및 도 3c 는 회로를 형성하기 위한 본 발명의 방법에서의 단계들이다.

도 4 는 도 3c 에 도시된 것과 같은 내부층 시트를 포함하는 예시적인 인쇄 회로 기판의 절단면도이다.

도 5 는 인쇄 회로 기판이 동일하거나 본질적으로 동일한 회로를 포함하는, 상이한 제조 위치들에서 인쇄 회로 기판을 제조하는 프로세스의 개략도이다.

발명을 실시하기 위한 구체적인 내용

- [0012] 본 발명은 레진 코팅된 구리 시트, 구리 피복된 프리프레그들 또는 구리 피복된 c-스테이지 라미네이트들과 같은 평면 재료 시트들을 사용하여 인쇄 회로 기판들을 제조하는 방법들에 관한 것으로, 여기서 상기 평면 시트들은 유전체 재료 시트 또는 층 및 적어도 하나의 평면 구리 포일 또는 시트 표면을 포함하고, 상기 구리 포일 또는 시트는 양자의 평면 구리 표면들 상의 결합 강화 층을 포함하고, 상기 구리 포일 또는 시트는 회로들이 구리 포일 또는 시트에서 형성되기 전에 결합 강화 층이 부여된다. 본 발명은 또한, 하나 또는 2 개의 노출된 구리 포일 또는 시트 표면들을 갖는 레진 코팅된 구리 시트, 구리 피복된 프리프레그들 및 구리 피복된 라미네이트들에 관한 것이며, 여기서 각각의 구리 포일 또는 시트의 양자의 평면 표면들은 결합 강화 층이 부여된다.
- [0013] 본 발명의 방법들, 프리프레그들 및 라미네이트들은 결합 강화 층으로 전처리된 구리 포일 또는 시트를 포함한다. 본 설명의 목적들을 위해, 용어 "포일" 은 임의의 공지된 방법으로 제조된 얇은 평면 구리 시트 재료를 지칭한다 - 레진 코팅되거나, 프리프레그 피복으로서 사용되거나 그렇지 않으면 인쇄 회로 기판들을 제조시 사용될 때 유용한, 예를 들면, 물러 구리 포일들 및 전착된 (electrodeposited) 구리 포일들.
- [0014] 구리 포일 시트들은 다양한 두께를 갖는 구리 포일들 및 바람직하게는 2 온스 구리 포일, 1 온스 구리 포일, 1/2 온스 구리 포일 및 1/4 온스 구리 포일로부터 선택되는 구리 포일들로부터 선택될 수도 있다. 또한, 구리 포일은 낮은 프로파일의 구리 포일 또는 매우 낮은 프로파일의 구리 포일인 것이 바람직하다. 용어 매우 낮은 프로파일의 구리 포일은 1.3 마이크로미터 이하, 및 바람직하게는 0.9 마이크로미터 이하의 Rz 표면 거칠기를 갖는 구리 포일로 정의된다. 전형적으로, 낮은 프로파일의 구리 포일 시트는 10 내지 400 미크론의 두께를 가지며, 매우 낮은 프로파일의 구리 시트들은 약 5 미크론 내지 약 200 미크론, 보다 좁게는 약 5 내지 약 35 미크론의 두께를 갖는다.
- [0015] 본 발명의 이중 처리된 구리 포일들은 평면이고, 제 1 평면 표면 및 제 2 평면 표면을 포함하며, 여기서 양자의 구리 포일 평면 표면들은 구리 포일 시트의 각각의 평면 표면 상에 얇은 결합 강화 층을 형성하는 방식으로 전처리된다. 전처리는 결절 처리 (nodulation treatment), HET 포일 처리, MLS 포일 처리, 표면 산화물 처리 및 다른 유사한 처리 단계와 같은 당업계에 공지된 임의의 방법들에 의해 달성될 수 있다. 일 양태에서, 구리 포일의 제 1 및 제 2 평면 표면들은 동일한 전처리 방법을 사용하여 단일 단계에서 결합 강화 층이 부여된다. 대안적으로, 제 1 처리 방법에 의해 구리 포일 제 1 평면 표면에 결합 강화 층이 부여되고, 제 2 처리 방법에 의해 제 2 평면 표면에 결합 강화 층이 부여된다.
- [0016] 도 1a 및 도 1b 는 결합 강화 층 처리 전의 구리 포일 시트들의 2 개의 표면들의 사진들이다. 일반적으로, 처리 전의 구리 포일들은 약 0.4 내지 약 6.0 μm , 및 바람직하게는 약 2.5 μm 이하의 범위의 표면 거칠기 (Rz) 를 가질 것이다. 용어 "낮은 프로파일의 구리 포일" 은 약 2.5 μm 이하의 Rz 표면 거칠기를 갖는 유전체 층에 결합되는 하나의 평면 표면을 갖는 구리 포일로서 정의된다. 도 1a 및 도 1b 에 도시된 바와 같이, 구리 또는 이동식 드럼을 전착함으로써 생성된 구리 포일에 대하여, 구리 포일의 드럼 면은 비-드럼 또는 "무광택" 면보다 더 부드러운 표면 거칠기를 가질 것이다. 이러한 포일로, 무광택 면은 드럼 면보다 1 내지 3 μm 만 큰 표면 거칠기 (Rz) 를 가질 수도 있다.
- [0017] 도 2a 및 도 2b 는 양자의 구리 포일 평면 표면들 상에 결합 강화 층을 형성하기 위한 하나 이상의 결합 강화 방법에 의한 전처리 이후 구리 포일 시트의 표면들 사진들이다. 결합 강화 방법들은 일반적으로 구리 포일 표면에서 1 내지 2 μm 의 얇은 구리 층을 제거할 것이다. 또한, 결합 강화 방법은 전형적으로 사전 결합 강화된 표면 거칠기와 비교하여 결합 강화된 구리 포일 표면들의 거칠기를 감소시킨다. 일 양태에서, 결합 강화 표면들을 갖는 구리 포일 시트들은 약 0.25 부터 약 5.0 μm 까지, 바람직하게는 약 2.5 μm 미만 및 가장 바람직하게는 약 1.5 μm 미만의 Rz 표면 거칠기를 가질 것이다.
- [0018] 본원에 사용된 것과 같은 용어 "결합 강화 층" 은 개선된 박리 강도들에 의해 입증된 것과 같이 인접한 유전체 재료 층에 결합할 구리 포일 시트의 능력을 개선하고 및/또는 구리 포일 표면에 대한 포토레지스트 재료의 부착을 개선하기 위해 임의의 방식으로 변형되는, 구리 포일 시트의 표면을 지칭한다.

- [0019] 결합 강화 층들은 유전체 재료 층에 대한 부착을 향상시키기 위해 구리 포일 시트의 표면을 처리하거나 그렇지 않으면 변형하기 위해 당업계에 공지된 임의의 방법들에 의해 형성될 수도 있다. 그 방법들은 구리 포일 표면에 실란 등의 재료를 적용하는 것, 구리 포일 표면의 산화물 처리, 화학적 세정 등과 같은 화학적 방법을 포함한다. 상기 방법들은 또한 마이크로-에칭 처리들, 경석 처리 (pumice treatment) 와 같은 기계적 방법들을 포함한다.
- [0020] 결합 강화 층은 인접한 유전체 재료 층에 대한 구리 포일의 부착을 용이하게 하는 재료로 추가로 처리되거나 코팅될 수도 있다. 예를 들어, 결합 강화 층은 실란 재료 층일 수도 있거나 또는 결합 강화 층은 예를 들어 미국 특허 또는 출원 번호 제 5,525,433 호, 제 5,622,782 호, 제 6,248,401 호 및 제 2013/0113523 호에 개시된 것과 같은 실란 재료 층으로 코팅될 수도 있으며, 이들 각각의 명세서들은 본원에 참조에 의해 통합된다. 구리 포일 층과 연관된 유전체 재료 층 또는 시트들은 인쇄 회로 기판 기술에서 사용되거나 사용될 수도 있는 임의의 유전체 재료로 제조될 수도 있다. 유전체 재료들의 예들은 에폭시 레진계들 및 폴리이미드 레진계들과 같은 열경화성 레진들을 포함한다. 폴리테트라플루오로에탄과 같은 열가소성 재료들이 또한 유전체 재료 층들로서 채용될 수도 있다.
- [0021] 본 발명의 방법들 및 제품들은 제 1 평면 표면 및 대향하는 제 2 평면 표면을 갖는 유전체 재료 층을 포함하는 평면 시트를 가지며, 제 2 평면 표면은 각각의 구리 포일 평면 표면이 결합 강화 층을 포함하는 2 개의 평면 표면들을 갖는 구리 포일의 평면 표면과 연관되거나 부착된다.
- [0022] 일 예에서, 평면 시트는 프리프레그이다. 프리프레그는 특별히 배합된 레진으로 섬유 유리 패브릭을 함침 (impregnation) 하는 것에 의해 제조된다. 레진은 프리프레그에 특정한 전기적, 열적 및 물리적 특성들을 부여한다. 프리프레그는 일면 또는 양면에 적층된 프리프레그의 내부 층과 함께 양자의 평면 표면들 상에 결합 강화 층들을 갖는 구리 포일의 박층으로 이루어진 구리 피복 라미네이트에 통합된다. 적층은 강한 열, 압력 및 진공 조건들 하에서 구리 및 프리프레그의 하나 이상의 플라이들을 함께 압착함으로써 달성된다. 결합 강화 층은 구리 포일이 프리프레그 재료로부터 용이하게 박리되지 않는 것을 보장하기 위해 중요한, 구리 포일의 프리프레그 재료에 대한 결합을 용이하게 한다. 프리프레그 유전체 재료는 전형적으로 레진이 부분적으로 경화되는 것을 의미하는 b-스테이지화 된다.
- [0023] 다른 예에서, 평면 시트는 그 평면 표면들 중 하나 또는 양자에 부착된 구리 포일 층들을 포함하는 완전히 경화된 레진 또는 중합체일 수도 있다.
- [0024] 또 다른 예에서, 평면 시트는 레진 코팅된 구리 포일 시트일 수도 있다. 레진 코팅된 구리는 다층 고밀도 상호연결들을 위한 얇은 유전체로서 유용하다. 레진 코팅된 구리는 전착된 구리 포일 상에 지지된 하나 이상의 레진 층들로 이루어진다. 레진은 지지되지 않는다. 레진 코팅된 구리는 회로를 캡슐화하고 또한 외층 도체로서 작용하면서 전기 절연 층으로서의 역할을 할 수 있다. 레진 코팅된 구리와 관련된 레진은 B-스테이지화 또는 C-스테이지화될 수도 있거나 또는 B-스테이지 레진 층 또는 C-스테이지 레진 층의 조합을 포함할 수도 있다. 레진 코팅된 구리는 견고한 라미네이트와 함께, 뚜껑 층 또는 순차적 빌드 업으로서 및 또한 플렉스 커버레이 애플리케이션들로서 사용될 수 있다. 레진 코팅된 구리에서 유리 보강재의 제거는, 기계식 드릴링 이외의 수단으로 블라인드 마이크로비아들의 대량 형성을 허용한다.
- [0025] 도 3a, 도 3b 및 도 3c 는 본 발명의 특정 방법들 및 제품들을 대표한다. 이중 처리된 (양자의 평면 표면들 상의 결합 강화 층들) 구리 포일 시트 (10) 가 도 3a 에 도시된다. 이중 처리된 구리 포일 시트 (10) 는 제 1 결합 강화 층인 제 1 표면 처리된 평면 표면 (12) 및 제 2 결합 강화 층인 제 2 표면 처리된 평면 표면 (14) 을 더 포함한다. 도 3b 에서, 2 개의 이중 처리된 구리 포일 시트 (10, 10') 는 평면 유전체 재료 층 (16) 에 부착되어 제 1 구리 시트의 제 1 표면 처리된 평면 표면 (14) 이 평면 유전체 재료 층 (16) 의 제 1 평면 표면 (18) 에 인접하거나 부착되게 한다. 또한, 도 3b 에서, 제 1 표면 처리된 평면 표면 (14') 및 제 2 표면 처리된 평면 표면 (12') 을 갖는 제 2 의 옵션의 구리 포일 시트 (10') 는 유전체 재료 층 (16) 의 제 2 평면 표면 (20) 에 부착된다.
- [0026] 도 3b 에서, 제 2 평면들 (12, 12') 은 추가 프로세싱을 위해 노출된 채로 남아있다. 다음으로, 전형적으로 마스크를 제 1 표면 처리된 평면 표면에 적용하고 마스크되지 않은 구리 부분들을 에칭에 의해 제거함으로써 이중 처리된 포일 시트 (10) 에 회로가 형성된다. 도 3c 는 각각의 송신 라인이 제 2 결합 강화 층 (12 또는 12'), 제 1 결합 강화 층 (14 또는 14') 및 측벽들 (20) 을 포함하는 복수의 송신 라인들 (32, 34 및 36) 을 포함하는 내부층 시트 (40) 인 에칭 프로세스의 결과를 도시하며, 여기서 송신 라인 측벽들 (42) 은 결합 강화 층을 포함하지 않는다. 일부 실시형태들에서, 송신 라인들은 또한 결합 강화 층을 포함하지 않는 하나 이상

의 단부 벽들을 가질 수도 있다.

- [0027] 구리 포일의 상부 및 저부 또는 송신 라인 표면 토폰그래피의 단면적의 둘레의 약 80-90% 는 잘 제어된 구리 포일 제조 프로세스일 것이다. 즉, 구리 포일의 일부를 제거하여 회로를 형성할 때, 회로 - 회로의 측면 표면들이 아닌 - 상부 및 저부 - 를 구성하는 표면의 80-90% 가 표면 처리된다. 결과적으로, PCB 제조업자들은, 회로 구조가 형성된 후에 결합 강화 층을 회로 구조에 적용할 필요가 없으므로, 2 이상의 제조 설비들에 걸쳐 인쇄 회로 기판 변형들을 근본적으로 제거한다.
- [0028] 인쇄 회로 기판 제조업자들은 구리 피복 라미네이트들을 사용하여 종종 반복되는 다수의 동작들로 구성된 복잡한 프로세스들에서 다층의 PCB들을 구성한다. 일반적으로, 라미네이트의 구리 표면들은 에칭되어 전자 회로를 생성한다. 이러한 에칭된 라미네이트들은 각각의 에칭된 라미네이트 사이에 하나 이상의 절연 프리프레그들을 삽입함으로써 다층 구성으로 조립된다. 그 다음, 홀들 (비아들) 을 뚫고 PCB 에 도금하여 층들 간에 전기 연결들을 확립한다. 결과적인 다층 PCB 는 반도체 및 기타 컴포넌트들이 탑재된 복잡한 상호연결 디바이스이며, 그 후에 최종 마켓 제품에 통합된다.
- [0029] 도 4 는 본 발명의 하나 이상의 내부층 시트들 (40, 40', 40") 을 포함하는 인쇄 회로 기판 (50) 의 절단면도이다. 통상적인 인쇄 회로 기판은 프리프레그들 (42) 에 의해 옵션적으로 분리되고 상이한 내부층 시트들 상에 형성된 회로들을 연결하는 옵션의 비아들 (44) 을 포함하는, 적어도 하나이지만 보다 전형적으로는 복수의 내부층 시트들 (40) 을 포함한다. 인쇄 회로 기판 (50) 은 옵션적으로 상부 회로 (46) 및 저부 회로 (48) 를 포함할 수도 있다.
- [0030] 도 5 는 2 개의 상이한 제조 설비들 - 제 1 제조 설비 (100) 및 제 2 제조 설비 (200) 에서 인쇄 회로 기판들을 제조하는 프로세스의 개략도이다. 단계 (110) 의 방법에 따르면, 동일한 평면 시트가 양자의 제조 설비들에서 PCB 부품으로서 제공된다. 제공된 평면 시트 (110) 는 제 1 평면 표면 및 제 2 평면 표면을 갖는 평면 유전체 재료 층, 및 제 1 평면 표면 및 제 2 평면 표면을 갖는 제 1 구리 포일 시트를 포함하며, 여기서 제 1 구리 포일 평면 표면은 제 1 유전체 재료 층 평면 표면과 연관되고, 여기서 제 1 구리 포일 시트의 제 1 표면 및 제 2 표면 각각은 결합 강화 층을 포함한다.
- [0031] 다음으로, 필수적인 단계 (120) 및 (220) 에서, 제 1 평면 구리 시트의 불필요한 부분들을 제거하고 회로 구리를 그대로 두어 송신 라인 구조를 포함하는 제 1 제조된 내부층 시트를 형성함으로써 제 1 및 제 2 제조 설비의 각각에서 제 1 평면 구리 시트에 동일한 송신 라인 구조가 형성된다. 이 단계 동안 결합 강화 층은 송신 라인 구조에 적용되지 않는다. 결과적인 송신 라인 구조는 회로 손실을 갖는 제 1 송신 라인을 포함한다.
- [0032] 제 1 제조 설비에서 송신 라인 구조를 형성하는데 사용되는 방법 (120) 은 제 2 제조 설비에서 송신 라인 구조를 형성하는데 사용되는 방법 (220) 과 동일하거나 상이할 수도 있다. 예를 들어, 포지티브 포토 레지스트가 하나의 단계에서 사용되고 다른 단계에서 네거티브 포토 레지스트가 사용될 수도 있다. 이것은 송신 라인 구조를 형성하기 위한 방법들이 제 1 및 제 2 제조 설비 사이에서 어떻게 변화할 수도 있는지에 대한 일 예이며, 다른 프로세스 변화가 당업자의 지식 범위 내에 있을 것이다.
- [0033] 다음으로, 단계 (130) 및 단계 (230) 에서 송신 라인 구조를 포함하는 내부층 시트가 인쇄 회로 기판에 통합된다. 인쇄 회로 기판 (도 4 에 도시됨) 은 하나 이상의 프리프레그 층들 (42) 에 의해 분리된 단일 내부층 시트 (40) 또는 복수의 내부층 시트들 (40', 40") 을 가질 수도 있다. 상기 층들은 다른 층들의 상부에 적층되어 레이업 (layup) 을 형성한 다음, 열과 압력에 노출되어 시트들을 함께 결합시킨다. 비아 형성, 외부 표면 도금 및 회로 형성 등과 같은 임의의 추가 프로세싱이 완료되어 제 1 및 제 2 제조 설비들의 각각에서 최종 인쇄 회로 기판을 형성할 수 있다. 수행될 수도 있는 PCB 프로세싱 단계들의 예들은 적층, 드릴링하는 것 (via drilling), 직접적인 금속화, 외부 레이어 이미징, 도금, 스트립/에칭 외부 레이어, 솔더 마스크 적용, 최종 마무리, 개별 PCB들을 형성하는 라우팅 및 전기 테스트 및 검사를 포함한다. 부가적으로, 일 양태에서, 복수의 본질적으로 동일한 PCB들이 제 1 제조 설비에서 제조되고, 복수의 본질적으로 동일한 PCB들이 제 2 제조 설비에서 제조된다. 또한, 제 1 제조 설비에서 제조된 PCB들은 제 2 제조 설비에서 제조된 PCB들과 본질적으로 동일하다. 이 문맥에서 용어 "본질적으로 동일한" 은 제조된 PCB 가 PCB 마더 보드 또는 특정 휴대 전화 모델용의 기본 회로 기판과 동일한 용도인 것을 의미한다.
- [0034] 송신 라인 구조 형성과 마찬가지로, 제 1 및 제 2 의 제조 설비에서 인쇄 회로 기판을 형성하기 위해 수행되는 단계들은 동일할 수도 있거나 상이할 수도 있다. 그러나, 일 양태에서, 제 1 제조 설비에서 제조된 복수의 PCB들 및 제 2 제조 설비에서 제조된 복수의 PCB들 각각은 동일한 회로 구조 및 적어도 하나의 본질적으로 동일

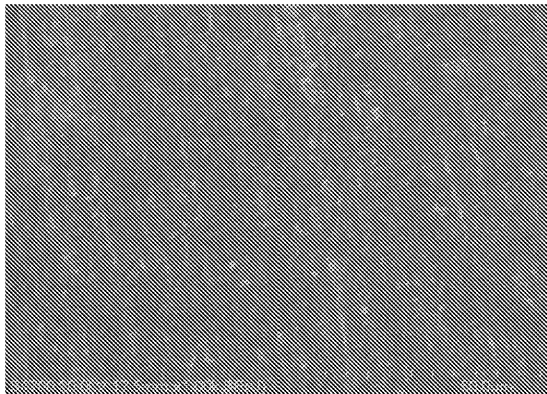
한 송신 라인을 갖는 내부층을 갖는다. 단계 (140) 에서, 복수의 PCB들의 각각의 본질적으로 동일한 송신 라인의 총 손실이 테스트된다. 원래의 제공된 내부층 (110) 은 동일한 방법들로 제조된 제 1 및 제 2 결합 강화 층을 갖는 구리 층을 포함했기 때문에, 회로 손실은 복수의 PCB들에 대해 약 10% 이하로 변화해야 한다.

[0035] 일반적으로, 본 명세서에서 사용되는 것과 같은 용어 "손실" 은 "총 손실" - 채널 매체에서 원하지 않는 영향으로 인해 통신 시스템의 수신기에 전달되지 않는 모든 신호 전력 - 을 지칭한다. 전기 신호 무결성에 영향을 미치는 인쇄 회로 기판 재료들 및 제조 프로세스들의 불완전성들을 포함하여, 일반적인 채널에서 신호 전력 손실의 많은 가능한 원인이 있다. PCB 송신 라인 레벨에서, 전파 손실을 포함한 다양한 손실 소스들이 있다. 일 양태에서, "손실" 은 IPC TM-650 2.5.5.12 에 기술된 4 가지 테스트 방법들 중 하나를 사용하여 측정된다. 4 가지 손실 테스트 방법들은 RIE (Root Impulse Energy), EBW (Equivalent Bandwidth), Sparameters 및 SPP (Short Pulse Propagation) 를 포함한다. 다른 양태에서, 손실은 송신 라인의 삽입 손실만을 지칭하거나 유전 손실과 조합하여 지칭할 수 있다. 총 삽입 손실 (αT) 은 도체 (αC), 유전체 (αD), 방사 (αR) 및 누설 손실들 (αL) 을 가산하여 측정된다.

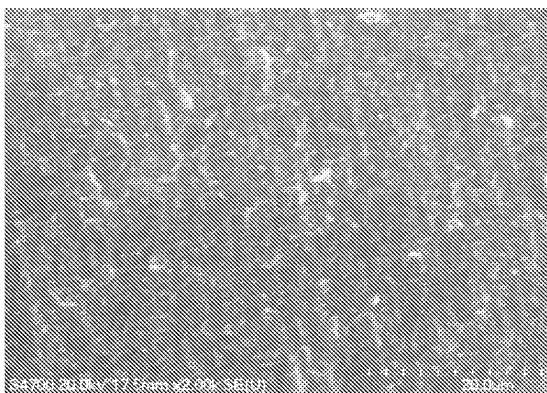
[0036] 제품들 및 제품들을 사용하는 방법들을 상세히 기술하였으므로, 첨부된 청구 범위에 정의된 개시의 범위를 벗어나지 않고 수정들 및 변형들이 가능하다는 것이 명백할 것이다. 보다 구체적으로, 본 발명의 일부 양태들이 본원에서 특히 유리하다고 식별되었지만, 본 발명은 본 개시의 이들 특정 양태들에 반드시 제한되는 것은 아님이 고려된다.

도면

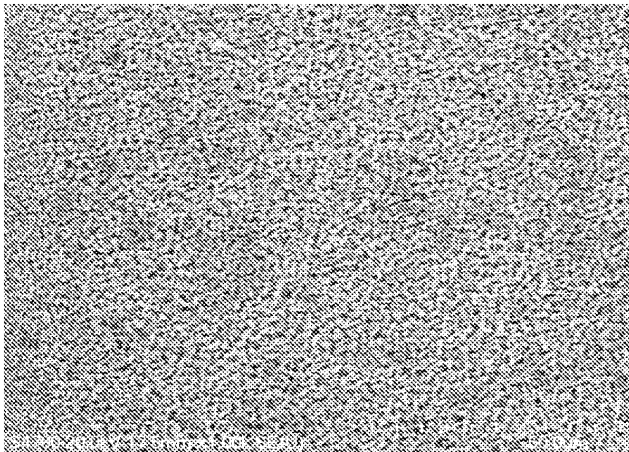
도면1a



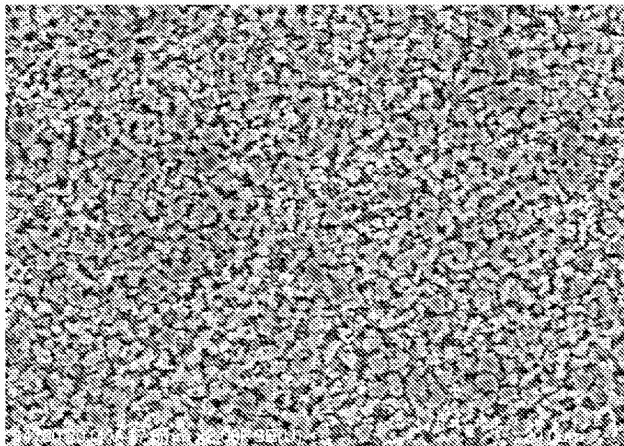
도면1b



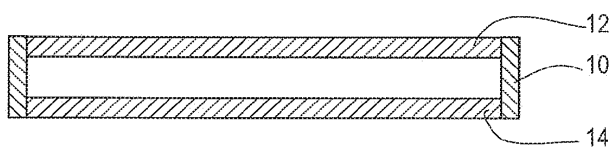
도면2a



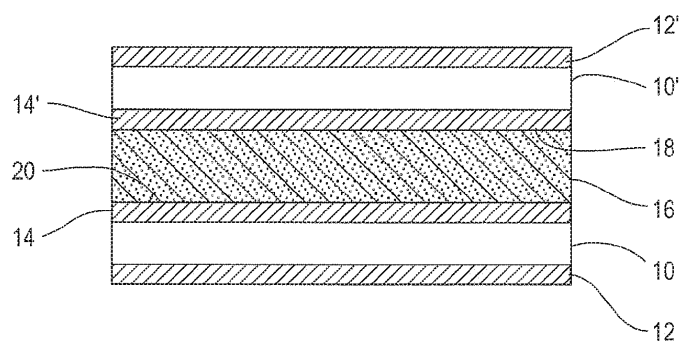
도면2b



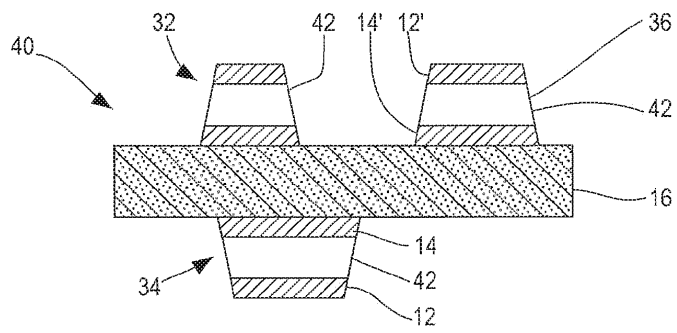
도면3a



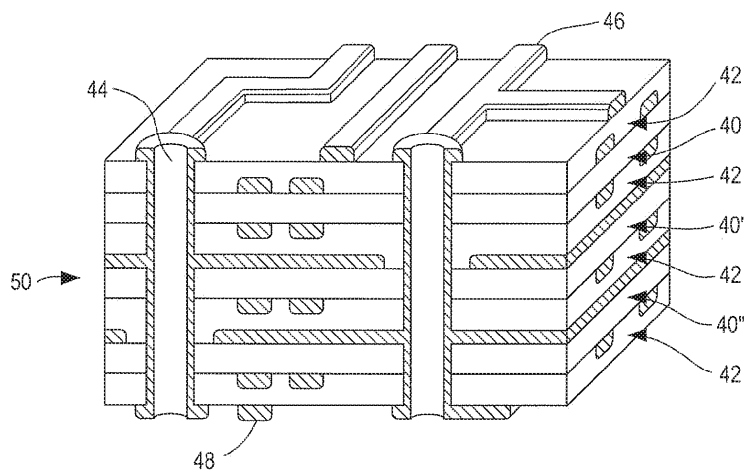
도면3b



도면3c



도면4



도면5

