



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년09월21일
(11) 등록번호 10-0760912
(24) 등록일자 2007년09월17일

(51) Int. Cl.

H01L 27/092(2006.01)

(21) 출원번호 10-2005-0133823
(22) 출원일자 2005년12월29일
심사청구일자 2005년12월29일
(65) 공개번호 10-2007-0070863
공개일자 2007년07월04일
(56) 선행기술조사문헌

KR1020050041881 A

(뒷면에 계속)

전체 청구항 수 : 총 13 항

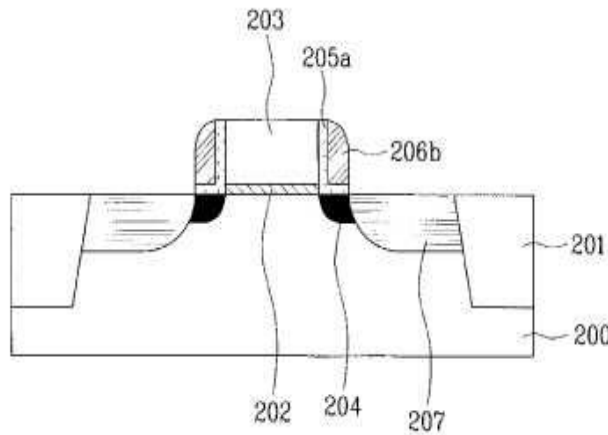
심사관 : 정병홍

(54) 반도체 소자 및 그 제조 방법

(57) 요약

본 발명은 SiGe 에피층을 사용하지 않으면서도 실리콘 채널에 스트레스를 유도함으로써 PMOS 소자의 정공 이동도 (mobility)를 향상시킨 반도체 소자 및 그 제조 방법에 관한 것으로, 본 발명의 반도체 소자는, 제 1 도전형 반도체 기판; 상기 반도체 기판에 제 2 도전형 불순물이 이온 주입된 소오스/드레인 영역; 상기 소오스/드레인 영역 사이의 채널 상에 형성되는 게이트 절연막; 상기 게이트 절연막 상에 형성되는 게이트 전극; 및 상기 게이트 절연막 및 게이트 전극의 측벽에 형성되며, 산화막 및 질화막으로 이루어진 ON 구조의 스페이서를 포함하되, 상기 ON 구조 중 질화막에는 불순물이 주입된다.

대표도 - 도2e



(56) 선행기술조사문헌
KR1019990010119 A
KR1020050064569 A
KR1020050121479 A
KR1020020055419 A
KR1019980024988 A

특허청구의 범위

청구항 1

제 1 도전형 반도체 기관;
 상기 반도체 기관에 제 2 도전형 불순물이 이온 주입된 소오스/드레인 영역;
 상기 소오스/드레인 영역 사이의 채널 상에 형성되는 게이트 절연막;
 상기 게이트 절연막 상에 형성되는 게이트 전극; 및
 상기 게이트 절연막 및 게이트 전극의 측벽에 형성되며, 산화막 및 질화막으로 이루어진 ON 구조의 스페이서를 포함하되, 상기 질화막은 불순물이 주입됨으로써 원자 사이의 결합이 파괴되는 것을 특징으로 하는 반도체 소자.

청구항 2

삭제

청구항 3

제 1 항에 있어서, 상기 불순물은 게르마늄(Ge) 또는 아르곤(Ar)인 것을 특징으로 하는 반도체 소자.

청구항 4

제 1 항에 있어서, 상기 제 1 도전형은 N형이고, 상기 제 2 도전형은 P형인 것을 특징으로 하는 반도체 소자.

청구항 5

제 1 항에 있어서, 상기 산화막은 150 내지 250 Å의 두께를 갖고, 상기 질화막은 650 내지 750 Å의 두께를 갖는 것을 특징으로 하는 반도체 소자.

청구항 6

제 1 항에 있어서, 상기 산화막은 200 Å의 두께를 갖고, 상기 질화막은 700 Å의 두께를 갖는 것을 특징으로 하는 반도체 소자.

청구항 7

제 1 도전형 반도체 기관 상에 절연층 및 폴리실리콘층을 순차적으로 적층하는 단계;
 상기 절연층 및 폴리실리콘층을 선택적으로 식각함으로써 게이트 절연막 및 게이트 전극을 형성하는 단계;
 상기 게이트 전극을 마스크로 이용하여 상기 반도체 기관에 저농도의 제 2 도전형 불순물 이온을 주입함으로써 LDD(Lightly Doped Drain)용 저농도 불순물 영역을 형성하는 단계;
 상기 게이트 전극을 포함하는 반도체 기관의 전면에 산화막을 형성하는 단계;
 상기 산화막 상에 질화막을 형성하는 단계;
 상기 질화막에 불순물을 주입하는 단계; 및
 상기 질화막 및 산화막을 에치백함으로써 상기 게이트 절연막 및 게이트 전극의 측벽에 ON 구조의 스페이서를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 8

제 7 항에 있어서, 상기 질화막은 상기 불순물이 주입됨으로써 최소한 부분적으로 원자 사이의 결합이 파괴되는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 9

제 7 항에 있어서, 상기 불순물은 게르마늄(Ge) 또는 아르곤(Ar)인 것을 특징으로 하는 반도체 소자의

제조방법.

청구항 10

제 7 항에 있어서, 상기 제 1 도전형은 N형이고, 상기 제 2 도전형은 P형인 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 11

제 7 항에 있어서, 상기 산화막은 150 내지 250 Å 두께를 갖도록 형성되고, 상기 질화막은 650 내지 750 Å 두께를 갖도록 형성되는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 12

제 7 항에 있어서, 상기 산화막은 200 Å 두께를 갖도록 형성되고, 상기 질화막은 700 Å 두께를 갖도록 형성되는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 13

제 7 항에 있어서, 상기 불순물은 약 $5 \times E14$ ion/cm²의 양을 40 내지 100 KeV의 에너지를 이용하여 주입되는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 14

제 7 항에 있어서, 상기 불순물은 약 80 KeV의 에너지를 이용하여 주입되는 것을 특징으로 하는 반도체 소자의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <10> 본 발명은 반도체 소자 및 그 제조방법에 관한 것으로서, 특히 실리콘 채널에 스트레스를 유도함으로써 PMOS 소자의 정공 이동도(mobility)를 향상시킨 반도체 소자 및 그 제조 방법에 관한 것이다.
- <11> 일반적으로, 시모스(Complement Metal Oxide Semiconductor: CMOS) 트랜지스터는 엔모스(NMOS) 트랜지스터와 피모스(PMOS) 트랜지스터가 짝을 이루어 특정회로, 예를 들어 인버터(Inverter), 플리플롭(Flip-Flop) 등의 회로를 구성하게 된다. 이러한 반도체 소자의 성능을 나타내는 중요한 척도 중 하나가 전하 또는 정공 등의 캐리어 이동도(carrier mobility)이다. 서브마이크론 세대로 넘어가면서 소자의 캐리어 이동도를 그대로 유지하는 데에는 큰 어려움이 있다. 따라서, 소자, 특히 PMOS 소자에 있어 정공의 이동도를 향상시킬 수 있는 방안들이 지속적으로 연구되고 있는 실정이다.
- <12> 이와 같은 PMOS 소자의 정공 이동도를 향상시키기 위한 방안으로 제안된 것이 실리콘-게르마늄(SiGe) 합금을 이용하는 기술이다. SiGe은 Si보다 큰 격자 상수(lattice constant)를 가지며, 이 격자 상수는 Ge 농도가 증가할수록 증가한다. 따라서, SiGe가 실리콘 기판 상에 에피택셜하게 성장하거나 증착되는 경우, SiGe는 압축 변형(compressive strain) 하에 있게 된다. 이와 같이 압축 변형된 SiGe 물질로 이루어진 채널을 갖는 것은 특히 정공(hole)에 대한 캐리어 이동도에 대해 매우 유리하다.
- <13> 도 1은 종래 기술에 따른 PMOS 소자의 단면도를 나타낸다.
- <14> 도 1에 도시되어 있는 바와 같이, Si로 이루어진 반도체 기판(100) 상에 SiGe 에피층(미도시)을 형성한다. 상기 SiGe 에피층의 형성은 예컨대 분자선 에피택시(MBE) 또는 다양한 유형의 화학 기상 증착(CVD) 방법을 이용하여 수행된다.
- <15> 이어서, NMOS 소자(미도시)와 PMOS 소자를 분리하기 위하여 반도체 기판(100)에 STI(Shallow Trench Isolation) 소자 분리막(101)을 형성하고, 상기 반도체 기판(100)에 절연층(미도시) 및 폴리실리콘층을 순차적

으로 적층한 후 선택적으로 식각하여 게이트 절연막(102) 및 게이트 전극(103)을 각각 형성한다.

- <16> 그리고, 소스/드레인 영역에 P형 불순물 이온을 저농도로 주입함으로써 LDD(Lightly Doped Drain) 영역(104)을 형성한다. LDD 영역(104)을 형성하는 이유는, 반도체 소자의 고집적화에 따라 게이트 전극의 CD(Critical Dimension)가 작아져서 소스/드레인 간의 채널 길이가 짧아짐에 따라 문턱 전압보다 낮은 전압의 신호에도 트랜지스터가 오동작하는 것을 방지하기 위함이다.
- <17> 이어서, 상기 게이트 절연막(102) 및 게이트 전극(103)의 측벽에 스페이서(105)를 형성하고, 상기 게이트 전극(103) 및 상기 스페이서(105)를 마스크로 하여 상기 SiGe 에피층에 상기 P형 불순물 이온을 고농도로 주입함으로써 압축적으로 변형된 에피택셜 SiGe 소스/드레인 영역(106)을 형성한다. 이 때, 상기 에피택셜 SiGe 소스/드레인 영역(106)은 약 500 내지 600 °C의 온도에서 성장한 후 냉각됨으로써 게이트 에지 근방의 SiGe이 더욱 더 압축 변형되도록 한다. 이러한 부가적 압축 변형은 PMOS의 정공 캐리어 이동도를 더욱 향상시킨다.
- <18> 그러나, 이상에서 살펴본 SiGe을 이용한 신장된 에피택셜 소스/드레인 영역(106)의 형성은 PMOS 소자의 정공 캐리어 이동도를 향상시키기는 하지만, 제조 비용의 상승을 피할 수 없고, 공정 자체도 까다로울 뿐만 아니라, SiGe를 사용함에 따른 수율 저하 등의 결함이 수반되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

- <19> 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로, SiGe 에피층을 사용하지 않으면서도 실리콘 채널에 스트레스를 유도함으로써 PMOS 소자의 정공 이동도(mobility)를 향상시킨 반도체 소자 및 그 제조 방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

- <20> 상기와 같은 목적을 달성하기 위한 본 발명에 따른 반도체 소자는, 제 1 도전형 반도체 기판; 상기 반도체 기판에 제 2 도전형 불순물이 이온 주입된 소스/드레인 영역; 상기 소스/드레인 영역 사이의 채널 상에 형성되는 게이트 절연막; 상기 게이트 절연막 상에 형성되는 게이트 전극; 및 상기 게이트 절연막 및 게이트 전극의 측벽에 형성되며, 산화막 및 질화막으로 이루어진 ON 구조의 스페이서를 포함하되, 상기 질화막은 불순물이 주입됨으로써 원자 사이의 결합이 파괴되는 것을 특징으로 한다.
- <21> 상기의 목적을 달성하기 위한 또 다른 측면으로서의 본 발명의 반도체 소자의 제조방법은, 제 1 도전형 반도체 기판 상에 절연층 및 폴리실리콘층을 순차적으로 적층하는 단계; 상기 절연층 및 폴리실리콘층을 선택적으로 식각함으로써 게이트 절연막 및 게이트 전극을 형성하는 단계; 상기 게이트 전극을 마스크로 이용하여 상기 반도체 기판에 저농도의 제 2 도전형 불순물 이온을 주입함으로써 LDD(Lightly Doped Drain)용 저농도 불순물 영역을 형성하는 단계; 상기 게이트 전극을 포함하는 반도체 기판의 전면에 산화막을 형성하는 단계; 상기 산화막 상에 질화막을 형성하는 단계; 상기 질화막에 불순물을 주입하는 단계; 및 상기 질화막 및 산화막을 에치백함으로써 상기 게이트 절연막 및 게이트 전극의 측벽에 ON 구조의 스페이서를 형성하는 단계를 포함한다.
- <22> 바람직하게는, 상기 불순물은 게르마늄(Ge) 또는 아르곤(Ar)이며, 상기 질화막은 게르마늄(Ge) 또는 아르곤(Ar)이 주입됨으로써 최소한 부분적으로 원자 사이의 결합이 파괴된다.
- <23> 이하, 첨부된 도면을 참고하여 본 발명에 의한 반도체 소자의 제조방법을 보다 상세히 설명하면 다음과 같다.
- <24> 도 2a 내지 도 2e는 본 발명의 실시예에 따른 반도체 소자의 제조방법을 나타낸 공정 단면도이다.
- <25> 먼저, 도 2a에 도시한 바와 같이, 실리콘(Si)으로 이루어진 N형 반도체 기판(200) 상에 NMOS 소자(미도시)와의 분리를 위하여 STI(Shallow Trench Isolation) 소자 분리막(201)을 형성하고, 상기 반도체 기판(200)에 절연층(미도시) 및 폴리실리콘층을 순차적으로 적층한 후 선택적으로 식각하여 게이트 절연막(202) 및 게이트 전극(203)을 각각 형성한다.
- <26> 그리고, 상기 게이트 전극(203)을 마스크로 이용하여 반도체 기판(200) 전면에 P형 불순물 이온을 저농도로 주입함으로써 LDD(Lightly Doped Drain)용 저농도 불순물 영역(204)을 형성한다. LDD용 저농도 불순물 영역(204)을 형성하는 이유는, 반도체 소자의 고집적화에 따라 게이트 전극의 CD(Critical Dimension)가 작아져서 소스/드레인 간의 채널 길이가 짧아짐에 따라 문턱 전압보다 낮은 전압의 신호에도 트랜지스터가 오동작하는 것을 방지하기 위함이다.
- <27> 이어서, 도 2b에 도시되어 있는 바와 같이, 상기 게이트 전극(203)을 포함하는 반도체 기판(200)의 전면에 산화

막(205)을 150 내지 250 Å 바람직하게는 약 200 Å 두께를 갖도록 형성한다. 이 때, 상기 산화막(205)의 두께가 150 Å 미만인 경우에는 이 후에 형성될 질화막에 대한 이온 주입시 실리콘 채널에 까지 영향을 미칠 수 있으며, 그 두께가 250 Å를 초과하는 경우에는 이온 주입에 따른 상기 질화막의 스트레스가 실리콘 채널에 잘 전달되지 않는 것에 주의하여야 한다. 한편, 상기 산화막은 TEOS(Tetraethoxysilane)인 것이 바람직하다.

- <28> 이어서, 도 2c에 도시되어 있는 바와 같이, 상기 산화막(205) 상에 질화막(206)을 650 내지 750 Å, 바람직하게는 약 700 Å의 두께를 갖도록 형성한다. 이 때, 상기 질화막(206)의 두께가 650 Å 미만인 경우에는 후속의 불순물 주입 공정시 실리콘 채널까지 영향을 미칠 수 있으며, 그 두께가 750 Å를 초과하는 경우에는 실리콘 채널에 가해지는 압축 스트레스가 미미해진다.
- <29> 이어서, 도 2d에 도시되어 있는 바와 같이, 상기 질화막(206)에 불순물, 바람직하게는 게르마늄(Ge)을 주입함으로써, 상기 질화막(206)을 Ge이 주입된 질화막(206a)으로 변형시킨다. 이 때, 상기 질화막(206)은 Ge의 주입으로 인해 최소한 부분적으로 그 원자 결합이 파괴됨으로 인해 스트레스가 발생하고, 결과적으로 실리콘 채널에 압축 스트레스를 형성시킨다. 이와 같은 실리콘 채널의 압축 스트레스는 PMOS의 정공 캐리어 이동도를 크게 향상시킨다.
- <30> 상기 Ge의 주입은 약 $5 \times E14$ ion/cm²의 양을 약 40 내지 100 KeV의 에너지, 바람직하게는 80 KeV의 에너지를 이용하여 주입한다. 이 때, 이온 주입 에너지가 40 KeV 미만일 경우에는 요구되는 스트레스 변화가 발생하지 않으며, 100 KeV를 초과하는 경우에는 기관(200)에 악영향을 줄 우려가 있음에 주의하여야 한다.
- <31> 한편, 주입되는 불순물은 상기 질화막(206)의 원자 결합을 파괴시킬 수 있는 것이라면 어느 것이라도 무방하나, 3가 또는 5가의 이온들은 기관에 대하여 도펀트(dopant)로서 작용을 할 수 있으므로, 4가의 게르마늄(Ge) 또는 불활성 가스인 아르곤(Ar)을 사용하는 것이 바람직하다.
- <32> 이어서, 도 2e에 도시되어 있는 바와 같이, 상기 Ge이 주입된 질화막(206a) 및 산화막(205)을 각각 선택적으로 식각함으로써 상기 게이트 절연막(202) 및 게이트 전극(203)의 측벽에 ON 구조의 스페이서(205a, 206b)를 형성한다. 그리고, 상기 게이트 전극(203) 및 상기 스페이서(205a, 206b)를 마스크로 하여 상기 반도체 기관(200)의 전면에 P형 불순물 이온을 고농도로 주입함으로써 소오스/드레인 영역(207)을 형성한다.
- <33> 이상에서, 본 발명의 바람직한 실시예를 첨부한 도면을 참조로 하여 상세히 살펴보았으나, 본 발명의 기술적 범주를 벗어나지 않는 당업자에게 자명한 변형 내지 변화가 다양하게 존재할 것이기 때문에, 그러한 변형 내지 변화가 본 발명의 청구항 또는 그 균등물의 범위에 속한다면 본 발명의 기술적 범위에 해당하는 것으로 해석되어야 한다.

발명의 효과

- <34> 이상에서 설명한 바와 같은 본 발명에 따른 반도체 소자 및 그 제조방법에 있어서는 다음과 같은 효과가 있다.
- <35> 첫째, ON 구조 스페이서를 형성하는 통상의 공정에 단순히 Ge 주입 공정만을 추가함으로써 PMOS 소자의 정공 캐리어 이동도를 향상시킬 수 있기 때문에 SiGe을 이용하는 기술에 비해 공정 구현이 용이하다.
- <36> 둘째, SiGe을 이용하는 기술에 비해 저렴한 비용으로 PMOS 소자의 정공 캐리어 이동도를 향상시킬 수 있다.
- <37> 셋째, SiGe을 이용하지 않으면서도 PMOS 소자의 정공 캐리어 이동도를 향상시킬 수 있기 때문에, SiGe의 이용에 따른 수율 저하 문제로부터 자유롭다.

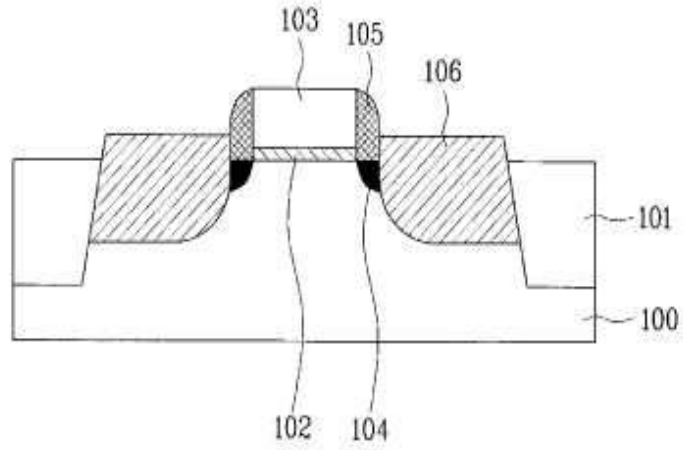
도면의 간단한 설명

- <1> 도 1은 종래 기술에 따른 PMOS 소자의 단면도
- <2> 도 2a 내지 2e는 본 발명에 따른 PMOS 소자 제조방법을 나타내는 공정 단면도
- <3> <도면의 주요 부분에 대한 설명>
- <4> 200 : N형 반도체 기관 201 : 소자 분리막
- <5> 202 : 게이트 절연막 203 : 게이트 전극
- <6> 204 : LDD용 저농도 불순물 영역 205 : 산화막
- <7> 205a : 스페이서 산화막 206 : 질화막

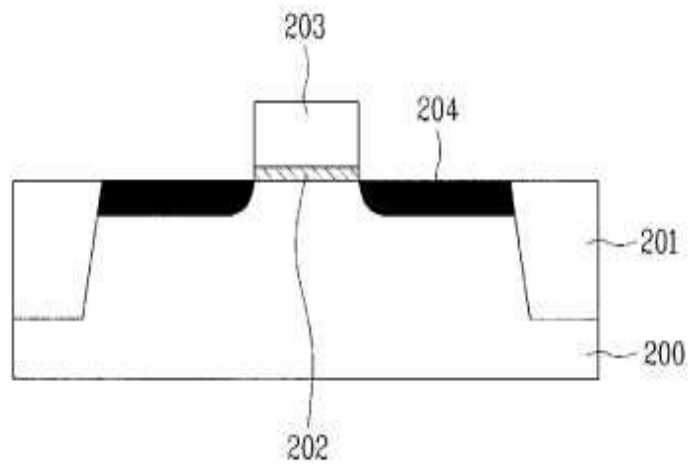
- <8> 206a : Ge이 주입된 질화막 206a : Ge이 주입된 스페이서 질화막
- <9> 207 : 소오스/드레인 영역

도면

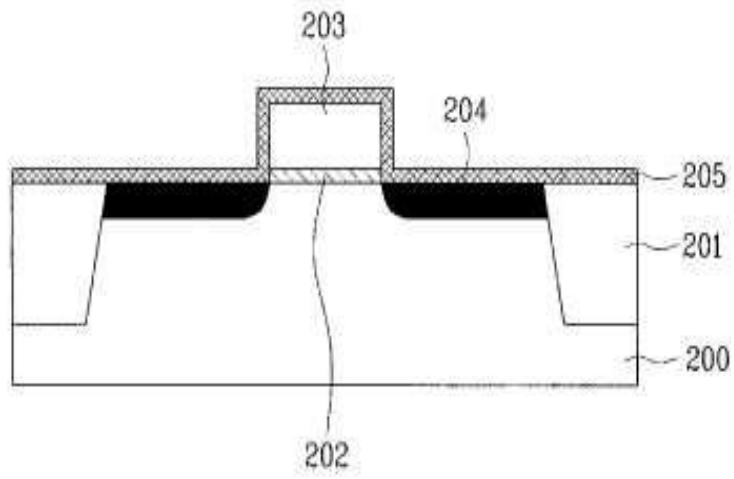
도면1



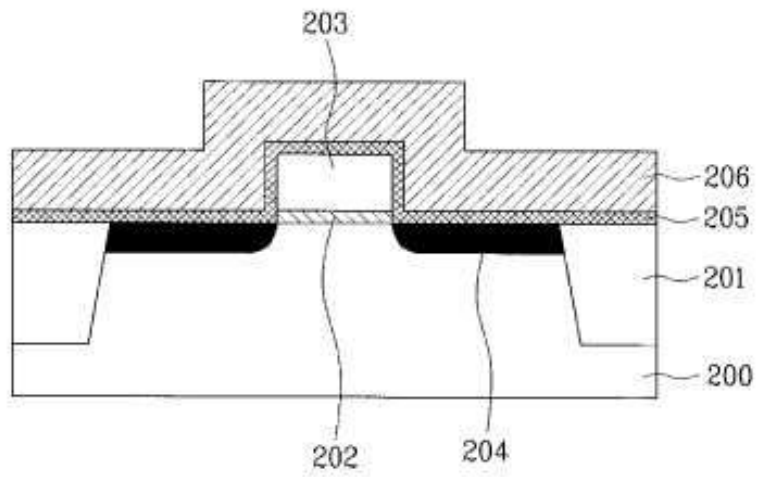
도면2a



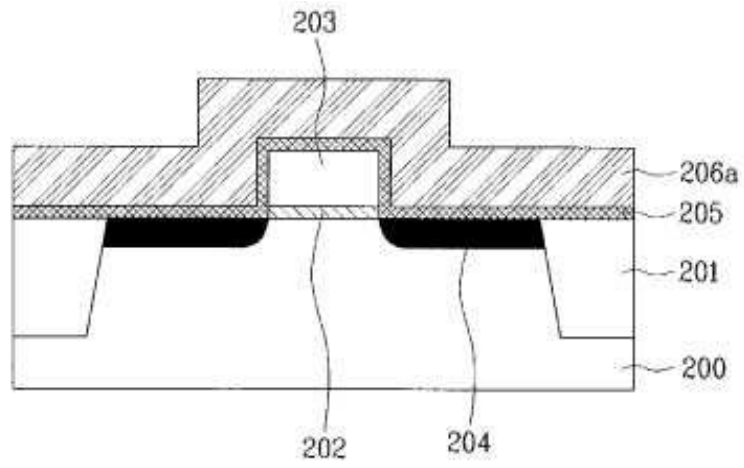
도면2b



도면2c



도면2d



도면2e

