

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利申请公开说明书

[21] 申请号 200510076316.X

H01L 25/00 (2006.01)

H05K 1/18 (2006.01)

H01L 23/538 (2006.01)

H01L 23/48 (2006.01)

H01L 23/28 (2006.01)

H01L 21/50 (2006.01)

[43] 公开日 2006年1月18日

[11] 公开号 CN 1722430A

[22] 申请日 2005.6.15

[21] 申请号 200510076316.X

[30] 优先权

[32] 2004.6.15 [33] JP [31] 2004-176838

[71] 申请人 松下电器产业株式会社

地址 日本大阪府

[72] 发明人 樱井大辅 西川和宏 塚原法人

[74] 专利代理机构 中科专利商标代理有限责任公司

代理人 汪惠民

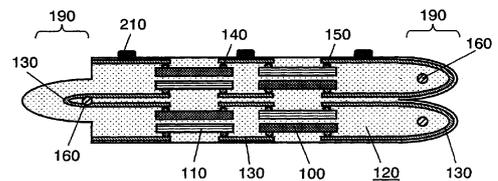
权利要求书 3 页 说明书 12 页 附图 10 页

[54] 发明名称

电路模块以及电路模块的制造方法

[57] 摘要

在各种移动机器、IC卡或存储卡等中使用的电路模块必须薄型化、层叠化。与此相伴的制造方法存在复杂化以及因层间剥离导致的可靠性低的问题。本发明提供一种具有层叠结构的电路模块及其制造方法，其形成将半导体芯片及无源器件埋置于由热可塑性树脂形成的薄片内的器件内置薄片，沿电路区块的边界对含有在表面形成有布线图案的多个电路区块的模块薄片折叠后层叠，通过加热和加压，熔融为一体化。这样，采用简单的制造方法就可以制作可靠性高的电路模块。



1、一种电路模块，通过叠合理置有电子器件的器件内置薄片而进行
5 层叠化，其特征在于，包括：

器件内置薄片，其具有以至少让所述电子器件的凸起状电极表面露出的方式埋入了该电子器件的多个电路区块；

布线图案，其与所述器件内置薄片的所述凸起状电极连接；

覆盖薄片，其覆盖所述布线图案；

10 沿所述电路区块的边界折叠并层叠所述电路区块，使所述器件内置薄片以及所述覆盖薄片熔接，成为一体化。

2、根据权利要求 1 所述的电路模块，其特征在于，载置有与所述布线图案电连接的薄片状的无源元件。

3、根据权利要求 1 所述的电路模块，其特征在于，所述器件内置薄片
15 和所述覆盖薄片由热可塑性树脂形成。

4、根据权利要求 1 所述的电路模块，其特征在于，层叠的所述器件内置薄片的所述电路区块之间，通过设置于所述折叠部分的所述布线图案而连接。

5、根据权利要求 1 所述的电路模块，其特征在于，层叠的所述器件
20 内置薄片的所述电路区块之间的所述布线图案，通过贯通所述电路区块之间的通孔电连接。

6、根据权利要求 1 所述的电路模块，其特征在于，通过埋置于所述器件内置薄片的每个所述电路区块中的导电性部件，所述布线图案之间被电连接。

25 7、根据权利要求 1 所述的电路模块，其特征在于，在层叠的所述器件内置薄片的最外层的布线图案上设有旨在与外部电路连接的连接电极。

8、一种电路模块的制造方法，其特征在于，包括：

形成器件内置薄片的工序，该器件内置薄片具有以至少让电子器件的凸起状电极表面露出的方式埋入了该电子器件的多个电路区块；

30 形成布线图案的工序，该布线图案与所述器件内置薄片的所述凸起状

电极连接；

由覆盖薄片覆盖所述布线图案的工序；

通过在所述电路区块的边界折叠所述器件内置薄片而进行层叠的工序；和

- 5 对层叠后的所述器件内置薄片和所述覆盖薄片热压，使其相互熔接而一体化的工序。

9、一种电路模块的制造方法，其特征在于，包括：

形成器件内置薄片的工序，该器件内置薄片具有以至少让电子器件的凸起状电极表面露出的方式埋入了该电子器件的多个电路区块；

- 10 形成布线图案的工序，该布线图案与所述器件内置薄片的所述凸起状电极连接；

由覆盖薄片层叠埋入了所述电子器件的所述布线图案的工序；

通过在所述电路区块的边界折叠所述器件内置薄片而进行层叠的工序；和

- 15 对层叠后的所述器件内置薄片和所述覆盖薄片热压，使其相互熔接而一体化的工序。

10、根据权利要求 8 所述的电路模块的制造方法，其特征在于，形成与所述布线图案电连接的薄片状的无源元件。

- 20 11、根据权利要求 9 所述的电路模块的制造方法，其特征在于，形成与所述布线图案电连接的薄片状的无源元件。

12、根据权利要求 10 所述的电路模块的制造方法，其特征在于，所述薄片状的无源元件通过导电性浆料或电介质的印刷或描绘而形成。

13、根据权利要求 11 所述的电路模块的制造方法，其特征在于，所述薄片状的无源元件通过导电性浆料或电介质的印刷或描绘而形成。

- 25 14、根据权利要求 8 所述的电路模块的制造方法，其特征在于，所述布线图案通过导电性浆料的印刷而形成。

15、根据权利要求 9 所述的电路模块的制造方法，其特征在于，所述布线图案通过导电性浆料的印刷而形成。

- 30 16、根据权利要求 8 所述的电路模块的制造方法，其特征在于，沿所述电路区块的边界线载置支撑杆，将所述支撑杆作为折叠的支点。

17、根据权利要求 9 所述的电路模块的制造方法，其特征在于，沿所述电路区块的边界线载置支撑杆，将所述支撑杆作为折叠的支点。

电路模块以及电路模块的制造方法

5

技术领域

本发明涉及一种电路模块及其制造方法，该电路模块内置有电子器件，且叠合层叠形成有布线图案的薄片，其间相互布线。

10 背景技术

移动机器的多功能化及其轻薄小巧化不断地发展。同时，在安装电路基板及电子器件的电路模块中，追求更高的密度和性能。伴随着 IC 卡、存储卡的普及，薄的、高性能的、高可靠性且便宜的柔性电路模块的需求增大。

15 在特开 2002-43513 号公报中，公开了如图 11 所示的层叠结构的半导体装置及其制造方法。也就是说，如图 11 所示，将多个半导体芯片 1010 和器件 1020 安装在设有布线图案的支撑体 1030 上。此后，通过绝缘树脂 1040 模塑。另外，以区域单位将其折弯并重叠 3 层后，整体用绝缘树脂 1050 再次模塑。藉此得到层叠结构的半导体装置。

20 在这种情况下，为了使半导体芯片 1010 和器件 1020 的位置关系保持固定直到最终状态，支撑体 1030 有必要具有一定的刚性。因此，该结构的模块的薄型化有一定限度。

特开平 2-239695 号公报公开了具有同样层叠结构的多层印刷布线板。最初，形成在柔性薄片上形成有必要的布线图案及电极焊盘的可折弯的双面柔性基板。将这样的柔性基板在适当位置折叠。然后，用焊锡或导电性
25 粘结剂将重叠的导体露出部位之间粘结，形成多层结构。藉此得到多层印刷布线板。然而，在该方法中，在布线板中没有内置电子器件，因此很难制造高性能的电子电路。

另外，美国专利第 6225688 号说明书中，公开了在薄膜基板上以面朝
30 下方式安装电子器件，通过将其折弯形成多层化的安装结构。

另外，专利 2001-93934 号公报公开了以下半导体元件的安装方法。

另外，在半导体元件上通过导线焊接法形成凸块（bump）。将该半导体元件以凸块露出的方式埋置在热可塑性树脂中。接着，在包含凸块的热可塑性树脂的表面形成布线图案。其后，再用热可塑性树脂模塑。虽然公开了依据这样的方法的半导体元件的安装方法，但没有公开多层化结构。

各种移动机器、IC 卡或存储卡等，在形成双面布线图案的柔性薄片薄片上安装半导体芯片和器件所构成的电路模块被广泛使用。为增大安装密度，也正在开发将安装有半导体芯片和器件的基板进一步层叠所构成的电路模块。

然而，在 IC 卡或存储卡等中，不仅要提高安装密度和可靠性，也要使产品形状标准化。为此，就要求在所规定的形状中实现高功能化。

最近，伴随着移动机器、IC 卡或存储卡的发展，电路规模（例如，记忆容量等）正在变大。为满足这一需要，在上述现有例子中，将安装有电子器件的柔性薄片折弯，通过粘结层层叠，而实现多层基板和电路模块。通过这样的多层化，可以加大电路规模。可是，由于粘结剂和柔性薄片的材质不同，它们的热膨胀系数也不同。结果容易产生热膨胀系数的差异产生的应力所导致的层间剥离。为此，为防止可靠性降低，就有必要使基板具有一定的厚度，在要求厚度有限的 IC 卡中，就很难通过层叠来扩大电路的规模。

20

发明内容

为解决上述问题，本发明的目的在于提供一种在柔性薄片内埋置半导体芯片及器件，在给定位位置折弯叠合，通过加热以及加压处理而熔接的一体化电路模块及其制造方法。

本发明的电路模块，通过叠合理置有电子器件的器件内置薄片而进行层叠化，其具有以下结构：包括：器件内置薄片，其具有以至少让电子器件的凸起状电极表面露出的方式埋入了该电子器件的多个电路区块；布线图案，其与器件内置薄片的凸起状电极连接；覆盖薄片，其覆盖布线图案；沿电路区块的边界折叠并层叠电路区块，使器件内置薄片以及覆盖薄片熔接，成为一体化。

30

另外，本发明的电路模块的制造方法，包括：形成器件内置薄片的工序，该器件内置薄片具有以至少让电子器件的凸起状电极表面露出的方式埋入了该电子器件的多个电路区块；形成布线图案的工序，该布线图案与器件内置薄片的凸起状电极连接；由覆盖薄片覆盖布线图案的工序；通过
5 在电路区块的边界折叠器件内置薄片而进行层叠的工序；和对层叠后的器件内置薄片和覆盖薄片热压，使其相互熔接而一体化的工序。

另外，本发明的电路模块的制造方法，包括：形成器件内置薄片的工序，该器件内置薄片具有以至少让电子器件的凸起状电极表面露出的方式埋入了该电子器件的多个电路区块；形成布线图案的工序，该布线图案与
10 器件内置薄片的凸起状电极连接；由覆盖薄片层叠埋入了电子器件的布线图案的工序；通过在电路区块的边界折叠器件内置薄片而进行层叠的工序；和对层叠后的器件内置薄片和覆盖薄片热压，使其相互熔接而一体化的工序。

15 附图说明

图 1 表示有关本发明第一实施例的电路模块的剖面图；

图 2 表示说明同一实施例电路模块的制造方法的流程图；

图 3 表示图 2 的主要处理工序和工序结束后的剖面图；

图 4 表示同一实施例的电路模块中有关另一变形例的电路模块的剖面图；
20 剖面图；

图 5 表示同一实施例的电路模块中有关另一变形例的模块薄片的剖面图；

图 6 表示有关本发明第二实施例的电路模块的剖面图；

图 7 表示同一实施例的电路模块制造方法的主要处理工序和工序结束
25 后主要部位的剖面图；

图 8 表示有关本发明第三实施例的电路模块的剖面图；

图 9 表示说明同一实施例电路模块制造方法的流程图；

图 10 表示图 9 所示的主要处理工序和工序结束后的剖面图；

图 11 表示有关现有技术的电路模块的剖面图。

具体实施方式

以下，参照附图说明本发明的实施例。

第一实施例

图 1 表示有关本发明第一实施例的电路模块的剖面图。

5 图 1 的电路模块具有如下结构：将由半导体芯片 100 和无源器件 110 等构成的电子器件埋设于各层的器件内置薄片 120 中，并且层叠为形成有布线图案 130 的 4 层。在各半导体芯片 100 的电极（图中未示出）形成有凸块 140。另外，各无源器件 110 上也设有凸起状的电极 150。另外，在
10 以下，虽然为了与无源器件 110 的凸起状电极 150 相区别，而将在半导体芯片 100 上形成的凸起状电极特别作为凸块 140 进行说明，但他们的功能相同。

另外，器件内置薄片 120 的折叠部分 190 处也形成布线图案 130，与形成于各层的半导体芯片 100 的凸块 140 之间或者无源器件 110 的凸起状
15 电极 150 之间实现电连接。于是，使根据需要在覆盖薄片上层叠的 4 层器件内置薄片 120 互相热熔接为一体化，其熔接的界面消失，形成半导体芯片 100 和无源器件 110 完全埋入的结构。另外，以下的说明为了有助于理解，将在布线图案 130 一侧形成的覆盖薄片记为第一覆盖薄片，将在布线图案 130 的形成面以外形成的覆盖薄片记为第二覆盖薄片，以示区别。

图 1 中，虽然为在折叠部分 190 留置有细支撑杆 160 的状态，也可以在一体化后将其去除。该支撑杆 160 旨在防止折弯工序中布线图案 130 的
20 断线，即使去除也不会对电路模块的工作产生任何问题。

图 2 表示说明本实施例的电路模块制造工序的流程图。图 3A 至图 3C 表示图 2 的主要处理工序和工序结束后的主要部位的剖面图。

以下，结合图 2 至图 3C 说明本发明的电路模块的制造方法。

25 首先，在步骤 S1 中，准备研磨成薄片状且在电极（图中未示出）上用诸如导线焊接法形成有凸块 140 的半导体芯片 100。同样，准备形成有凸起状电极 150 的无源器件 110。例如，半导体芯片 100 和无源器件 110 的厚度分别为 50 μm 。凸块 140 和凸起状电极 150 的高度通过研磨或者按压优选统一为大约 25 μm 的程度，但并不限于于此。另外，凸块 140 也可以
30 可以通过镀金、导电性浆料或焊锡等形成。

接下来，在步骤 S2 中，在热可塑性树脂形成的诸如 75 μm 厚的薄片上在给定位置并且在每个给定电路区块 300 上载置一个或多个形成有凸块 140 的半导体芯片 100 以及形成有凸起状电极 150 的无源器件 110。热塑性树脂可以用聚乙烯对苯二酸盐 (PETG)、氯化乙烯、聚碳酸酯、或丁晴苯乙烯。另外薄片也可以用诸如环氧树脂等热硬化性树脂，或诸如聚矽亚胺等热可塑性树脂和热硬化性树脂混合的树脂。

接下来，在步骤 S3 中，将载置有半导体芯片 100 和无源器件 110 的薄片夹在热压板中间，加热同时加压。例如，对于 PETG，压力为 30kg/cm²，温度为 150 $^{\circ}\text{C}$ ，加压时间为 2 分钟。通过该工序，薄片变为暂时熔融状态，半导体芯片 100 和无源器件 110 在薄片的至少一面让凸块 140 和凸起状电极 150 的表面露出的状态被埋置。通过该埋置，形成器件内置薄片 120。此时，为确保凸块 140 以及凸起状电极 150 露出，埋入后，可在薄片的表面用等离子体等做清洗处理。

接下来，在步骤 S4 中，在嵌埋有半导体芯片 100 和无源器件 110 的器件内置薄片 120 的另一面，层叠例如 25 μm 的第二覆盖薄片 180。另外，该工序对于在嵌入有半导体芯片 100 和无源器件 110 的器件内置薄片 120 的另一面的熔接时的粘结强度较强的情况下也可以省略，藉此，可以得到更薄的电路模块。另外，也可在进行下述步骤 S6 的同时，层叠第二覆盖薄片 180。

接下来，在步骤 S5 中，在露出凸块 140 和凸起状电极 150 的器件内置薄片 120 (例如由软化温度为 120 $^{\circ}\text{C}$ 做成的材料构成时) 的一个面上丝网印刷导电性浆料。然后，例如以 110 $^{\circ}\text{C}$ 加热 10 分钟，干燥导电性浆料，使之硬化，从而形成具有给定图案形状的例如 15 μm 厚的布线图案 130。另外，布线图案 130 也可以通过纳米级导电性浆料的丝网印刷和镀金，溅射制膜等形成。另外，为提高折叠部分 190 的可靠性，将优选具有良好延展性、高抗折性的诸如金、银、铜等形成的金属材料。

因此，在步骤 S6 中，在含有布线图案 130 的器件内置薄片 120 的一个面上层叠由诸如 PETG 形成的 25 μm 的第一覆盖薄片 170。此时，也可以和步骤 S4 所示的第二覆盖薄片 180 同时层叠。

图 3A 表示上述步骤 S1 到步骤 S6 的各工序结束后的结构剖面图。另

外，器件内置薄片 120、第一覆盖薄片 170 和第二覆盖薄片 180 使用同一材料时，可容易地通过热粘结实现一体化。另外，为了避免半导体芯片 100 和无源器件 110 的流动，希望覆盖薄片的软化温度与构成器件内置薄片 120 的薄片的软化温度相比为相同程度或者更低。

5 因此，在以下的说明中，把由器件内置薄片 120、第一覆盖薄片 170 以及第二覆盖薄片 180 三者叠合为一体的器件单称作模块薄片 200。

另外，在步骤 S7 中，将形成于最下层的模块薄片 200 的电路区块 300 放置于平坦的台面上，在其折叠位置的电路区块 300 的边界部分 310 放置支撑杆 160。然后，如图 3B 所示，以支撑杆 160 为中心顺次以例如 S 字状折叠，藉此准备具有 4 层的电路模块。

另外，折叠方法不限于 S 字状，可以任意选定电路区块 300 的折叠位置，以诸如螺旋状折叠。至于支撑杆 160，可以用例如和器件内置薄片 120 相同的材料，ABS 树脂、丙烯树脂等塑料、不锈钢等金属材料。另外，当在一体化后取除支撑杆 160 时，优选在支撑杆 160 的表面由例如氟素树脂等覆盖，进行离型处理。

另外，若能确保与布线图案 140 的绝缘性，作为支撑杆 160 也可以用镍铬合金等高电阻率的金属线。然后，在其中流过电流，让器件内置薄片 120、第一覆盖薄片 170 及第二覆盖薄片 180 软化，以支撑杆 160 和模块薄片 200 粘结的状态折叠。

20 在这种情况下，优选在模块薄片 200 上的支撑杆 160 的位置固定，且使折叠部分 190 软化，以提高折叠部位的弯曲精度。

另外，当各层间需要正确定位时，也可以利用在各层预设的定位标记，进行光学定位。

接下来，在特别要求耐湿性等高可靠性的场合，在步骤 S8 中，对折叠后的模块薄片 200 层叠保护薄片，该步骤 S8 并不一定需要。

接下来，在步骤 S9 中，将 4 层折叠的模块薄片 200 或层叠有保护薄片的模块薄片 200 夹在热压板的中间，加热并且加压。这时的条件，例如模块薄片 200 是 PETG 时，只要压力为 $35\text{kg}/\text{cm}^2$ ，温度为 110°C ，加压时间为 1 分钟即可。

30 通过以上的工序，模块薄片 200 通过热熔融各层之间熔接，成为一体。

因此，如图 3C 所示，得到所有半导体芯片 100 和无源器件 110 完全被埋在模块薄片 200 中的结构。

最后，在步骤 S10 中，利用激光除去用于同外部电路连接的电极位置的模块薄片 200，使布线图案 130 的一部分露出，在其表面用导电性浆料、
5 焊锡球等形成连接电极 210。

通过以上的工序，得到如图 1 所示的电路模块。

另外，以下说明在本实施例的电路模块有关另一变形例的电路模块。

该变形例的电路模块的特征为：在图 2 所示的步骤 S5 中，当在凸块
140 露出的器件内置薄片 120 的一个面上，通过丝网印刷导电性浆料，形
10 成布线图案 130 时，同时形成与布线图案 130 电连接的无源器件 110。作为该无源器件 110，能够形成例如薄膜电感器或厚膜电感器，或电容器、电阻器等无源元件。由这样的无源元件构成的无源器件 110 的形成，可在厚膜电子器件用的材料浆料和电介质材料上，通过采用丝网印刷法或喷墨技术、分配器（dispenser）技术的绘图法进行。另外，也可以将薄片状装
15 置等无源器件 110 通过导电性浆料等安装在器件内置薄片 120 的表面。

藉此，在由多层形成的器件内置薄片 120 的内部，将某一层作为厚膜电子器件形成领域利用，通过内置占有面积大的电感器、电容器和电阻器等可得到高密度的电路模块。进一步，也能在折叠部分 190 处形成薄膜或厚膜电子器件。

20 其后，经过和图 2 同样的工序，得到内置薄膜或厚膜电子器件的电路模块。

另外，图 4 表示有关本实施例的电路模块又一变形例的电路模块。

该变形例的电路模块的特征为：在由 4 层一体化的电路区块 300 形成的模块薄片 200 中，具有在与布线图案 130 相面对的第二层或第三层间的
25 给定连接盘之间通过导电性浆料电连接的连接体 220。

该结构是通过用激光除去与诸如连接体 220 连接的连接盘位置的第一覆盖薄片 170 后，折叠将导电性浆料填充到连接盘的模块薄片 200，叠合为一体化而做成。通过该连接体 220，与通过折叠部分 190 连接的布线图案 130 相比，能够缩短多个半导体芯片 100 以及无源器件 110 之间的布线
30 距离。

本实施例中,半导体芯片 100 和无源器件 110 埋置在器件内置薄片 120 的内部。因此,实际的电路模块厚度大体上取决于由器件内置薄片 120、第一覆盖薄片 170 和第二覆盖薄片形成的覆盖薄片的厚度以及叠合的层数。其结果为能够制造具有非常薄的层叠结构的电路模块。

5 另外,本实施例的制造方法,在器件内置薄片 120 中,在构成多层的电路区块 300 上,将必要的半导体芯片 100 和无源器件 110 以在同一平面展开的形式埋置,形成布线图案 130,通过对之折叠而层叠化。为此,与个别地制作构成各层的电路区块 300 的层叠化方法相比,工序非常简单。

另外,叠合形成的模块薄片 200,通过热熔接而一体化,因而具有不易因层间剥离产生密封不良和断线不良的优越效果。

10 另外,上述发明中的无源器件 110 示出了芯片电容器、芯片电阻器、芯片电感器和芯片状晶体管等芯片器件。另外,对于布线图案 130,虽然通过印刷导电性浆料形成的方法进行了说明,也可以用将镀金层图案化的方法形成。因此,与外部电路连接的连接电极 210 也可通过镀金层和各向异性导电膜形成。

15 另外,本实施例中,是以半导体芯片 100 的凸块 140 和无源器件 110 的凸起状电极 150 在器件内置薄片 120 的同一面露出的情况为例进行了说明。可是,如图 5 的折叠前的模块薄片的剖面图所示,半导体芯片 100 的凸块 140 和无源器件 110 的凸起状电极 150 的露出面并不一定在同一面。20 例如,也可以在器件内置薄片 120 的两面露出。在该种情况下,布线图案 130 与同一面上露出的凸块 140 和凸起状电极 150 相连接。因此,也可在第一覆盖层上形成相当的覆盖薄片,折叠为一体化结构。另外,当器件内置薄片 120 的热粘结强度大,而布线图案 130 一体化时相互不短路构成的情况,也可不形成覆盖薄片。

25 另外,显然上述结构能够适用于以下的实施例。

第二实施例

图 6 表示有关本发明第二实施例的电路模块的剖面图。

30 本实施例的电路模块具有在由 4 层形成的器件内置薄片 120 的内部埋置半导体芯片 100 和无源器件 110,并形成有布线图案 130 的结构。进一

步，切断折叠部分 190，通过通孔 230 实现不同层之间的电连接。

另外，对于与图 1 相同的结构采用相同符号，并省略其说明。另外，半导体芯片 100 的凸块 140 和无源器件 110 的凸起状电极 150 与第一实施例相同。进一步，由 4 层形成的器件内置薄片 120 与第一实施例的情况相同，热粘接为一体，成为其连接边界面消失的状态。

以下，说明有关本实施例的电路模块的制造方法。

首先，将埋设有半导体芯片 100 和无源器件 110 的器件内置薄片 120 折弯并层叠，直至通过加热和加压处理实现一体化的工序（相当于图 2 的步骤 S9），与第一实施例相同。

10 接下来，利用切片锯或激光等切断折叠部分 190，可得到如图 7A 所示的层叠层。

接下来，在没有安装半导体芯片 100 和无源器件 110 的周边区域，或在半导体芯片 100 和无源器件 110 之间，通过激光加工或钻孔加工形成贯通孔。同时，用诸如丝网印刷法在该贯通孔填充导电性浆料或用金属镀金法形成导电层，藉此得到通孔 230。图 7B 表示该工序结束后的层叠体结构。

接下来，在为了同外部电路连接而被赋予了导电性的通孔 230 的位置，用焊锡和导电性浆料等形成连接电极 210。

通过以上工序，得到图 6 或图 7C 所示的电路模块。

20 依据本发明第二实施例，由于利用通孔 230 进行层间连接，与有关第一实施例的通过折叠部分 190 的布线图案 130 的层间连接相比，能够缩短连接布线长度。特别是，能够缩短不相邻接的层间的连接布线长度。

藉此结构，能够抑制布线图案 130 的连接布线的长度引起的阻抗增加，改善电路模块的低噪音化和高频特性。

25

第三实施例

图 8 表示有关本发明第三实施例的电路模块的大概结构的剖面图。

本实施例的电路模块具有在由 4 层形成的器件内置薄片 120 的内部埋置半导体芯片 100 和无源器件 110，并形成有布线图案 130 的结构。另外，不同层间通过设置在模块薄片 200 的诸如金属线等形成的导电性部件 240

实现电连接。

另外，对于与图 1 相同的结构采用相同符号，并省略其说明。另外，半导体芯片 100 的凸块 140 和无源器件 110 的凸起状电极 150 和第一实施例相同。进一步，构成 4 层的各模块薄片 200，与第一实施例的情况相同，
5 热熔接为一体化，成为这些连接边界面消失的状态。

在本发明的第三实施例中，不限于通孔 230，可通过盲孔实现层间连接。

以下，说明有关本实施例的电路模块的制造方法。

图 9 表示说明有关第三实施例的电路模块的制造方法的流程图。图 10
10 表示图 9 的主要处理工程和工程结束后的主要部位剖面图。

首先，在步骤 S1 中，准备研磨成薄片状且在电极（图中未示出）上用诸如导线焊接法等形成有凸块 140 的半导体芯片 100，和形成有凸起状电极 150 的无源器件 110 以及用于各层间连接的导电性部件 240。例如，
15 半导体芯片 100 和无源器件 110 的厚度各自为 $50\mu\text{m}$ 。凸块 140 和凸起状电极 150 的高度优选为通过研磨或者按压统一成 $25\mu\text{m}$ 的程度，但并不限定于此。导电性部件 240 的大小，对于诸如园柱形的情况，直径为 0.2mm ，高度可与器件内置薄片 120 的厚度相当。

接下来，在步骤 S2 中，在由聚乙烯对苯二酸盐（PETG）、氯化乙烯、聚碳酸脂、或丁晴苯乙烯等热可塑性树脂形成的诸如 $75\mu\text{m}$ 厚的薄片上的
20 给定位置载置形成有凸块 140 的半导体芯片 100、形成凸起状电极 150 的无源器件 110 以及导电性部件 240。此时，导电性部件 240 以垂直于薄片表面的方向载置。

接下来，在步骤 S3 中，将载置有半导体芯片 100、无源器件 110 和导电性部件 240 的薄片夹在热压板中间，加热同时加压。例如，对于 PETG，
25 压力为 $30\text{kg}/\text{cm}^2$ ，温度为 120°C ，加压时间为 1 分钟。通过该工序，半导体芯片 100 和无源器件 110，在薄片的至少一个面以凸块 140、凸起状电极 150 以及导电性部件 240 的表面露出的状态被埋置。通过该埋置，形成器件内置薄片 120。

接下来，在步骤 S4 中，在埋置有半导体芯片 100 和无源器件 110 的
30 器件内置薄片 120 的另一个面，层叠例如 $25\mu\text{m}$ 的第二覆盖薄片 180。另

外,该工序对于在埋置有半导体芯片 100 和无源器件 110 的器件内置薄片 120 的另一个面的热粘结的结合强度较强的情况也可以省略。藉此,可以得到更薄的电路模块。另外,也可在进行下述步骤 S6 的同时,层叠第二覆盖薄片 180。

- 5 接下来,在步骤 S5 中,在凸块 140 和凸起状电极 150 露出的器件内置薄片 120 的一个面丝网印刷导电性浆料。然后,例如以 110℃加热 10 分钟,干燥导电性浆料,使之硬化,从而形成连接凸块 140 和凸起状电极 150 的具有给定图案形状的布线图案 130。

10 因此,在步骤 S6 中,在含有布线图案 130 的器件内置薄片 120 的表面层叠由诸如 PETG 形成的 25μm 的第一覆盖薄片 170。此时,根据必要,也可以和第二覆盖薄片 180 同时层叠。

 接下来,在步骤 S7 中,根据必要用激光除去连接不同层间的导电性部件 240 的位置的第一覆盖薄片 170 和第二覆盖薄片 180,在其开口部 900 填充导电性浆料。

- 15 图 10A 表示该工序结束后的结构剖面图。另外,省略步骤 S7 也可形成盲孔。

 接下来,由于图 10B 所示的折叠工序(步骤 S8)以下的工序同第一实施例(相当于图 2 所示的步骤 S7 以下的工序)相同,因此省略其说明。

- 20 最后,利用诸如切片锯等切断折叠部分 190,形成用于同外部电路连接的连接电极 210(步骤 S11),得到图 8 或图 10C 所示的电路模块。

 依据本实施例,由于各层的模块薄片 200 通过热熔接形成为一体,因此具有不易因层间剥离出现密封不良及断线不良的优越效果。

 另外,由于能够用像金属线的低电阻材料形成导电性部件 240,能够进一步降低布线电阻,结果改善了电路模块的低噪音化和高频特性。

- 25 另外,作为步骤 S7 的工序的替代,器件内置薄片 120、由第一覆盖薄片 170 和第二覆盖薄片 180 等形成的覆盖薄片被叠合或一体化的模块薄片 200 的状态,也可以埋置其长度与模块薄片 200 的厚度相同程度的导电性部件 240。

 藉此,可以使得后续工序简化。

- 30 另外,在本发明的各实施例中,对于由 4 层形成的层叠结构中,层叠

的数目并不限于于此，可以根据需要的电路规模、尺寸、成本等观点决定。

另外，依据本发明，高密度内置了半导体芯片和无源器件的薄型、层叠型的电路模块可通过简单的制造工序制造。

5 进一步，相面对应的模块薄片之间不用组份不同的粘结剂，由于能够通过熔融由同一组份形成的热可塑性树脂，因此不易因温度变化、压力等产生层间剥离。

因而，能够以较低的价格制造高性能的 IC 卡、存储卡以及各种移动机器用的电路模块等。

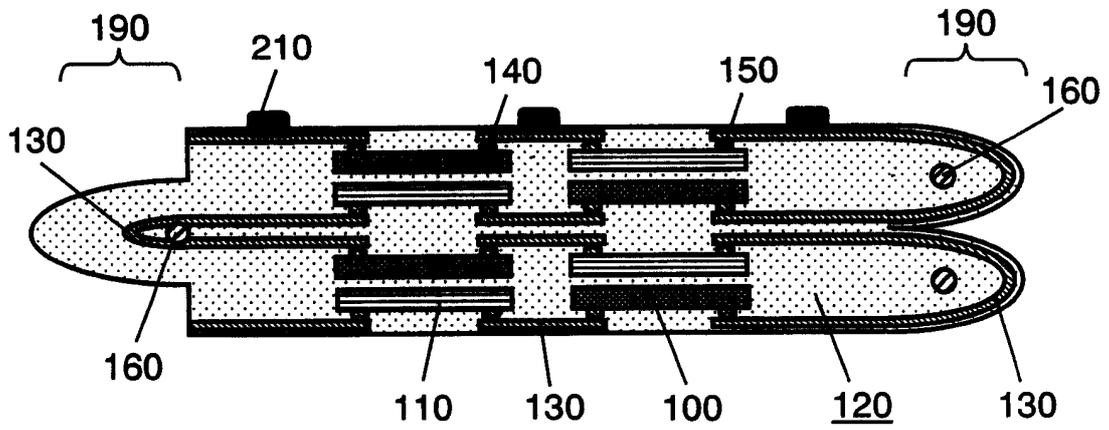


图 1

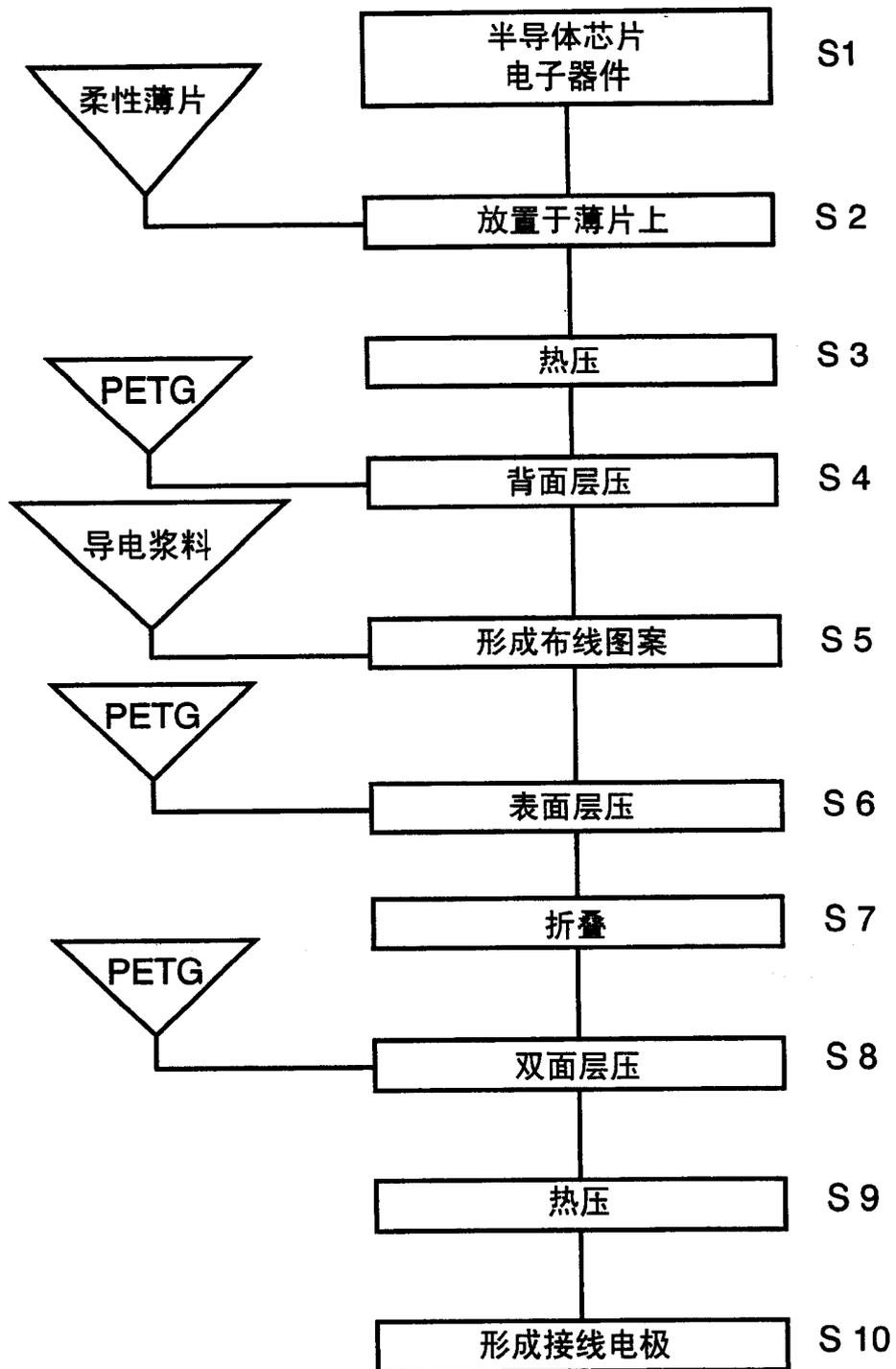


图 2

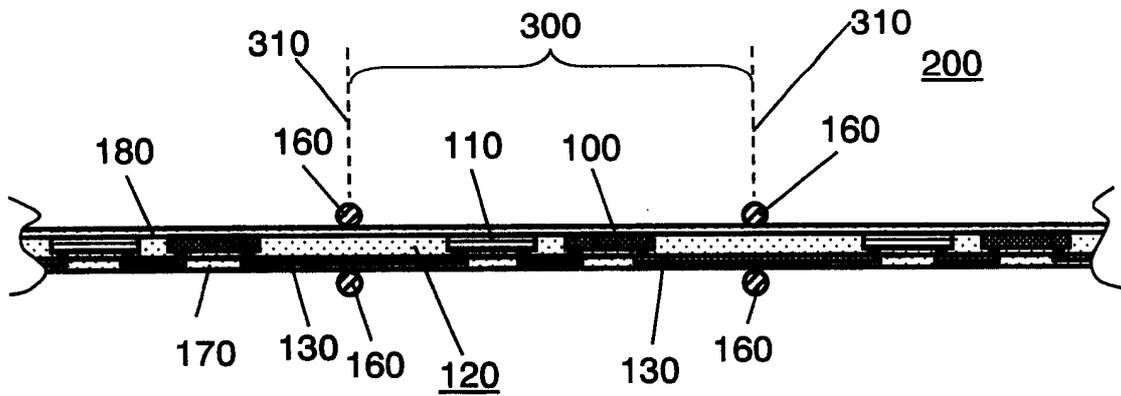


图 3A

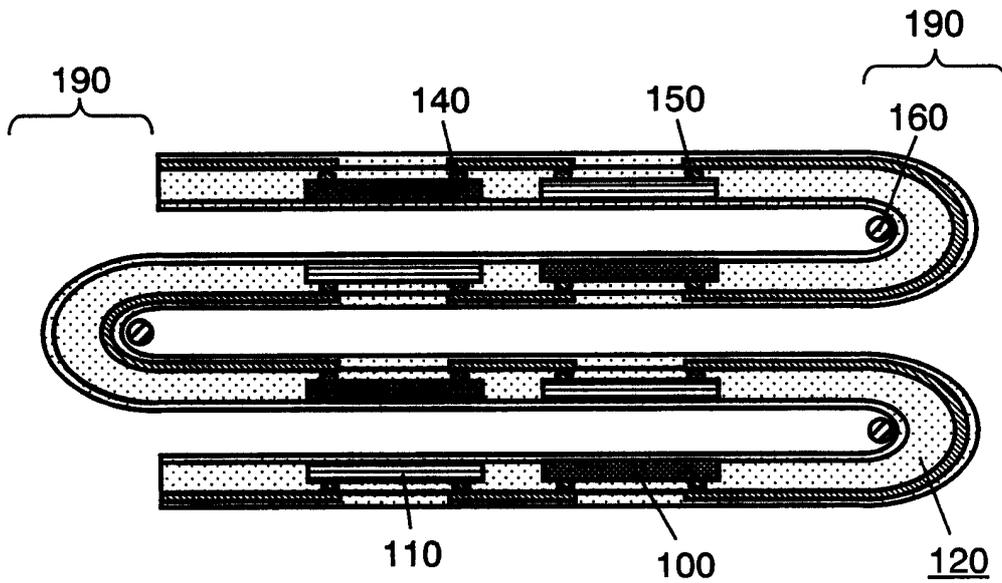


图 3B

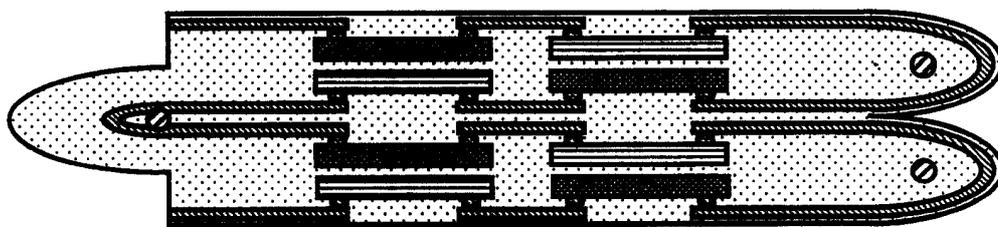


图 3C

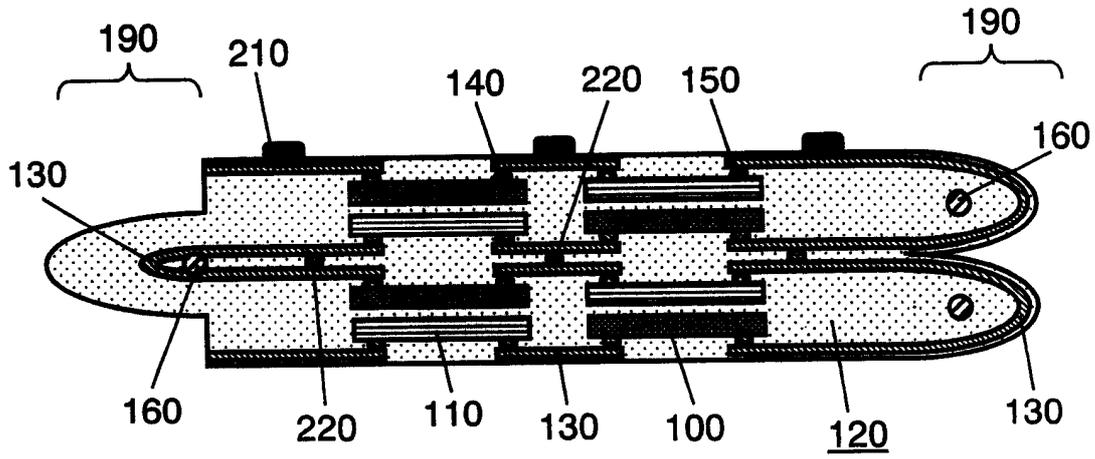


图 4

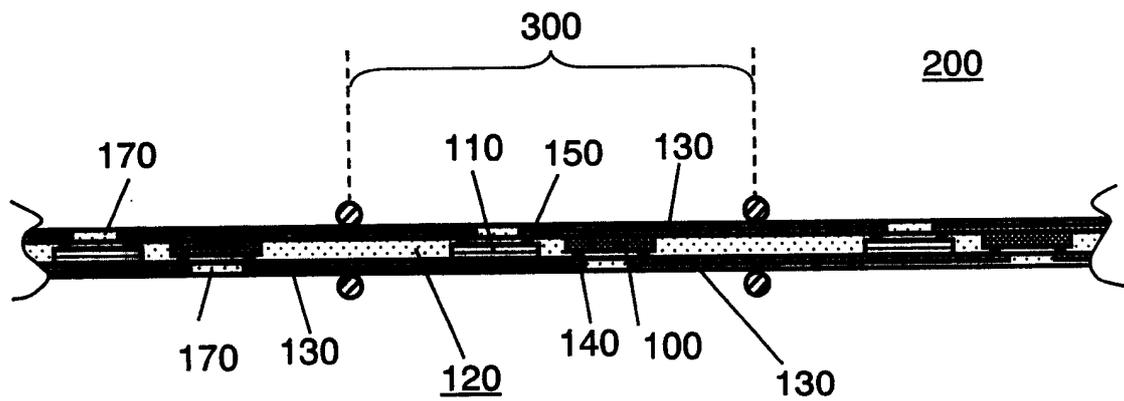


图 5

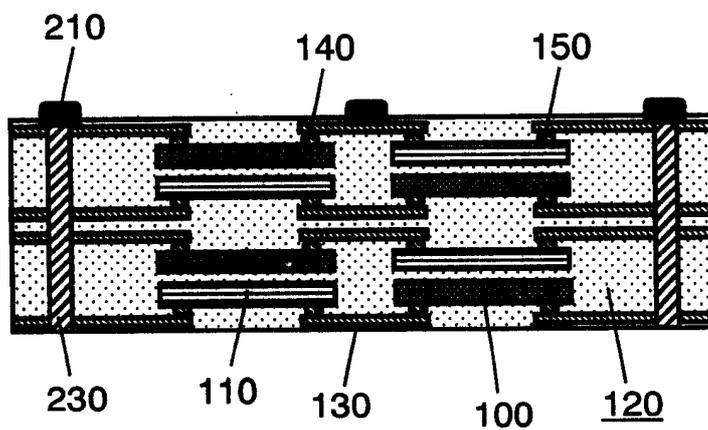


图 6

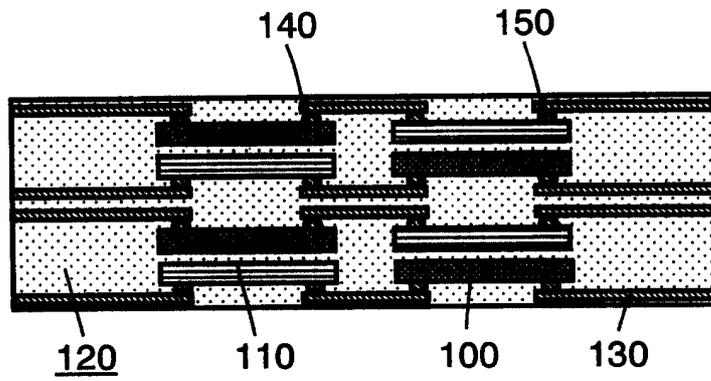


图 7A

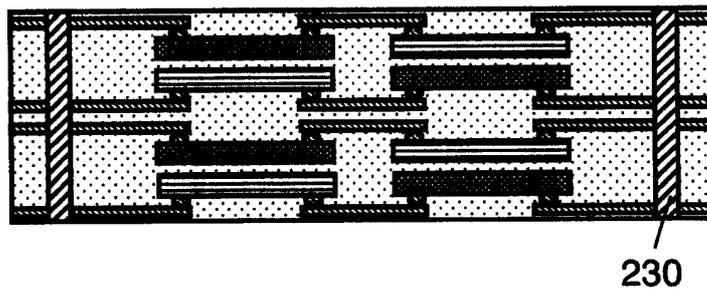


图 7B

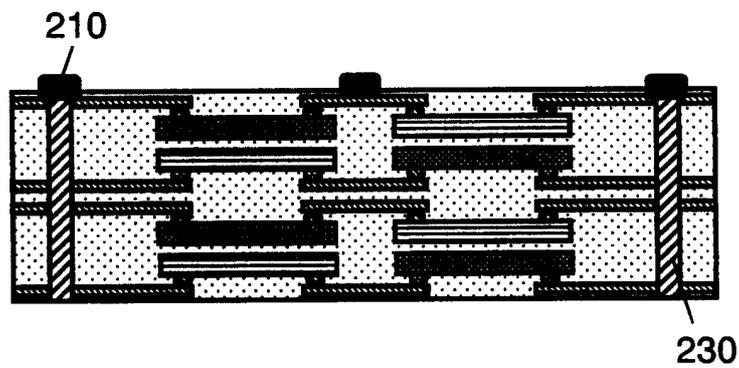


图 7C

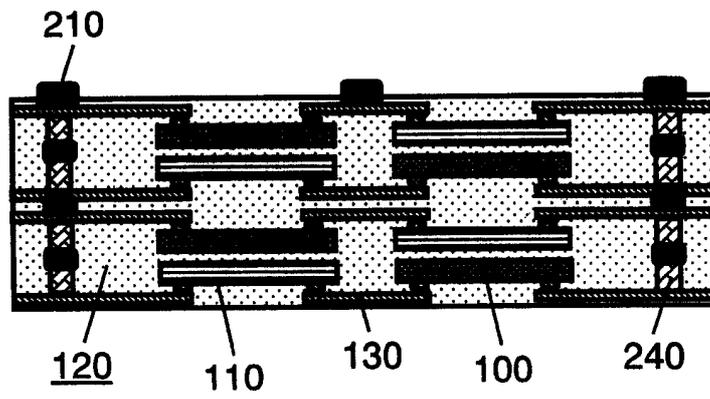


图 8

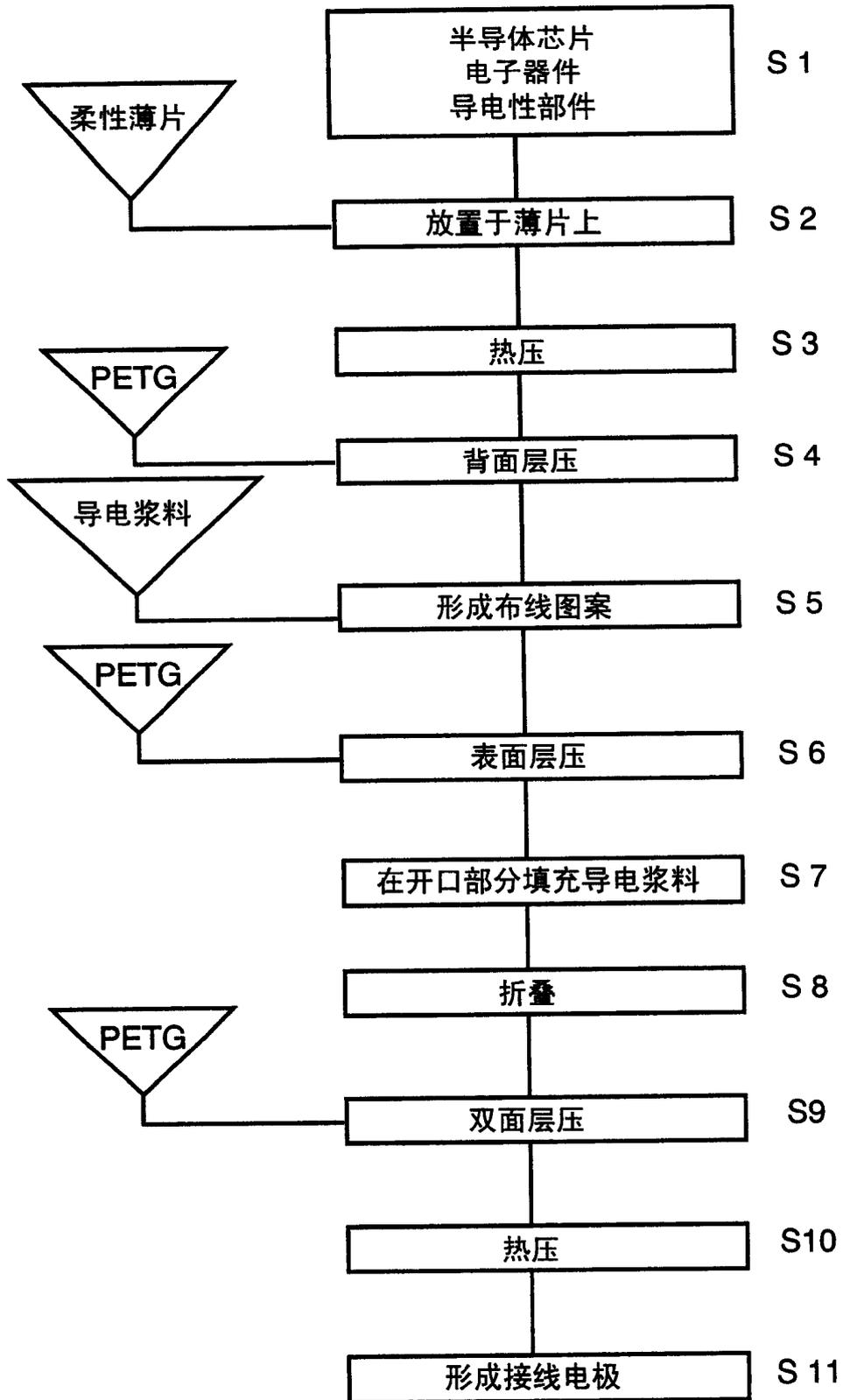


图 9

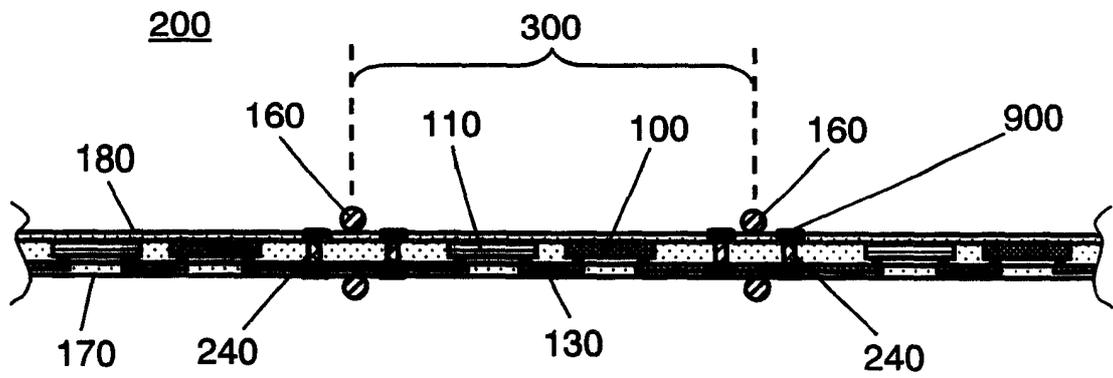


图 10A

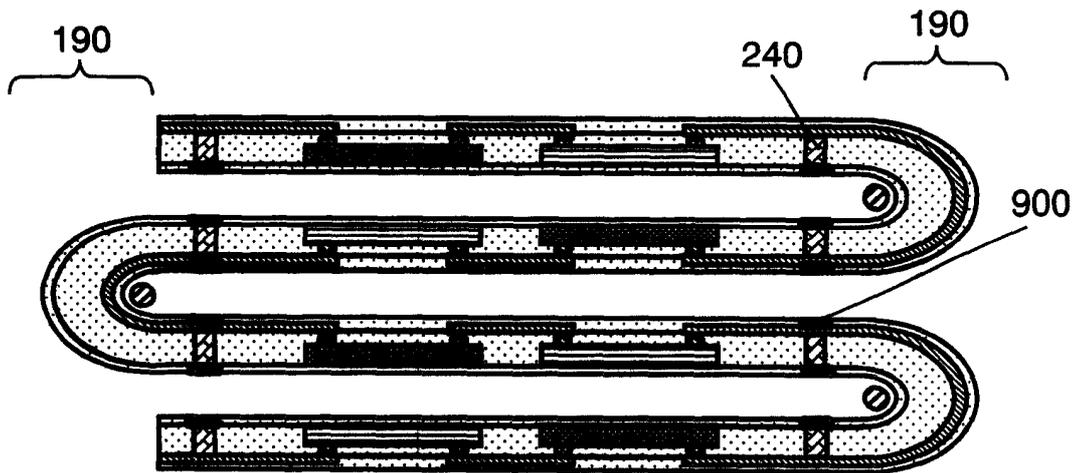


图 10B

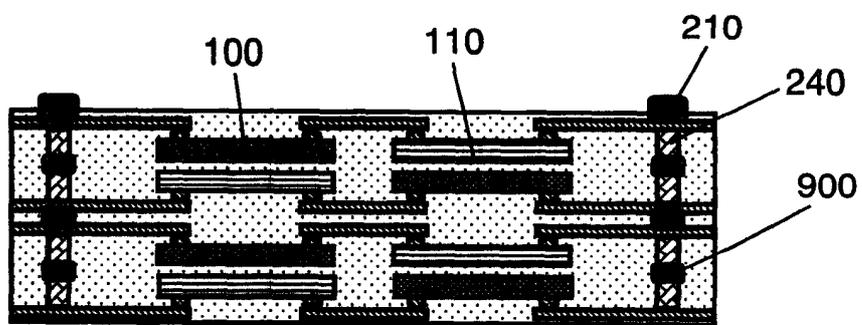


图 10C

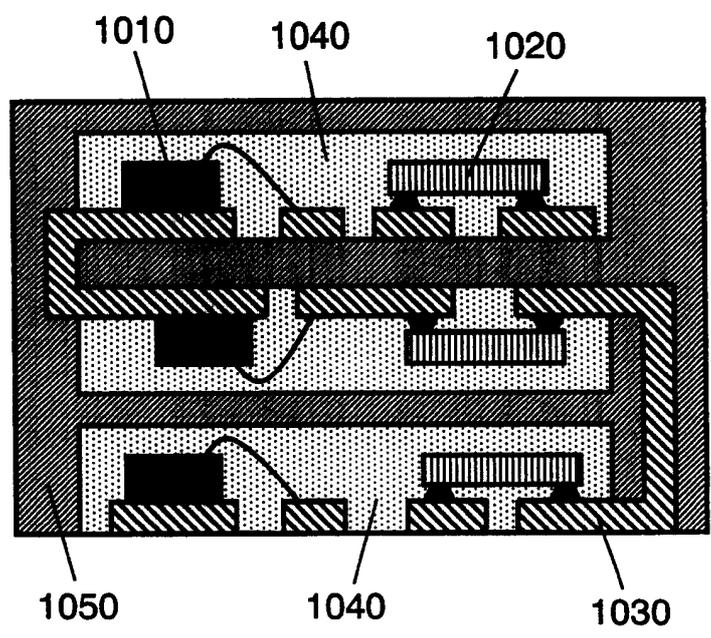


图 11