[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
H01L 21/60
H01L 21/768

[12] 发明专利说明书

[21] ZL 专利号 97118207.8

[45] 授权公告日 2004 年 1 月 7 日

[11] 授权公告号 CN 1134054C

[22] 申请日 1997.9.4 [21] 申请号 97118207.8

[30] 优先权

[32] 1996. 9. 4 [33] JP [31] 253797/1996

[71] 专利权人 冲电气工业株式会社

地址 日本东京

[72] 发明人 河津佳幸 宫城享

审查员 聂少岩

[74] 专利代理机构 上海专利商标事务所

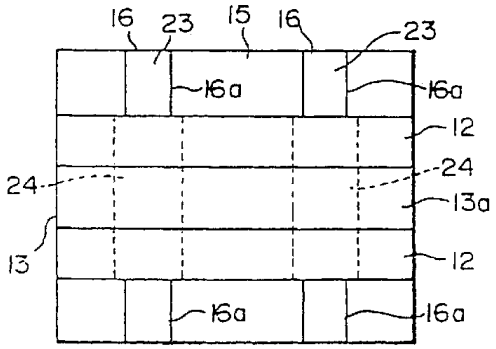
代理人 张政权

权利要求书 3 页 说明书 14 页 附图 15 页

[54] 发明名称 非易失性半导体存储器的制造方法

[57] 摘要

一种能制造紧凑的非易失性半导体存储器的制造方法。 在此制造方法中，依次进行以下步骤。在氧化区形成步骤中，在半导体衬底中平行地形成多个氧化区。 在字线形成步骤中，在形成有多个氧化区的半导体衬底上平行地形成与多个氧化区垂直的多条字线。 在蚀刻步骤中，对位于其中放置源极区的两条相邻字线的字线对之间的氧化物进行蚀刻，从而从多个氧化区中产生场区。 在源极区形成步骤中，通过把杂质掺入半导体衬底来在字线对之间的区域内形成起源极区和源线作用的源极区。



ISSN1008-4274

1. 一种非易失性半导体存储器的制造方法，其特征在于包括：

字线形成步骤，在形成场区的半导体衬底表面上平行地形成多条字线，每条字线具有作为顶层的第一绝缘材料构成的绝缘层；

掺杂步骤，为了在除场区以外的区域处产生源极区和漏极区以及源线，在字线形成步骤后把杂质掺入半导体衬底中；

侧壁形成步骤，在朝向多条字线漏极区的侧面上形成第二绝缘材料构成的侧壁；

蚀刻阻挡层形成步骤，在侧壁形成步骤后，在半导体衬底的整个表面上形成蚀刻阻挡层；其中所述蚀刻阻挡层形成步骤包括在除形成漏极区外的区域中形成具有开口的蚀刻阻挡层；

中间绝缘层形成步骤，在蚀刻阻挡层上形成第三绝缘材料构成的中间绝缘层，它不同于蚀刻阻挡层所使用的材料；

抗蚀剂图形形成步骤，在中间绝缘层上形成在相应于漏极区的区域中具有开口的抗蚀剂图形；

漏极接触孔形成步骤，通过用抗蚀剂图形作为掩模对中间绝缘层进行蚀刻形成漏极接触孔；以及

位线形成步骤，通过在形成漏极接触孔的中间绝缘层上淀积导电材料以及对淀积的导电材料进行构图来形成位线。

2. 一种非易失性半导体存储器的制造方法，其特征在于包括：

字线形成步骤，在形成场区的半导体衬底表面上平行地形成多条字线，每条字线具有作为顶层的第一绝缘材料构成的绝缘层；

掺杂步骤，为了在除场区以外的区域处产生源极区和漏极区以及源线，在字线形成步骤后把杂质掺入半导体衬底中；

侧壁形成步骤，在朝向多条字线的漏极区的侧面上形成第二绝缘材料构成的侧壁；

蚀刻阻挡层形成步骤，在侧壁形成步骤后，在半导体衬底的整个表面上形成蚀刻阻挡层；其中所述蚀刻阻挡层形成步骤包括形成由蚀刻阻挡部分构成的不连续导电材料蚀刻阻挡层，所述每个蚀刻阻挡部分覆盖一个漏极区；

中间绝缘层形成步骤，在蚀刻阻挡层上形成第三绝缘材料构成的中间绝缘层，它不同于用于形成蚀刻阻挡层的材料；

抗蚀剂图形形成步骤，在中间绝缘层上形成在相应于漏极区的区域中具有开口的抗蚀剂图形；

漏极接触孔形成步骤，通过用抗蚀剂图形作为掩模对中间绝缘层进行蚀刻形成漏极接触孔；以及

位线形成步骤，通过在形成漏极接触孔的中间绝缘层上淀积导电材料以及对淀积的导电材料进行构图来形成位线。

3. 如权利要求 2 所述的非易失性半导体存储器的制造方法，其特征在于所述导电材料是多晶硅或硅化钨或钨。

4. 如权利要求 1 所述的非易失性半导体存储器的制造方法，其特征在于还包括：

外围电路形成步骤，形成包括至少两个晶体管的外围电路，

其中，所述侧壁形成步骤包括在晶体管控制栅的侧面上也形成侧壁；

所述抗蚀剂图形形成步骤包括在相应于外围电路中晶体管漏极区的区域中形成具有开口的抗蚀剂图形。

5. 一种非易失性半导体存储器的制造方法，其特征在于包括：

在形成场区的半导体衬底表面上平行地形成多条字线，每条字线具有作为顶层的第一绝缘材料构成的绝缘层；

为了在除场区以外的区域处产生源极区和漏极区以及源线，在字线形成步骤后把杂质掺入半导体衬底中；

在朝向多条字线漏极区的侧面上形成第二绝缘材料构成的侧壁；

在侧壁形成后，在半导体衬底的整个表面上形成蚀刻阻挡层；其中所述蚀刻阻挡层形成步骤包括在除形成漏极区外的区域中形成具有开口的蚀刻阻挡层；

在蚀刻阻挡层上形成第三绝缘材料构成的中间绝缘层，它不同于蚀刻阻挡层所使用的材料；

6. 如权利要求 5 所述方法，其特征在于，所述形成多个字线的步骤还包括：

在所述半导体衬底上淀积将最终形成字线的栅氧化物的第一层，

在氧化氮气体中对其上形成第一层的半导体衬底进行热处理；以及

在热处理步骤后，在第一层上淀积第二到第五层，它们最终将分别形成浮栅、栅间绝缘层、控制栅和绝缘层。

7. 一种非易失性半导体存储器的制造方法，其特征在于包括：

在形成场区的半导体衬底表面上平行地形成多条字线，每条字线具有作为顶层的第一绝缘材料构成的绝缘层；

为了在除场区以外的区域处产生源极区和漏极区以及源线，在字线形成步骤后把杂质掺入半导体衬底中；

在朝向多条字线的漏极区的侧面上形成第二绝缘材料构成的侧壁；

在侧壁形成步骤后，在半导体衬底的整个表面上形成蚀刻阻挡层；其中所述

蚀刻阻挡层形成步骤包括形成导电材料构成的不连续蚀刻阻挡层，所述不连续蚀刻阻挡层由蚀刻阻挡部分构成，所述每个蚀刻阻挡部分覆盖一个漏极区；以及

在蚀刻阻挡层上形成第三绝缘材料构成的中间绝缘层，它不同于用于形成蚀刻阻挡层的材料；

8. 如权利要求 7 所述的非易失性半导体存储器的制造方法，其特征在于所述导电材料是多晶硅或硅化钨或钨。

9. 如权利要求 5 所述的非易失性半导体存储器的制造方法，其特征在于，进一步包括：

形成包括至少两个晶体管的外围电路，

所述侧壁形成步骤包括在晶体管控制栅的侧面上也形成侧壁；

所述抗蚀剂图形形成步骤包括在相应于外围电路中晶体管漏极区的区域中形成具有开口的抗蚀剂图形。

10. 如权利要求 2 所述的非易失性半导体存储器的制造方法，其特征在于，进一步包括：

外围电路形成步骤，形成包括至少两个晶体管的外围电路，其中所述侧壁形成步骤包括在晶体管控制栅的侧面上也形成侧壁；并且其中所述抗蚀剂图形形成步骤包括在相应于外围电路中晶体管漏极区的区域中形成具有开口的抗蚀剂图形。

非易失性半导体存储器的制造方法

本发明涉及具有多个存储单元的非易失性半导体存储器及其制造方法，每个存储单元设有浮栅(floating gate)和控制栅。

众所周知，作为一种非易失性半导体存储器，其中具有浮栅和控制栅的每个晶体管(存储单元)以矩阵排列。此非易失性半导体存储器设有多条源线，每条源线与属于同一行的诸晶体管的源极区电气相连。该存储器也设有多条位线，每条位线与属于同一列的诸晶体管的漏极区电气相连。此外，该存储器还设有多条字线，每条字线包含属于同一行的诸晶体管的浮栅和控制栅。

通常，依据以下过程制造与此相类似的非易失性半导体存储器。

首先，在硅衬底(Si 大圆片)的整个表面上形成底氧化层(底 SiO_2层)和氮化硅层(Si_3N_4层)。接着，使用光刻法在氮化硅层上形成只覆盖于将产生源线和晶体管区域的抗蚀剂图形。然后，进行以蚀刻开始的若干工艺，从而在不形成源线和存储单元的区域上形成在存储单元之间实现隔离用的二氧化硅区域，也即场区。

一旦在表面上完成具有场区和无二氧化硅区域(以下，叫做有源区)的结构，就在整个表面再覆以用于字线的若干层。其后，通过光刻法形成对这些层构图用的抗蚀剂图形。然后用抗蚀剂图形作为掩模对这些层进行蚀刻，从而形成字线。

在形成字线后，进行掺杂工艺。然后，形成覆盖整个表面的中间绝缘层。再进一步用光刻法在中间绝缘层上形成覆盖除漏极区以外区域的抗蚀剂图形。于是，用抗蚀剂图形作为掩模蚀刻中间绝缘层，并形成达到漏极区的孔(即，漏极接触孔)。其后，在该表面上淀积导电材料(Al)，并对淀积的导电材料进行构图，从而形成位线。

注意，有关象此类非易失性半导体存储器制造过程的细节，可参考，例如，1989 年的第 64-77160 号日本公开专利申请。

如上所述，在常规的非易失性半导体存储器中，均使用抗蚀剂图形(光刻)来形成字线和源线。因此，在设计待制造的非易失性半导体存储器具有上述结构时，通过考虑光掩模的对准精度来确定字线和源线之间的间隔。也就是说按以下方式来设计字线和源线之间的间隔，即在远离标准位置的位置处形成抗蚀剂图形，方可获得正常功能的非易失性半导体存储器。结果，在常规的非易失性半导体存储器中，在源线周围有着对功能没有作用的无用区域。

此外，常规非易失性半导体存储器在形成漏极接触孔时也使用光刻法。此时，当漏极接触孔与字线的浮栅或控制栅直接接触时，就制造出功能不正常的非易失

性半导体存储器．因此，与漏极接触孔有关的设计也要考虑到光掩模的对准精度．结果，在常规的非易失性存储器中，在漏极接触孔周围也存在着对存储器功能没有作用的无用区域．

因此，本发明的目的在于提供一种能紧凑制造的非易失性半导体存储器，以及能制造这样一种非易失性半导体存储器的制造方法．

为了实现上述目的，依据本发明第一方面的非易失性半导体存储器包括：其中形成诸场区的半导体衬底；在半导体衬底上平行形成的多条字线；以及自对准于多条字线中两条相邻字线构成的若干字线对而形成的源线区，其每个区域起着源极区和源线的作用．

这样，依据本发明第一方面的非易失性半导体存储器具有源线区，它们中每一个均自对准于两条相邻字线而形成，并起着源极区以及与源极区相连的源线的作用．也即，本非易失性半导体存储器具有这样的结构，其中源线和字线之间的间隔确定，可不必考虑使用光刻法所产生的误差．因此，依据本发明的第一方面，可紧凑地制造出该的非易失性半导体存储器．

依据本发明第二方面的非易失性半导体存储器包括：其中形成诸场区的半导体衬底；在半导体衬底上平行形成的多条字线；在多条字线上形成的绝缘层，以便覆盖朝向多条字线漏极区的上表面和侧面；以及自对准于多条字线中两条相邻字线(其中放置有漏极区)对而形成的漏极接触孔．

这样，依据本发明第二方面的非易失性半导体存储器具有用绝缘层覆盖的字线，以及每个自对准于两条相邻字线而形成的漏极接触孔．也即，该非易失性半导体存储器具有这样的结构，其中置有漏极区的两条相邻字线之间的间隔确定，可不必考虑因使用光刻法而产生的误差．因此，依据本发明的第二方面可紧凑地制造出该非易失性半导体存储器．

为了实现上述目的，在依据本发明的非易失性半导体存储器的第一制造方法中，依次进行氧化区形成步骤、字线形成步骤、蚀刻步骤和源极区形成步骤．

在氧化区形成步骤中，在半导体衬底中平行地形成多个带状的氧化区．在字线形成步骤中，在所述氧化区形成步骤中形成多个氧化区的半导体衬底上平行地形成与多个氧化区垂直的多条字线．

在蚀刻步骤中，对位于放置有源极区的两条相邻字线构成的字线对之间的氧化物进行蚀刻，从而从所述氧化区形成步骤中形成的多个氧化区中产生场区．而在源极区形成步骤中，通过在半导体衬底中掺杂，在字线对之间的区域处形成起源极区和源线作用的区域．

也即，在本制造方法中，字线不是在确定形成源线的区域后形成的，而是在形成字线并自对准于字线而形成起着源极区作用的源线和源极区域之后形成．依

据本制造方法，可制造出在字线和源线之间没有无用区域，也即紧凑的非易失性半导体存储器.

注意，在用此方法制造非易失性半导体存储器时，采用形成锥形轮廓的蚀刻步骤是所希望的.

又在依据本发明非易失性半导体存储器的第二制造方法中，依次进行字线形成步骤、掺杂步骤、侧壁形成步骤、蚀刻阻挡层形成步骤、抗蚀剂图形形成步骤、中间层形成步骤、漏极接触孔形成步骤和位线形成步骤.

在字线形成步骤中，在形成场区的半导体衬底表面上平行地形成多条字线，每条字线具有作为顶层的第一绝缘材料构成的绝缘层. 在掺杂步骤中，为了在除场区以外的区域处产生源极区和漏极区以及源线，在字线形成步骤后把杂质掺入半导体衬底中. 在侧壁形成步骤中，在朝向多条字线漏极区的侧面上形成第二绝缘材料构成的侧壁.

在蚀刻阻挡层形成步骤中，在侧壁形成步骤后，在半导体衬底的整个表面上形成蚀刻阻挡层. 在中间绝缘层形成步骤中，在蚀刻阻挡层上形成第三绝缘材料构成的中间绝缘层，它不同于蚀刻阻挡层所使用的材料. 在抗蚀剂图形形成步骤中，在中间绝缘层上形成在相应于漏极区的区域中具有开口的抗蚀剂图形.

在漏极接触孔形成步骤中，通过用抗蚀剂图形作为掩模对中间绝缘层进行蚀刻形成漏极接触孔. 在位线形成步骤中，通过在形成漏极接触孔的中间绝缘层上淀积导电材料以及对淀积的导电材料进行构图来形成位线.

这样，在此制造方法中，在形成被第一和第二绝缘材料覆盖的字线(浮栅和控制栅)后，形成覆盖字线表面的蚀刻阻挡层. 然后，在蚀刻阻挡层上形成第三绝缘材料构成的中间绝缘层，它不同于蚀刻阻挡层所使用的材料. 其后，通过对漏极区上方的中间层和蚀刻阻挡层进行蚀刻来刻出漏极接触孔.

也即，在此制造方法中，每个漏极接触孔通过自对准于用绝缘材料覆盖的两条相邻字线加以形成. 因此，依据本制造方法，可制造出在诸字线和漏极接触孔之间没有无用区域，也即紧凑的非易失性半导体存储器.

在依据本发明非易失性半导体存储器的第三制造方法中，依次进行字线形成步骤、掺杂步骤、侧壁形成步骤、中间层形成步骤、漏极接触孔形成步骤和位线形成步骤.

在字线形成步骤中，在已形成场区的半导体衬底表面上平行地形成多条字线，每条字线具有作为顶层的第一绝缘材料构成的绝缘层. 在掺杂步骤中，在字线形成步骤后把杂质掺入半导体衬底中，从而在除场区以外的区域处产生源极区和漏极区以及源线.

在侧壁形成步骤中，在朝向多条字线的漏极区侧面上形成第二绝缘材料构成

的侧壁．在中间绝缘层形成步骤中，在侧壁形成步骤后于半导体衬底的整个表面形成第三绝缘材料构成的中间绝缘层，它不同于第一绝缘材料和第二绝缘材料．

在抗蚀剂图形形成步骤中，在中间绝缘层上形成在相应于漏极区的区域中具有开口的抗蚀剂图形．在漏极接触孔形成步骤中，通过用抗蚀剂图形作为掩模对中间绝缘层进行蚀刻形成漏极接触孔．在位线形成步骤中，通过在形成漏极接触孔的中间绝缘层上淀积导电材料以及对淀积的导电材料进行构图来形成位线．

也即，在第三制造方法中，使用不同于第一绝缘材料和第二绝缘材料的材料作为中间绝缘层用的第三绝缘材料，来取代用第一和第二绝缘材料覆盖的字线和中间层之间形成的蚀刻阻挡层．在使用此制造方法制造非易失性半导体存储器时，每个漏极接触孔也均通过自对准于用绝缘材料覆盖的两条相邻字线加以形成．因此，依据本制造方法，可类似于第二制造方法制造出紧凑的非易失性半导体存储器．

在依据本发明非易失性半导体存储器的第四制造方法中，依次进行氧化区形成步骤、字线形成步骤、蚀刻步骤、源极/漏极形成步骤、侧壁形成步骤、中间绝缘层形成步骤、漏极接触孔形成步骤和位线形成步骤．

在氧化区形成步骤中，在半导体衬底平行地形成多条带状氧化区．在字线形成步骤中，在形成多个氧化区的半导体衬底上平行地形成与多个氧化区垂直的多条字线．在蚀刻步骤中，对位于放置将成为源极区的区域于其中的两条相邻字线之间的氧化物蚀刻掉，从而从氧化区形成步骤中形成的多个氧化区中产生场区．

在源极/漏极形成步骤中，通过把杂质掺入半导体衬底，在字线对之间的区域处形成起源极区和源线作用的区域，并在被两个场区和两条字线包围的区域处形成起漏极区作用的区域．在侧壁形成步骤中，在朝向多条字线的漏极区侧面上形成第二绝缘材料构成的侧壁．在蚀刻阻挡层形成步骤中，当侧壁形成步骤之后，在半导体衬底的整个表面上形成蚀刻阻挡层．在中间绝缘层形成步骤中，在蚀刻阻挡层上形成第三绝缘材料构成的中间绝缘层，它不同于形成蚀刻阻挡层所使用的材料．

在抗蚀剂图形形成步骤中，在中间绝缘层上形成在相应于漏极区的区域中具有开口的抗蚀剂图形．在漏极接触孔形成步骤中，通过用抗蚀剂图形作为掩模对中间绝缘层进行蚀刻形成漏极接触孔．在位线形成步骤中，通过在形成漏极接触孔的中间绝缘层上淀积导电材料以及对淀积的导电材料进行构图来形成位线．

也即，在第四制造方法中，使用第一制造方法形成源线和源极区，并使用第二制造方法形成漏极接触孔．因此，依据本制造方法，可制造一种非易失性半导体存储器，其中在字线和源线之间以及在字线和漏极接触孔之间均不存在无用的区域．

注意，在使用第二制造方法制造非易失性半导体存储器时，可采用蚀刻阻挡层，该蚀刻阻挡层是由第四绝缘材料(例如，氮化硅)形成的．然而，在此情况下，必须把通过对中间绝缘层进行蚀刻并对未被中间层覆盖的蚀刻阻挡层进行蚀刻来形成漏极接触孔的步骤作为漏极接触孔形成步骤．

此外，在使用氮化硅作为蚀刻阻挡层的材料时，为了防止在字线下方储存氢，最好采用这样一种蚀刻阻挡层形成步骤，其中具有开口的蚀刻阻挡层形成在除漏极区以外的区域中．

又，为了防止在字线下方储存氢，可采用包括第一形成步骤、处理步骤和第二形成步骤的字线形成步骤．在第一形成步骤中，形成第一层，该层将最终形成字线的栅氧化物．在处理步骤中，在氧化氮气体中对其上形成第一层的半导体衬底进行热处理．在第二形成步骤中，在处理步骤后在第一层上形成第二到第五层，它们最终将分别形成浮栅、栅间绝缘层、控制栅和绝缘层．

此外，在使用第二制造方法制造非易失性半导体存储器时，可采用这样一种蚀刻阻挡层形成步骤，其中形成有由导电材料(例如，多晶硅或硅化钨或钨)构成并由蚀刻阻挡部件组成的蚀刻阻挡层，每个蚀刻阻挡部件覆盖一个漏极区．

再者，在使用第四制造方法制造非易失性半导体存储器时，可采用包括诸层形成步骤、抗蚀剂图形形成步骤和第一蚀刻步骤以及第二蚀刻步骤在内的字线形成步骤．

在诸层形成步骤中，形成第一到第六层，它们最终将分别形成栅氧化物、浮栅、栅间绝缘氧化物、控制栅、中间层以及绝缘层．在抗蚀剂图形形成步骤中，在所述诸层形成步骤中形成的第六层上形成限定字线形状的抗蚀剂图形．在第一蚀刻步骤中，用抗蚀剂图形作为掩模对第三到第六层进行蚀刻，从而形成内部栅氧化物、控制栅和绝缘层．在第二蚀刻步骤中，在除去抗蚀剂图形后，用第一蚀刻步骤中形成的绝缘层作为掩模对第二层进行蚀刻，从而形成浮栅．

注意，在采用此字线形成步骤时，需要使用分别形成多晶硅层和二氧化硅层作为第一和第二层的诸层形成步骤和使用不包含碳的气体对第二层进行蚀刻的第二蚀刻步骤．

在以下结合附图的讨论中，将使本发明的其它目的和优点变得明显起来，其中：

图 1A 到 1E 是有助于说明依据第一实施例的非易失性半导体存储器制造方法的平面图；

图 2A 和 2B 是形成场区的局部剖面图，有助于说明依据第一实施例的非易失性半导体存储器制造方法；

图 3 是未形成场区的局部剖面图，有助于说明依据第一实施例的非易失性半

导体存储器制造方法.

图 4 是有助于说明在使用高各向异性蚀刻法对场区进行蚀刻时产生问题时的剖面图;

图 5 是有助于说明在依据第一实施例的非易失性半导体存储器制造方法中除去源线区上场区时所使用的蚀刻条件的剖面图;

图 6A 到 6D 是有助于说明依据第二实施例的非易失性半导体存储器制造方法的平面图;

图 7A 到 7G 是有助于说明依据第二实施例的非易失性半导体存储器制造方法的剖面图;

图 8A 到 8E 是有助于说明在依据第二实施例的非易失性半导体存储器制造方法中形成蚀刻阻挡层时所使用第一工艺的剖面图;

图 9A 到 9B 是有助于说明在依据第二实施例的非易失性半导体存储器制造方法中形成蚀刻阻挡层时所使用第二工艺的剖面图;

图 10A 到 10D 有助于说明在依据第三实施例的非易失性半导体存储器制造方法中字线形成过程的剖面图;

图 11A 到 11C 是有助于说明在依据第三实施例的非易失性半导体存储器制造方法的剖面图;

图 12 是用依据第三实施例的非易失性半导体存储器制造方法制造非易失性半导体存储器的剖面图;

图 13 是用依据第三实施例的非易失性半导体存储器制造方法制造非易失性半导体存储器中一个存储单元的剖面图;

图 14A 到 14D 是有助于说明第四实施例的剖面图; 以及

图 15A 和 15B 是有助于说明第五实施例的剖面图.

现在将参考附图描述本发明的较佳实施例.

第一实施例

在依据第一实施例的非易失性半导体存储器制造方法中, 非易失性半导体存储器在字线和源线之间没有无用的区域.

以下将参考图 1A-1E 来讨论本制造方法.

如图 1A 所示, 在用本方法制造非易失性半导体存储器时, 除了有源区 16 以外, 在半导体衬底 11 中形成二氧化硅区(场区 15), 在每个有源区 16 中将形成属于同一列的存储单元. 注意, 在此实施例中, 把 p 沟硅单晶衬底用作半导体衬底 11 , 并用 LOCOS(硅的局部氧化)法来形成场区 15 . 此外, 依据 0.35μm 的设计规则设计此非易失性半导体存储器中各个部分的尺寸, 这样就用以下方式, 形成场区 15 和有源区 16 , 使其宽度分别变为 0.8μm 和 0.4μm .

接着，如图 1B 示意所示，在半导体衬底 11 上形成字线 12，它包括栅氧化物、浮栅 18、栅间绝缘层和控制栅并沿垂直于有源区 16 的方向延伸．在此实施例中，类似于常规的非易失性半导体存储器，用多晶硅形成浮栅 18，用硅化钨形成控制栅．浮栅 18 以下的栅氧化层和浮栅与控制栅之间的栅间绝缘层两者都是由二氧化硅形成的．此外，用以下方式形成每条字线，使其宽度变为 0.5μm，而在其中放置将成为源极区的一对字线的间隔变为 0.36μm(中心间隔是 0.86μm)，而在其中放置将成为漏极区的一对字线的间隔变为 1.2μm(中心间隔是 1.7μm)．

以后将描述细节，与常规非易失性半导体存储器的间隔相比，前者的间隔短 0.4μm，后者的间隔则与之相同．

其后，如图 1C 所示，通过光刻法形成抗蚀剂图形 27，它覆盖了每隔一个区域上两条相邻字线 12 之间的区域．然后，用抗蚀剂图形 27 作为掩模进行干式蚀刻工艺除去二氧化硅．

注意，如上所述，由硅化钨形成字线 12 的顶层(控制栅 20)，该材料具有与抗蚀剂图形 27 相同的抗腐蚀特性．因此，可使用具有开口比这些区域大的抗蚀剂图形 27 来除去位于字线 12 之间的二氧化硅．

在此干式蚀刻工艺中，如图 2A、2B 所示，除去其中形成场区 15 的有关部分(诸如图 1C 中线 I-I 所示的部分)，即位于抗蚀剂图形 27 的开口处并置于两条字线 12(控制栅 20)之间的场区 15．另一方面，在其中不形成场区 15 的部分中(诸如图 1C 中线 II-II 所示的部分)，由于如图 3 所示，诸字线 12 之间没有二氧化硅，所以在此蚀刻工艺中对该结构进行极少的改变(图 3 所示图例中省略了位于硅衬底 11 和浮栅 18 之间的栅氧化物)．

最后，如图 1D 所示，通过干式蚀刻获得具有源线区 13a 的结构，源线区 13a 将成为表面上没有氧化物的源线和源极区．

在形成源线区 13a 后除去抗蚀剂图形 27．其后，把杂质掺入整个表面，并对衬底进行热处理，从而使注入的杂质扩散．如图 1E 所示，通过这些工艺，在暴露的部分 16a 处形成漏极区 23，在源线区 13a 处形成源极区 24 和源线 13．

在此实施例中，在形成源线和源极/漏极区后，进行常规的工艺以完成非易失性半导体存储器．也即在形成源线和源极/漏极区后，形成中间绝缘层，以便覆盖如图 1E 所示结构的整个表面．接着，使用抗蚀剂图形在中间绝缘层中刻出达到各个漏极区 23 的漏极接触孔．然后，通过在中间绝缘层上淀积导电材料并对淀积的导电材料进行构图来形成位线，每条位线与属于同一列的存储单元的漏极区 23 相连．

如上所述，在第一实施例的制造方法中，通过使用两条相邻字线 12 构成的一

些字线对作为掩模对衬底上的氧化硅(首先形成的部分场区 15)进行蚀刻，来形成最终将成为源线 13 和源极区 24 的源线区 13a．也即在此制造方法中，每条源线 13 经自对准于其中放置源极区的两条相邻字线加以形成．因此，在设计要用此方法制造的非易失性半导体存储器时，字线和源线之间的间隔确定，可不必考虑因使用光刻法而产生的误差．结果，可把其中放置源极区的字线 12 之间的间隔设定为比使用上述常规方法制造的非易失性半导体存储器的间隔短 0.4μm(每个存储单元短 0.2μm)．

注意，由于对二氧化硅进行蚀刻而不对硅进行蚀刻的条件下进行干式蚀刻来形成源线区 13a，所以通常未被二氧化硅(场区 15)覆盖的半导体衬底 11 上的区域不进行蚀刻．然而，也有因蚀刻条件变化而对硅进行蚀刻的情况．当硅被蚀刻时，形成具有图 4 所示形状的凹陷部分 28*．当对具有凹陷部分 28*的结构进行离子注入和热处理时，注入的离子没有在字线 12 以下进行充分的扩散．结果，在字线 12 以下并不形成具有所需电特性的沟道，从而获得特性并不理想的非易失性半导体存储器．

因此，在形成源线区 13a 时，蚀刻条件可形成如图 5 所示的凹陷部分 28，其深度在字线 12 的边界附近逐渐变化．也即使用可形成锥形轮廓的凹陷部分 28 是所希望的．

例如，可通过使蚀刻气压变高、使产生等离子体的高频功率变低，或使含有易借沉淀形成聚合层的碳的气体分压变高来实现这样一种蚀刻工艺．

第二实施例

在依据第二实施例的非易失性半导体存储器的制造方法中，制造在漏极接触孔和字线之间没有无用区域的非易失性半导体存储器．

以下将参考图 6A-6E 和 7A-7E 来讨论依据第二实施例的非易失性半导体存储器的制造方法．注意图 6A-6E 是有助于说明此方法的平面图．在这些图中，示出用于四个存储单元的区域．图 7A 到 7E 是沿垂直于字线的方向并以穿过存储单元的方式切割半导体衬底的剖面图．

在此制造方法中，正如图 6A 所示，用以下方式形成矩形场区 15，即使得要成为漏极区、源极区和类似区域的有源区 16 以及成为有源线的有源区 16a 留在其四周．此外，还用以下方式形成场区 15，使有源区 16a 的宽度变为 0.18μm，而其间隔变为 2.0μm，以及有源区 16 的宽度变为 0.4μm 而其间隔则变为 0.8μm．

接着，在已形成场区 15 的衬底 11 上平行地形成多条字线 12，从而通过使用包括光刻法在内的公知技术，使每条字线 12 不与有源区 16a 重叠，而两条字线 12 则位于每个场区 15 上．注意此步骤中的字线 12 具有如下结构，即其中层叠了栅氧化物 17(未示出)、浮栅 18、栅间绝缘层 19、控制栅 20 和绝缘层 21，如图

7A 所示．此外，还用以下方式形成每条字线 12，使其宽度变为 0.5μm，其中置放有源区 24 的一对字线变为 0.76μm(中心间隔是 1.26μm)，未置放有源区 24 于其中的一对字线变为 0.6μm(中心间隔是 1.1μm)．以后将描述细节，前者的间隔与使用常规方法制造的非易失性半导体存储器的间隔相同，后者的间隔比常规存储器的短 0.6μm．

在形成字线 12 后，进行杂质离子注入和热处理，形成如图 6B 和 7B 所示的结构，其中位于有源区 16a 一侧的有源区 16 起着源极区 24 的作用，位于字线 12 之间的有源区 16 则起着漏极区 23 的作用．

其后，如图 6C 和 7C 所示，在字线 12 的侧面形成侧壁 22．然后，如图 7D 所示，在已形成侧壁 22 的结构表面上形成蚀刻阻挡层 29 和中间绝缘层 25．

注意，在此实施例中，通过淀积其厚度 W 变为 0.2μm 的二氧化硅来形成侧壁 22．并且，通过淀积氮化硅来形成蚀刻阻挡层 29．此外，还通过淀积二氧化硅来形成中间绝缘层 25．

接着，如图 7E 所示，通过光刻法在中间绝缘层 25 上形成刻出漏极接触孔用的抗蚀剂图形 30．其后，用抗蚀剂图形 30 作为掩模对中间绝缘层 25 进行蚀刻，从而制造出如图 7F 所示的结构，其中在蚀刻阻挡层 29 上和抗蚀剂图形 30 开口以下的所有中间绝缘层 25 均被蚀刻去除．在除去抗蚀剂图形 30 后，通过蚀刻除去蚀刻阻挡层 29 中未被中间绝缘层 25 覆盖的部分，从而获得图 7G 所示的结构，它具有剖面形状被侧壁 22 所限定的漏极接触孔 26．

其后，在图 7G 所示结构的整个表面(在漏极接触孔 26 中和在中间绝缘层 25 上)上淀积导电材料(铝)，并对淀积的材料进行构图来形成位线．

这样，在此制造方法中，把中间绝缘层 25 上形成的抗蚀剂图形 30 作为除去蚀刻阻挡层 29 上中间绝缘层 25 所用的图形，但并不用作为确定漏极接触孔 26 形状的图形．因此，即使在离开标准位置(例如 0.1μm 远)的位置上形成抗蚀剂图形 30，位于衬底 11 侧面处的漏极接触孔 26 的形状也不发生变化．此外，由于在控制栅 20 上设有绝缘层 21，故虽因抗蚀剂图形 30 的开口偏离位置而除去了字线 12 上的部分蚀刻阻挡层 29，也不会产生问题．

依据此制造方法，需要在形成漏极接触孔 26 时用光刻法形成抗蚀剂图形 30，但不必提高抗蚀剂图形 30 的精度．于是，当使用此制造方法制造非易失性半导体存储器时，不必考虑形成抗蚀剂图形 30 的对准精度来设计字线 12 之间的间隔，因此，就可制造出紧凑的非易失性半导体存储器．

注意，在此实施例中，由于使用绝缘材料(氮化硅)来形成蚀刻阻挡层 29，所以在形成漏极接触孔时需要除去漏极区 23 上的蚀刻阻挡层 29．然而，蚀刻阻挡层 29 所需的特性只是蚀刻阻挡层 29 的蚀刻速度必须低于中间绝缘层 25 的蚀刻

速度．于是，可用多晶硅、钨一类导电材料来形成蚀刻阻挡层 29 ，从而不需要蚀刻阻挡层 29 的去除工艺．然而，在使用导电材料形成的蚀刻阻挡层 29 时，为了防止漏极区 23 和源极区 24 之间或沿字线 12 方向排列的漏极区 23 之间通过蚀刻阻挡层 29 而引起的短路，蚀刻阻挡层 29 必须是不连续的．这样，在形成蚀刻阻挡层 29 时使用光刻法，然而，只有如此来形成蚀刻阻挡层 29 ，即不让漏极区 23 和源极区 24 以及类似区域之间产生短路，俾使光刻期间不因对准精度而给字线 12 或类似物的设计带来限制．结果，虽然使用导电材料来形成蚀刻阻挡层 29 ，也可制造出紧凑的非易失性半导体存储器．

现在，当用 CVD 形成氮化硅构成的蚀刻阻挡层 29 时，有氢侵入字线 12 和衬底 11 之间的界面．正如图 7G 所示，在此制造方法中，所制造的非易失性半导体存储器中保留有蚀刻阻挡层 29 于源极区 24 以及字线 12 的源极区 24 之侧面，从而存在此氢储存在界面中的某些情况．

储存在界面中的氢使阈值电压改变．于是，在此制造方法中使用氮化硅构成的蚀刻阻挡层 29 时，为了防止氢储存在界面中，采用如下所述的第一工艺或第二工艺是所希望的．

首先，参考图 8A-8E 说明第一工艺．在第一工艺中，对蚀刻阻挡层 29 进行构图，然后形成中间绝缘层 25 ．

也即，在第一工艺中，首先如图 8A 和 8B 所示，依据与上述相同的过程形成覆盖字线 12 和半导体衬底 11 的蚀刻阻挡层 29 ．然后，如图 8C 所示，在蚀刻阻挡层 29 上形成抗蚀剂图形 31 ，该图形覆盖漏极区 23 而不覆盖源极区 24 ．然后，除去一部分蚀刻阻挡层 29 ．除去抗蚀剂图形 31 ，以便形成具有并不覆盖衬底整个表面而只覆盖漏极区 23 附近的蚀刻阻挡层 29a 的结构．然后，如图 8E 所示，在此结构上形成中间绝缘层 25 和抗蚀剂图形 30 ．其后，进行余下的工艺，诸如形成漏极接触孔和形成位线，以便制造出非易失性半导体存储器．

最后，在使用此第一工艺时，所制造的非易失性半导体存储器中只在字线 12 的上部保留蚀刻阻挡层 29 ．也即，在制造的非易失性半导体存储器中其字线 12 的两侧，当形成蚀刻阻挡层 29 期间没有什么阻挡住侵入界面的氢向外逸出．于是，在使用第一工艺时，可制造出一种非易失性半导体存储器，其中在各个储存单元之间的电学特性很少分散．

接着，参考图 9A 和 9B 说明第二工艺．如图 9A 所示，在第二工艺中，在半导体衬底 11 上形成栅氧化物薄膜 17 ，然后在氧化氮(NO 或 NO_2)中对栅氧化物薄膜 17 进行热处理．然后，如图 9B 所示，形成浮栅 18 、控制栅 20 和类似部分．

也即，在第二工艺中，栅氧化物薄膜 17 以下硅(衬底 11)的悬挂键末端是氮，从而防止氢储存在衬底 11 和栅氧化物薄膜 17 之间的界面中．

第三实施例

在依据第三实施例的非易失性半导体存储器制造方法所制造的非易失性半导体存储器中，其字线和源线之间以及字线和漏极接触孔之间均没有无用的区域．也即，在此制造方法中，依据第一实施例的制造方法形成源线，并依据第二实施例的制造方法形成漏极接触孔．此外，在第三实施例中，形成的字线在结构上不同于第二实施例中的那些字线结构．

以下，将说明依据第三实施例制造非易失性半导体存储器的方法．

此制造方法类似于第一实施例，以形成场区 15(图 1A)的工艺开始．然后，进行以下的工艺来形成字线 12．

首先，如图 10A 所示，在已形成场区 15 的半导体衬底 11 上依次形成栅氧化物 17、浮栅 18、栅间绝缘层 19、控制栅 20、第一绝缘层 21a 和第二绝缘层 21b．在此实施例中，淀积二氧化硅以形成第一绝缘层 21a，淀积氮化硅以形成第二绝缘层 21b．注意， 正如以后所述，提供的第二绝缘层 21b 用于防止控制栅 20 的蚀刻．提供第一绝缘层 21a，以便使用难于在硅化钨构成的控制栅 20 上形成的氮化硅材料作为蚀刻掩模．而第一绝缘层 21a 和第二绝缘层 21b 也起着第一绝缘层 21a 上的物体与控制栅 20 之间绝缘层的作用．

在形成这六层以后，如图 10B 所示，在第二绝缘层 21b 上形成只覆盖设有字线 12 部分的抗蚀剂图形 31．注意，用以下方式形成抗蚀剂的图形，即可使形成的字线 12，其宽度为 0.5μm，置源极区于其中的间隔是 0.36μm，置漏极区于其中的间隔是 0.6μm．

其后，用抗蚀剂图形 31 作为掩模进行蚀刻，从而如图 10C 所示，除去在除了形成字线 12 以外部分处的栅间绝缘层 19、控制栅 20、第一绝缘层 21a 和第二绝缘层 21b．

然后，如图 10C 所示，除去抗蚀剂图形 31．并用不含碳的气体(此实施例中为氯气)进行蚀刻，而且正如图 10D 所示的结构，其中除形成字线 12 以外部分处的浮栅 18 已被去除．

此外，由于将成为浮栅 18 组成材料的多晶硅的蚀刻速度 Vp 对将成为栅氧化层 17 组成材料的二氧化硅的蚀刻速度 Vo 之比，即 Vp/Vo 变大，所以使用不包含碳的蚀刻气体．也即采用不包含碳的蚀刻气体乃是为了处理多晶硅层而不致损坏将成为字线 12 组成材料的栅氧化层 17．

又把相同的工艺处理施加于形成字线 12 的结构，，从而形成源极区．

实际上，在图 11A 所示具有第二绝缘层 21b 和半导体衬底 11(有源区 16 和场区 15)的结构上，形成如图 11B 所示的抗蚀剂图形 27，该图形具有包括将成为源极区的区域的开口．然后，使用抗蚀剂图形 27 作为蚀刻掩模除去存在于形成源

线区区域中的二氧化硅(场区 15). 正如已经指出的那样，在此实施例中，字线 12 的表面层是氮化硅构成的第二绝缘层 21b . 于是，在蚀刻时，不会产生把字线 12(第二绝缘层 21b)上未被抗蚀剂图形 27 覆盖的部分蚀刻掉的情况. 结果，如图 11C 所示在蚀刻除去抗蚀剂图形 27 后，可获得字线 12 的上表面是平面的结构.

然后，把离子注入该结构，形成源线、源极区和漏极区. 并依据第二实施例中所述的过程形成漏极接触孔和位线，而且正如图 12 所示，制造出的非易失性半导体存储器，其源线 13 和起到源极区 24 作用的区域以及漏极接触孔 26 均自对准于字线 12 加以形成形成. 一个存储单元相应于图 12 所示的一半部分，最后正如图 13 所示，依据此制造方法的非易失性半导体存储器具有沿位线方向的长度为 0.98(=0.6/2+0.5+0.36/2)μm，而沿字线方向的长度为 1.2μm 的存储单元. 因此，依据此制造方法，可制造一种非易失性半导体存储器，其单元面积是依据常规制造方法制造的非易失性半导体存储器中单元面积(1.2μm × 1.48μm)的 66 %.

如上所述，依据此制造方法，源线和漏极接触孔的形成均与光掩模的对准精度无关，从而可制造出非常紧凑的非易失性半导体存储器.

第四实施例

在第四实施例中，描述通过使用第三实施例中所述的制造方法制造具有多层内连所需次位线和主位线(以下叫做分割的位线存储器)的非易失性半导体存储器的制造过程.

首先，参考图 14D 说明依据第四实施例制造的分割位线存储器的概要. 图 14D 是示出分割位线存储器局部结构的剖面图，实际的分割位线存储器具有左右对称的结构，其对称轴(由图 14A 中的点划线 34 所示)位于未示出的两条字线 33(12)之间.

分割的位线存储器设有起存储单元作用的晶体管和不起存储单元作用的晶体管. 在图 14D 中，在左面一侧中示出的两条字线 32(12)以及位于更左一侧的未示出字线 32(12)以下的晶体管起着存储单元的作用. 如上所述，由于分割的位线存储器具有左右对称的结构，所以不必说，位于右侧字线以下的晶体管起着存储单元的作用.

分割的位线存储器并不设有前一晶体管组和后一晶体管组共有的位线，但设有使属于每个晶体管组同一行的晶体管的漏极区 23 相互电气连接的次位线 14*.

又，分割的位线存储器设有选择次位线 14*的选择晶体管. 在图 14A 到 14D 中，在右侧示出的两条字线以下的晶体管起着选择晶体管的作用. 这些晶体管的漏极区 23 同不与次位线 14*直接接触的主位线 14 相连，且在分割的位线存储器中，次位线中一条或几条对应于字线 33 以下这些晶体管的状态而与主位线 14 电气相连.

依据第三实施例所述的制造方法，可制造在结构上与此相似的紧凑的非易失性半导体存储器．实际上，首先，依据与第三实施例中所述相同的过程，如此形成结构以便提供漏极区 23 、源线区 24 、字线 12(31 ， 32)和中间绝缘层 25 ．又正如图 14A 所示，只在起存储单元作用的晶体管漏极区 23 上形成开口的结构上形成抗蚀剂图形 27 .

又通过使用抗蚀剂图形 27 作为蚀刻掩模来形成漏极接触孔 26*，然后在形成漏极接触孔 26*的结构的表面上淀积导电材料，从而如图 14B 所示，获得形成次位线 14*的结构.

然后，重复地把同一工艺施加到选择晶体管的漏极区 23 上，从而如图 14C 所示，获得形成漏极接触孔 26 的结构．在形成漏极接触孔 26 的表面上淀积导电材料，从而如图 14D 所示，使具有次位线 14*和主位线 14 的多层结构的分割位线存储器得以制成.

如上所述，在使用第四实施例中所述的制造方法时，不必因使用光刻法，而提供用以满足围绕选择晶体管位置偏差需要的区域．因此，可形成紧凑的分割位线存储器.

第五实施例

在制造非易失性半导体存储器时，也可在形成存储单元的同时形成控制存储单元的电路．在第五实施例中，应用第二实施例中所述制造过程的一个例子来形成此外围电路.

此外，作为外围电路存在各种电路，诸如 X 解码器和 Y 解码器．于是，在此实施例中，将参考示出外围电路一部分的图 15 ，说明把第二实施例中所述的制造过程应用于形成此外围电路的例子.

外围电路设有两个或两个以上的晶体管，它们分别具有源极区和漏极区．在应用第二实施例中所述的制造过程时，如图 15A 所示，在每个晶体管 34 的控制栅 20 上形成绝缘层 21 .通常，在形成字线 12 的绝缘层 21 的同时形成绝缘层 21 .

然后，对设有控制栅 20 和绝缘层 21 的结构进行类似于字线 12 的处理．即，在此结构的侧面形成侧壁 22 ．又形成蚀刻阻挡层 29 覆盖于晶体管 34 的侧壁 22 和绝缘层 21 ．此外，在蚀刻阻挡层 29 上形成中间绝缘层 25 ，在中间绝缘层 25 上形成抗蚀剂图形 27 ，该图形在相应于晶体管漏极区 23 的部分处具有开口.

又把参考图 7F 和 7G 中所说明的工艺，即中间绝缘层 25 的蚀刻、抗蚀剂图形 27 的去除以及蚀刻阻挡层 29 的蚀刻施加到以此方式形成的结构(图 15A)上．结果，如图 15B 所示，形成具有漏极接触孔 26 的结构，其侧壁 22 是该侧面的一部分，并在此结构上淀积导电材料．然后，对导电材料层进行构图和蚀刻，以完成晶体管 34 的内连.

如上所述，也可把第二实施例中所述的制造过程应用于外围电路，由此应用，可使将成为外围电路组成的晶体管之间的间隔变得比常规的间隔短．因此，当把此制造方法也应用于形成外围电路时，可制造出紧凑得多的非易失性半导体存储器．

如此描述了本发明，很明显可以各种方式改变本发明．不认为这些变化背离了本发明的精神和范围，对本领域内的熟练技术人员很明显的是，所有的这些改变都将包含在以下权利要求书的范围内．

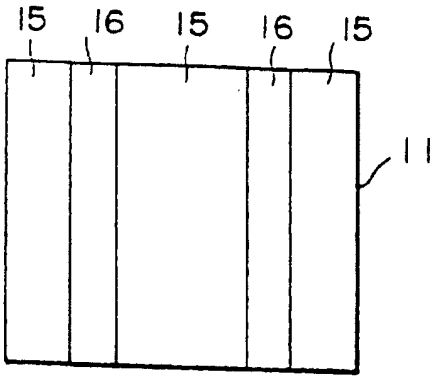

15
16
15
16
15
11

图 1A

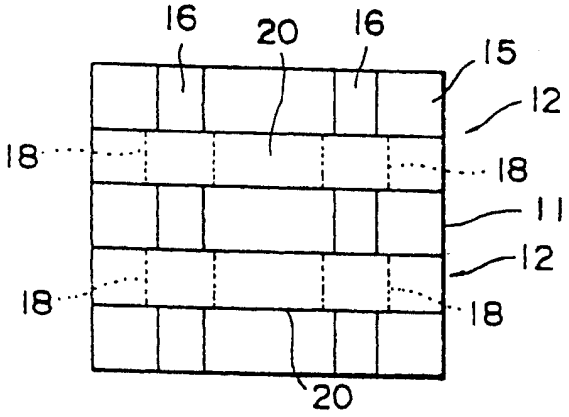

16
20
16
15
12
18
18
11
12
18
18
20

图 1B

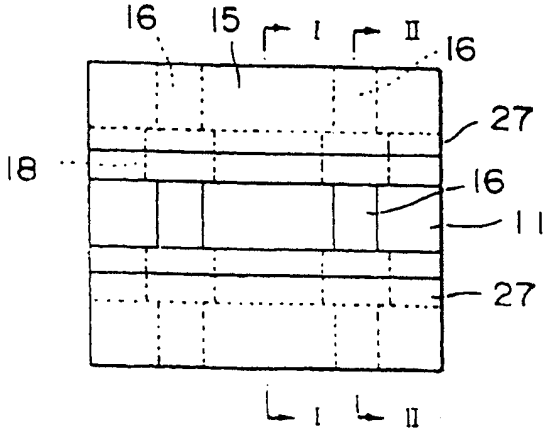

16
15
I
II
16
27
18
16
11
27
I
II

图 1C

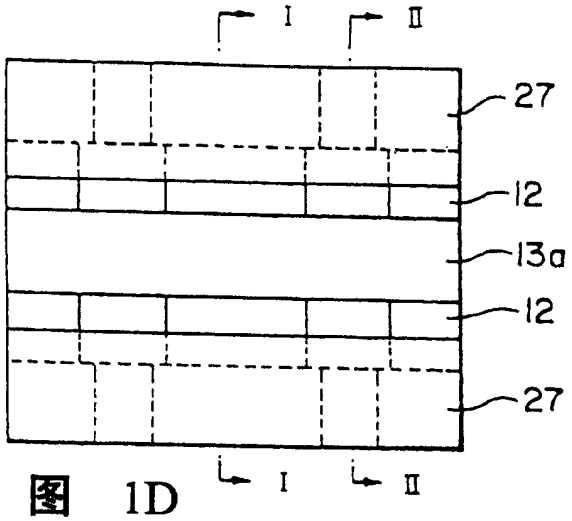

I
II
27
12
13a
12
27
I
II

图 1D

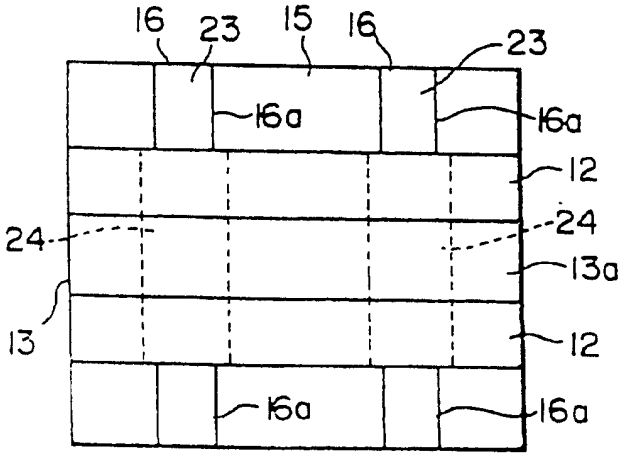

16
23
15
16
23
16a
16a
12
24
24
13a
13
12
16a
16a

图 1E

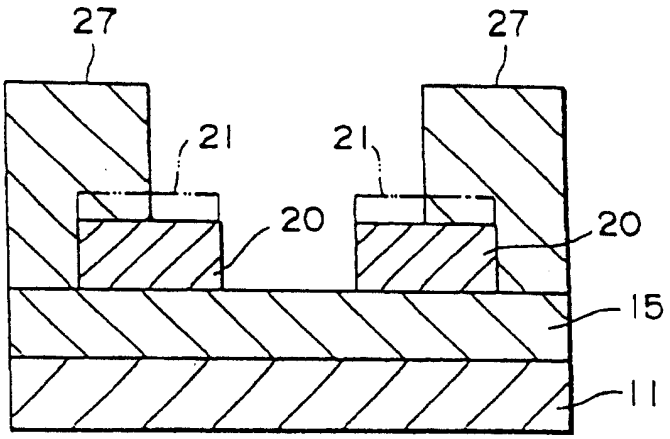


图 2A

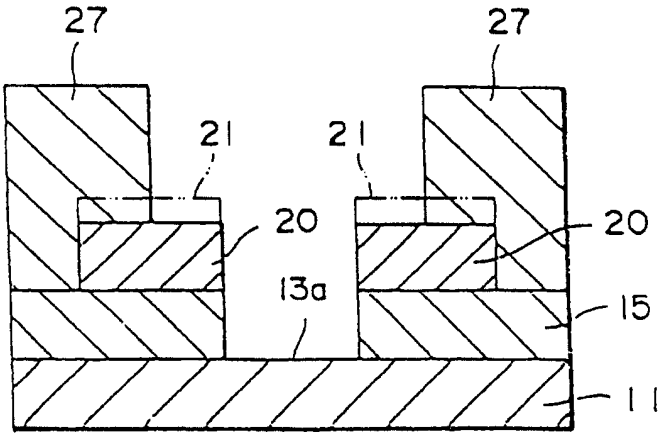


图 2B

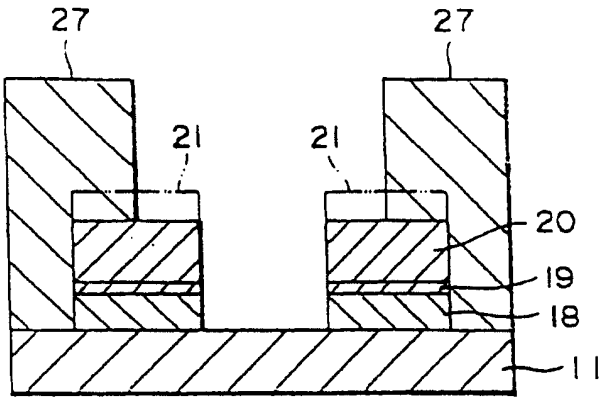

27
27
21
21
20
19
18
11

图 3

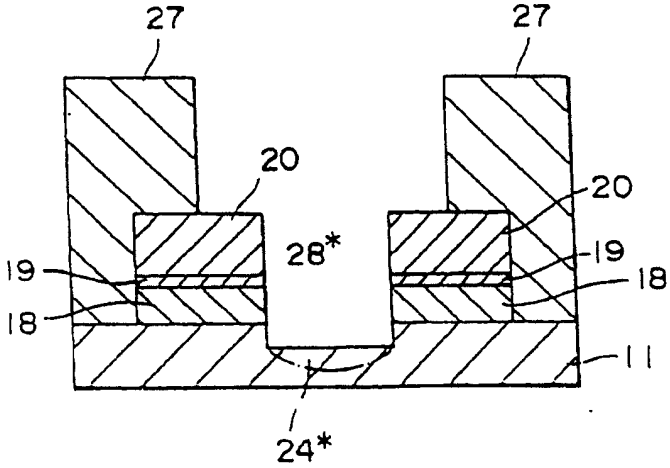

27
27
20
20
28*
19
19
18
18
11
24*

图 4

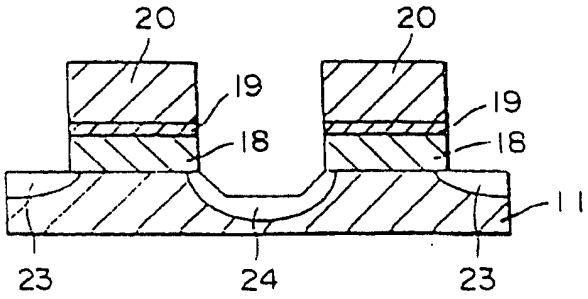

20
20
19
19
18
18
11
23
24
23

图 5

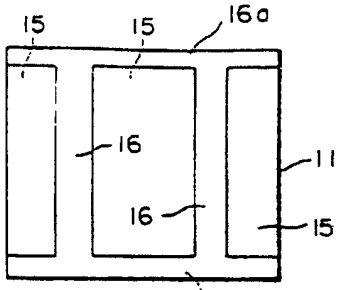


图 6A

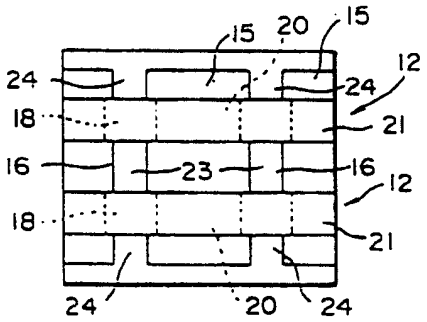


图 6B

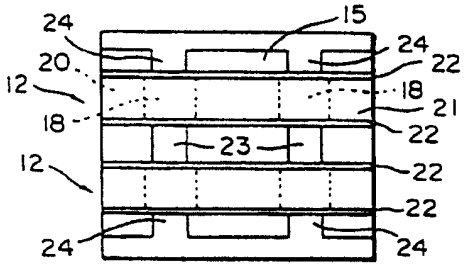


图 6C

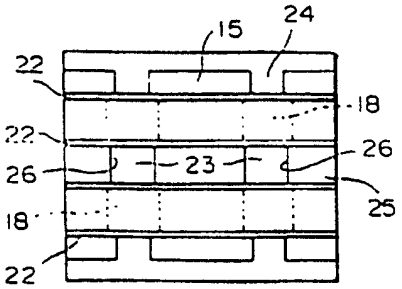


图 6D

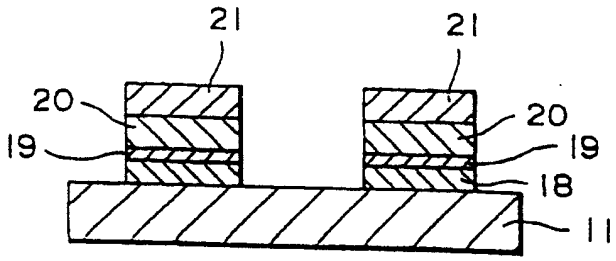


图 7A

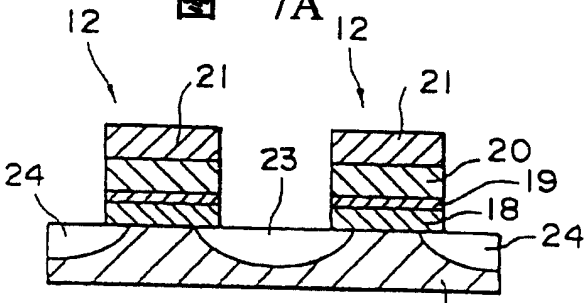


图 7B

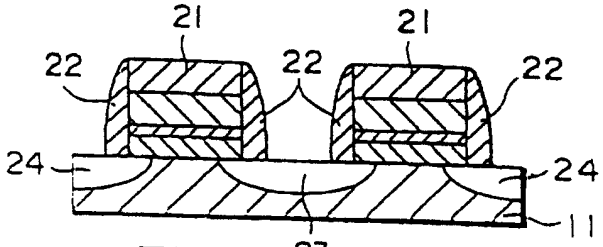


图 7C

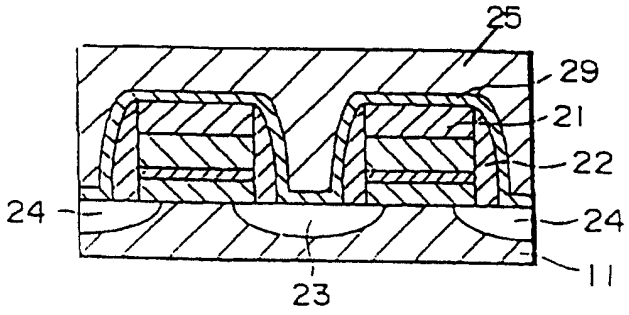


图 7D

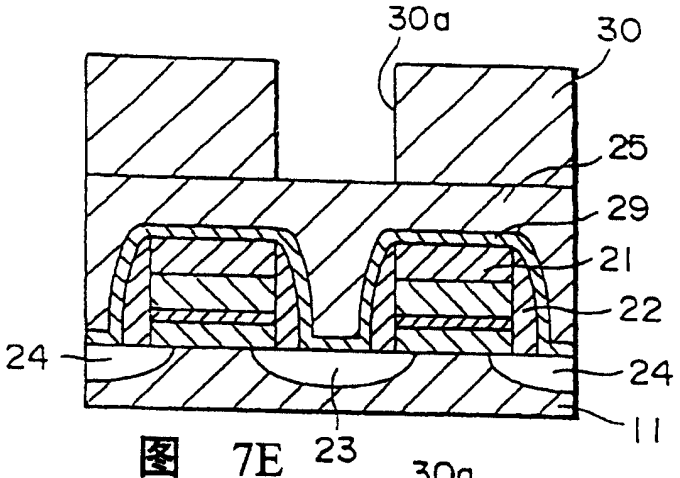

30a
30
25
29
21
22
24
24
11
23

图 7E

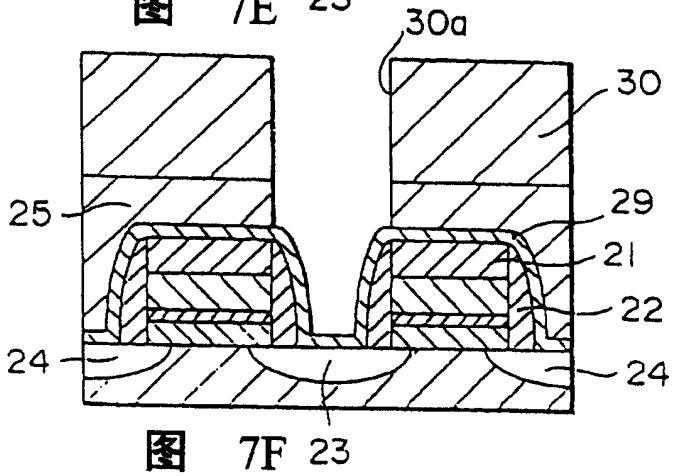

30a
30
25
29
21
22
24
24
23

图 7F

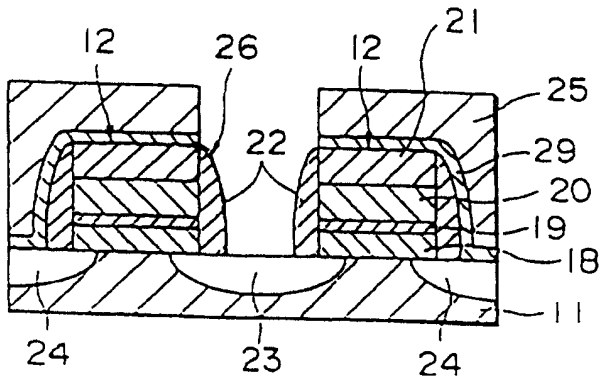

12
26
12
21
25
22
29
20
19
18
11
24
23
24

图 7G

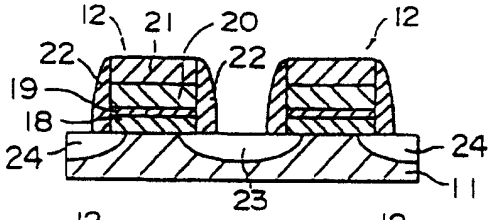


图 8A

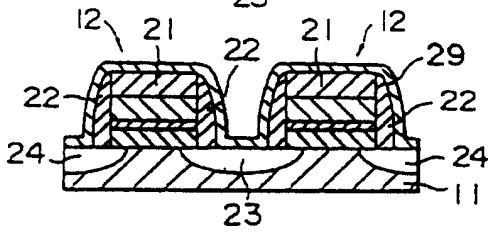


图 8B

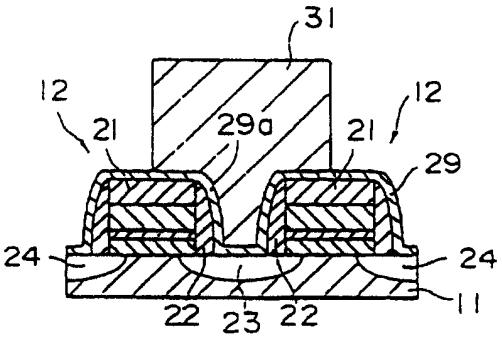


图 8C

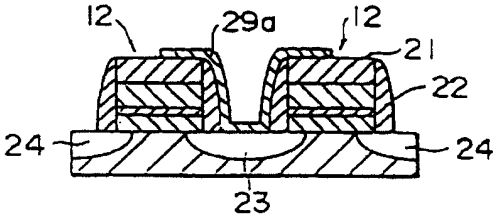


图 8D

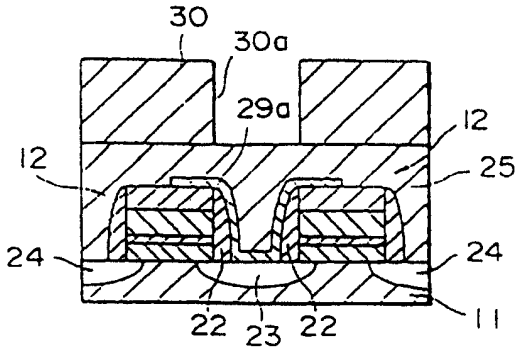


图 8E

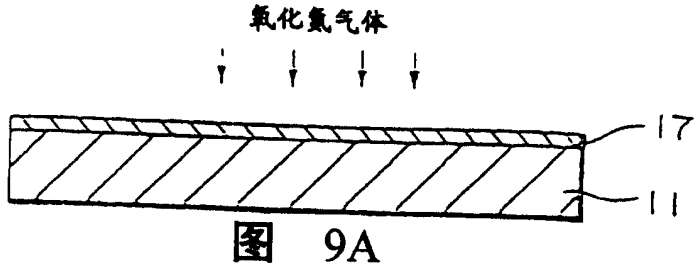


图 9A

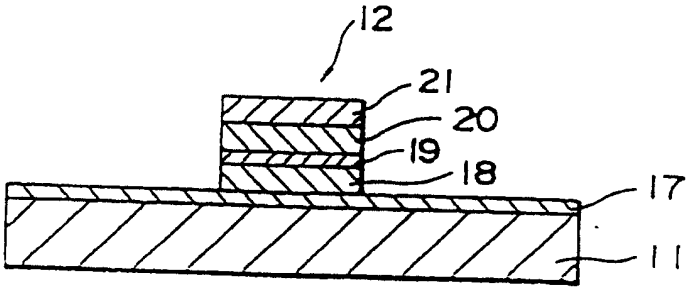


图 9B

图 10A

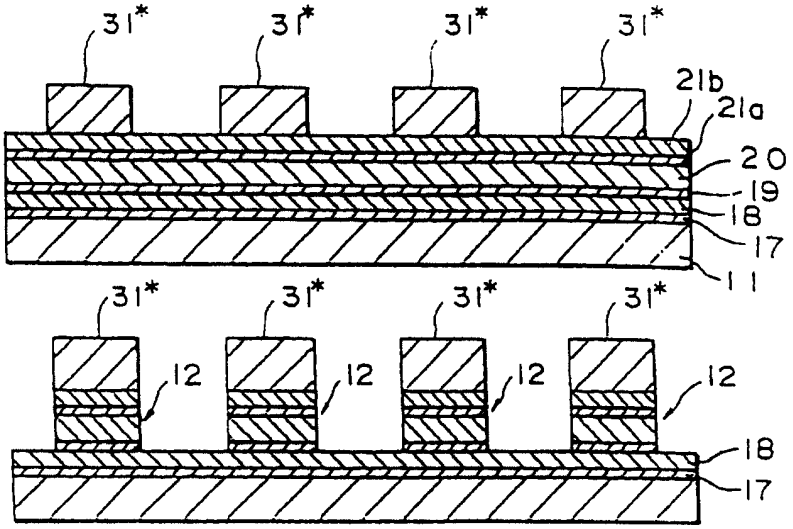


图 10B

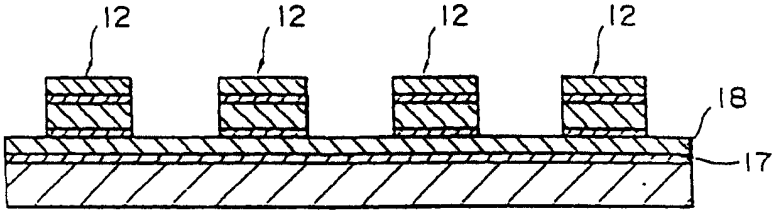


图 10C

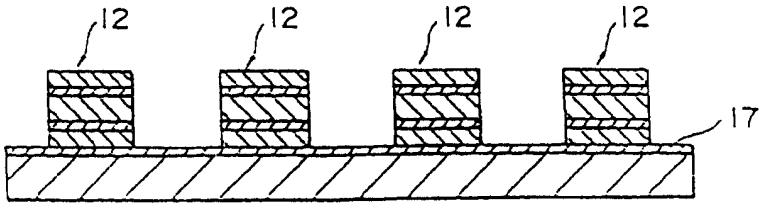


图 10D

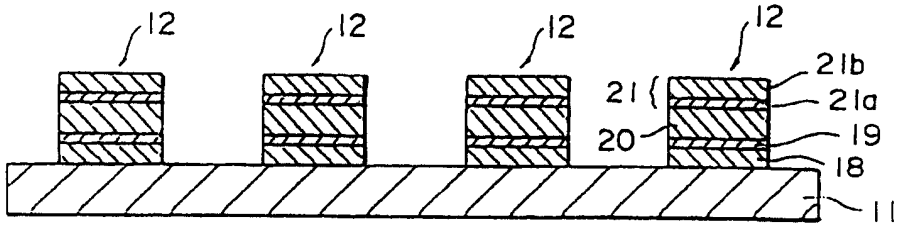


图 11A

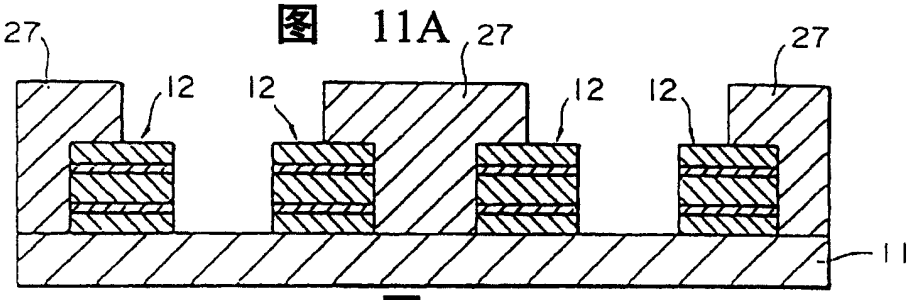


图 11B

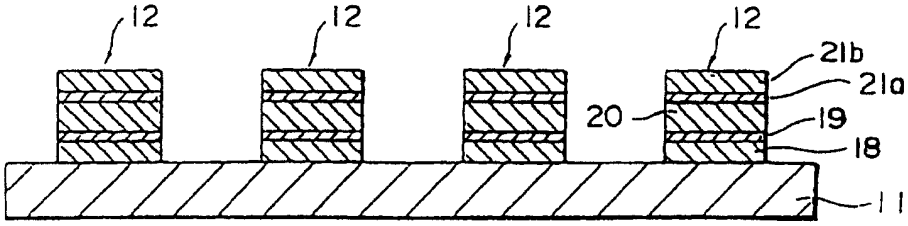


图 11C

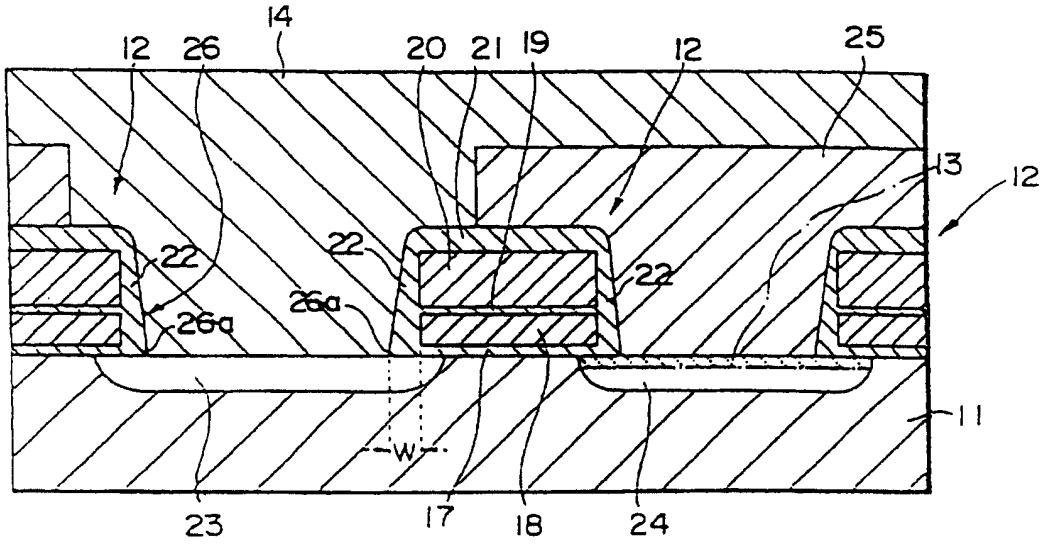


图 12

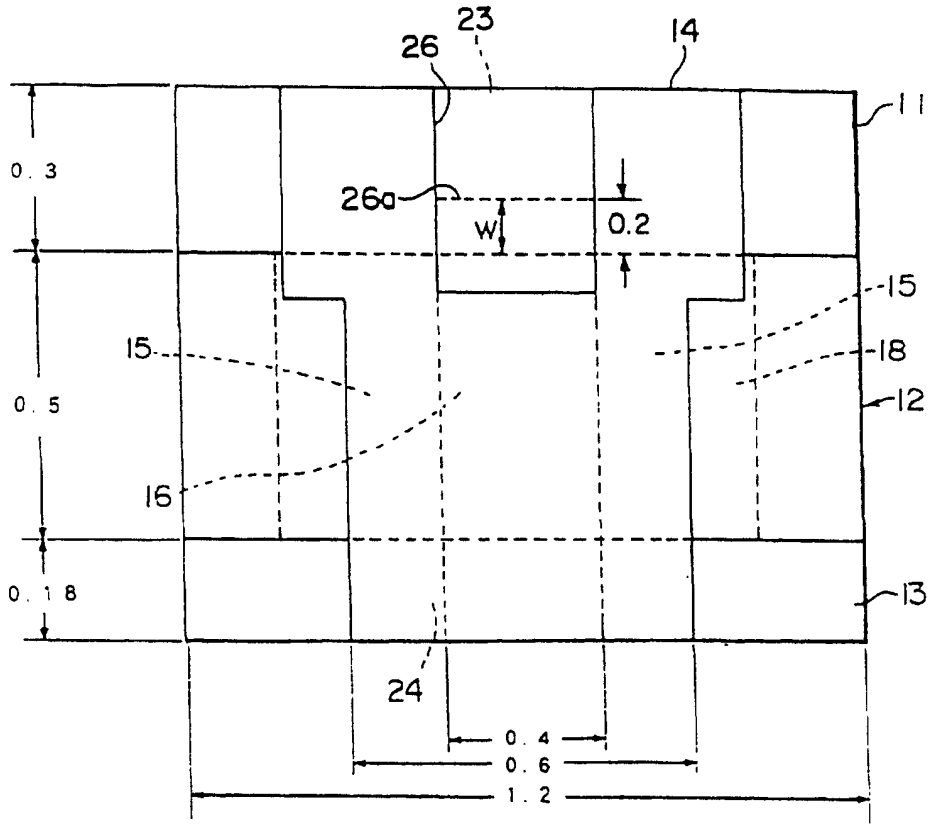


图 13

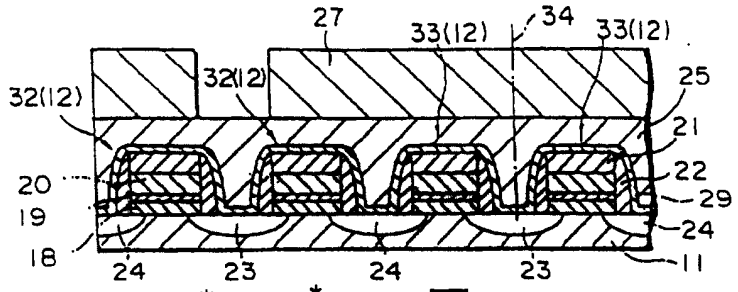


图 14A

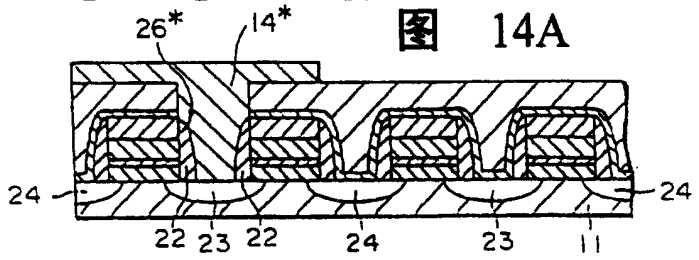


图 14B

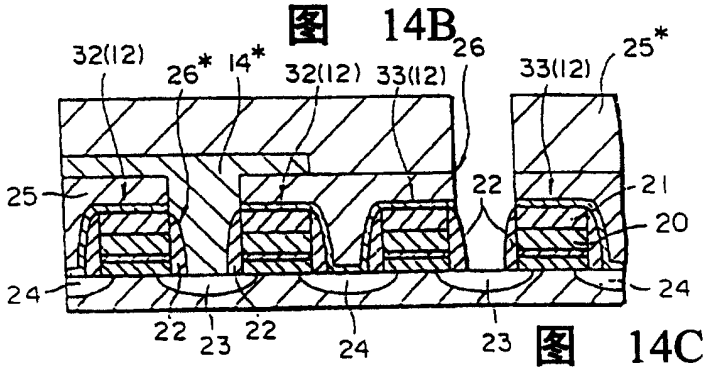


图 14C

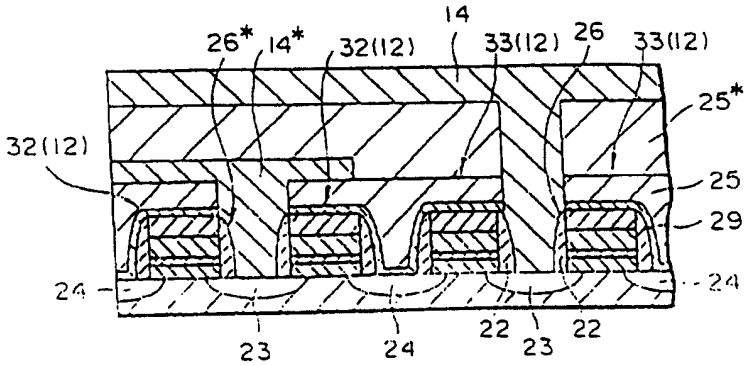


图 14D

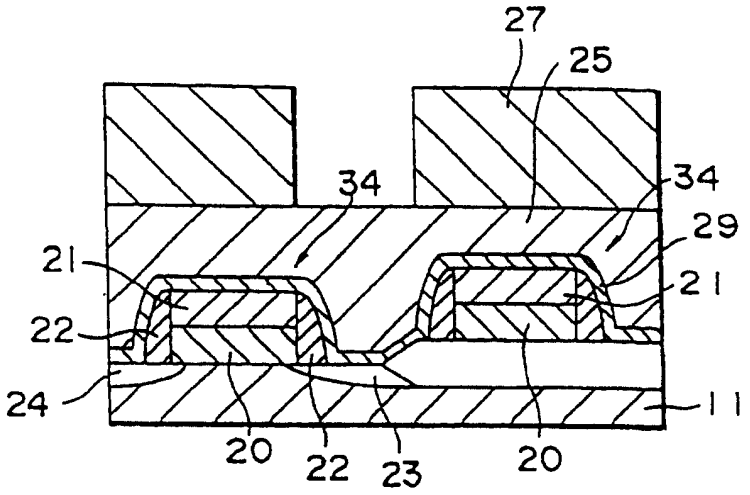

27
25
34
34
29
21
21
22
24
11
20
22
23
20

图 15A

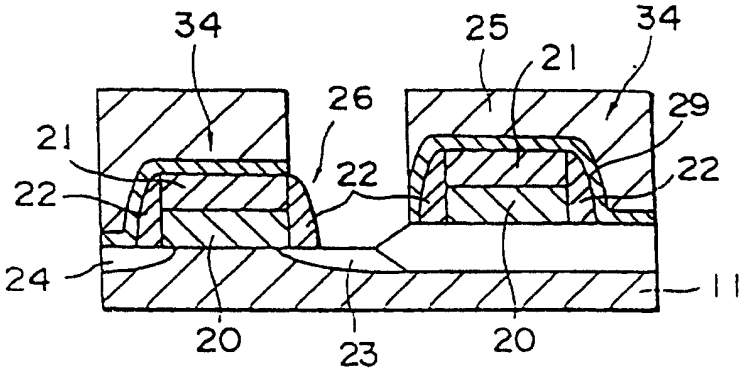

34
25
21
34
26
29
21
22
22
22
24
11
20
23
20

图 15B