

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 4 月 9 日(09.04.2015)



(10) 国際公開番号
WO 2015/049944 A1

- (51) 国際特許分類:
H01L 23/36 (2006.01) H01L 25/07 (2006.01)
H01L 23/29 (2006.01)
- (21) 国際出願番号: PCT/JP2014/072827
- (22) 国際出願日: 2014 年 8 月 29 日(29.08.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-207878 2013 年 10 月 3 日(03.10.2013) JP
- (71) 出願人: 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 Kanagawa (JP).
- (72) 発明者: 原田 孝仁(HARADA Takahito); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 本多 一郎(HONDA Ichiro); 〒1050001 東京都港区虎ノ門一丁目 1 4 番 1 号 郵政福祉琴平ビル 6 階 本多国際特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

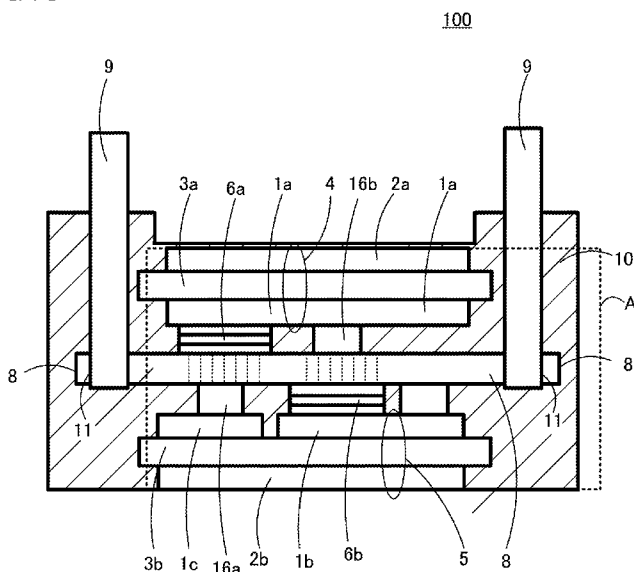
添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR MODULE

(54) 発明の名称: 半導体モジュール

[図1]



(57) Abstract: Provided is a semiconductor module by which it is possible to reduce heat resistance, wire inductance, cost, size, and other attributes. The present invention is provided with: a printed substrate having a first wiring layer and a fourth wiring layer disposed on a main surface of an insulating plate, a second wiring layer and a third wiring layer disposed on surface opposite to the main surface, a first via connecting the first wiring layer and the third wiring layer, and a second via connecting the second wiring layer and the fourth wiring layer; a first insulating substrate facing the first wiring layer and having a first circuit board; a second insulating substrate facing the second wiring layer and having a second circuit board and a third circuit board; a first semiconductor chip securely sandwiched between the first wiring layer and the first circuit board; a second semiconductor chip securely sandwiched between the second wiring layer and the second circuit board; a first heat-dissipating member securely sandwiched between the third wiring layer and the third circuit board; and a second heat-dissipating member securely sandwiched between the fourth wiring layer and the first circuit board.

(57) 要約:

[続葉有]



熱抵抗の低減や配線インダクタンスの低減、低コスト化、小型化などが可能な半導体モジュールを提供する。絶縁板の主面に配置された第1配線層および第4配線層と、反対側の面に配置された第2配線層および第3配線層と、第1配線層及び第3配線層を接続する第1ビアと、第2配線層及び第4配線層を接続する第2ビアを有するプリント基板と、第1配線層に対向し第1回路板を有する第1絶縁基板と、第2配線層に対向し第2回路板及び第3回路板を有する第2絶縁基板と、第1配線層と第1回路板との間に挟まれて固定される第1半導体チップと、第2配線層と第2回路板との間に挟まれて固定される第2半導体チップと、第3配線層と第3回路板との間に挟まれて固定される第1放熱部材と、第4配線層と第1回路板との間に挟まれて固定される第2放熱部材とを備えている。

明 細 書

発明の名称：半導体モジュール

技術分野

[0001] この発明は、半導体モジュールに関する。

背景技術

[0002] 図１６は、特許文献１に記載されている一般的な従来の半導体モジュール５００の構成図である。この半導体モジュール５００は、絶縁基板５４と、半導体チップ５６と、ベース板５７と、樹脂ケース５９と、金属ワイヤ６０と、ゲル６１と、蓋６２を備える。

[0003] 絶縁基板５４は、セラミック板５１と、セラミック板５１のおもて面に配置される回路板５２および裏面に配置される金属板５３からなる。そして回路板５２上に、はんだ５５で半導体チップ５６が接合されている。また金属板５３には、はんだ５５を介して金属製のベース板５７が接合されている。樹脂ケース５９は、ベース板５７の外周に接着され、外部端子５８がインサート成型されている。金属ワイヤ６０により、半導体チップ５６と外部端子５８が電氣的に接続されている。樹脂ケース５９内には、絶縁封止材であるゲル６１が充填されている。樹脂製の蓋６２は、樹脂ケース５９の上部に固着されている。そして、ベース板５７に図示しない冷却フィンが取り付けられる。

[0004] 半導体チップ５６で発生した熱は、絶縁基板５４とベース板５７を介して冷却フィンに放熱される。この半導体モジュール５００は片面冷却の半導体装置である。

先行技術文献

特許文献

[0005] 特許文献１：特開２０１０－２６７６８５号公報

発明の概要

発明が解決しようとする課題

[0006] 図 1 6 に示した従来の半導体モジュール 5 0 0 は、次に記述するような問題点がある。

(1) 回路板 5 2 をセラミック板 5 1 の一つの面に接合するため、絶縁基板 5 4 の面積が大きくなる。

(2) 電気回路の配線の一部を回路板 5 2 で行なっているため、電気回路の構成を変更する場合には回路板 5 2 のパターンを変更する必要がある、その都度、絶縁基板 5 4 と金属マスクなどの組立治具を変更する必要がある。

(3) 電気回路の配線の一部を金属ワイヤ 6 0 で行なっているため、バッチ処理ができずに工程時間が長くなり、処理装置が多数必要になる。

(4) 電気回路の配線を金属ワイヤ 6 0 と外部端子 5 8 で行なっているため、異なる電気回路にする場合、外部端子 5 8 の形状を変更する必要がある、外部端子 5 8 の加工に伴って金型がその都度必要になる。

(5) 構成部材数（金属ワイヤ 6 0、樹脂ケース 5 9、蓋 6 2 およびゲル 6 1 など）が多く、製造コストが高くなる。

(6) 電気回路が金属ワイヤ 6 0 と回路板 5 2 および外部端子 5 8 で構成され、金属ワイヤと対向する回路板の距離が大きいため、配線インダクタンスが大きくなる。

[0007] この発明の目的は、前記の課題を解決して、熱抵抗の低減、配線インダクタンスの低減、対地絶縁距離の確保、回路構成の簡素化および構成部材の接続および接合に要する工程数の削減、低コスト化および小型化が図れる半導体モジュールを提供することにある。

課題を解決するための手段

[0008] 前記の目的を達成するために、この発明の一様態では、半導体モジュールは、絶縁板と、前記絶縁板の主面に配置された第 1 配線層および第 4 配線層と、前記主面の反対側の面に配置された第 2 配線層および第 3 配線層と、前記絶縁板内に配置され前記第 1 配線層及び前記第 3 配線層に電気的かつ機械的に接続された第 1 ピアと、前記絶縁板内に配置され前記第 2 配線層及び前記第 4 配線層に電気的かつ機械的に接続された第 2 ピアとを有するプリント

基板と、前記第 1 配線層に対向して配置され、前記第 1 配線層および前記第 4 配線層との対向面に第 1 回路板が配置される第 1 絶縁基板と、前記第 2 配線層に対向して配置され、前記第 2 配線層と対向した第 2 回路板が配置され、前記第 3 配線層と対向した第 3 回路板が配置される第 2 絶縁基板と、前記第 1 配線層と前記第 1 回路板との間に挟まれ、両面がそれぞれ導電性の接合材で固定される第 1 半導体チップと、前記第 2 配線層と前記第 2 回路板との間に挟まれ、両面がそれぞれ導電性の接合材で固定される第 2 半導体チップと、前記第 3 配線層と前記第 3 回路板との間に挟まれて固定された第 1 放熱部材と、前記第 4 配線層と前記第 1 回路板との間に挟まれて固定された第 2 放熱部材を備えている。

発明の効果

[0009] この発明により、熱抵抗の低減、配線インダクタンスの低減、対地絶縁距離の確保、回路構成の簡素化および構成部材の接続および接合に要する工程数の削減、低コスト化および小型化が図れる半導体モジュールを提供することができる。

図面の簡単な説明

[0010] [図1]図 1 は、第 1 実施例の半導体モジュール 100 の断面図である。

[図2]図 2 は、図 1 の A 部拡大図である。

[図3]図 3 は、第 1 半導体チップ 6 a の熱抵抗 R_{th1} と第 1 ビア 12 a の埋め込み率の関係を計算するために用いた構成図である。

[図4]図 4 は、第 1 ビア 12 a の構成図である。

[図5]図 5 は、熱抵抗 R_{th1} と第 1 ビア 12 a の埋め込み率の関係を示した図である。

[図6]図 6 は、第 1 実施例のダイオードモジュールの各部品の透視平面図である。

[図7]図 7 は、第 1 実施例のダイオードモジュールの各部品の透視平面図である。

[図8]図 8 は、第 1 実施例の変形例を示した断面図である。

[図9]図9は、第2実施例の半導体モジュール100の製造工程断面図である。

[図10]図10は、図9に続く第2実施例の半導体モジュール100の製造工程断面図である。

[図11]図11は、図10に続く第2実施例の半導体モジュール100の製造工程断面図である。

[図12]図12は、図11に続く第2実施例の半導体モジュール100の製造工程断面図である。

[図13]図13は、図12に続く第2実施例の半導体モジュール100の製造工程断面図である。

[図14]図14は、図13に続く第2実施例の半導体モジュールの製造工程断面図である。

[図15]図15は、ビアを形成する工程を説明した工程図である。

[図16]図16は、従来の半導体モジュール500の構成図である。

発明を実施するための形態

[0011] 実施の形態を実施例で詳細に説明する。なお、平易な説明のために以下において図面の記載に対応した「上側」や「下側」といった表現を用いているが、この実施例は説明された実施形態に限定されるものではなく、本発明の技術的思想の範囲を逸脱しない限り様々な形態に変更することができる。また、「電気的かつ機械的に接続されている」とは、対象物同士が直接接合により接続されている場合に限らず、ハンダや金属焼結材などの導電性の接合材を介して対象物同士が接続されている場合も含むものとし、以下の説明でも同様である。

[0012] 図1は、この発明に係る第1実施例の半導体モジュール100の断面図である。図2は、図1のA部拡大図である。この半導体モジュール100は、プリント基板8と、第1絶縁基板4と、第2絶縁基板5と、第1半導体チップ6aと、第2半導体チップ6bと、第1放熱部材16aと、第2放熱部材16bを備えている。さらに、外部端子9により、第1半導体チップ6a及

び第2半導体チップ6 bを外部回路と電氣的に接続可能とした半導体モジュールである。尚、第1半導体チップ6 aは上側のチップであり、第2半導体チップ6 bは下側のチップである。

[0013] プリント基板8は、絶縁板8 aと、第1配線層1 3 aと、第2配線層1 3 bと、第3配線層1 3 cと、第4配線層1 3 dと、第1ビア1 2 aと、第2ビア1 2 bを有している。第1配線層1 3 aおよび第4配線層1 3 dは絶縁板8 aの主面に配置され、第2配線層1 3 bおよび第3配線層1 3 cは絶縁板8 aの主面と反対側の面に配置されている。そして、絶縁板8 a内に配置された第1ビア1 2 aにより、第1配線層1 3 aと第3配線層1 3 cが電氣的かつ機械的に接続されている。また、絶縁板8 a内に配置された第2ビア1 2 bにより、第2配線層1 3 bと第4配線層1 3 dが電氣的かつ機械的に接続されている。第1ビア1 2 aおよび第2ビア1 2 bは、多数の微小な貫通孔2 0を絶縁板8 aに形成し、Cu（銅）めっきなどで金属を貫通孔2 0に埋め込んだ導体で形成される。絶縁板8 aとしては、例えば、ガラスエポキシ板などがある。

[0014] 第1絶縁基板4は、第1回路板1 aと、第1セラミック板3 aと、第1金属板2 aが積層して構成されている。第1絶縁基板4は、プリント基板8の主面と対向して配置されている。さらに第1回路板1 aは、第1配線層1 3 aおよび第4配線層1 3 dと対向して配置されている。

[0015] 第2絶縁基板5は、第2回路板1 bおよび第3回路板1 cと、第2セラミック板3 bと、第2金属板2 bが積層して構成されている。第2絶縁基板5は、プリント基板8の主面と反対側の面と対向して配置されている。さらに第2回路板1 bは、第2配線層1 3 bと対向して配置され、第3回路板1 cは、第3配線層1 3 cと対向して配置されている。

第1セラミック板3 aおよび第2セラミック板3 bは、アルミナや窒化アルミ、窒化珪素などの高熱伝導セラミックなどで構成される。また、第1回路板1 a、第2回路板1 b、第3回路板1 c、第1金属板2 a、第2金属板2 bは、銅やアルミなどの高熱伝導金属で構成される。

[0016] 第1半導体チップ6 aおよび第2半導体チップ6 bは、I G B T（絶縁ゲートバイポーラトランジスタ）やパワーM O S F E T、F W D（還流ダイオード）などのパワー半導体素子で構成される。第1半導体チップ6 aおよび第2半導体チップ6 bは、両面にエミッタ電極やコレクタ電極、ゲート電極などの電極を備えている（図示せず）。

第1半導体チップ6 aは、第1配線層1 3 aおよび第1回路板1 aとの間に挟まれ、両面がはんだなどの導電性の接合材7で電気的かつ機械的に接続されている。これにより、第1配線層1 3 aおよび第1回路板1 aと、第1半導体チップ6 aの両面の電極がそれぞれ電気的に接続される。

[0017] 第2半導体チップ6 bは、第2配線層1 3 bおよび第2回路板1 bとの間に挟まれ、両面がはんだなどの導電性の接合材7で電気的かつ機械的に接続されている。これにより、第2配線層1 3 bおよび第2回路板1 bと、第2半導体チップ6 bの両面の電極がそれぞれ電気的に接続される。

この第1半導体チップ6 a及び第2半導体チップ6 bのそれぞれの表裏面には良好なはんだなどの接合材7の濡れ性を高めるために導電性めっき（例えば、T i , N i , A uなどの金属めっき）が施されている。接合材7としては、A gペーストやC uペーストなどの導電性接着剤を用いても構わない。

[0018] 第1放熱部材1 6 aおよび第2放熱部材1 6 bは、金属で構成されている。第1放熱部材1 6 aは、第3配線層1 3 cおよび第3回路板1 cとの間に挟まれ、両端が電気的かつ機械的に接続されている。第2放熱部材1 6 bは、第4配線層1 3 dおよび第1回路板1 aとの間に挟まれ、両端が電気的かつ機械的に接続されている。第1放熱部材1 6 aおよび第2放熱部材1 6 bは、例えばはんだを用いることができる。この場合、別途接合材を用意する必要が無いので、製造コストの低減が可能となる。また、第1放熱部材1 6 aおよび第2放熱部材1 6 bに銅ブロックなどを用いることもできる。この場合は、放熱特性の改善が可能となる。

[0019] 半導体モジュール1 0 0は、また、プリント基板8の貫通ビア1 1を介し

て接合され、第1配線層13aまたは第2配線層13bの少なくともいずれかと電氣的に接続される外部端子9を備える。また、外部端子9および第2金属板2bが露出するようにして全体を封止し、筐体としても機能する封止樹脂10を備える。また、プリント基板8と第2回路板1bを電氣的に接続する導電体17を備える。この半導体モジュール100は、第2金属板2bの露出した下面に図示しない冷却フィンを設置して、片面冷却の半導体装置として用いられる。

[0020] 半導体モジュール100では、プリント基板8と、第1絶縁基板4と、第2絶縁基板5と、外部端子9とで、半導体モジュール100に求められている所定の電気回路が構成されている。

[0021] 半導体モジュール100は、第1半導体チップ6aが配置された第1配線層13aと、絶縁板8aを挟んで対向する第3配線層13cが、第1ビア12aで接続されている。そして第3配線層13cと第3回路板1cが、第1放熱部材16aで接続されている。このため、第1半導体チップ6aで発生した熱は、第1絶縁基板4のみならず第2絶縁基板5にも伝わることから、放熱性を高めることができる。

[0022] さらに、半導体モジュール100は、第2半導体チップ6bが配置された第2配線層13bと、絶縁板8aを挟んで対向する第4配線層13dが、第2ビア12bで接続されている。そして第4配線層13dと第1回路板1aが、第2放熱部材16bで接続されている。このため、第2半導体チップ6bで発生した熱は、第2絶縁基板5のみならず第1絶縁基板4にも伝わることから、放熱性を高めることができる。

[0023] この構成では、外部端子9が半導体モジュール100の上面に突出させているため、第2絶縁基板5の接地面である第2金属板2bと外部端子9との間の沿面距離を長くすることができる。そのため、対地絶縁距離を十分に確保することができる。

[0024] 尚、第3配線層13cと第3回路板1cは、図示した例では第1半導体チップ6aの熱を第2絶縁基板5を介して冷却フィンへ流すため、第1放熱部

材 1 6 a を接合する金属パッドである。そのため、第 3 配線層 1 3 c と第 3 回路板 1 c は、電気配線としては用いない場合もある。またこの場合においては、第 2 配線層 1 3 b と第 3 配線層 1 3 c が一体で構成されている場合もある。

[0025] 図 3 は、第 1 半導体チップ 6 a の熱抵抗 R_{th1} と、第 1 ビア 1 2 a の埋め込み率の関係を計算するために用いた第 1 半導体チップ 6 a 近傍の構成図である。図 3 (a) は断面図、図 3 (b) は図 3 (a) の X 1 - X 1 線で切断した平面図、図 3 (c) は図 3 (a) の X 2 - X 2 で切断した平面図である。ここでは、平面図に示すように 4 箇所のビアを示した。

[0026] 第 1 半導体チップ 6 a で発生する熱は、プリント基板 8 の第 1 ビア 1 2 a を経由して第 2 絶縁基板 5 へ伝わり、図示しない冷却フィンへ放熱される。このため、第 1 半導体チップ 6 a から第 2 金属板 2 b までの熱伝導の経路に基づいて、熱抵抗 R_{th1} が決定される。そして、この熱抵抗 R_{th1} は第 1 ビア 1 2 a の構造に大きく依存する。一方、第 2 半導体チップ 6 b で発生する熱は、第 2 金属板 2 b へ直接流れて行くため、熱抵抗 R_{th2} はビアの構造には依存しない。

[0027] 図 4 は、第 1 ビア 1 2 a の構成図であり、図 4 (a) は平面図、図 4 (b) は図 4 (a) の X - X 線で切断した断面図である。

第 1 ビア 1 2 a は、プリント基板 8 の絶縁板 8 a に形成された多数の微小な貫通孔 2 0 に金属を埋め込み、細線の柱状の導体 2 1 が集合した構造をしている。ここでは、貫通孔 2 0 の平面形状は円形の場合を示したが、これに限るものではなく、多角形やスリット状の場合もある。図 4 では、上下の第 1 配線層 1 3 a 及び第 3 配線層 1 3 c を点線で示した。

[0028] 図 5 は、図 3 の構成を用いて計算した熱抵抗 R_{th1} と、第 1 ビア 1 2 a の埋め込み率の関係を示した図であり、図 5 (a) はプリント基板 8 の絶縁板 8 a の厚さが薄い場合、図 5 (b) はプリント基板 8 の絶縁板 8 a の厚さを図 5 (a) の 3 倍程度にした場合である。埋め込み率は、半導体チップの面積に対して、埋め込まれた第 1 ビア 1 2 a の面積の割合を百分率 (%) で

表わした。

[0029] また、ここでは、第1半導体チップ6 a及び第2半導体チップ6 bのチップの大きさは5 mm□程度で、チップ面積は25 mm²程度である。また、第1ビア12 a及び第2ビア12 bは前記したようにCuめっき膜で埋め込まれ、第1配線層13 a及び第3配線層13 cはCuめっき膜である。プリント基板8の絶縁板8 aの熱伝導率はCuの熱伝導率に対して1/1000程度と極めて小さく、そのためプリント基板8のビア以外の箇所での熱抵抗は大きくなる。

[0030] 熱抵抗 R_{th2} はビアを経由しないので、埋め込み率に関係なく0.5°C/W程度で一定である。

一方、熱抵抗 R_{th1} は、図5 (a) 及び図5 (b) のいずれの場合も、埋め込み率が10%以下では R_{th1} の上昇が顕著となり好ましくない。このため、埋め込み率を10%以上にするのが望ましい。

上記結果については、第2半導体チップ6 bから第2ビア12 bを経由した、第1絶縁基板4への熱伝導についても同様である。そのため、第2ビア12 bの埋め込み率についても、10%以上が望ましい。

尚、プリント基板8の絶縁板8 aとしてセラミック板を用いると、例えば、ガラスエポキシ板などを用いる場合より熱抵抗を低減できるのでよい。その場合には、ビアはめっき以外の方法（例えばスパッタ法など）で形成すればよい。

[0031] 図6は、各積層部品別の垂直方向で上面から見た各部品の透視平面図である。図6 (a) は、第1絶縁基板4の第1回路板1 aの平面図、図6 (b) はプリント基板8の第1配線層13 aおよび第4配線層13 dの平面図、図6 (c) はプリント基板8の第2配線層13 bおよび第3配線層13 cの平面図、図6 (d) は第2絶縁基板5の第2回路板1 b及び第3回路板1 cの平面図、図6 (e) は回路図である。この回路図はダイオードで3相ブリッジ（コンバータ回路）を形成したダイオードモジュールの図である。この図ではB部で電流の向きが逆になり配線インダクタンスを小さくできる。

[0032] 図7は、図6のプリント基板8の両面の配線層を変更した場合の図である。

図7に示すように、プリント基板8の両面の配線層を変更することで、異なる電気回路を容易に構成することができる。なお、図7ではB部で電流の向きが逆になり配線インダクタンスを小さくできる。

また、上記のダイオードモジュールは、容易にIGBTモジュールなどに変更することが可能である。

[0033] 第1実施例の半導体モジュール100は、従来の半導体モジュール500を構成する構成部材（アルミワイヤ、樹脂ケース、ゲルなど）を削減でき、低コスト化が可能となる。また、プリント基板8の両面に複数の半導体チップを分割配置することで、半導体モジュールの小型化を図ることができる。

また、第1回路板1aや第2回路板1b、第3回路板1cと、これらに対向するプリント基板8の各配線層の電流方向を互いに逆方向にすることにより、配線インダクタンスを低減することができる。さらに、図6や図7で示した通り、プリント基板8の両面の配線層の電流方向を互いに逆方向にすることにより、配線インダクタンスを低減することができる。これは、これらの間で生じる相互誘導の効果である。

[0034] また、第1絶縁基板4を配置することで、第1絶縁基板4の第1金属板2aが放射電磁ノイズに対して遮蔽板となり、第1半導体チップ6aや第2半導体チップ6bなどから上方に放射される電磁ノイズを低減することができる。

また、第1ビア12aと第1放熱部材16aを配置することで、第1半導体チップ6aから発生した熱を効果的に両面冷却することが可能となる。同様に、第2ビア12bと第2放熱部材16bを配置することで、第2半導体チップ6bから発生した熱を効果的に両面冷却することが可能となる。

[0035] 図8は、第1実施例の変形例として、第1放熱部材16aを高熱伝導絶縁体18に代えた場合の断面図である。これにより、第2回路板1bと第3回路板1cを電氣的に分離する必要が無くなり、第2回路板1bと第3回路板

1 c を一体にできるため距離 L を短縮できる。その結果、半導体モジュールをさらに小型化することができる。

[0036] 第 1 実施例の半導体モジュール 100 は、上側の第 1 絶縁基板 4 には冷却フィンが設置されていないが、第 1 金属板 2 a を露出するように封止した場合には、冷却フィンを設置することもできる。このようにすれば、さらに半導体チップからの両面冷却の効率が向上する。なおこの場合、外部端子 9 との沿面距離が短くなるので、例えば、外部端子 9 の根元表面を絶縁層で被覆したり、外部端子 9 を絶縁チューブに入れるなどの工夫をすればよい。

[0037] 図 9 ～図 14 に、第 2 実施例の半導体モジュール 100 の製造方法を示す。図 9 (a) ～図 9 (d) において、左側の列は第 1 絶縁基板 4 に関する工程であり、右側の列は第 2 絶縁基板 5 に関する工程である。

まず、第 1 絶縁基板 4 及び第 2 絶縁基板 5 のそれぞれに、金属マスク 30 を載置する (図 9 (a))。

次に、金属マスク 30 上に、固化して接合材 7 になるはんだペースト 7 a を塗布する (図 9 (b))。

次に、金属マスク 30 を取り外すと、第 1 回路板 1 a 及び第 2 回路板 1 b 上にはんだペースト 7 a が載置される (図 9 (c))。

次に、上記のはんだペースト 7 a 上に第 1 半導体チップ 6 a 及び第 2 半導体チップ 6 b を載置し、図示しないリフロー炉で処理してはんだペースト 7 a を固化する (図 9 (d))。

[0038] 次に、第 2 絶縁基板 5 上に金属マスク 31 を載置する (図 10 (e))。金属マスク 31 の開口部 32 は、第 2 半導体チップ 6 b が位置する箇所と、第 1 放熱部材 16 a 及び導電体 17 となるはんだペースト 7 a を配置する箇所に形成されている。

次に、金属マスク 31 上にはんだペースト 7 a を塗布する (図 10 (f))。

次に、金属マスク 31 を取り外すと、第 2 回路板 1 b 及び第 3 回路板 1 c 上にはんだペースト 7 a が載置される (図 10 (g))。

[0039] 次に、プリント基板 8 の主面上に金属マスク 3 3 を載置する（図 1 0（h））。なお、プリント基板 8 の端部には外部端子 9 が挿入される貫通ビア 1 1 が形成され、貫通ビア 1 1 の側壁には金属層 3 7 が形成されている。また、プリント基板 8 には第 1 ビア 1 2 a および第 2 ビア 1 2 b がすでに形成されている。

次に、金属マスク 3 3 上にはんだペースト 7 a を塗布する（図 1 0（i））。

次に、金属マスク 3 3 を取り外すと、プリント基板 8 の主面上にはんだペースト 7 a が載置される。

尚、上記のはんだ印刷工程は、ディスペンサーなどによりはんだペーストを塗布してもよい。

[0040] 次に、固定治具 1 5 に固定された第 2 絶縁基板 5 の上に、プリント基板 8 を載置する（図 1 1（k））。なお、固定治具 1 5 には外部端子 9 を差し込む凹部 3 8 が配置されている。

次に、プリント基板 8 の主面上に、第 1 絶縁基板 4 を第 1 回路板 1 a を下向きにして載置する。さらに、その上に第 1 絶縁基板 4 を固定する固定治具 1 4 を載置する（図 1 1（l））。なお、固定治具 1 4 および固定治具 1 5 は、カーボン・セラミック材など線膨張係数が小さく、はんだが付着しない材料で構成されている。また、固定治具 1 4 および固定治具 1 5 には、第 1 絶縁基板 4 や第 2 絶縁基板 5、プリント基板 8 などの位置決めができるように加工が施されている。また、固定治具 1 4 には、外部端子 9 を挿入するために貫通孔 3 9 が設けられている。また、対地絶縁距離を確保するために、外部端子 9 の下端は第 2 金属板 2 b よりも高い位置に固定する。

[0041] 次に、貫通孔 3 9 に柱状の外部端子 9 を挿入する（図 1 2（m））。この外部端子 9 ははんだペースト 7 a が載置された貫通ビア 1 1 を貫通して配置される。

[0042] 次に、これらを図示しないリフロー炉で処理してはんだペースト 7 a を固化し、各部材のはんだ付けを同時に行なう。続いて、固定治具 1 4 および固

定治具 1 5 を外して、各部材がはんだ付けされた構造体 3 4 が出来上がる（図 1 3（n））。

次に、構造体 3 4 を注型治具 3 5 b に固定し、さらに注型治具 3 5 a を被せ、その内部に熱硬化性樹脂 4 0 を注入する（図 1 3（o））。なお、注型治具 3 5 a には、外部端子 9 を貫通させる貫通孔 3 5 c が設けられている。

[0043] 次に、熱硬化性樹脂 4 0 を硬化させて封止樹脂 1 0 にする。さらに、注型治具 3 5 a、3 5 b から封止樹脂 1 0 で被覆された構造体 3 4 を取り出し、半導体モジュール 1 0 0 が完成する（図 1 4（p））。

[0044] このように、実施例 2 における半導体モジュール 1 0 0 の組立の主要工程は、下記の 3 工程である。

（１）第 1 絶縁基板 4 及び第 2 絶縁基板 5 に第 1 半導体チップ 6 a 及び第 2 半導体チップ 6 b を固着する工程。

（２）プリント基板 8 と、その両面に配置される第 1 絶縁基板 4 及び第 2 絶縁基板 5 と、外部端子 9 をはんだペースト 7 a を用いて同時に固着する工程。

（３）封止樹脂 1 0 で被覆する工程。

そのため、バッチ処理による組立工程時間の削減が可能となり、製造コストを低減できる。

[0045] つぎに、第 1 ビア 1 2 a の形成方法についてその一例を説明する。なお、第 2 ビア 1 2 b についても同様の方法で形成できる。

図 1 5 は、第 1 ビア 1 2 a を形成する工程を説明した工程図である。

まず、プリント基板 8 の絶縁板 8 a に微小な貫通孔 2 0 を多数形成する（図 1 5（a））。貫通孔 2 0 の直径は、第 1 配線層 1 3 a の厚さの 2 倍以内とする。

次に、めっき処理で Cu めっき膜 2 1 a を絶縁板 8 a の両面に形成する。このとき、貫通孔 2 0 の直径を Cu めっき膜 2 1 a の厚さ、すなわち第 1 配線層 1 3 a の厚さの 2 倍以内にする事で、貫通孔 2 0 の側壁に形成された Cu めっき膜 2 1 a 同士が貫通孔 2 0 の内部で接触する（図 1 5（b））。

この接触によって貫通孔 20 内は Cu めっき膜 21a で充填されて導体 21 が形成される。この導体 21 の集合体が第 1 ビア 12a である。

[0046] 次に、フォトリソグラフィ技術で絶縁板 8a の両面の Cu めっき膜 21a をパターンニングし、第 1 配線層 13a 及び第 3 配線層 13c を形成する（図 15（c））。

これらの工程により、第 1 配線層 13a および第 3 配線層 13c に電気的かつ機械的に接続された第 1 ビア 12a が形成される。

ここでは、第 1 ビア 12a はめっき法で形成した場合を示したが、スパッタ法や蒸着法などを用いても形成することもできる。

[0047] 以上、図面を用いて本発明の半導体モジュールの実施形態について説明したが、本発明の半導体モジュールは、実施形態及び図面の記載に限定されるものではなく、本実施形態の趣旨を逸脱しない範囲で幾多の変形が可能である。

符号の説明

- [0048]
- 1 a 第 1 回路板
 - 1 b 第 2 回路板
 - 1 c 第 3 回路板
 - 2 a 第 1 金属板
 - 2 b 第 2 金属板
 - 3 a 第 1 セラミック板
 - 3 b 第 2 セラミック板
 - 4 第 1 絶縁基板
 - 5 第 2 絶縁基板
 - 6 a 第 1 半導体チップ
 - 6 b 第 2 半導体チップ
 - 7 接合材
 - 7 a はんだペースト
 - 8 プリント基板

- 8 a 絶縁板
- 9 外部端子
- 10 封止樹脂
- 11 貫通ビア
- 12 a 第1ビア
- 12 b 第2ビア
- 13 配線層
- 13 a 第1配線層
- 13 b 第2配線層
- 13 c 第3配線層
- 13 d 第4配線層
- 14, 15 固定治具
- 16 a 第1放熱部材
- 16 b 第2放熱部材
- 17 導電体
- 18 高熱伝導絶縁体
- 20 貫通孔
- 21 導体
- 21 a Cuめっき膜
- 30, 31, 33 金属マスク
- 32 開口部
- 34 構造体
- 35 a, 35 b 注型治具
- 37 金属層
- 38 凹部
- 39 貫通孔
- 40 熱硬化性樹脂
- 100 半導体モジュール

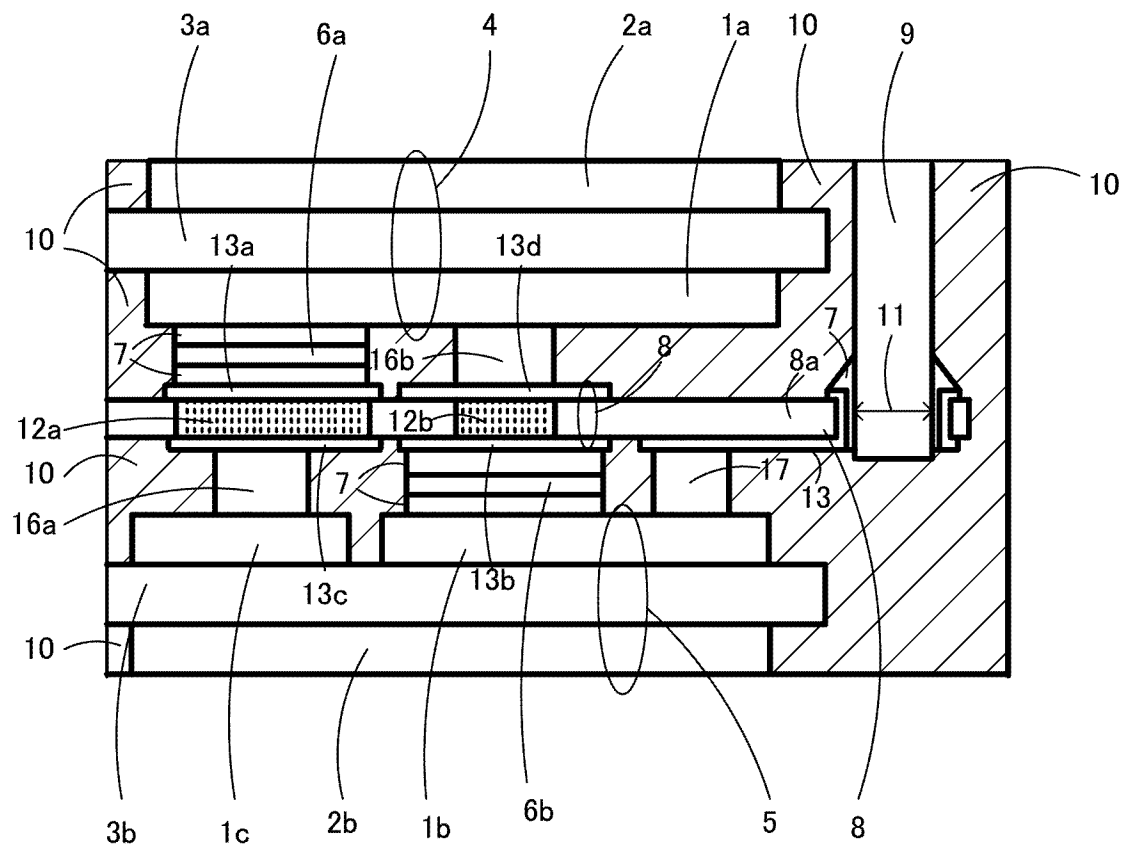
請求の範囲

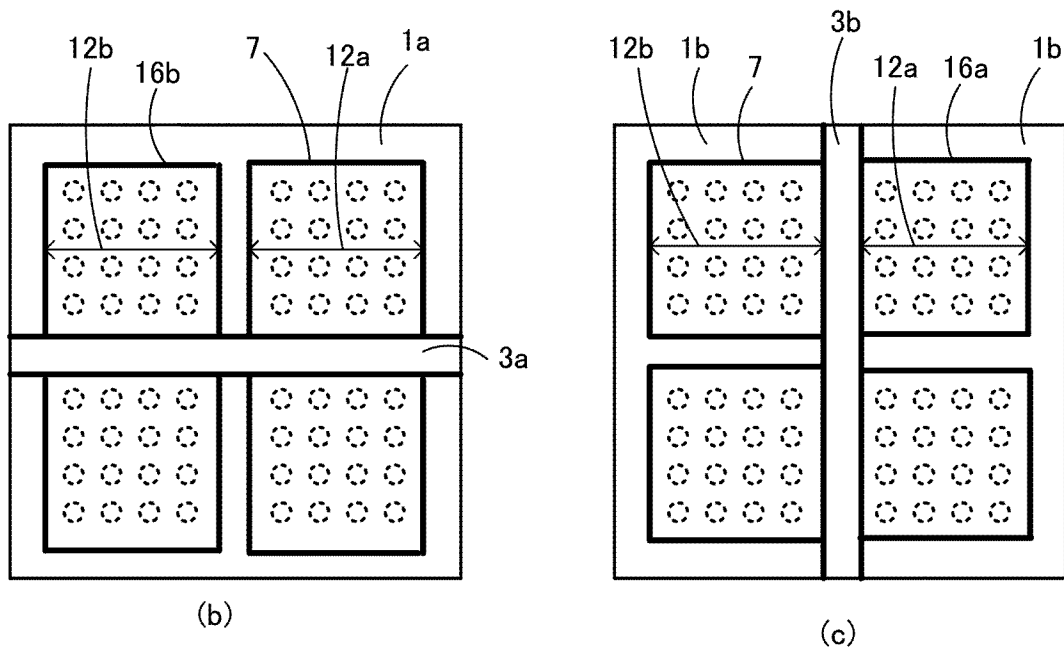
- [請求項1] 絶縁板と、前記絶縁板の主面に配置された第1配線層および第4配線層と、前記主面の反対側の面に配置された第2配線層および第3配線層と、前記絶縁板内に配置され前記第1配線層及び前記第3配線層に電気的かつ機械的に接続された第1ビアと、前記絶縁板内に配置され前記第2配線層及び前記第4配線層に電気的かつ機械的に接続された第2ビアとを有するプリント基板と、
- 前記第1配線層に対向して配置され、前記第1配線層および前記第4配線層との対向面に第1回路板が配置される第1絶縁基板と、
- 前記第2配線層に対向して配置され、前記第2配線層と対向した第2回路板が配置され、前記第3配線層と対向した第3回路板が配置される第2絶縁基板と、
- 前記第1配線層と前記第1回路板との間に挟まれ、両面がそれぞれ導電性の接合材で固定される第1半導体チップと、
- 前記第2配線層と前記第2回路板との間に挟まれ、両面がそれぞれ導電性の接合材で固定される第2半導体チップと、
- 前記第3配線層と前記第3回路板との間に挟まれて固定された第1放熱部材と、
- 前記第4配線層と前記第1回路板との間に挟まれて固定された第2放熱部材と、
- を備えた半導体モジュール。
- [請求項2] 前記絶縁板上における前記第1ビアの面積が、前記第1半導体チップの面積に対して10%以上である請求項1に記載の半導体モジュール。
- [請求項3] 前記絶縁板上における前記第2ビアの面積が、前記第2半導体チップの面積に対して10%以上である請求項1に記載の半導体モジュール。
- [請求項4] 前記第1放熱部材および前記第2放熱部材は、導電性接合材もしくは

は金属板で構成されている請求項 1 に記載の半導体モジュール。

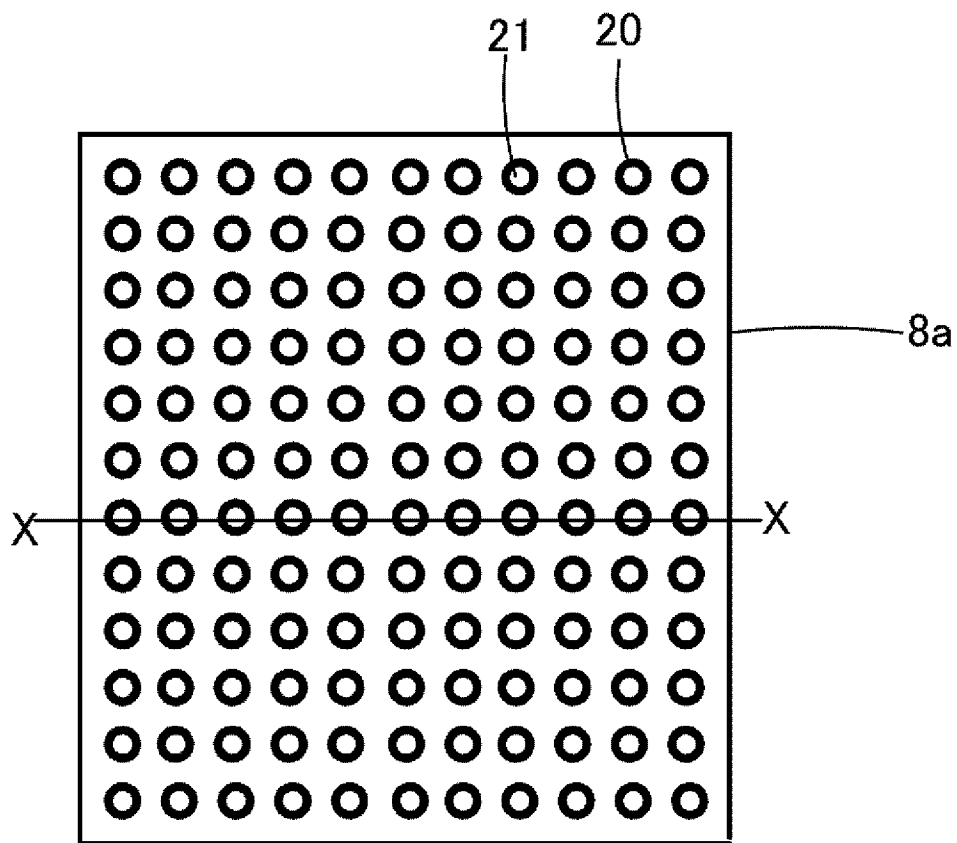
- [請求項5] 前記第 2 回路板および前記第 3 回路板が一体で構成され、前記第 1 放熱部材が高熱伝導絶縁体で構成されている請求項 1 に記載の半導体モジュール。
- [請求項6] 前記第 2 絶縁基板の第 2 回路板が配置される面の反対面に、金属板が配置されている請求項 1 に記載の半導体モジュール。
- [請求項7] 前記第 1 絶縁基板の第 1 回路板が配置される面の反対面に、金属板が配置されている請求項 1 に記載の半導体モジュール。
- [請求項8] 前記第 1 ビア及び第 2 ビアが、前記プリント基板の絶縁板に配置された複数の貫通孔内を埋めた柱状の導体からなる請求項 1 に記載の半導体モジュール。
- [請求項9] 前記接合材および前記放熱部材が、いずれもはんだである請求項 1 に記載の半導体モジュール。
- [請求項10] 前記第 1 配線層もしくは第 2 配線層と電氣的に接続されている外部端子をさらに備えた請求項 1 に記載の半導体モジュール。

100

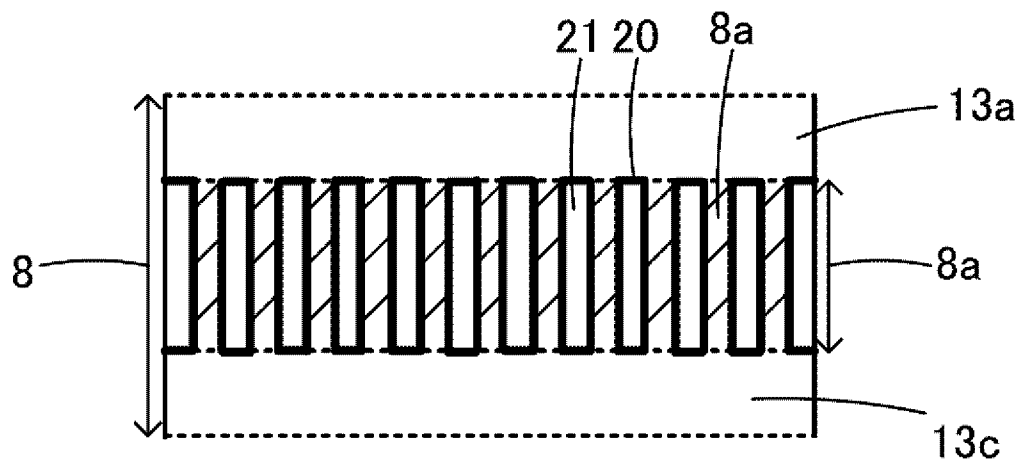




[図4]

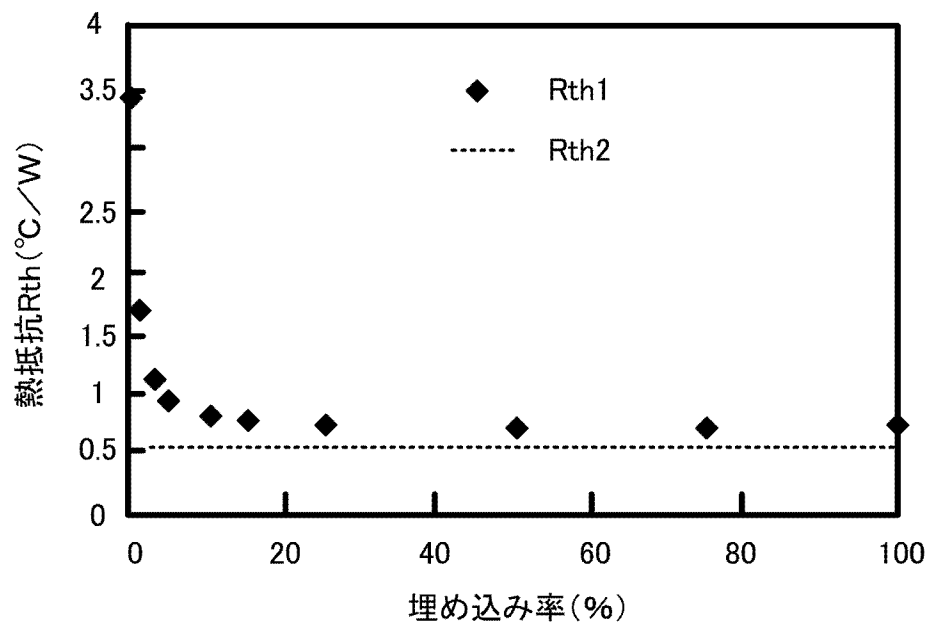


(a)

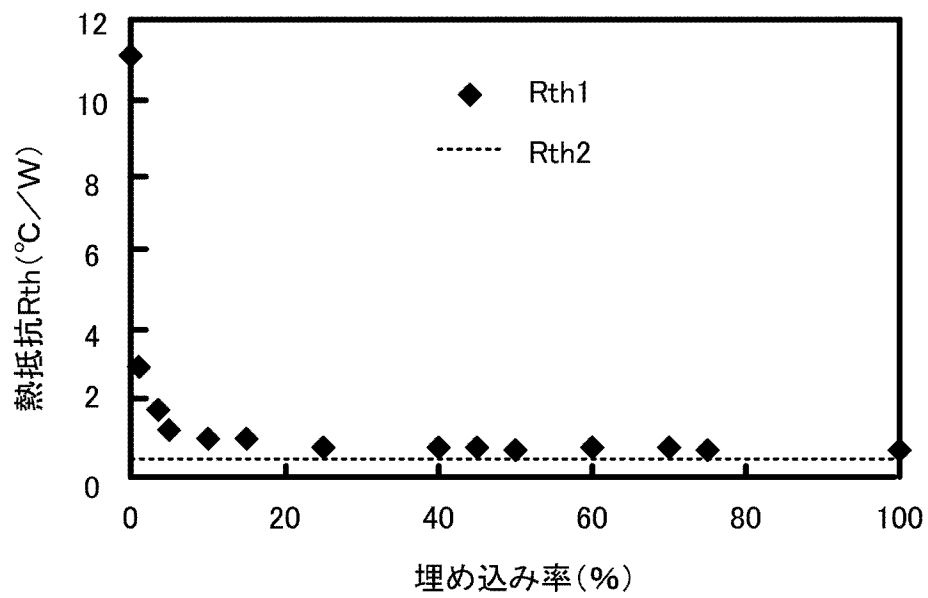


(b)

[図5]

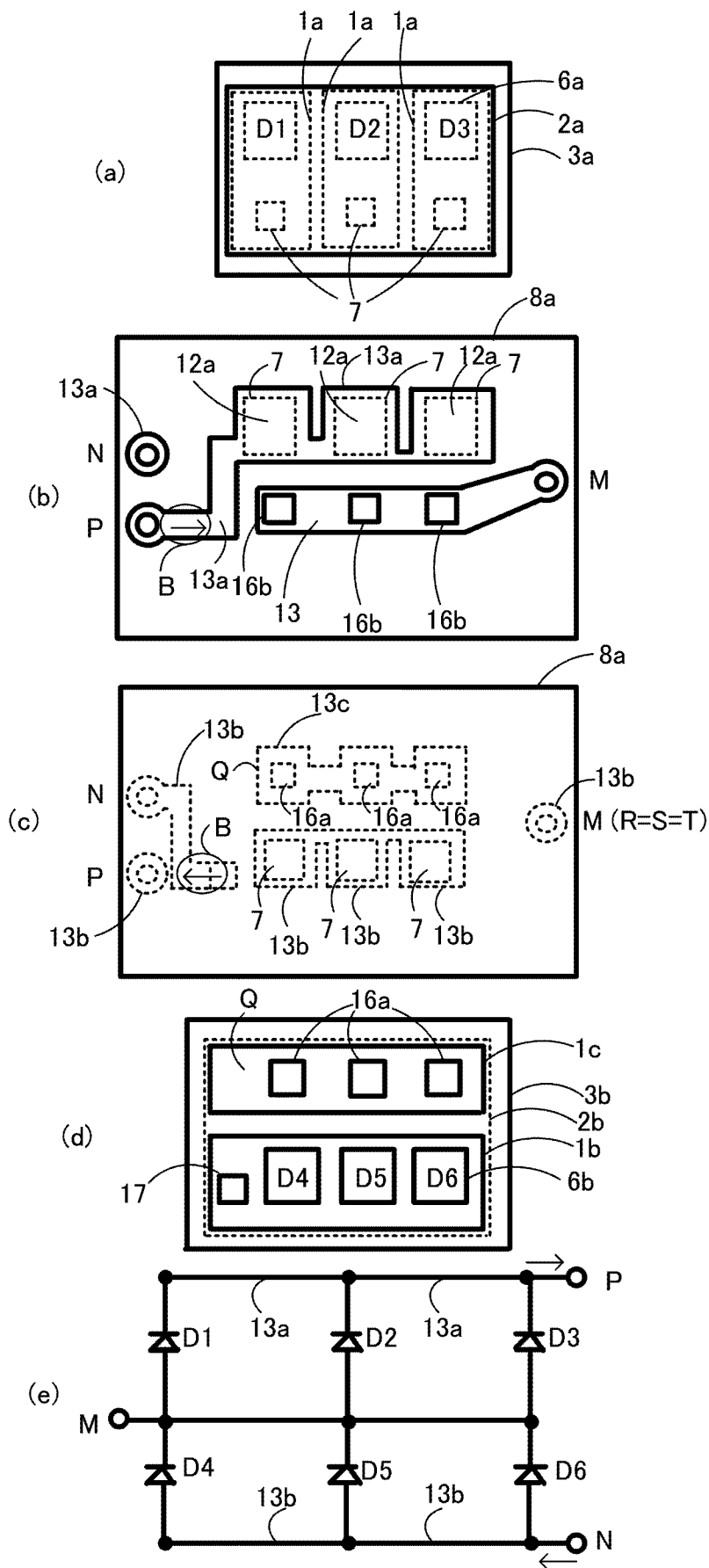


(a)

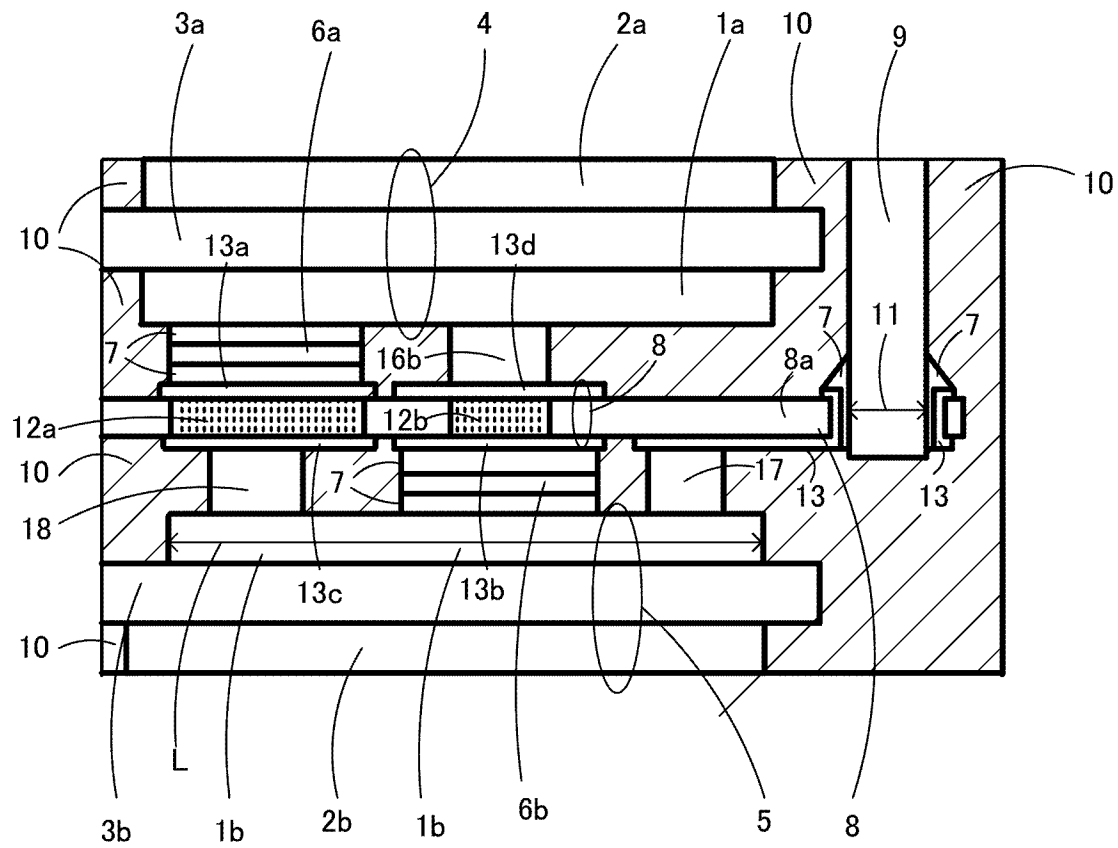


(b)

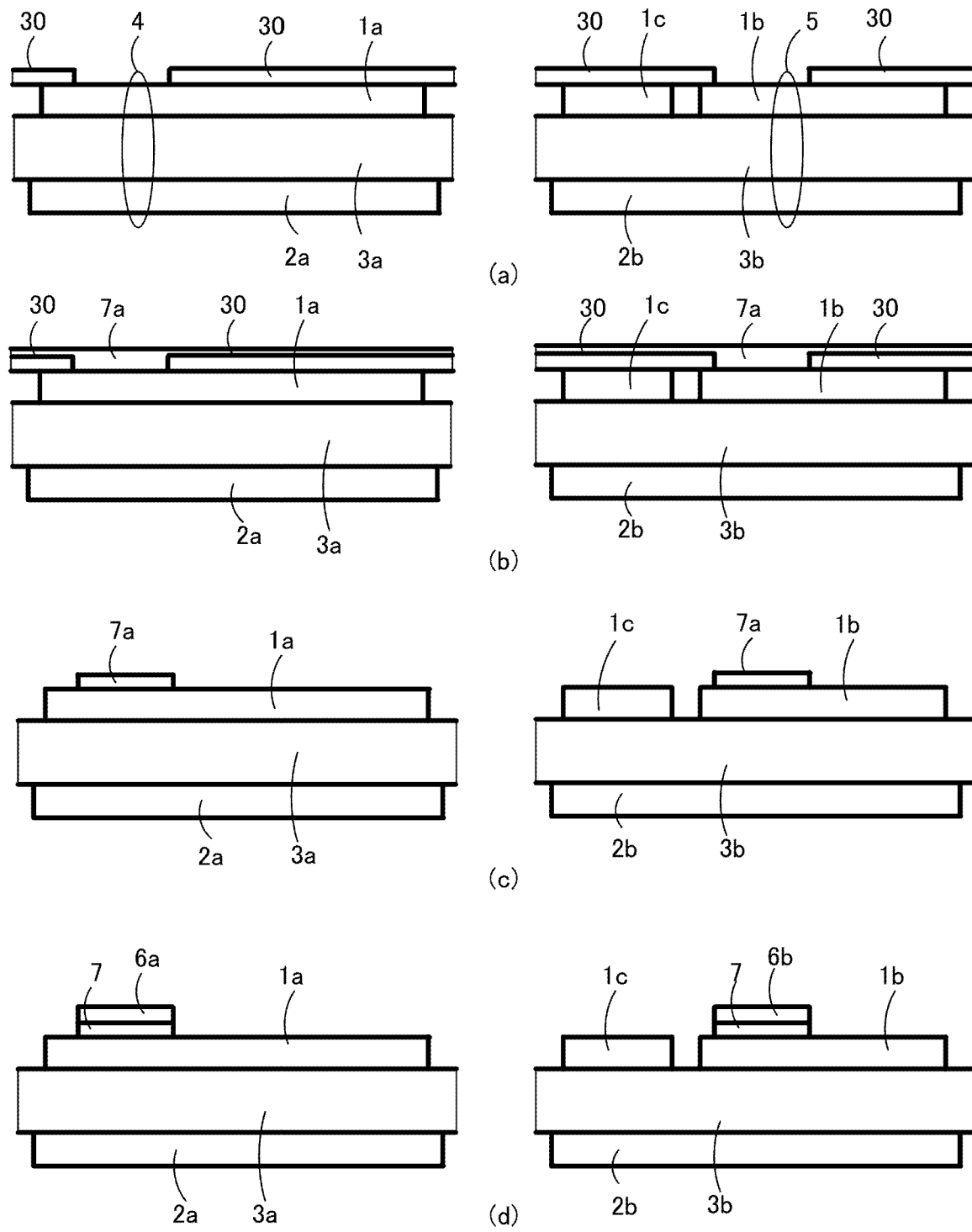
[図7]



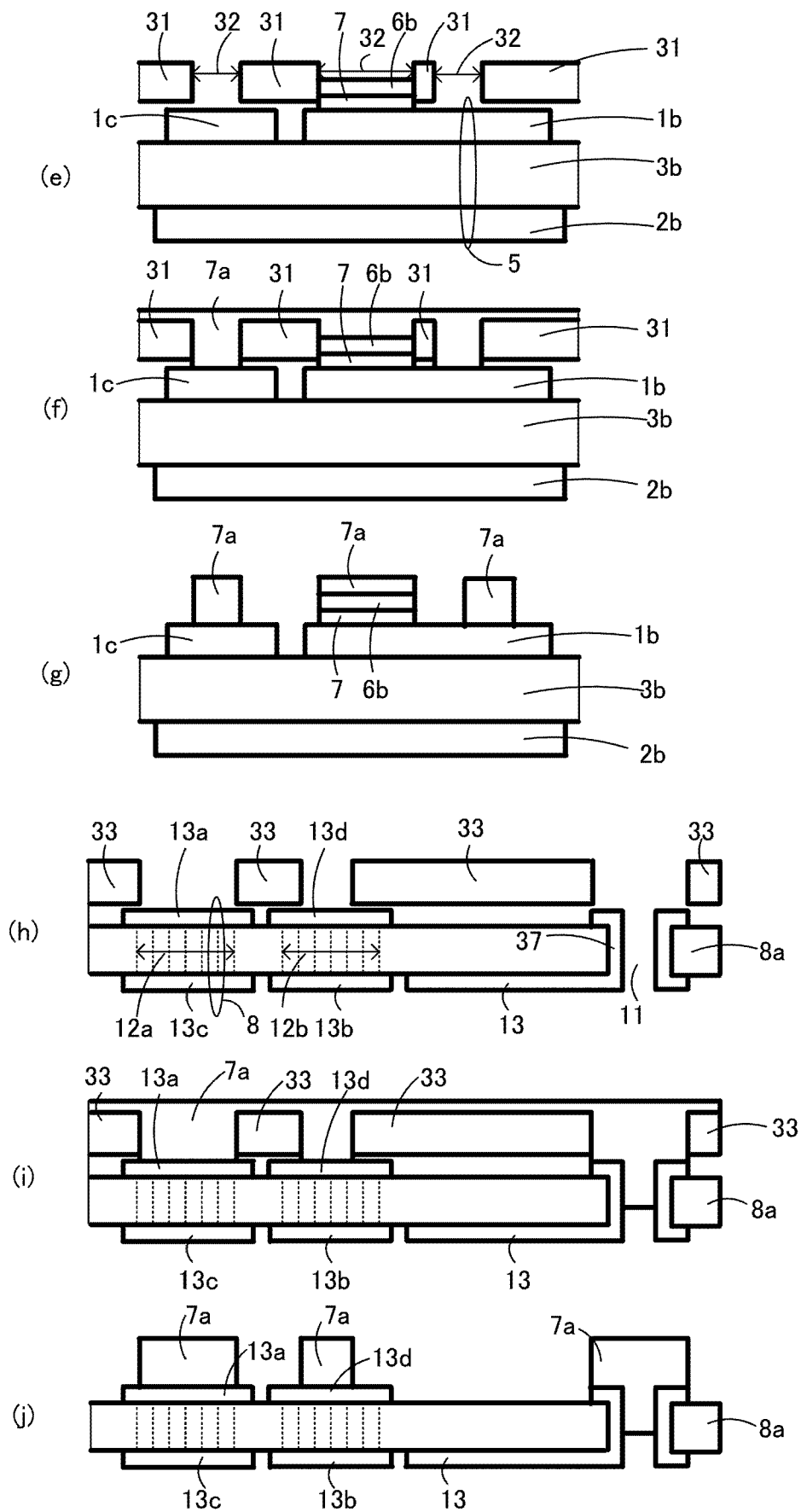
[図8]



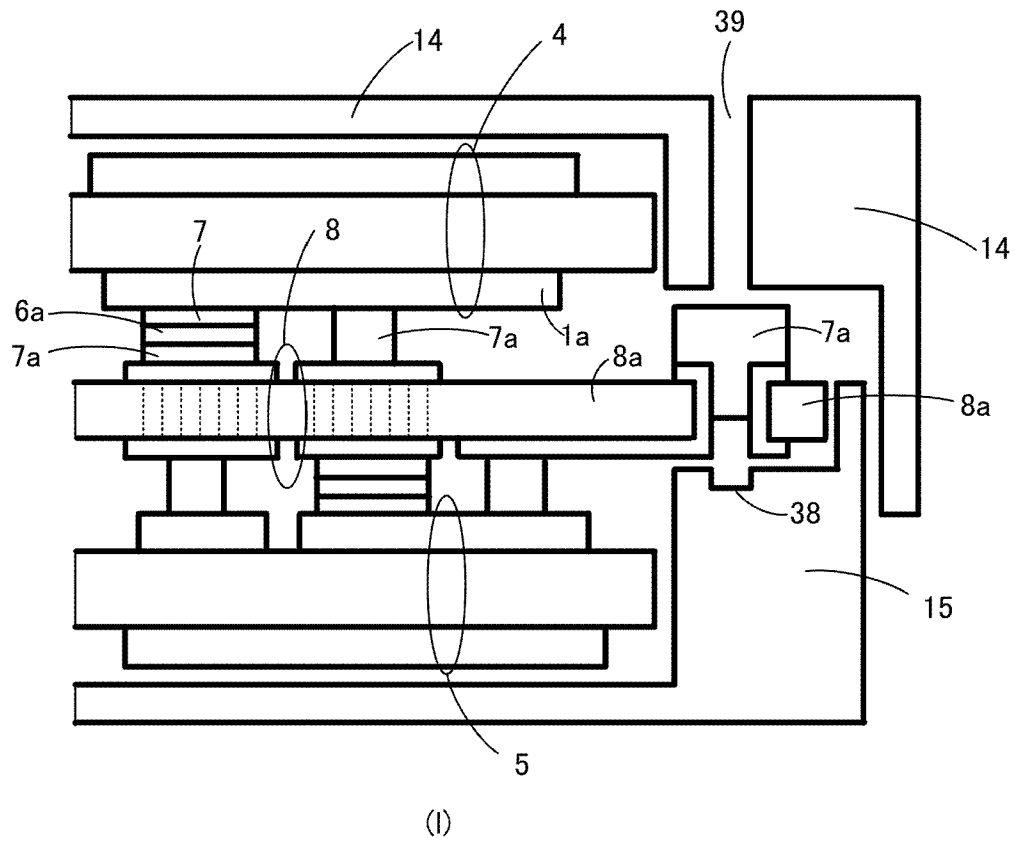
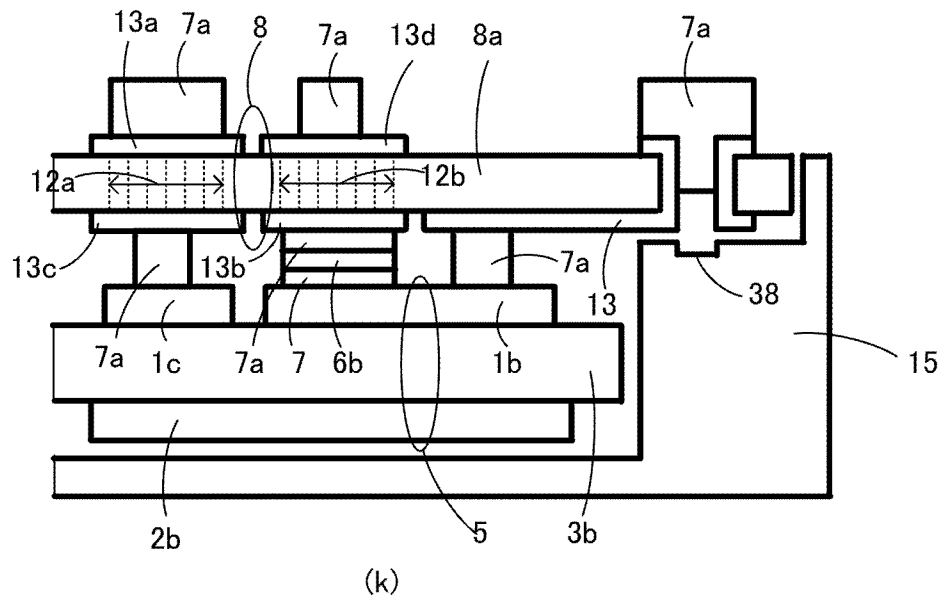
[図9]



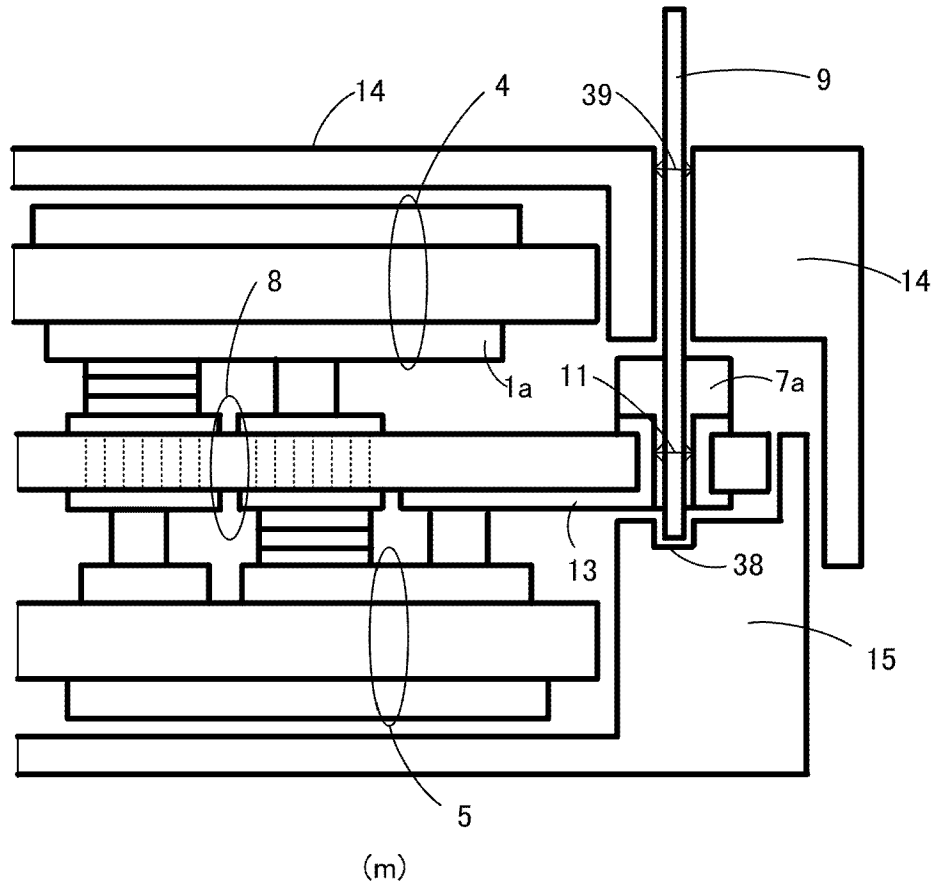
[図10]



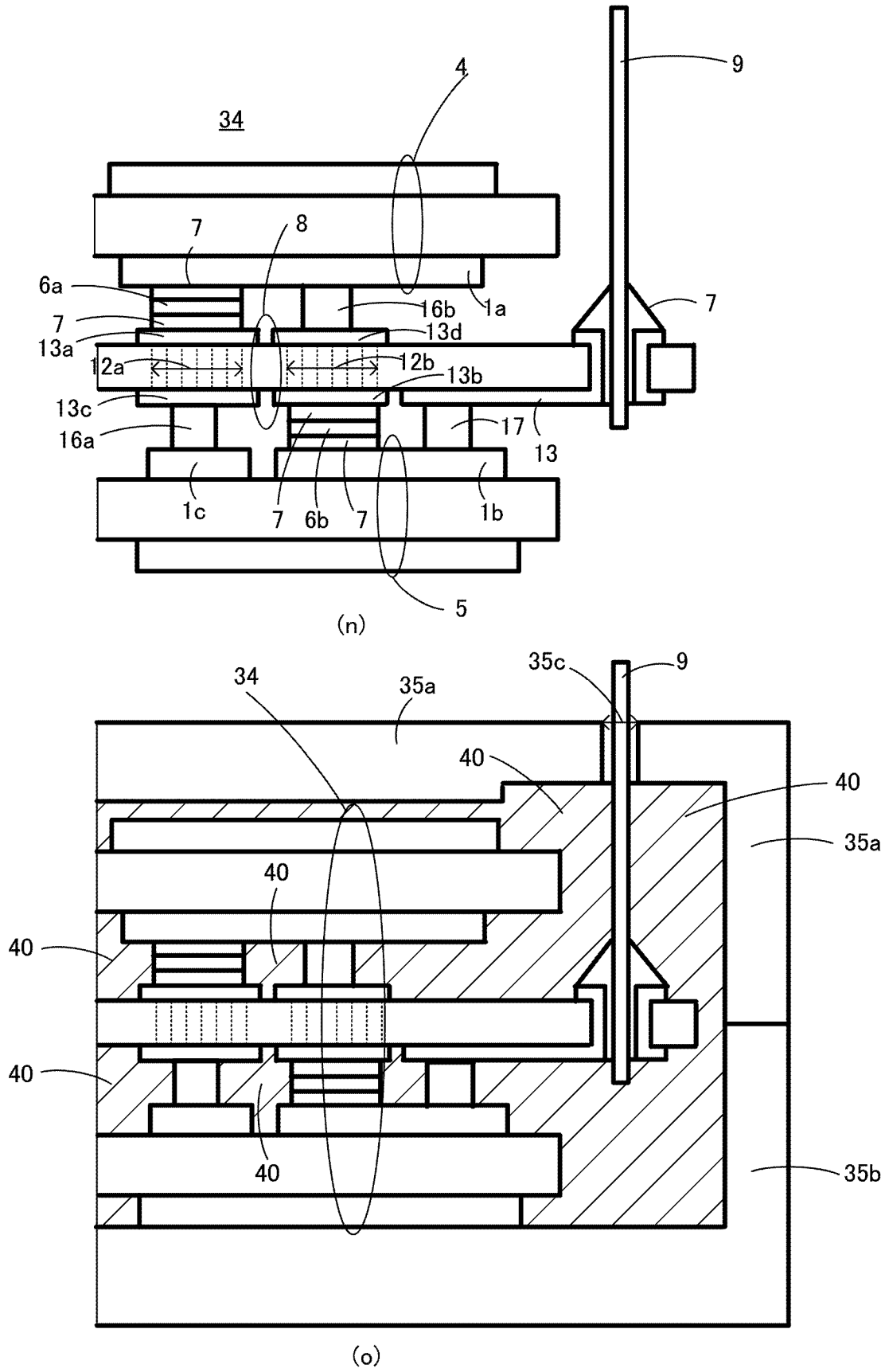
[図11]



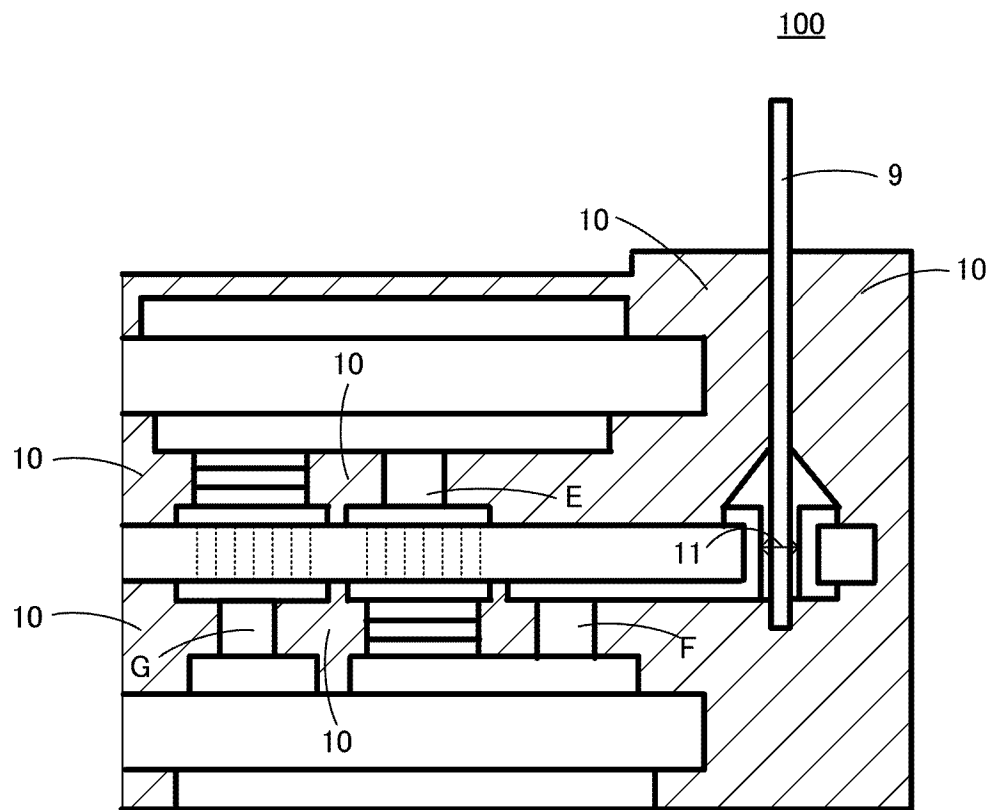
[図12]



[図13]

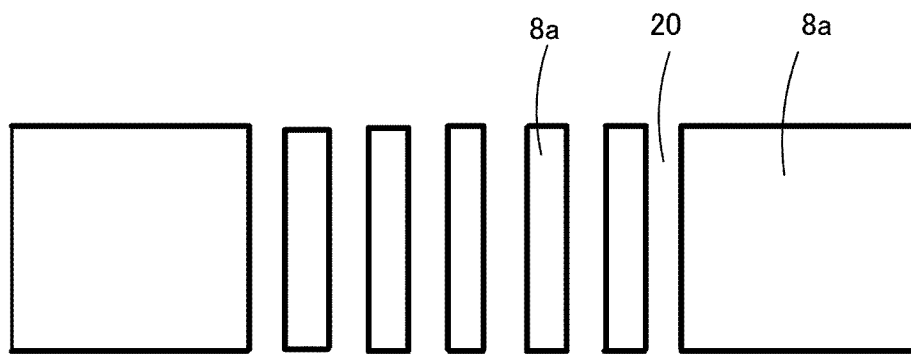


[図14]

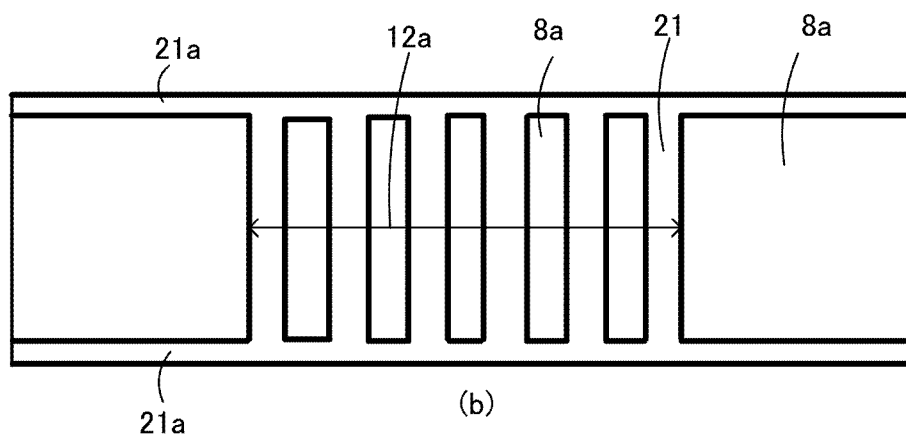


(p)

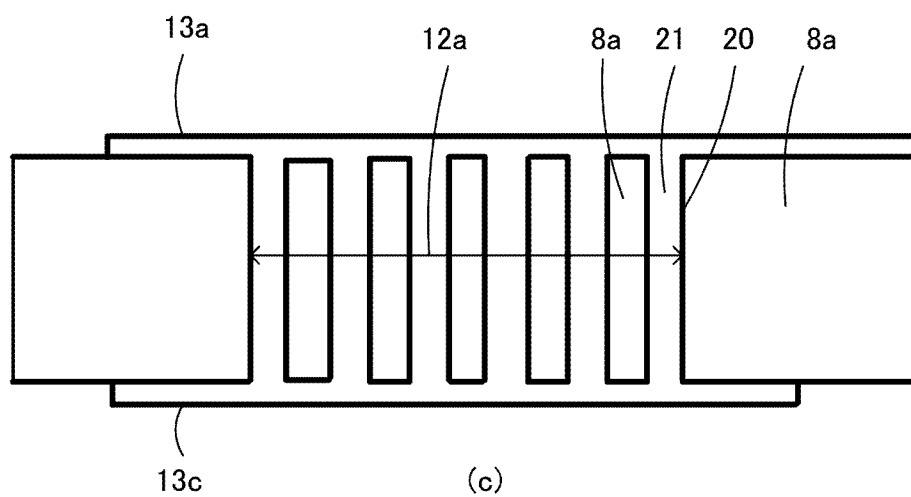
[図15]



(a)

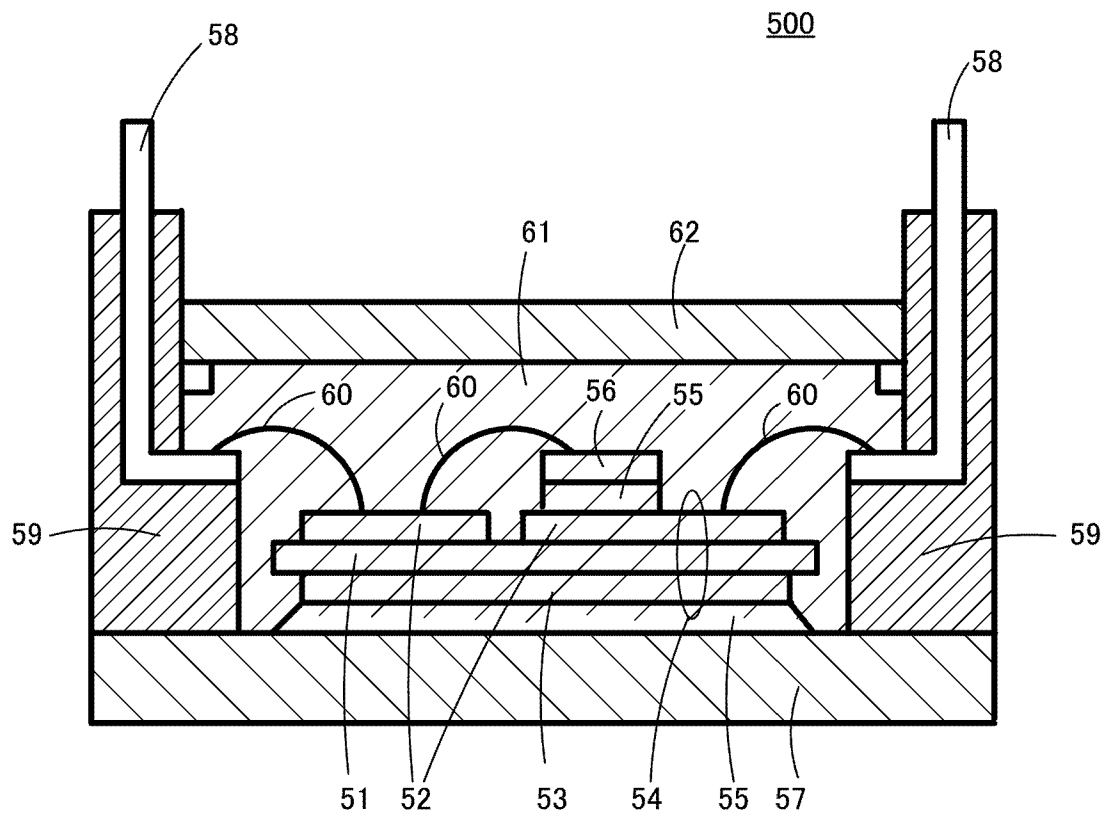


(b)



(c)

[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/072827

A. CLASSIFICATION OF SUBJECT MATTER

H01L23/36(2006.01)i, H01L23/29(2006.01)i, H01L25/07(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/36, H01L23/29, H01L25/07

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-101018 A (Shindengen Electric Mfg. Co., Ltd.), 07 April 2000 (07.04.2000), paragraphs [0020] to [0040]; fig. 1, 2 (Family: none)	1-10
A	JP 2006-134990 A (Fuji Electric Holdings Co., Ltd.), 25 May 2006 (25.05.2006), paragraphs [0024] to [0025]; fig. 3 (Family: none)	1-10
A	JP 2008-10768 A (Toshiba Corp.), 17 January 2008 (17.01.2008), paragraphs [0015] to [0023], [0034] to [0036] (Family: none)	1-10

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
14 November, 2014 (14.11.14)

Date of mailing of the international search report
25 November, 2014 (25.11.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/072827

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-117428 A (Hitachi, Ltd.), 28 May 2009 (28.05.2009), paragraphs [0010] to [0016]; fig. 1 & US 2009/0116197 A1 & EP 2093792 A1	1-10
A	JP 9-55459 A (Seiko Epson Corp.), 25 February 1997 (25.02.1997), paragraphs [0029] to [0037]; fig. 4 to 5 & US 5923084 A	1-10

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L23/36(2006.01)i, H01L23/29(2006.01)i, H01L25/07(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L23/36, H01L23/29, H01L25/07

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2000-101018 A（新電元工業株式会社）2000.04.07, 段落【0020】～【0040】、図1, 2 (ファミリーなし)	1-10
A	JP 2006-134990 A（富士電機ホールディングス株式会社） 2006.05.25, 段落【0024】～【0025】、図3 (ファミリーなし)	1-10

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 4 . 1 1 . 2 0 1 4

国際調査報告の発送日

2 5 . 1 1 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

小川 将之

5 D

9 6 3 4

電話番号 03-3581-1101 内線 3551

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-10768 A (株式会社東芝) 2008. 01. 17, 段落【0015】～【0023】, 【0034】～【0036】 (ファミリーなし)	1-10
A	JP 2009-117428 A (株式会社日立製作所) 2009. 05. 28, 段落【0010】～【0016】, 図1 & US 2009/0116197 A1 & EP 2093792 A1	1-10
A	JP 9-55459 A (セイコーエプソン株式会社) 1997. 02. 25, 段落【0029】～【0037】, 図4～5 & US 5923084 A	1-10