

公告本

第95122477號申請案

發明專利說明書

修正頁102.03.11

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：095122477

※ 申請日期：95.6.22

※IPC 分類：H01L 21/335

一、發明名稱：(中文/英文)

用以於溝槽開場效電晶體(FET)中形成側向延伸介電層的結構與方法

Structure and Method for Forming Laterally Extending Dielectric Layer in a
Trench-Gate FET**二、申請人：(共 1 人)**

姓名或名稱：(中文/英文)

快捷半導體公司 / Fairchild Semiconductor Corporation

代表人：(中文/英文)

達瓦 保羅 D. / DELVA, Paul D.

住居所或營業所地址：(中文/英文)

美國緬因州南波特蘭市賽跑山路 82 號

82 Running Hill Road, South Portland, ME 04106, U.S.A.

國 籍：(中文/英文)

美國 / U.S.A.

三、發明人：(共 1 人)

姓 名：(中文/英文)

安德魯 約翰 T. / ANDREWS, John Tracey

國 籍：(中文/英文)

美國 / U.S.A.

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為：。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國、 2005/06/24、 11/166,356

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

一種場效電晶體(FET)係如下來製成。一溝槽會被形成於一矽區域中。一氧化阻隔層會被設在鄰接該溝槽的矽區域表面上並沿該溝槽側壁和底部延伸。一保護層會被設在該溝槽內部及外部的氧化阻隔層上。該保護層會被部份地除去，以使該氧化阻隔層至少沿該溝槽底部延伸的部份變成曝露，而該氧化阻隔層延伸於鄰接該溝槽之矽區域表面上的部份則保持被該保護層的剩餘部份所覆蓋。

六、英文發明摘要：

A field effect transistor (FET) is formed as follows. A trench is formed in a silicon region. An oxidation barrier layer is formed over a surface of the silicon region adjacent the trench and along the trench sidewalls and bottom. A protective layer is formed over the oxidation barrier layer inside and outside the trench. The protective layer is partially removed such that a portion of the oxidation barrier layer extending at least along the trench bottom becomes exposed and portions of the oxidation barrier layer extending over the surface of the silicon region adjacent the trench remain covered by remaining portions of the protective layer.

七、指定代表圖：

(一)本案指定代表圖為：第 (2F) 圖。

(二)本代表圖之元件符號簡單說明：

30...矽區域

40...介電層

32...溝槽

42...氧化阻隔層

38...表面區域

44...保護層

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

【發明所屬之技術領域】

發明領域

本發明概有關於功率場效電晶體(FETs)，尤係關於具有改良特性的溝閘FETs。

【先前技術】

發明背景

第1圖為一傳統溝槽功率金屬氧化物半導體場效電晶體(MOSFET)之一部份的簡化截面圖。一溝槽10會被襯以一閘介電質12，並填滿一導電材料15，例如多晶矽，其會形成該電晶體的閘極。該溝槽會由該矽表面伸入該基材內向下貫穿一本體區22而伸入一汲極區16中。該本體區22為p型，而汲極區16為n型。該汲極區16可透過該電晶體的基材(未示出)來被電接觸。源極區14會被鄰設於溝槽10的相反兩側上。又主動通道區20會沿著溝壁被設在本體區22中而介於源極區14和汲極區16之間。

於該溝槽功率MOSFET中之一重要參數係為總閘電荷。在某些傳統的溝槽功率MOSFET器材例如DC-DC變頻器中，若其閘電荷越低則整體設計的效率越佳。一種可減低閘電荷的技術係沿著該閘溝底部使用一厚介電質來減少閘極至汲極的電容。傳統的局部矽氧化(LOCOS)法會被用來形成該厚底部介電質。通常一氮化矽層會沿溝壁先被製成，俾使一厚介電質能沿該溝槽底部來形成。但是，用以除去該氮化矽層沿溝底部份的異向性蝕刻，亦會除掉該氮

化矽層延伸於該溝槽外之水平表面上的部份。

當沿溝底來製成該厚介電質時，一相同的厚介電質亦會被製設在鄰接該溝槽的矽凸台表面上。此覆設在該凸台表面上的厚介電質會造成許多問題。首先，在該凸台表面上的厚介電質通常會懸伸出溝槽的上邊角處，此將會造成該閘多晶矽的缺空。此外，由該凸台表面上除去厚介電質須要相當地蝕刻，其亦會蝕掉沿該溝槽上側壁延伸的閘極氧化物。此將會導致閘極瑕疵並產生問題。且，該凸台表面上之介電質厚度的可變性亦會在本體植入製程中造成可變性，此則會造成電參數的可變性。

另一種廣泛習知的溝閘結構係為屏蔽閘結構。在此結構中的溝槽包含一屏蔽電極直接設在閘電極底下。該屏蔽電極會以一通常比閘介電質更厚的屏蔽介電質來與相鄰的矽區域隔絕。該閘極和屏蔽電極會以一通常稱為多晶矽間之介電質或“IPD”的介電層來互相隔絕。該IPD必須為高品質，並能承受該屏蔽及閘極電極之間的電位差。一種製成IPD的方法係可在閘極的氧化製程中來熱氧化該屏蔽電極。但是，此方法會限制該IPD的厚度，因其係與閘極氧化物同時地形成。且，生長在多晶矽上之氧化物的品質並不像生長在單晶矽上的氧化物那麼好。因此，最好在該屏蔽多晶矽(IPD)上的介電質會比閘極介電質更厚許多，俾使該IPD能承受至少如同閘極電極所能承受的電壓。

故，有須要改良沿該溝底來形成厚介電質的技術，及在屏蔽閘結構中製成該IPD的技術。

【發明內容】

發明概要

依據本發明之一實施例，一場效電晶體(FET)係如下來製成。一溝槽會被設在一矽區域中。一氧化阻隔層會被製設在該矽區域的表面上，而鄰接該溝槽並沿循該溝槽側壁和底部。一保護層會被設在該溝槽內部和外部的氧化阻隔層上。該保護層會被部份除去，以使至少沿該溝底延伸的氧化阻隔層部份變成曝露，而令該阻隔層延伸在鄰接該溝槽之矽區域表面上的部份保持被該保護層的剩餘部份所覆蓋。

在一實施例中，該氧化阻隔層的曝露部份會被由沿溝底處除去，且一介電層會沿該溝底被製成。

於另一實施例中，在製成該氧化阻隔層之前，一絕緣層會被設在鄰接該溝槽之矽區域表面上，並沿循該溝槽的側壁和底部，而除掉該阻隔層的曝露部份將會露出該絕緣層沿著溝底延伸的部份。

依據本發明的另一實施例，一FET的中間物包含一溝槽伸入一矽區域中，及一氧化阻隔層延伸於鄰接該溝槽之矽區域的表面上，並沿該溝槽側壁延伸，但沿著溝槽底部係呈中斷的。一保護層會延伸於該阻隔層之所有水平延伸部份上。

在一實施例中，一絕緣層會延伸於鄰接該溝槽並沿循溝槽側壁和底部的矽區域表面上。該絕緣層除了沿溝底延伸的部份以外，皆會被該氧化阻隔層所覆蓋。

在另一實施例中，該氧化阻隔層具有大致均一的厚度並包含氮化矽，而該保護層包含低溫氧化物(LTO)。

以下詳細描述和所附圖式會對本發明的實質及優點提供更佳的瞭解。

5 圖式簡單說明

第1圖示出一典型溝閘MOSFET的簡化截面圖；

第2A～2J圖示出依據本發明之一實施例在形成具有一改良的厚底介電質(TBD)之溝閘FET的製程中之各步驟的簡化截面圖；及

10 第3A～3J圖示出依據本發明另一實施例在形成具有一改良的多晶矽間介電質(IPD)之屏蔽閘極溝槽FET的製程中之各步驟的簡化截面圖。

【實施方式】

較佳實施例之詳細說明

15 依據本發明之一實施例，一厚介電層會在一溝閘FET中沿著溝槽的底部來形成，並使用一保護層來阻止一類似的厚介電層形成於鄰接該溝槽的矽凸台表面上。該保護層可在一用來由沿該溝底處除掉氮化矽層的氮化矽蝕刻程序中，保護一延伸於該矽凸台表面上的氮化矽層部份。依據
20 本發明之另一實施例，一類似的技術亦能較佳地用來在一屏蔽閘極溝槽FET中形成該多晶矽間介電質。

第2A～2J圖示出依據本發明之一實施例在一用以形成具有一厚底部介電質之溝閘FET的製程中之各步驟的截面圖。以下在該製程中之各步驟的說明係僅為舉例，應可瞭

解本發明的範圍並不限於該等特定實施例。尤其是，各種處理條件，例如溫度、壓力、膜層厚度等等皆可改變，而不超出本發明的精神。

5 在第2A圖中，一矽區域30會被提供來作為製造該電晶體的基礎。在一實施例中，該矽區域30係為一n型磊晶層被設在一高度摻雜的n型基材(未示出)上，而形成該電晶體的汲極區。一傳統的異向性矽蝕刻會被進行來製成一溝槽伸入該矽區域30中。一可擇的退火製程可被進行來圓曲化該溝槽的邊角，並減低該矽區域30的缺陷密度。

10 在第2B圖中，一介電層40會被覆設在該溝槽底部和側壁上，以及鄰接該溝槽之矽凸台的表面區域38上。在一實施例中，該介電層40係為一使用傳統技術製成的氧化墊，而具有200~1000 Å的厚度。

15 在第2C圖中，一氧化阻隔層42會被覆設在介電層40上。該氧化阻隔層42具有均一的厚度。在一實施中，該介電層40係為氧化墊，而阻隔層42係使用低壓化學氣相沈積(LPCVD)法所製成的氮化矽。該LPCVD法會有助於達到均一的氮化矽層。該氧化墊能改善該氮化矽層的黏性，亦可在對應於第2F圖之稍後步驟進行的氮化物蝕刻中，用來保護沿著溝槽底部的底下矽料。氮化物以外的氧化抑制材料亦可被使用，且該氧化阻隔層的精確特性可藉改變在一CVD腔室內的氣體比率、溫度、壓力及構件的間隔等而來改變。

20 在第2D圖中，一保護層44會被覆設在該氧化阻隔層42

上。一低溫氧化物(LTO)膜可被用作為該保護層44。但是，具有類似特性的其它材料亦可使用。該LTO膜係用一標準化學氣相沈積(CVD)法來沈積。該製法會產生一不均勻膜，其在凸台表面38上會最厚，並沿著該溝槽側壁向下逐漸變薄至一較小厚度來沿溝槽壁下部和溝槽底部延伸。

在第2E圖中，該保護層44會被使用例如時間控制的濕蝕刻法來均勻地蝕回，以使該氧化阻隔層42沿著溝槽底部和下側壁延伸的部份變成曝露，而令該阻隔層42延伸於矽凸台表面區域38上的部份保持被該保護層44的剩餘部份所覆蓋。在一實施例中，一50：1氫氟酸(HF)的輕緩氧化物蝕刻會被用作該蝕刻法，但具有類似性質的其它蝕刻溶液亦可被使用。

在第2F圖中，一部份的氧化阻隔層42會被由該溝槽底部除去。在該阻隔層42係由氮化矽製成的實施例中，該氮化矽層沿著溝槽底部的部份會被使用一高度方向性的異向性蝕刻製程來除去。此將會曝露出沿溝底延伸的氧化墊層。該保護層44的存在能阻止該蝕刻製程除掉設在矽凸台表面38上的氧化阻隔層42。該氧化墊層40可阻止該氮化物蝕刻侵蝕沿該溝底下方的矽料。在變化實施例中，多種的蝕刻劑材料和蝕刻環境亦可使用。蝕刻變數例如該蝕刻製程的溫度、壓力和RF功率等，亦可被調整來完成所需的異向性蝕刻程序。

在第2G圖中，另一濕蝕刻製會被用來除掉剩餘的部份保護層44。此亦將會除掉沿該溝底之氧化墊層40的曝露部

份，雖然如此的去除並不需要。故該矽區域30沿著溝底的表面部份將會曝露。在一實施例中，一50:1的HF輕緩氧化物蝕刻會被用作該蝕刻製程，但其它具有類似性質的蝕刻溶液亦可被使用。

5 在第2H圖中，一厚氧化物層48會被使用傳統的局部矽氧化(LOCOS)製法來被形成於沿著溝底的曝露矽表面區域中。此氧化步驟會耗用一部份曝露的矽區域。氧化阻隔層42會在該LOCOS製程中抑止沿著溝槽側壁和上表面區域38處的矽氧化。在一實施例中，該厚底介電質(TBD)48係使用
10 一溫度例如為800~1250°C的氧化製程來形成。該製程可為一濕式或乾蝕刻，乃視該阻隔層42的能耐而定。該TBD層48的所須厚度可藉改變該氧化製程的參數而來獲得。在一實施例中，當對應第2G圖的步驟時，該保護層44的剩餘部份會被選擇地除去，而令沿著溝底的氧化墊層40保持完整
15 不變。此將能形成一更厚的TBD。

在第2I圖中，有兩個傳統的蝕刻製程會被進行來除去氧化阻隔層42和氧化墊40，而只留下沉著溝底的TBD層48。在一實施例中，一傳統的氮化矽蝕刻製程會被用來除掉氮化矽層42，及一傳統的氧化物蝕刻製程會被用來除掉
20 氧化墊層40。該氧化物蝕刻製程亦會除掉一薄層的TBD層48頂部，但此量可在形成該TBD層48時修正該氧化物成長製程參數而來彌補。

在該TBD層形成後，該溝槽FET結構的其餘部份將可使用任何習知的技術來製成，其中之一係被簡述於下。在第

2J圖中，一閘介電層50會被沿著溝槽側壁來形成。一由多晶矽製成的凹陷閘極電極52嗣會被製設在該溝槽內。p型導電性的本體區56和n型導電性的源極區54會被使用傳統的離子植入技術來形成於矽區域30中。或者，該源極區54和本體區56亦可在矽區域30中蝕刻溝槽之前先被形成。

在第2J圖中的截面係對應於一實施例，其中一開放胞元結構係使用於源極區54，且各溝槽32係呈條狀而互相平行地延伸。在此實施例中，傳統的技術會被用來沿著該等源極條紋週期性地製成p型導電性的重本體區。該重本體區會延伸穿過源極區54並終結於本體區56中。一介電層例如BPSG會覆設在該結構上並被圖案化，且一重流製程會造成一介電圓頂58延伸於溝槽和部份的源極區54上。一用來電接觸源極區54和重本體區的上金屬層60會覆設在整個結構上。本發明的結構和方法並不限於開放胞元結構。以一封閉胞元結構來實施本發明亦可由專業人士參閱本揭露後輕易得知。

如由第2F圖可知，該保護層44能防止氮化矽層42覆設於矽凸台表面上的水平延伸部份被除掉，進而可阻止厚介電層被形成於該矽凸台表面上。此有許多理由可謂是較佳的。第一，沒有一厚介電層覆設在該凸台表面上會大大地減少多晶矽缺空的機會，故能增進其製造良率。第二，在蝕回該多晶矽層後不須再由該矽凸台表面上除掉該厚介電層，故可減少製程步驟數目，並消除會沿溝槽上側壁處來除去部份閘介電層的可能性。第三，沒有覆設在凸台表面

上的厚介電層會減低本體植入製程的可變性，故能較佳地控制植入特性並減少該電晶體之電性參數的變異。最後，該TBD能被以一自行對準的方式來製成。即是，在用以形成TBD的製程中不必使用罩蔽層。

5 上述用以形成TBD的製程步驟能有利地與下述製法整合來獲得一具有優良特性的FET，即如2003年5月20日申請之共同讓渡的美國專利申請案No. 10/442670，名稱為“具有自行對準細構的溝槽MOSFET之結構和製造方法”中所述者，其內容併此附送。

10 一供用以形成該TBD層48的類似技術亦可較佳地用來在一屏蔽閘極FET中製成該多晶矽間之介電質(IPD)層。第3A~3J圖係示出依據本發明另一實施例，在形成此一屏蔽閘極FET的製程中之各步驟的截面圖。

15 在第3A圖中，一溝槽132會被設在矽區域130中，且一屏蔽介電層會被使用傳統技術沿該溝槽側壁和底部來形成，並覆蓋鄰接該溝槽的矽表面138。一例如由多晶矽製成的屏蔽電極104嗣會被使用習知技術來設在該溝槽的底部之該屏蔽介電層上。然後會進行濕蝕刻步驟來除掉該屏蔽介電層的曝露部份，即在矽表面138上和沿著溝槽側壁較上
20 方的區域，故會留下凹陷的屏蔽介電層102。然後，該IPD會使用一類似於第2A~2J圖的實施例中用以形成TBD的技術來製成。

 在第3B圖中，一介電層140會被設在該結構上，而覆蓋該矽表面138並沿溝槽側壁延伸於屏蔽電極104上。在一實

施例中，介電層140係為一熱生長氧化墊層。在第3C圖中，一氧化阻隔層142嗣會被覆設在介電層140上。氮化矽可作為該氧化阻隔層，但其它具有類似之氧化抑制特性的材料亦能被使用。LPCVD製法可用來形成一相當均勻的氮化矽層。

在第3D圖中，一保護層144會被覆設在氧化阻隔層142上。一低溫氧化物(LTO)膜可作為該保護層144，但其它具有類似特性的材料亦可被使用。該LTO膜係使用標準化學氣相沈積(CVD)法來沈積。該製法會生成一不均勻膜，其在凸台表面138上會最厚，並沿著溝壁向下逐漸變薄成一較小厚度沿溝壁的較下部份延伸且覆蓋屏蔽電極104。

在第3E圖中，該保護層144會被使用一時間控制的濕蝕刻法來均勻地蝕回，以使該氧化阻隔層142於屏蔽電極104上和沿著溝槽之下側壁延伸的部份變成曝露。而該阻隔層142延伸於矽凸台表面區域138上的部份則保持被該保護層144的剩餘部份所覆蓋。

在第3F圖中，一部份的氧化阻隔層142會被由屏蔽電極104上除去。在該阻隔層142是為氮化矽的實施例中，延伸於屏蔽電極上的氮化矽層部份會被使用一高方向性的異向性蝕刻法來除去。此將會曝露出該氧化墊層140延伸於屏蔽電極104上的部份。該保護層144的存在可防止蝕刻製程由矽凸台表面138上除掉氧化阻隔層142。該氧化墊層140則可阻止氮化物蝕刻侵蝕底下的多晶矽屏蔽電極104。

在第3G圖中，另一濕蝕刻製程會被用來除去剩餘的保

護層144部份。此亦會除去沿著溝底之氧化墊層140的曝露部份，雖此去除並不必要。故該屏蔽電極104的頂面將會曝現。在第3H圖中，一層厚的多晶矽間介電質(IPD)148會被使用傳統的局部矽氧化(LOCOS)法來沿著屏蔽電極104的曝露頂面上形成。此氧化步驟會耗用一薄層的屏蔽電極104。在該LOCOS製程中，氧化阻隔層142會抑制沿著溝槽側壁和頂矽表面區域138處之矽的氧化。該IPD層148的所須厚度可藉改變該氧化製程的參數而來獲得。在一實施例中，當對應於第3G圖的步驟時，保護層144的剩餘部份會被選擇地除去，而使沿該溝底的氧化墊層140保持原狀不變。此將可造成更厚的IPD。

在第3I圖中，一對傳統的蝕刻製程會被進行來除去氧化阻隔層142和氧化墊140，而僅留下IPD層148覆蓋在屏蔽電極104上。在一實施例上，一傳統的氮化矽蝕刻製程會被用來除去該氮化矽層142，而一傳統的氧化物蝕刻製程會被用來除去氧化墊層140。該氧化物蝕刻製程亦會除掉一薄層的IPD層148頂面，但此量可藉在製造該IPD層148時修正該氧化物成長製程的參數而來彌補。

該溝槽FET的其餘部份可使用任何習知的技術來製成，其中之一種將簡述於後。在第3J圖中，一閘介電層150會沿著溝槽側壁被形成。嗣一凹陷的閘極電極152，例如會以多晶矽來製設在溝槽內。p型導電性的本體區156和n型導電性的源極區154會被使用傳統的離子植入技術形成於矽區域158中。或者，該源極區154和本體區156亦能在將溝槽

蝕刻於矽料中之前，或在製成IPD之前的某些製程步驟先來被形成。一介電層例如BPSG會被覆設在該結構上並被圖案化，且一重流製程會形成一介電圓頂158而延伸於該溝槽和部份的源極區154上。一上金屬層160會覆設在整個結構上。p型導電性的重本體區(未示出)會被使用習知技術來設成延伸貫穿源極區154而終結於本體區156中。如同前一實施例，本實施例的結構和方法亦得以開放或封閉胞元結構來實施。

本發明的各種結構和方法係能結合一或多種電荷分佈技術，及如在2004年12月29日申請之No. 11/026276共同讓渡的美國專利申請案(其內容併此附送)中所揭之其它元件結構和製造方法等，來達到較低的導通阻抗，較高的阻擋能力和效率，以及其它的優點和特徵。

該各不同實施例的截面圖並無依比例繪製，且亦非用以限制對應結構之佈局設計的可能變化。又，該各電晶體可被製設在條狀或胞穴結構中，包括六邊形或方形的電晶體胞元。

雖有許多具體實施例被示出及描述如上，但本發明的實施例並不限於此。例如，應請瞭解上述結構的摻雜極性亦可相反，及／或該各元素的摻雜濃度亦可改變，皆不超出本發明。在另一例中，上述的電晶體所設之溝槽在達到更重摻雜的基材之前即會終止，但它們亦可伸入並終止於該基材內。且，雖上述各實施例係在傳統的矽中實施，但該等實施例及其顯而易知的變化例亦可在碳化矽、砷化

鎔、氮化鎔、鑽石或其它半導體材料中來實施。又，本發明之一或多數實施例的特徵亦能與其它實施例的一或多個特徵來結合，而不超出本發明的範圍。

因此，本發明的範圍不應僅依上述說明來決定，而應參照所附申請專利範圍及其全部的等效範疇來決定。

【圖式簡單說明】

第1圖示出一典型溝閘MOSFET的簡化截面圖；

第2A~2J圖示出依據本發明之一實施例在形成具有一改良的厚底介電質(TBD)之溝閘FET的製程中之各步驟的簡化截面圖；及

第3A~3J圖示出依據本發明另一實施例在形成具有一改良的多晶矽間介電質(IPD)之屏蔽閘極溝槽FET的製程中之各步驟的簡化截面圖。

【主要元件符號說明】

10, 32, 132...溝槽	42, 142...氧化阻隔層
12...介電質	44, 144...保護層
14, 54, 154...源極區	48...厚氧化物層
15...導電材料	50, 150...閘介電層
16...汲極區	52, 152...閘極電極
20...通道區	58, 158...圓頂
22, 56, 156...本體區	60, 160...上金屬層
30, 130...矽區域	102...屏蔽介電層
38, 138...表面區域	104...屏蔽電極
40, 140...介電層	148...IPD介電層

十、申請專利範圍：

1. 一種半導體結構，包含：

一溝槽，其設置成進入一矽區域中；

一氧化阻隔層，其設置在鄰接該溝槽的該矽區域之一部份表面上面且沿該溝槽之一側壁，但不沿該溝槽之一底部來設置；及

一保護層，其延伸於該氧化阻隔層之至少一水平延伸部份上面。

2. 如申請專利範圍第1項之半導體結構，更包含：

一絕緣層，其設置在鄰接該溝槽的該矽區域之部份表面上面、沿該溝槽之側壁、及該溝槽之底部，且該絕緣層除了沿該溝槽之底部設置的一部份絕緣層以外，會被該氧化阻隔層所覆蓋。

3. 如申請專利範圍第2項之半導體結構，其中該絕緣層具有一實質均一厚度且包含氧化物。

4. 如申請專利範圍第1項之半導體結構，其中該氧化阻隔層包括一實質均一厚度且包括氮化矽。

5. 如申請專利範圍第1項之半導體結構，其中該保護層包括低溫氧化物(LTO)。

6. 如申請專利範圍第1項之半導體結構，其中該保護層包括一實質不均一厚度，該保護層之一第一部分之一第一厚度係大於該保護層之一第二部分之一第二厚度，該保護層之該第一部分係設置成較該保護層之該第二部分還要接近該矽區域之表面。

7. 一種半導體結構，包含：

一溝槽，其伸入一矽區域中；

一屏蔽電極，其沈設於該溝槽的一較下部份，而該屏蔽電極以一屏蔽介電質來與該矽區域絕緣；

5 一氧化阻隔層，其設置在鄰接該溝槽的該矽區域之一部份表面上面且沿該溝槽之一側壁，但不設置在該屏蔽電極上面；及

一保護層，其延伸於該氧化阻隔層之至少一水平設置部份上面。

10 8. 如申請專利範圍第7項之半導體結構，更包含：

一絕緣層，其設置在鄰接該溝槽的該矽區域之部份表面上面、沿該溝槽之側壁、及在該屏蔽電極上面，該絕緣層除了設置在該屏蔽電極上面的一部份絕緣層以外，會被該氧化阻隔層所覆蓋。

15 9. 如申請專利範圍第8項之半導體結構，其中該絕緣層具有一實質均一厚度且包含氧化物。

10. 如申請專利範圍第7項之半導體結構，其中該氧化阻隔層包括一實質均一厚度且包括氮化矽。

20 11. 如申請專利範圍第7項之半導體結構，其中該保護層包含低溫氧化物(LTO)。

12. 一種製造場效電晶體(FET)的方法，包含：

在一矽區域中形成一溝槽；

在鄰接該溝槽的該矽區域之一部份表面上面、沿著該溝槽之一側壁、及該溝槽之一底部形成一氮化矽層；

在該氮化矽層上面形成一氧化物層，而使沿著鄰接該溝槽之該矽區域之部分表面的該氧化物層之一厚度比沿該溝槽之底部的一厚度更厚；及

5 均勻地蝕回該氧化物層，以使沿該溝槽之底部來設置的一部份氮化矽層、以及至少沿一部份之該溝槽之側壁來延伸的一部份氮化矽層皆變成曝露，而令設置在鄰接該溝槽之該矽區域之部分表面上面的一部份氮化矽層仍保持被該氧化物層的一剩餘部份所覆蓋。

13. 如申請專利範圍第12項之方法，更包含：

10 使用一異向性蝕刻法來除去沿該溝槽之底部的部份氮化矽層；及

使用一局部矽氧化法(LOCOS)來形成沿該溝槽之底部的一介電層。

14. 如申請專利範圍第13項之方法，更包含：

15 在形成該氮化矽層之前，先形成一氮化物蝕刻阻抗層，俾在去除沿該溝槽之底部的部份氮化矽層時保護沿該溝槽之底部的該矽區域。

15. 如申請專利範圍第14項之方法，其中該氮化物蝕刻阻抗層包含一氧化墊，且其中除去沿該溝槽之底部的部份氮
20 化矽層的步驟包括曝露出氧化墊層沿該溝槽之底部設置的一部份。

16. 如申請專利範圍第13項之方法，更包含：

在形成該介電層之前，先除去該氧化物層。

17. 如申請專利範圍第16項之方法，更包含：

除去該氮化物層；

沿該溝槽之側壁形成一閘極氧化物；及

在該閘極氧化物上形成一凹陷的閘極電極。

18. 如申請專利範圍第12項之方法，其中該氮化矽層係使用
5 低溫化學氣相沈積(LPCVD)法來形成。

19. 如申請專利範圍第12項之方法，其中該氧化層包括一層
低溫氧化物(LTO)。

20. 一種製造場效電晶體(FET)的方法，包含：

在一矽區域中形成一溝槽；

10 在鄰接該溝槽的該矽區域之一部份表面上面、沿著
該溝槽之一側壁、及該溝槽之一底部形成一氧化阻隔
層；

在該氧化阻隔層上面形成一保護層；及

部份地除去該保護層，以使至少沿該溝槽之底部設
15 置的一部份氧化阻隔層變成曝露，且設置在鄰接該溝槽
之該矽區域之部分表面上面的一部份氧化阻隔層仍保
持被該保護層的一剩餘部份所覆蓋。

21. 如申請專利範圍第20項之方法，更包含：

自該溝槽之底部除去該部份氧化阻隔層；及

20 沿該溝槽之底部形成一介電層。

22. 如申請專利範圍第21項之方法，更包含：

在形成該氧化阻隔層之前，先在鄰接於該溝槽的該
矽區域之部份表面上面、沿該溝槽之側壁、及該溝槽之
底部形成一絕緣層，其中自該溝槽之底部除去該部份氧

化阻隔層的步驟曝露出該絕緣層沿該溝槽之底部設置的一部份。

23. 如申請專利範圍第21項之方法，其中該氧化阻隔層包含氮化矽，而自該溝槽之底部除去該部份氧化阻隔層的步驟包括使用一異向性蝕刻法。

24. 如申請專利範圍第23項之方法，其中該氮化矽層係使用低壓化學沈積(LPCVD)法來形成。

25. 如申請專利範圍第21項之方法，其中該介電層係使用局部矽氧化(LOCOS)法來形成。

26. 如申請專利範圍第21項之方法，更包含：

在形成該介電層之前，先除去該保護層的剩餘部份。

27. 如申請專利範圍第21項之方法，更包含：

除去該氧化阻隔層；

沿著溝槽之側壁形成一閘極氧化物；及

在該介電層上面形成一凹陷的閘極電極。

28. 如申請專利範圍第20項之方法，其中該保護層包含低溫氧化物(LTO)。

29. 如申請專利範圍第20項之方法，其中沿著鄰接該溝槽之該矽區域之部份表面設置的部份保護層的一厚度會比沿該溝槽之底部設置的部份保護層的一厚度更厚。

30. 如申請專利範圍第29項之方法，其中部份地除去該保護層的步驟乃包括：

均勻地蝕刻該保護層。

31. 一種製造場效電晶體(FET)的方法，包含：

在一矽區域中形成一溝槽，

在該溝槽的一底部形成一屏蔽電極，而該屏蔽電極以一屏蔽介電質來與一相鄰的矽區域絕緣；

5 形成一氮化矽層，該氮化矽層設置在鄰接該溝槽的該矽區域之一部份表面上面、沿該溝槽之一側壁、且在該屏蔽電極和該屏蔽介電質兩者上面；

在該氮化矽層上形成一層低溫氧化物(LTO)，而使設置在鄰接該溝槽之該矽區域之部份表面上面的一部份LTO層的一厚度比延伸於該屏蔽電極上面的一部份LTO層的一厚度更厚；及

10 均勻地蝕回該LTO層，以使設置在該屏蔽電極上面及沿至少一部份之該溝槽之側壁的一部份氮化矽層變成曝露，而令設置在鄰接該溝槽之該矽區域之部分表面上面的一部份氮化矽層仍保持被該LTO層的一剩餘部份所覆蓋。

15 32. 如申請專利範圍第31項之方法，更包含：

使用一異向性蝕刻法來除去設置在該屏蔽電極上面的部份氮化矽層；及

20 使用局部矽氧化(LOCOS)法形成設置在該屏蔽電極上面的一介電層。

33. 如申請專利範圍第32項之方法，更包含：

在形成該氮化矽層之前，先形成一氮化物蝕刻阻抗層，俾在去除設置在該屏蔽電極上面的氮化矽層曝露部分時保護該屏蔽電極。

34. 如申請專利範圍第33項之方法，其中該氮化物蝕刻阻抗層包含一氧化墊，並在鄰接該溝槽的該矽區域之部份表面、該溝槽之側壁、及該溝槽之底部上面延伸，

其中除去部份氮化矽層的步驟曝露出氧化墊層沿該溝槽之底部設置的一部份。

35. 如申請專利範圍第32項之方法，更包含：

在形成該介電層之前，先除去該LTO層的剩餘部份。

36. 如申請專利範圍第35項之方法，更包含：

除去該氮化物層；

沿著該溝槽之側壁之一較上部分形成一閘極氧化物；及

在該屏蔽電極上面形成一凹陷的閘極電極。

37. 如申請專利範圍第31項之方法，其中該氮化矽層係使用低壓化學氣相沈積(LPCVD)法來形成。

38. 一種製造場效電晶體(FET)的方法，包含：

在一矽區域中形成一溝槽；

在該溝槽的一底部形成一屏蔽電極，該屏蔽電極以一屏蔽介電質來與該矽區域之一相鄰部分絕緣；

形成一氧化阻隔層，該氧化阻隔層設置在鄰接該溝槽的該矽區域之一部份表面上面、沿該溝槽之一側壁、及在該屏蔽電極上面；

在該氧化阻隔層上形成一保護層；及

部份地除去該保護層，以使設置成至少在該屏蔽電極上面的一部份氧化阻隔層變成曝露，且設置在鄰接該

溝槽之該矽區域之表面上面的一部份氧化阻隔層仍保持被該保護層的一剩餘部份所覆蓋。

39. 如申請專利範圍第38項之方法，更包含：

自該屏蔽電極上面除去該部份氧化阻隔層；及
在該屏蔽電極上面形成一介電層。

40. 如申請專利範圍第39項之方法，更包含：

在形成該氧化阻隔層之前，先在鄰接該溝槽的該矽區域之部份表面上面、沿該溝槽之側壁、及在該屏蔽電極上面形成一絕緣層，其中除去該部份氧化阻隔層的步驟曝露出該絕緣層設置在該屏蔽電極上面的一部份。

41. 如申請專利範圍第39項之方法，其中該氧化阻隔層包含氮化矽，而除去該部份氧化阻隔層的步驟包括使用一異向性蝕刻法。

42. 如申請專利範圍第41項之方法，其中該氮化矽層係使用低壓化學氣相沈積(LPCVD)法來形成。

43. 如申請專利範圍第39項之方法，其中該介電層係使用局部矽氧化(LOCOS)法來形成。

44. 如申請專利範圍第39項之方法，更包含：

在形成該介電層之前，先除去該保護層的剩餘部份。

45. 如申請專利範圍第39項之方法，更包含：

除去該氧化阻隔層；

沿該溝槽之側壁的一較上部分形成一閘極氧化物；

及

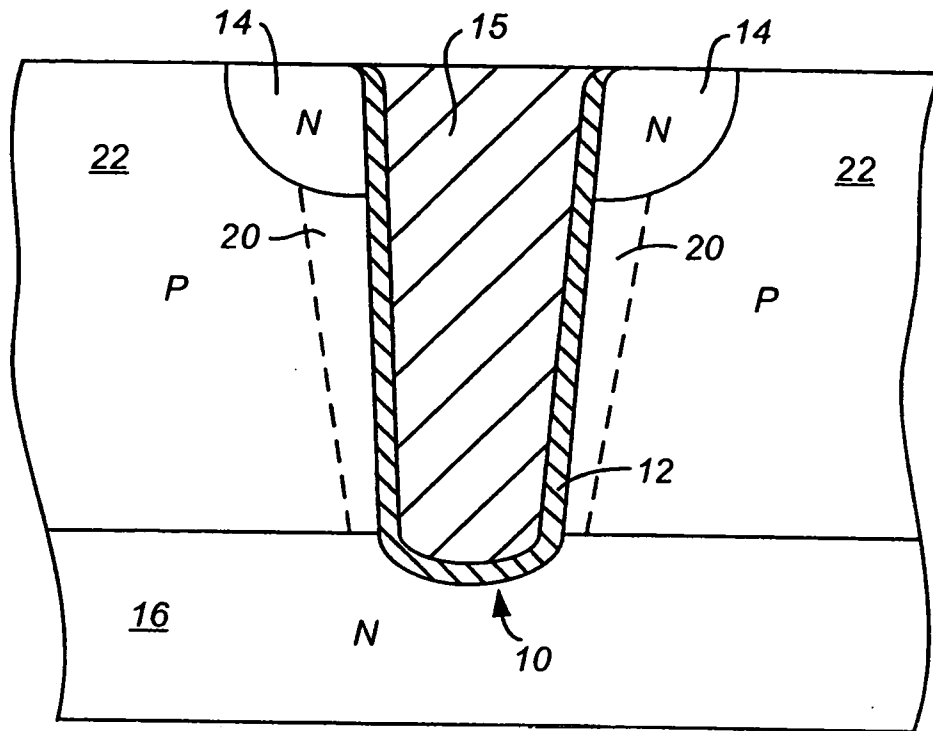
在該介電層上面形成一凹陷的閘極電極。

46. 如申請專利範圍第38項之方法，其中該保護層包括低溫氧化物(LTO)。

47. 如申請專利範圍第38項之方法，其中沿鄰接該溝槽之該矽區域之部份表面設置的部份保護層的一厚度，比設置在該屏蔽電極上面的部份保護層的一厚度更厚。

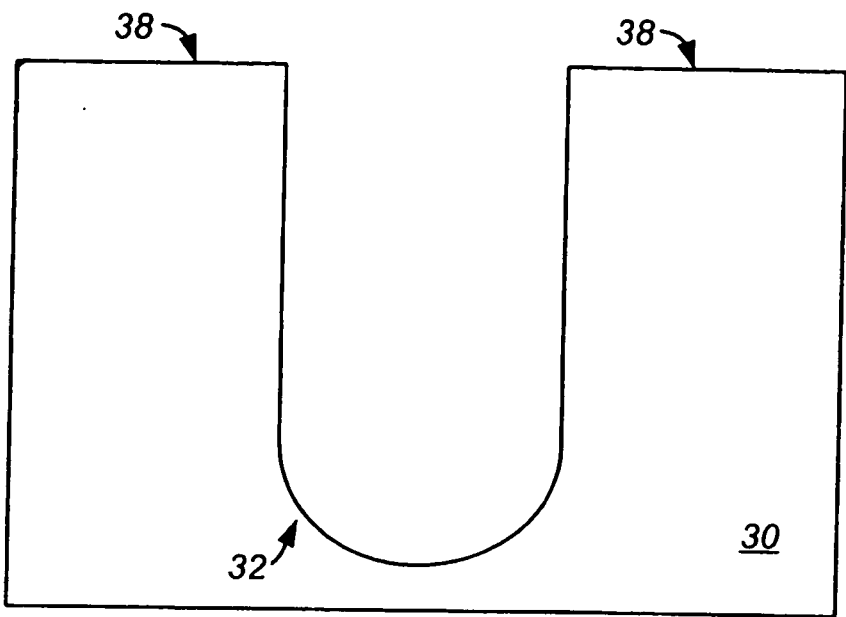
48. 如申請專利範圍第47項之方法，其中部份地除去該保護層的步驟乃包括：

均勻地蝕刻該保護層。

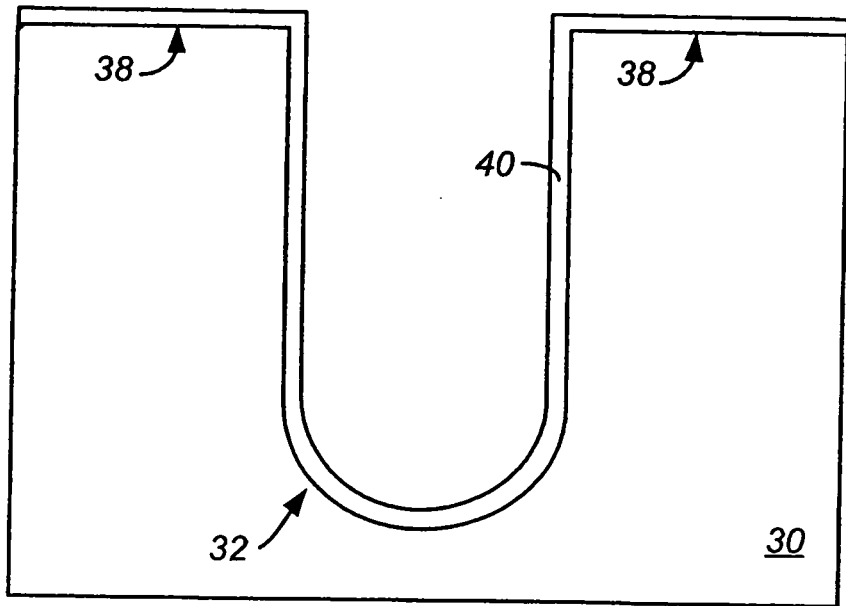


第 1 圖

+

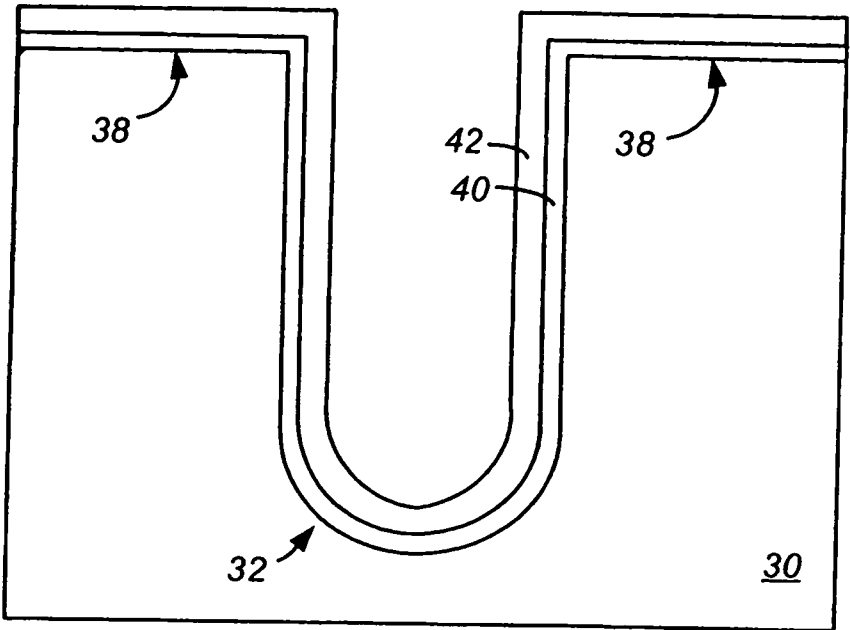


第 2A 圖

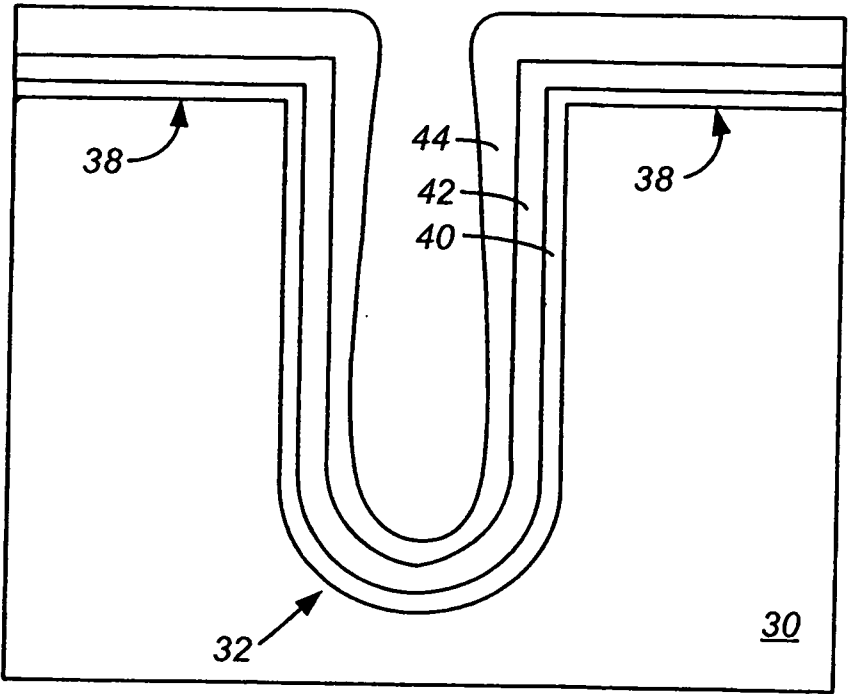


第 2B 圖

+

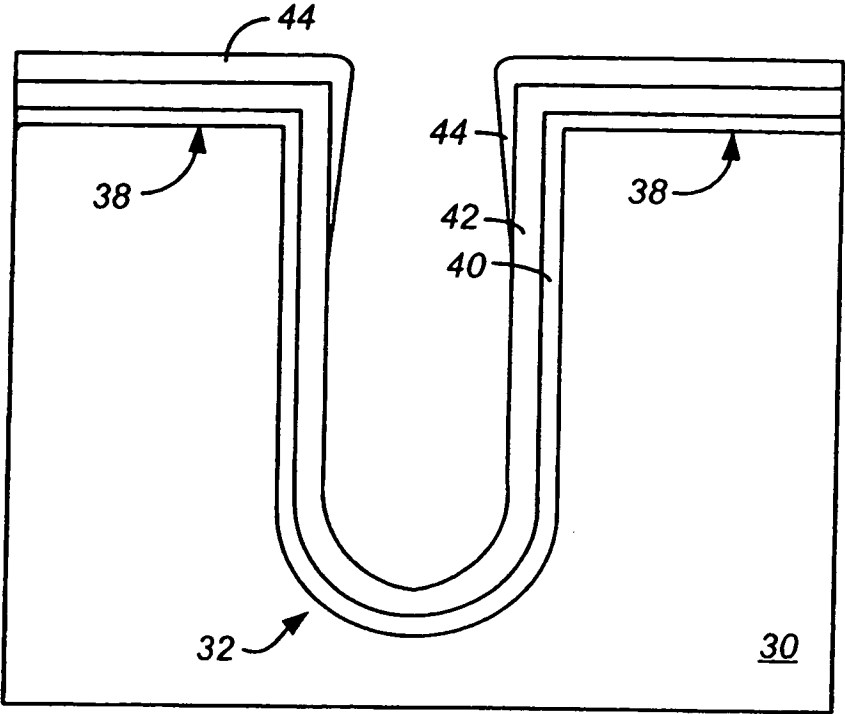


第 2C 圖

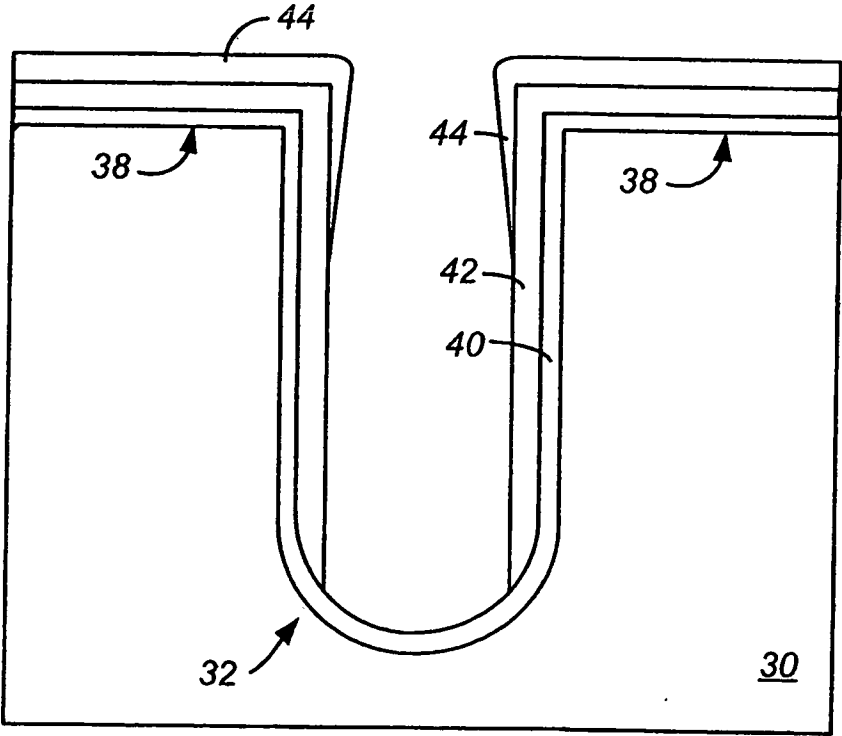


第 2D 圖



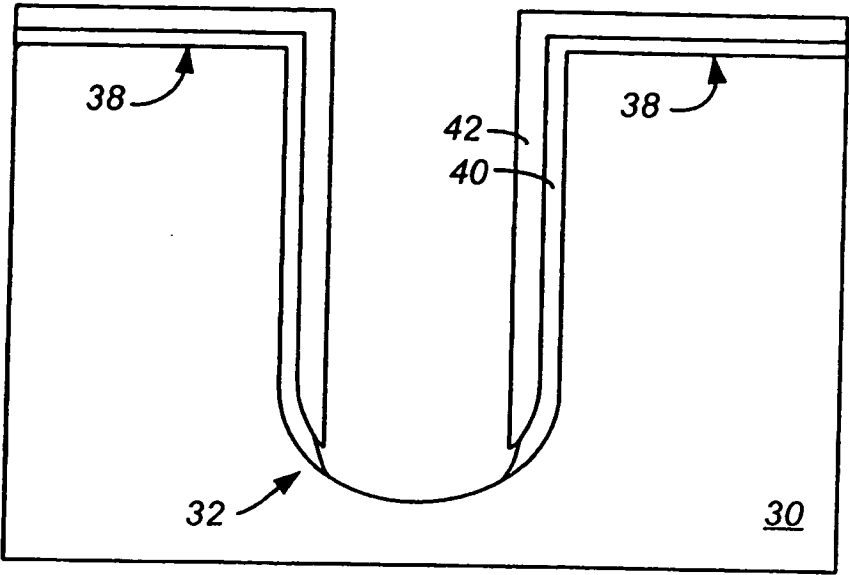


第 2E 圖

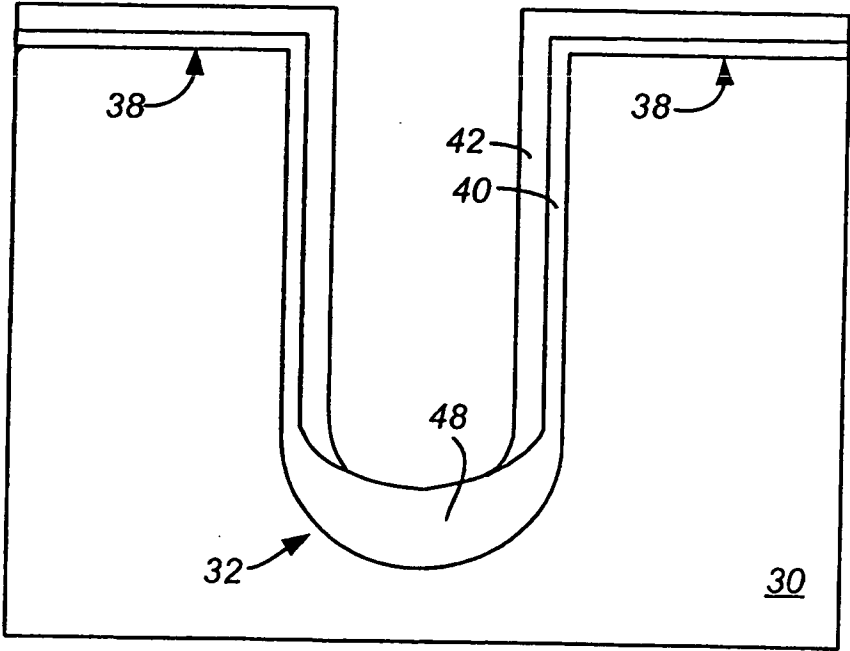


第 2F 圖

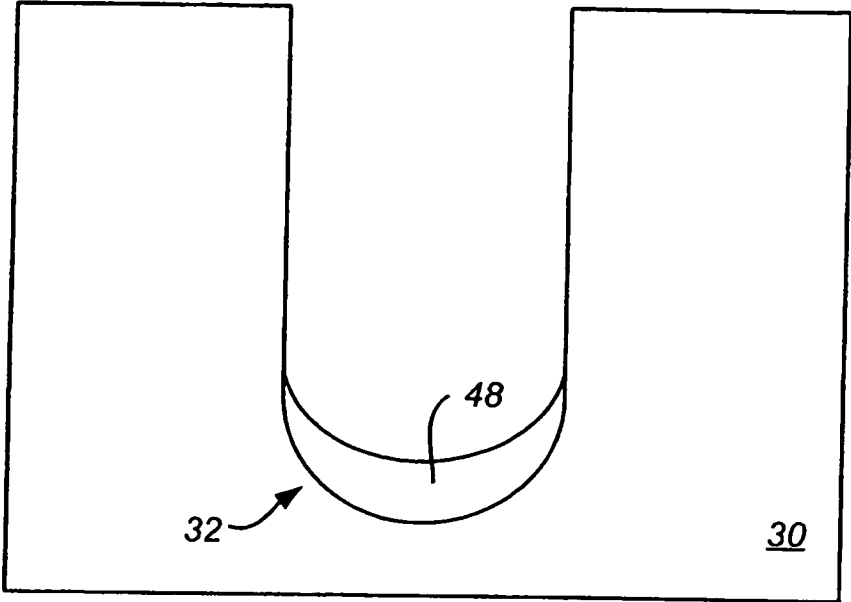




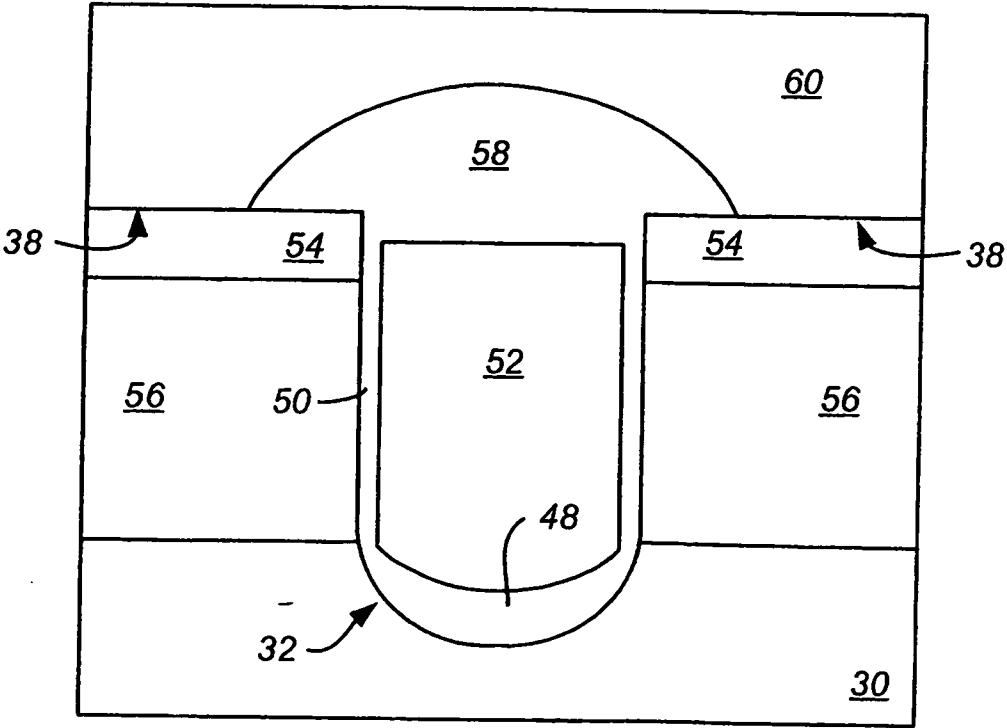
第 2G 圖



第 2H 圖

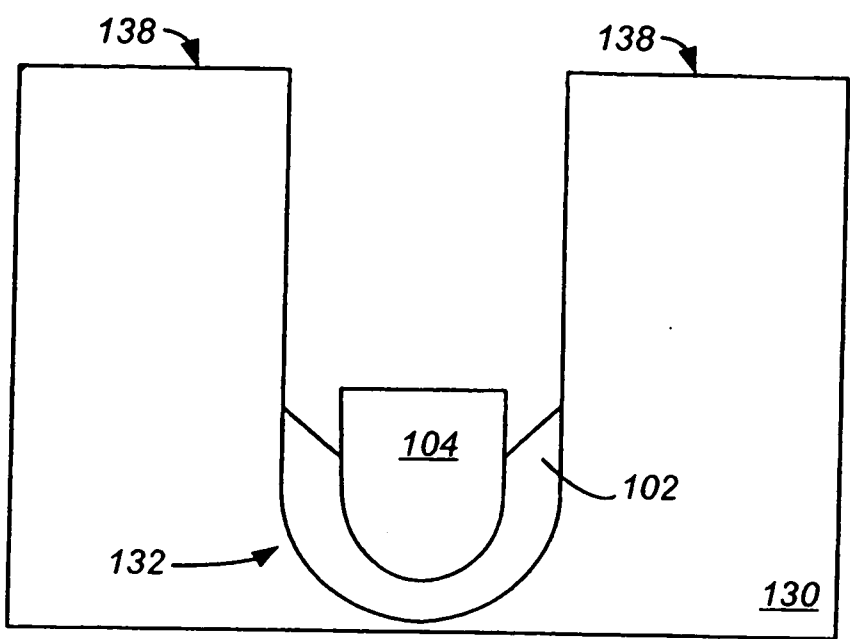


第 2I 圖

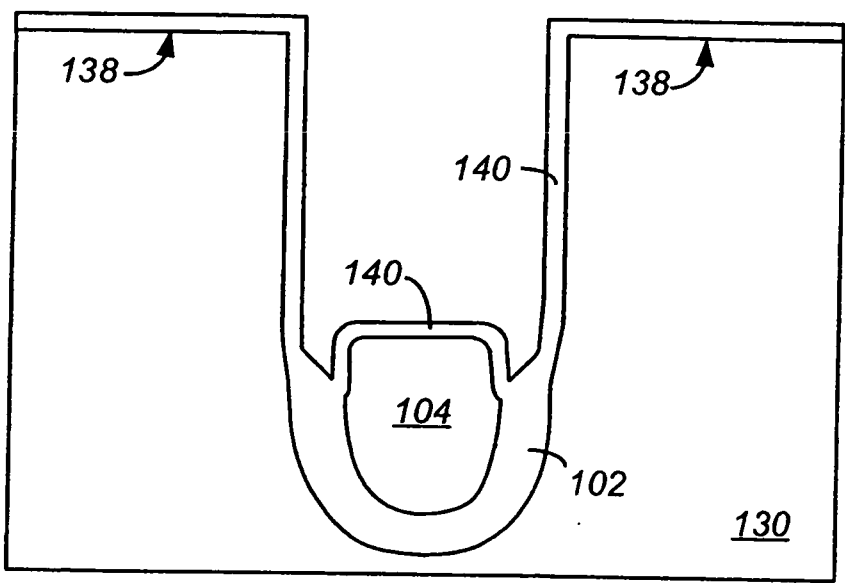


第 2J 圖

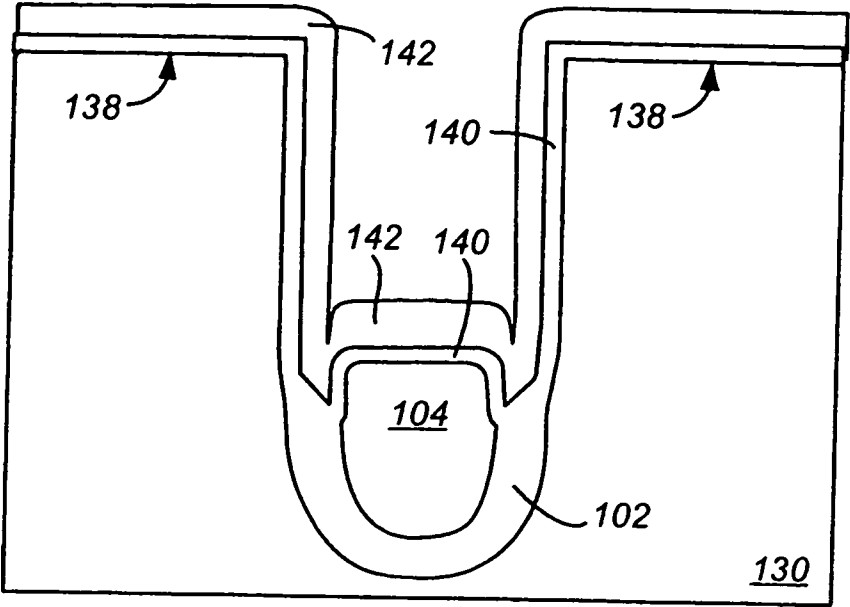




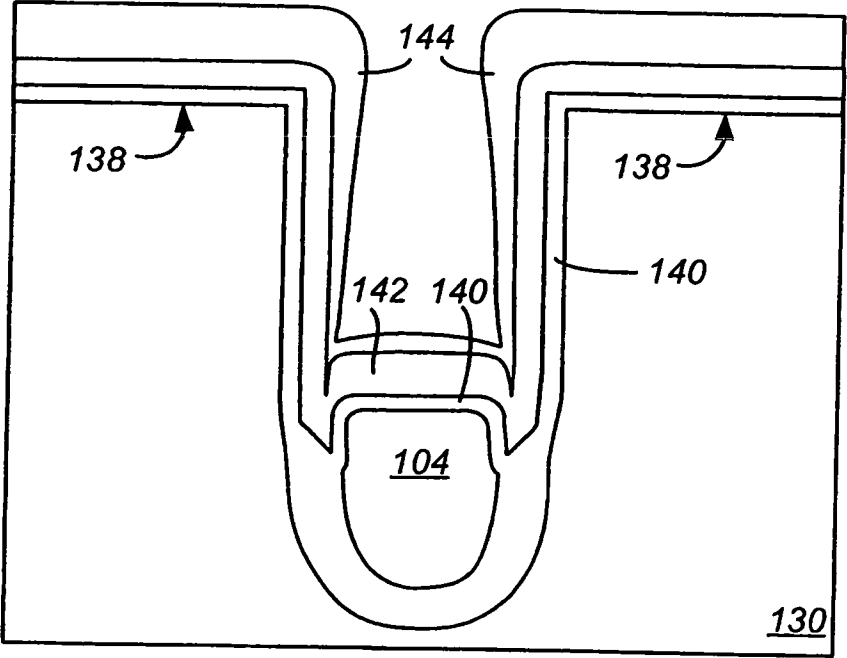
第 3A 圖



第 3B 圖

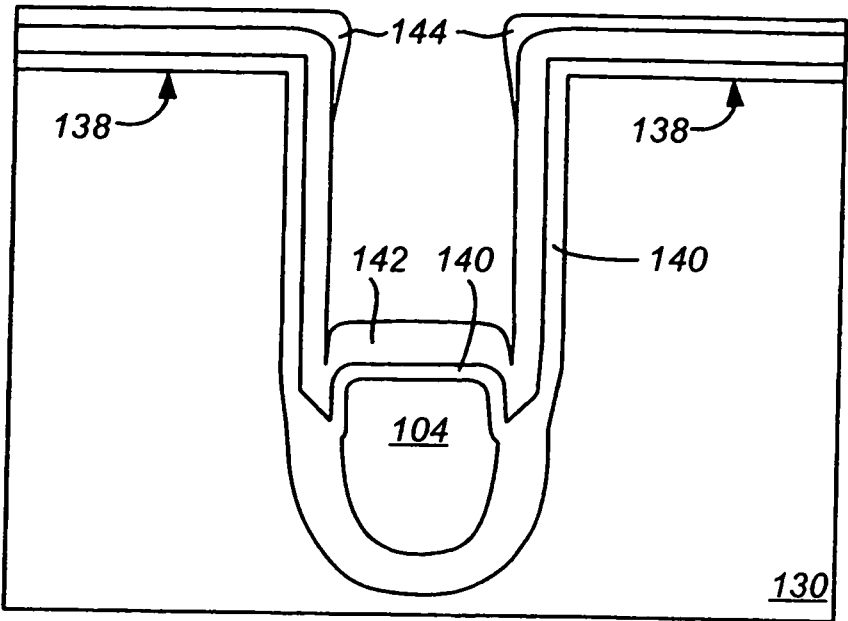


第 3C 圖

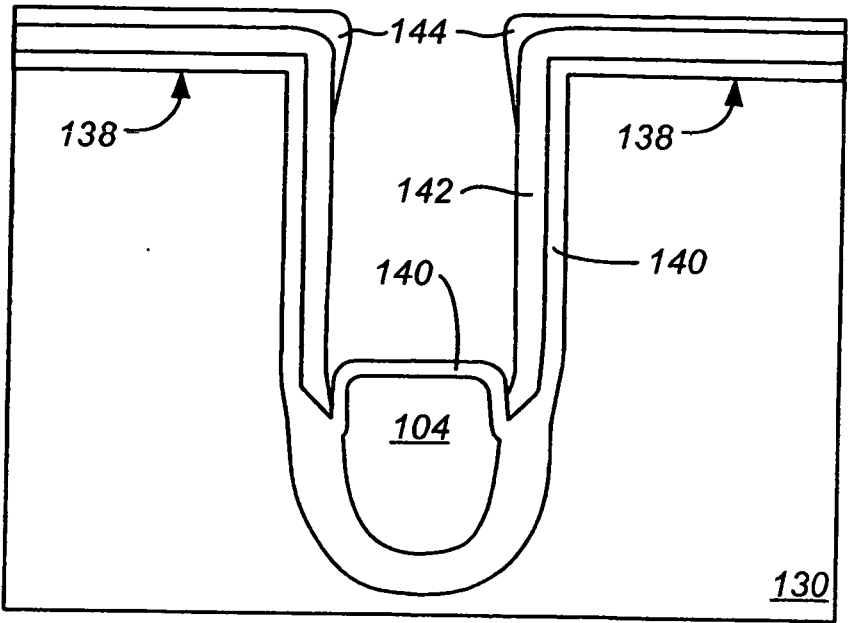


第 3D 圖



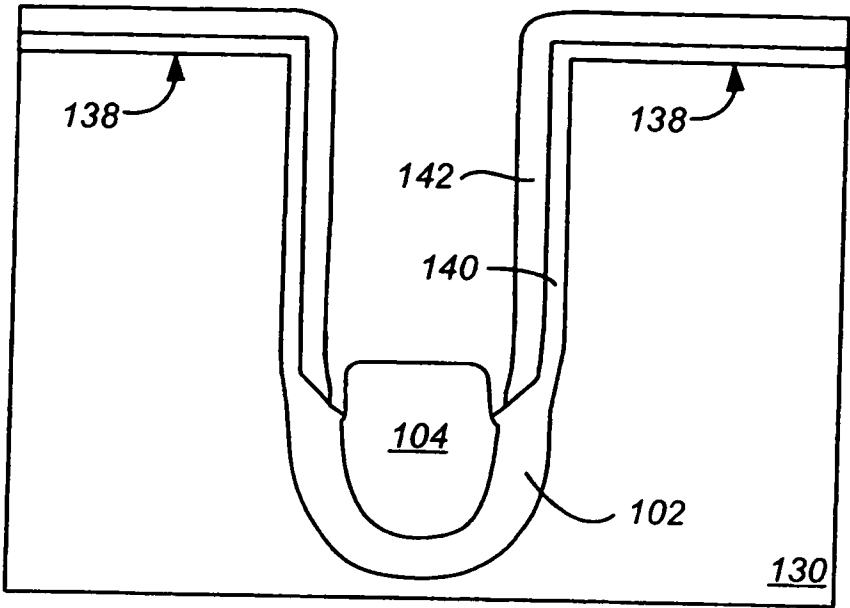


第 3E 圖

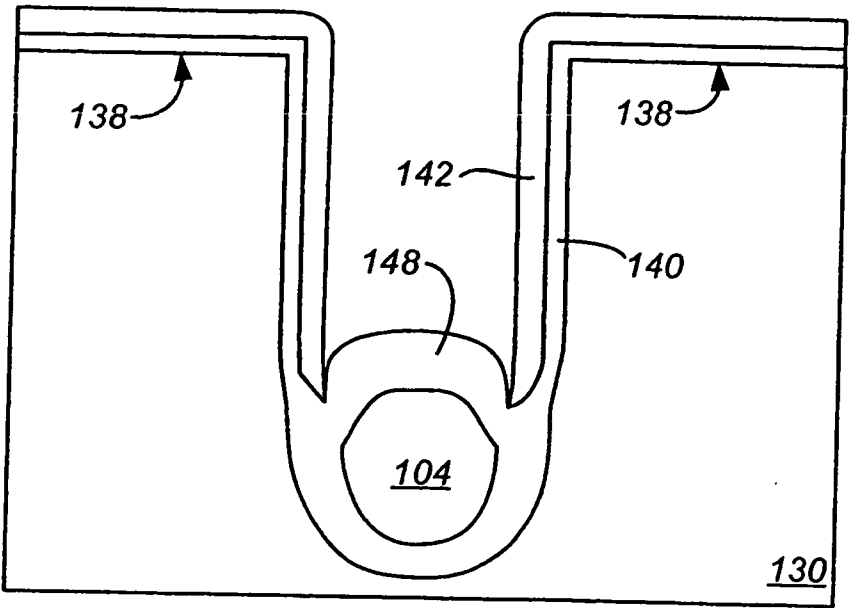


第 3F 圖



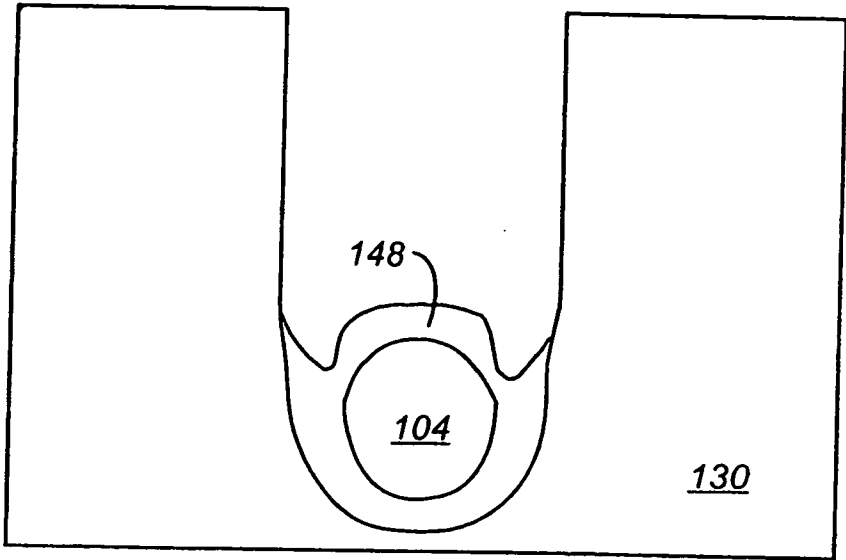


第 3G 圖

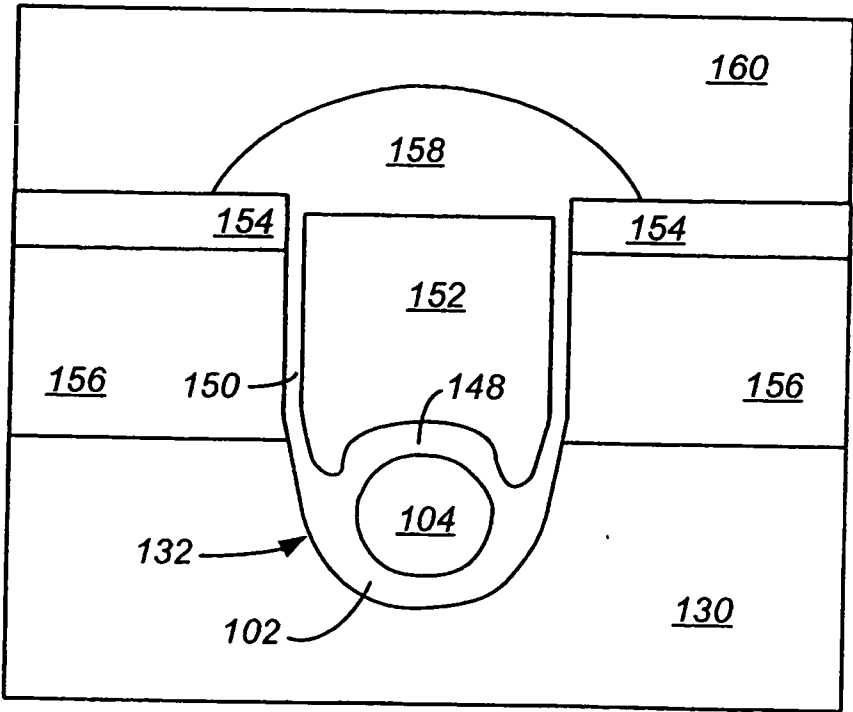


第 3H 圖





第 3I 圖



第 3J 圖

