

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-208804
(P2012-208804A)

(43) 公開日 平成24年10月25日(2012.10.25)

(51) Int.Cl. F I テーマコード(参考)
G06F 1/06 (2006.01) G06F 1/04 310A 5B079

審査請求 未請求 請求項の数 4 O L (全 12 頁)

(21) 出願番号 特願2011-74838 (P2011-74838)
(22) 出願日 平成23年3月30日(2011.3.30)

(71) 出願人 308033711
ラピスセミコンダクタ株式会社
東京都八王子市東浅川町550番地1
(74) 代理人 100079119
弁理士 藤村 元彦
(74) 代理人 100109036
弁理士 永岡 重幸
(74) 代理人 100147728
弁理士 高野 信司
(72) 発明者 夏目 賢一
東京都八王子市東浅川町550番地1 O
K I セミコンダクタ株式会社内
Fターム(参考) 5B079 BA15

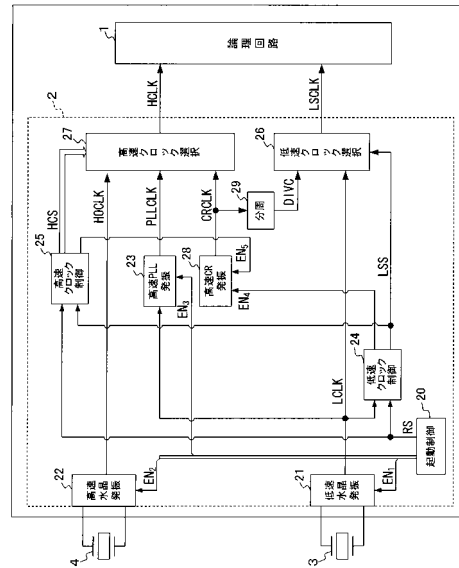
(54) 【発明の名称】 クロック信号生成回路

(57) 【要約】

【目的】電源投入時点から高速に起動し且つ外乱が生じてもクロック信号の生成を継続することが可能なクロック信号生成回路を提供することを目的とする。

【構成】本発明においては、低速クロック信号及び高速クロック信号を夫々生成するにあたり、高速クロック信号の発振源となる第1発振回路において生成された第1発振クロック信号を上記高速クロック信号として出力する。また、低速クロック信号の発振源となる第2発振回路から第2発振クロック信号が送出されている場合にはこの第2発振クロック信号を上記低速クロック信号として出力する一方、第2発振クロック信号が送出されていない場合には、上記第1発振クロック信号を分周した分周クロック信号を低速クロック信号として出力する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 周波数を有する高速クロック信号及び前記第 1 周波数よりも低い第 2 周波数を有する低速クロック信号を夫々生成するクロック信号生成回路であって、

前記第 1 周波数を有する第 1 発振クロック信号を生成する第 1 発振回路と、

前記第 2 周波数を有する第 2 発振クロック信号を生成する第 2 発振回路と、

前記第 1 発振クロック信号を分周した分周クロック信号を生成する分周回路と、

前記第 1 発振クロック信号を前記高速クロック信号として出力すると共に、前記第 2 発振回路から前記第 2 発振クロック信号が送出されている場合には当該第 2 発振クロック信号を前記低速クロック信号として出力する一方、前記第 2 発振回路から前記第 2 発振クロック信号が送出されていない場合には前記分周クロック信号を前記低速クロック信号として出力するクロック選択回路と、を有することを特徴とするクロック信号生成回路。

10

【請求項 2】

前記第 2 発振クロック信号に位相同期し且つ前記第 1 周波数を有する第 3 発振クロック信号を生成する第 3 発振回路を更に備え、

前記クロック選択回路は、電源投入時点から所定期間の経過前においては前記第 1 発振クロック信号を前記高速クロック信号として出力し、前記電源投入時点から前記所定期間が経過した後は、前記第 1 発振クロック信号に代えて前記第 3 発振クロック信号を前記高速クロック信号として出力することを特徴とする請求項 1 に記載のクロック信号生成回路。

20

【請求項 3】

前記第 2 発振回路は水晶又はセラミック発振回路であり、前記第 1 発振回路は抵抗及びコンデンサからなる CR 発振回路であり、前記第 3 発振回路は PLL 発振回路であり、

前記所定期間は、前記電源投入に応じて前記第 2 発振回路が前記第 2 発振クロック信号の送出を開始し、当該第 2 発振クロック信号に応じて前記第 3 発振回路が前記第 3 発振クロック信号の送出を開始するまでの期間であることを特徴とする請求項 2 に記載のクロック信号生成回路。

【請求項 4】

前記第 3 発振回路は、前記第 2 発振回路から前記第 2 発振クロック信号が送出されている場合には前記第 2 発振クロック信号に位相同期し且つ前記第 1 周波数を有する前記第 3 発振クロック信号を生成する一方、前記第 2 発振回路から前記第 2 発振クロック信号が送出されていない場合には前記分周クロック信号に位相同期し且つ前記第 1 周波数を有する前記第 3 発振クロック信号を生成することを特徴とする請求項 3 に記載のクロック信号生成回路。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、クロック信号生成回路、特に周波数が互いに異なる複数のクロック信号を生成するクロック信号生成回路に関する。

【背景技術】

40

【0002】

半導体集積装置（以下、LSI と称する）に構築される信号処理回路においては、高速処理が必要となる場合には高周波数のクロック信号で動作させる一方、高速処理が不要となる場合には低周波数のクロック信号で動作させることにより、低消費電力及び高速処理を実現するようにしている。

【0003】

このようなクロック信号を生成すべくこの LSI 内に構築される発振回路としては、水晶/セラミック発振回路、PLL (Phase Locked Loop) 発振回路、コンデンサ及び抵抗からなる CR 発振回路が用いられる。CR 発振回路は、電源投入時点からその発振周波数が安定するまでの待ち時間が水晶/セラミック発振回路、及び PLL 発

50

振回路よりも短いという特長を有する。また、PLL発振回路は、発振安定待ち時間がCR発振回路より長いものの、比較的高い周波数まで発振可能であるという特長を有する。水晶/セラミック発振回路は、その発振周波数自体は水晶振動子の特性によって決まるため、基本的には変更できないが、高精度の発振信号を生成することが可能である。

【0004】

ここで、夫々の特長が有効となるように上記したCR発振回路、PLL発振回路、及び水晶発振回路を組み合わせることにより、低消費電力で且つ発振安定待ち時間を短縮したクロック信号生成回路が提案された（例えば、特許文献1の図9参照）。このクロック信号生成回路では、水晶発振回路で生成した低周波数のクロック信号CLK1を上記した信号処理回路に供給する。また、CR発振回路が、高周波数を有する第1のクロック信号CLK11を生成する。更に、水晶発振回路で生成された低周波数のクロック信号CLK1に基づき、PLL発振回路が高周波数の第2のクロック信号CLK12を生成する。この際、動作開始時には、発振安定期間が比較的短いCR発振回路にて生成された第1のクロック信号CLK11を信号処理回路に供給し、この間、PLL発振回路の発振状態が安定してきたら、上記第1のクロック信号CLK11に代えて、PLL発振回路が生成した第2のクロック信号CLK12を信号処理回路に供給するのである（例えば、特許文献1の図15参照）。

10

【0005】

しかしながら、上記した如きクロック信号生成回路では、水晶発振回路における電源投入時点からその発振動作が安定するまでに費やされる発振安定期間が数百msと長いため、低周波数のクロック信号CLK1で動作する回路ブロックの起動時間が長くなってしま

20

【0006】

また、水晶発振回路を動作させるべくLSIに外部接続されている水晶振動子は、電磁波や振動等の外部ノイズや、水分、埃・ゴミ等による端子間ショート等の外乱の影響を受け易く、この外乱によって水晶振動子が停止してしまうと、PLL発振回路において第2のクロック信号CLK12の生成が為されなくなる。よって、信号処理回路が用いるべきクロック信号が第1のクロック信号CLK11から第2のクロック信号CLK12に切り替わった途端、信号処理回路が動作停止状態になってしまう場合があった。

【先行技術文献】

30

【特許文献】

【0007】

【特許文献1】特開2001-344039号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

本発明は、かかる問題を解決すべく為されたものであり、電源投入時点から高速に起動し且つ外乱が生じてもクロック信号の生成を継続することが可能なクロック信号生成回路を提供することを目的とする。

【課題を解決するための手段】

40

【0009】

本発明によるクロック信号生成回路は、第1周波数を有する高速クロック信号及び前記第1周波数よりも低い第2周波数を有する低速クロック信号を夫々生成するクロック信号生成回路であって、前記第1周波数を有する第1発振クロック信号を生成する第1発振回路と、前記第2周波数を有する第2発振クロック信号を生成する第2発振回路と、前記第1発振クロック信号を分周した分周クロック信号を生成する分周回路と、前記第1発振クロック信号を前記高速クロック信号として出力すると共に、前記第2発振回路から前記第2発振クロック信号が送出されている場合には当該第2発振クロック信号を前記低速クロック信号として出力する一方、前記第2発振回路から前記第2発振クロック信号が送出されていない場合には前記分周クロック信号を前記低速クロック信号として出力するクロッ

50

ク選択回路と、を有する。

【発明の効果】

【0010】

本発明においては、第1発振回路で生成された高周波数の第1発振クロック信号を高速クロック信号、第2発振回路で生成された低周波数の第2発振クロック信号を低速クロック信号として夫々出力するにあたり、第2発振回路から第2発振クロック信号が送出されていない場合には、上記第1発振クロック信号を分周した分周クロック信号を低速クロック信号として出力するようにしている。ここで、第1発振回路をCR発振回路、第2発振回路を水晶又はセラミック発振回路で構築すると、電源投入直後は、第2発振回路に比して短時間で発振状態が安定する第1発振回路で生成された第1発振クロック信号を分周した分周クロック信号が低速クロック信号となる。

10

【0011】

これにより、電源投入後、水晶又はセラミック発振回路の発振動作が安定する前に、低速クロック信号を送出することが出来るので、この低速クロック信号で動作する信号処理回路を直ちに起動させることが可能となる。そして、第2発振回路の発振動作が安定したら、上記した分周クロック信号に代えてこの第2発振回路で生成された高精度な第2発振クロック信号が低速クロック信号として信号処理回路に供給されるようになる。

【0012】

また、第2発振回路の発振動作が安定した後、例え外乱の影響により水晶又はセラミック発振器が動作不能状態に陥っても、この際、上記第2発振クロック信号に代えて分周クロック信号が低速クロック信号となるので、この低速クロック信号で動作する信号処理回路を継続して動作させることが可能となる。

20

【図面の簡単な説明】

【0013】

【図1】本発明に係るクロック信号生成回路が構築されているLSIの内部構成を示すブロック図である。

【図2】図1に示されるクロック信号生成回路の動作を示すタイムチャートである。

【図3】図1に示されるクロック信号生成回路の変形例を示すブロック図である。

【図4】図3に示されるクロック信号生成回路の動作を示すタイムチャートである。

【発明を実施するための形態】

30

【0014】

本発明によるクロック信号生成回路は、低速クロック信号及び高速クロック信号を夫々生成するにあたり、高速クロック信号の発振源となる第1発振回路において生成された第1発振クロック信号を上記高速クロック信号として出力する。また、低速クロック信号の発振源となる第2発振回路から第2発振クロック信号が送出されている場合にはこの第2発振クロック信号を上記低速クロック信号として出力する一方、第2発振クロック信号が送出されていない場合には、上記第1発振クロック信号を分周した分周クロック信号を低速クロック信号として出力する。

【実施例】

【0015】

図1は、本発明に係るクロック信号生成回路が搭載されているLSIの内部構成を示すブロック図である。

40

【0016】

図1に示すように、かかるLSIには、このLSIの主となる各種信号処理を行う論理回路部1と、この論理回路部1を動作させる為の高速クロック信号HCLK及びこの高速クロック信号HCLKよりも低周波数の低速クロック信号LCLKを生成して論理回路部1に供給するクロック信号生成部2と、が構築されている。尚、このLSIには、上記した低速クロック信号LCLKの発振源となる低周波数の発振信号を発生する第1水晶発振器3と、かかる低速クロック信号LCLKよりも高周波数の発振信号を生成する第2水晶発振器4と、が外部接続されている。

50

【 0 0 1 7 】

クロック信号生成部 2 において、起動制御回路 2 0 は、発振動作を実行させる場合には論理レベル 1、発振動作を停止させる場合には論理レベル 0 を有する発振イネーブル信号 $EN_1 \sim EN_3$ を夫々、低速水晶発振回路 2 1、高速水晶発振回路 2 2 及び高速 PLL (Phase Locked Loop) 発振回路 2 3 の各々に供給する。また、起動制御回路 2 0 は、電源投入に応じてリセットパルス信号 RS を生成しこれを低速クロック制御回路 2 4 及び高速クロック制御回路 2 5 の各々に供給する。

【 0 0 1 8 】

低速水晶発振回路 2 1 は、論理レベル 1 の発振イネーブル信号 EN_1 が供給されている間は、第 1 水晶発振器 3 から供給された発振信号に基づき低周波数の発振クロック信号 LCLK を生成し、これを高速 PLL 発振回路 2 3、低速クロック制御回路 2 4、及び低速クロック選択回路 2 6 の各々に供給する。尚、論理レベル 0 の発振イネーブル信号 EN_1 が供給されている間は、低速水晶発振回路 2 1 は、その発振動作を停止して上記した発振クロック信号 LCLK の生成動作を停止する。

10

【 0 0 1 9 】

低速水晶発振回路 2 1 は、上記した如き発振イネーブル信号 EN_1 が論理レベル 0 から論理レベル 1 に推移したことによる起動開始指令に応じて発振動作を開始し、この起動開始指令が発令されてから発振安定期間 TA (後述する) の経過後、上記した発振クロック信号 LCLK を安定して送出し得る状態に到る。

【 0 0 2 0 】

高速水晶発振回路 2 2 は、論理レベル 1 の発振イネーブル信号 EN_2 が供給されている間は、第 2 水晶発振器 4 から供給された発振信号に基づき高周波数の発振クロック信号 HCLK を生成し、これを高速クロック選択回路 2 7 に供給する。尚、論理レベル 0 の発振イネーブル信号 EN_2 が供給されている間は、高速水晶発振回路 2 2 は、その発振動作を停止して上記した発振クロック信号 HCLK の生成動作を停止する。

20

【 0 0 2 1 】

高速 PLL 発振回路 2 3 は、論理レベル 1 の発振イネーブル信号 EN_3 が供給されている間は、上記した発振クロック信号 LCLK を基準クロックとし、その位相に同期させて、かかる発振クロック信号 LCLK よりも高周波数の発振クロック信号 PLLCLK を生成し、これを高速クロック選択回路 2 7 に供給する。尚、論理レベル 0 の発振イネーブル信号 EN_2 が供給されている間は、高速 PLL 発振回路 2 3 は、その発振動作を停止して上記した発振クロック信号 PLLCLK の生成動作を停止する。

30

【 0 0 2 2 】

高速 PLL 発振回路 2 3 は、上記した如き発振イネーブル信号 EN_3 が論理レベル 0 から論理レベル 1 に推移したことによる起動開始指令に応じて発振動作を開始し、この起動開始指令が発令されてから発振安定期間 TC (後述する) の経過後、上記した発振クロック信号 PLLCLK を安定して送出し得る状態に到る。

【 0 0 2 3 】

低速クロック制御回路 2 4 は、リセットパルス信号 RS に応じて、先ず、分周クロック信号 DIVC (後述する) を選択させるべき論理レベル 1 の低速クロック選択制御信号 LSS を低速クロック選択回路 2 6 に供給する。次に、低速クロック制御回路 2 4 は、低速水晶発振回路 2 1 から発振クロック信号 LCLK の供給が為されている否かを検出し、発振クロック信号 LCLK の供給が為されていたら、この発振クロック信号 LCLK を選択させるべき論理レベル 0 の低速クロック選択制御信号 LSS を低速クロック選択回路 2 6 に供給する。この間、発振クロック信号 LCLK の供給が停止したら、低速クロック制御回路 2 4 は、かかる低速クロック選択制御信号 LSS の状態を、分周クロック信号 DIVC を選択させるべき論理レベル 1 の状態に切り替える。尚、低速クロック制御回路 2 4 は、上記した如き低速クロック選択制御信号 LSS を高速クロック制御回路 2 5 にも供給する。更に、低速クロック制御回路 2 4 は、低速水晶発振回路 2 1 から発振クロック信号 LCLK の供給が為されていない場合には、発振動作を実行させるべき論理レベル 1 の発振

40

50

イネーブル信号 EN_4 を高速 CR 発振回路 28 に供給する。

【0024】

高速 CR 発振回路 28 は、低速クロック制御回路 24 から論理レベル 1 の発振イネーブル信号 EN_4 が供給されている間、又は高速クロック制御回路 25 から論理レベル 1 の発振イネーブル信号 EN_5 が供給されている間だけ、抵抗及びコンデンサによる発振動作を実行する。かかる発振動作により、高速 CR 発振回路 28 は、発振クロック信号 LCLK よりも高周波数の発振クロック信号 CRCLK を生成し、これを高速クロック選択回路 27 及び分周回路 29 の各々に供給する。

【0025】

高速 CR 発振回路 28 は、上記した如き発振イネーブル信号 EN_4 が論理レベル 0 から論理レベル 1 に推移したことによる起動開始指令に応じて発振動作を開始し、この起動開始指令が発令されてから発振安定期間 TB (後述する) の経過後、上記した発振クロック信号 CRCLK を安定して送出し得る状態に到る。

【0026】

高速クロック制御回路 25 は、リセットパルス信号 RS に応じて、先ず、高速 CR 発振回路 28 から供給された発振クロック信号 CRCLK を選択させるべき高速クロック選択制御信号 HCS を高速クロック選択回路 27 に供給する。その後、高速クロック制御回路 25 は、クロック選択制御処理に従って、上記発振クロック信号 CRCLK、発振クロック信号 PLLCLK、及び発振クロック信号 CRCLK の内から 1 つを選択させるべき高速クロック選択制御信号 HCS を生成し、高速クロック選択回路 27 に供給する。ただし、この間、分周クロック信号 DIVC を選択させるべき論理レベル 1 の低速クロック選択制御信号 LSS が供給された場合、つまり発振クロック信号 LCLK の供給が為されていない場合には、高速クロック制御回路 25 は、発振クロック信号 CRCLK を選択させるべき高速クロック選択制御信号 HCS を高速クロック選択回路 27 に供給する。更に、クロック選択制御処理に従って、高速クロック制御回路 25 は、発振動作を実行させる場合には論理レベル 1、その発振動作を停止させる場合には論理レベル 0 を有する発振イネーブル信号 EN_5 を高速 CR 発振回路 28 に供給する。

【0027】

高速クロック選択回路 27 は、上記発振クロック信号 CRCLK、発振クロック信号 PLLCLK、及び発振クロック信号 CRCLK 各々の内から、上記した高速クロック選択制御信号 HCS にて示される 1 つを選択し、これを高速クロック信号 HCLK として論理回路部 1 に供給する。

【0028】

分周回路 29 は、高速 CR 発振回路 28 から供給された発振クロック信号 CRCLK を $1/N$ 分周 (N は自然数) した分周クロック信号 DIVC を生成し、これを低速クロック選択回路 26 に供給する。この際、分周回路 29 では、分周クロック信号 DIVC の周波数が、上記した発振クロック信号 LCLK の周波数と一致、又はその周波数に最も近い周波数となるように発振クロック信号 CRCLK を分周する。例えば、発振クロック信号 CRCLK の周波数が 500KHz 、発振クロック信号 LCLK の周波数が 32.768KHz である場合には、上記分周 N を "16" に設定する。これにより、分周クロック信号 DIVC の周波数は、 $(500\text{KHz} / 16) = 31.25\text{KHz}$ となる。

【0029】

低速クロック選択回路 26 は、上記した分周クロック信号 DIVC、及び低速水晶発振回路 21 から供給された発振クロック信号 LCLK の内から、上記した低速クロック選択制御信号 LSS によって示される方を択一的に選択し、これを低速クロック信号 LCLK として論理回路部 1 に供給する。

【0030】

以下に、図 1 に示されるクロック信号生成部 2 の動作について、図 2 を参照しつつ説明する。

【0031】

10

20

30

40

50

先ず、図 2 に示す如き時点 T_0 において電源が投入されると、起動制御回路 20 は、発振動作を実行させるべき論理レベル 1 の発振イネーブル信号 EN_1 を低速水晶発振回路 21 に供給すると共に、発振動作を停止させるべき論理レベル 0 の発振イネーブル信号 EN_2 及び EN_3 を夫々高速水晶発振回路 22 及び高速 PLL 発振回路 23 の各々に供給する。時点 T_0 にて供給された論理レベル 1 の発振イネーブル信号 EN_1 に応じて低速水晶発振回路 21 は発振動作を開始し、発振安定期間 TA (例えば数百 ms) を経た時点 T_2 において発振クロック信号 $LCLK$ の送出状態に到る。よって、時点 $T_0 \sim T_2$ の期間中は、発振クロック信号 $LCLK$ が生成された状態とはなっていないので、この間、低速クロック制御回路 24 は、発振動作を実行させるべき論理レベル 1 の発振イネーブル信号 EN_4 を高速 CR 発振回路 28 に供給する。これにより、高速 CR 発振回路 28 は発振動作を開始し、発振安定期間 TB (例えば数十 μs) を経た時点 T_1 において発振クロック信号 $CRCCLK$ の送出状態に到る。この際、分周回路 29 は、発振クロック信号 $CRCCLK$ を $1/N$ 分周した分周クロック信号 $DIVC$ を低速クロック選択回路 26 に供給する。

10

【0032】

更に、時点 T_0 での電源投入に応じて、起動制御回路 20 は、リセットパルス信号 RS を低速クロック制御回路 24 及び高速クロック制御回路 25 の各々に供給する。かかるリセットパルス信号 RS に応じて、高速クロック制御回路 25 は、上記発振クロック信号 $CRCCLK$ を選択させるべき高速クロック選択制御信号 HCS を高速クロック選択回路 27 に供給し、低速クロック制御回路 24 は、上記分周クロック信号 $DIVC$ を選択させるべき論理レベル 1 の低速クロック選択制御信号 LSS を低速クロック選択回路 26 に供給する。よって、図 2 に示す如く、時点 T_1 以降、高速 CR 発振回路 28 によって生成された発振クロック信号 $CRCCLK$ が高速クロック信号 $HCLK$ として論理回路部 1 に供給されると共に、分周回路 29 によって生成された分周クロック信号 $DIVC$ が低速クロック信号 $LCLK$ として論理回路部 1 に供給される。

20

【0033】

ここで、図 2 に示す時点 T_2 において発振クロック信号 $LCLK$ の生成が為されるようになる。低速クロック制御回路 24 は、低速クロック選択回路 26 に供給すべき低速クロック選択制御信号 LSS の状態を、発振クロック信号 $LCLK$ を選択させるべき論理レベル 0 の状態に切り替える。更に、この際、低速クロック制御回路 24 は、発振イネーブル信号 EN_4 の状態を発振動作を停止させるべき論理レベル 0 の状態に切り替える。これにより、上記した分周クロック信号 $DIVC$ に代えて、低速水晶発振回路 21 において生成された発振クロック信号 $LCLK$ が低速クロック信号 $LCLK$ として論理回路部 1 に供給される。尚、時点 T_2 において、低速クロック選択制御信号 LSS が論理レベル 1 の状態から論理レベル 0 の状態に推移すると、これに応じて、高速クロック制御回路 25 は、発振動作を実行すべき論理レベル 1 の発振イネーブル信号 EN_5 を高速 CR 発振回路 28 に供給する。よって、高速 CR 発振回路 28 は、時点 T_2 以降も引き続き発振クロック信号 $CRCCLK$ の生成動作を継続する。

30

【0034】

そして、時点 T_2 において低速クロック選択制御信号 LSS が論理レベル 1 の状態から論理レベル 0 の状態に切り替わってから所定期間 TQ だけ経過した時点 T_3 において、高速クロック制御回路 25 は、高速 CR 発振回路 28 に供給する発振イネーブル信号 EN_5 を論理レベル 1 の状態から、発振動作を停止させるべき論理レベル 0 の状態に切り替える。これにより、高速 CR 発振回路 28 における発振クロック信号 $CRCCLK$ の生成が停止すると共に、分周回路 29 による分周クロック信号 $DIVC$ の生成動作が停止する。更に、かかる時点 T_3 では、起動制御回路 20 が、発振動作を実行させるべき論理レベル 1 の発振イネーブル信号 EN_3 を高速 PLL 発振回路 23 に供給する。これにより、高速 PLL 発振回路 23 は発振動作を開始し、上記時点 T_3 から発振安定期間 TC (例えば数 ms) を経た時点 T_4 において発振クロック信号 $PLCLK$ の送出状態に到る。更に、上記時点 T_3 において、高速クロック制御回路 25 が、高速 PLL 発振回路 23 で生成された発振クロック信号 $PLCLK$ を選択させるべき高速クロック選択制御信号 HCS を高速

40

50

クロック選択回路27に供給する。よって、図2に示すように、時点T4以降、高速PLL発振回路23で生成された発振クロック信号PLLCLKが高速クロック信号HCLKとして論理回路部1に供給されるようになる。

【0035】

ここで、時点T5において、電磁波や振動等の外部ノイズ、或いは水分、埃・ゴミ等による端子間ショート等の外乱が発生し、それに伴い、LSIに外付けされている第1水晶発振器3が停止してしまふと、低速水晶発振回路21では発振動作が停止し、発振クロック信号LCLKの生成が為されなくなる。低速クロック制御回路24は、低速水晶発振回路21から発振クロック信号LCLKの送出手が為されなくなったことを検出すると、図2に示す如く、時点T5において、発振動作を実行させるべき論理レベル1の発振イネーブル信号EN₄を高速CR発振回路28に供給する。これにより、高速CR発振回路28は発振動作を開始し、発振安定期間TB(例えば数十μs)を経た時点T6において発振クロック信号CRCLKの送出手状態に到る。この際、分周回路29は、発振クロック信号CRCLKを1/N分周することにより、低速水晶発振回路21において生成される発振クロック信号LCLKの周波数と同一又は略等しい周波数を有する分周クロック信号DIVCを生成し、これを低速クロック選択回路26に供給する。更に、低速クロック制御回路24は、この時点T5において、分周クロック信号DIVCを選択させるべき論理レベル1の低速クロック選択制御信号LSSを低速クロック選択回路26及び高速クロック制御回路25に供給する。

10

【0036】

これにより、例え第1水晶発振器3が停止してしまふても、図2に示す時点T6以降、分周回路29にて生成された分周クロック信号DIVCが低速クロック信号LCLKとして論理回路部1に供給されると共に、高速CR発振回路28にて生成された発振クロック信号PLLCLKが高速クロック信号HCLKとして論理回路部1に供給されるようになる。

20

【0037】

以上の如く、上記したクロック信号生成部2では、電源投入時点T0から低速水晶発振回路21の発振動作が安定する時点T2までの発振安定期間TA中は、発振安定期間TBが比較的短い高速CR発振回路28にて生成された発振クロック信号CRCLKを、高速クロック信号HCLKとして論理回路部1に供給する。更に、この高速CR発振回路28において生成された発振クロック信号CRCLKを1/N分周することにより、低速水晶発振回路21で生成されるべき発振クロック信号LCLKの周波数と同一又は略等しい周波数を有する分周クロック信号DIVCを生成し、これを低速クロック信号LCLKとして論理回路部1に供給するようにしている。

30

【0038】

すなわち、電源投入後、水晶発振回路21の発振動作が安定するまでの間は、高速クロック信号HCLKを生成すべく設けられた高速CR発振回路28で生成された発振クロック信号CRCLKを1/N分周して低周波数化したものを、低速クロック信号LCLKとして論理回路部1に供給している。

【0039】

よって、論理回路部1中において低速クロックのみ、或いは低速及び高速クロックの両方で動作する回路の起動時間を短縮することが可能となる。

40

【0040】

また、上記したクロック信号生成部2では、低速水晶発振回路21の発振動作が安定する時点T2以降は、上記分周クロック信号DIVCに代えて、この低速水晶発振回路21において生成された発振クロック信号LCLKを、低速クロック信号LCLKとして論理回路部1に供給する。

【0041】

その後、低速水晶発振回路21から発振クロック信号LCLKの送出手が為されなくなったことを検出したとき(時点T5)には、高速CR発振回路28及び分周回路29を再び

50

起動させる。そして、この分周回路 29 で生成された分周クロック信号 D I V C を低速クロック信号 L S C L K、この高速 C R 発振回路 28 で生成された発振クロック信号 C R C L K を高速クロック信号 H C L K として、夫々論理回路部 1 に供給する動作に自動的に切り替える（時点 T 6）ようにしている。

【 0 0 4 2 】

これにより、例え L S I に外部接続されている低速クロック用の第 1 水晶発振器 3、及び高速クロック用の第 2 水晶発振器 4 が外乱により振動停止してしまっても、低速クロック信号 L S C L K 及び高速クロック信号 H C L K を継続して論理回路部 1 に供給することが可能となる。

【 0 0 4 3 】

図 3 は、図 1 に示されるクロック信号生成部 2 の変形例を示す図である。

【 0 0 4 4 】

尚、図 3 に示されるクロック信号生成部 2 においては、基準クロック選択回路 30 を設けた点を除く他の構成は、図 2 に示されるものと同一である。

【 0 0 4 5 】

よって、以下に、基準クロック選択回路 30 の動作を中心に、図 3 に示されるクロック信号生成部 2 の動作について説明する。

【 0 0 4 6 】

基準クロック選択回路 30 は、低速水晶発振回路 21 から送出された上記発振クロック信号 L C L K、及び分周回路 29 から送出された上記分周クロック信号 D I V C の内から、上記低速クロック選択制御信号 L S S によって示される方を択一的に選択し、これを基準発振クロック信号 R C L K として高速 P L L 発振回路 23 に供給する。よって、高速 P L L 発振回路 23 は、この基準発振クロック信号 R C L K の位相に同期させて、かかる基準発振クロック信号 R C L K よりも高周波数の発振クロック信号 P L L C L K を生成し、これを高速クロック選択回路 27 に供給する。

【 0 0 4 7 】

以下に、図 3 に示されるクロック信号生成部 2 の動作について、図 4 を参照しつつ説明する。

【 0 0 4 8 】

先ず、図 4 に示す如き時点 T 0 において電源が投入されると、起動制御回路 20 は、発振動作を実行させるべき論理レベル 1 の発振イネーブル信号 E N ₁ を低速水晶発振回路 21 及び高速 P L L 発振回路 23 に夫々供給すると共に、発振動作を停止させるべき論理レベル 0 の発振イネーブル信号 E N ₂ を高速水晶発振回路 22 に供給する。時点 T 0 にて供給された論理レベル 1 の発振イネーブル信号 E N ₁ に応じて低速水晶発振回路 21 は発振動作を開始し、発振安定期間 T A を経た時点 T 2 において発振クロック信号 L C L K の送出状態に到る。よって、時点 T 0 ~ T 2 の期間中は、発振クロック信号 L C L K が生成された状態とはなっていないので、この間、低速クロック制御回路 24 は、発振動作を実行させるべき論理レベル 1 の発振イネーブル信号 E N ₄ を高速 C R 発振回路 28 に供給する。これにより、高速 C R 発振回路 28 は発振動作を開始し、発振安定期間 T B を経た時点 T 1 において発振クロック信号 C R C L K の送出状態に到る。この際、分周回路 29 は、発振クロック信号 C R C L K を 1 / N 分周した分周クロック信号 D I V C を低速クロック選択回路 26 及び基準クロック選択回路 30 に供給する。

【 0 0 4 9 】

更に、時点 T 0 での電源投入に応じて、起動制御回路 20 は、リセットパルス信号 R S を低速クロック制御回路 24 及び高速クロック制御回路 25 の各々に供給する。かかるリセットパルス信号 R S に応じて、高速クロック制御回路 25 は、上記発振クロック信号 C R C L K を選択させるべき高速クロック選択制御信号 H C S を高速クロック選択回路 27 に供給し、低速クロック制御回路 24 は、上記分周クロック信号 D I V C を選択させるべき論理レベル 1 の低速クロック選択制御信号 L S S を低速クロック選択回路 26 及び基準クロック選択回路 30 に供給する。よって、図 4 に示す如く、時点 T 1 以降、高速 C R 発

10

20

30

40

50

振回路 28 によって生成された発振クロック信号 C R C L K が高速クロック信号 H C L K として論理回路部 1 に供給されると共に、分周回路 29 によって生成された分周クロック信号 D I V C が低速クロック信号 L S C L K として論理回路部 1 に供給される。尚、この際、図 4 に示す一例では高速 P L L 発振回路 23 を起動させていないが、ソフトウェア処理により高速 P L L 発振回路 23 を起動させ、この高速 P L L 発振回路 23 によって生成された発振クロック信号 P L L C L K を高速クロック選択回路 27 で選択させることも可能である。

【 0 0 5 0 】

その後、図 4 に示す時点 T5 において前述した如き外乱が発生し、それに伴い、L S I に外付けされている第 1 水晶発振器 3 が停止してしまうと、低速水晶発振回路 21 では発振クロック信号 L C L K の生成が為されなくなる。低速クロック制御回路 24 は、この発振クロック信号 L C L K の生成停止を検出すると、図 4 に示すように、この時点 T5 において発振動作を実行させるべき論理レベル 1 の発振イネーブル信号 E N₄ を高速 C R 発振回路 28 に供給する。これにより、高速 C R 発振回路 28 は発振動作を開始し、発振安定期間 T B を経た時点 T6 にて発振クロック信号 C R C L K を送出する状態に到る。この際、分周回路 29 は、発振クロック信号 C R C L K を 1 / N 分周することにより、低速水晶発振回路 21 にて生成される発振クロック信号 L C L K の周波数と同一又は略等しい周波数を有する分周クロック信号 D I V C を生成し、これを低速クロック選択回路 26 に供給する。更に、時点 T5 において、低速クロック制御回路 24 は、分周クロック信号 D I V C を選択させるべき論理レベル 1 の低速クロック選択制御信号 L S S を低速クロック選択回路 26 及び基準クロック選択回路 30 に供給する。これにより、高速 P L L 発振回路 23 は、分周クロック信号 D I V C を基準クロックとした発振動作を開始し、発振安定期間 T C を経た時点 T6 において、発振クロック信号 P L L C L K の送出状態になる。

【 0 0 5 1 】

よって、例えば、水晶発振器 (3、4) が外乱等により停止してしまっても、時点 T6 以降において引き続き分周クロック信号 D I V C が低速クロック信号 L S C L K として論理回路部 1 に供給されると共に、高速 P L L 発振回路 23 で生成された発振クロック信号 P L L C L K が高速クロック信号 H C L K として論理回路部 1 に供給される。

【 0 0 5 2 】

尚、低速クロック制御回路 24 では、低速水晶発振回路 21 から発振クロック信号 L C L K が送出されているか否かに基づき、クロック (P L L C L K、C R C L K、D I V C、L C L K) の選択処理を実施しているが、高速水晶発振回路 22 が発振クロック信号 H O C L K を送出しているか否かに基づきこの選択処理を実行するようにしても良い。また、上記実施例においては、低速クロック制御回路 24 によって発振クロック信号 L C L K の停止状態の検出、及び低速クロックの選択処理を行うようにしているが、このような処理をソフトウェアによって実行することも可能である。

【 0 0 5 3 】

また、図 2 及び図 3 では、電源投入直後の動作を例にとってクロック信号生成部 2 の動作を説明したが、電源投入状態において、論理回路 1 の全部または一部のみが一時的に停止した状態から、通常動作に復帰する時にも同様に実施することが可能である。

【 0 0 5 4 】

また、図 1 及び図 3 に示す L S I においては、外付けの発振器 (3、4) として水晶発振器を用いているが、セラミック発振器を用いるようにしても良い。この際、低速水晶発振回路 21 に代えて低速セラミック発振回路を用いると共に、高速水晶発振回路 22 に代えて高速セラミック発振回路を用いる。

【 符号の説明 】

【 0 0 5 5 】

- 3 第 1 水晶発振器
- 4 第 2 水晶発振器
- 20 起動制御回路

10

20

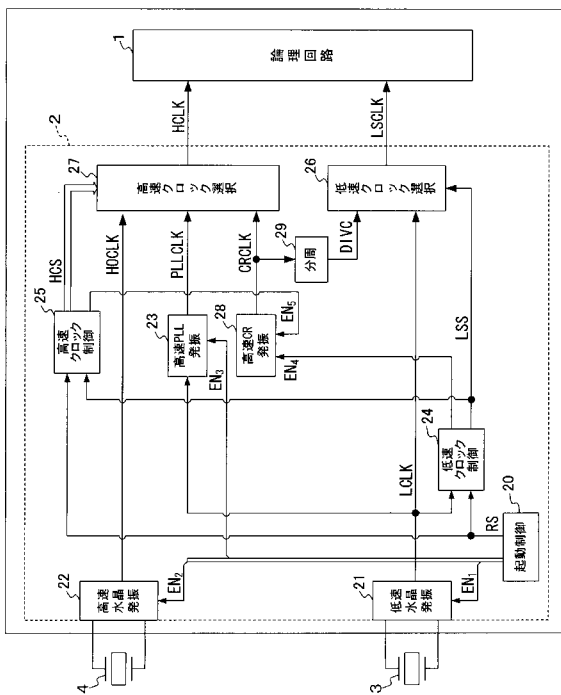
30

40

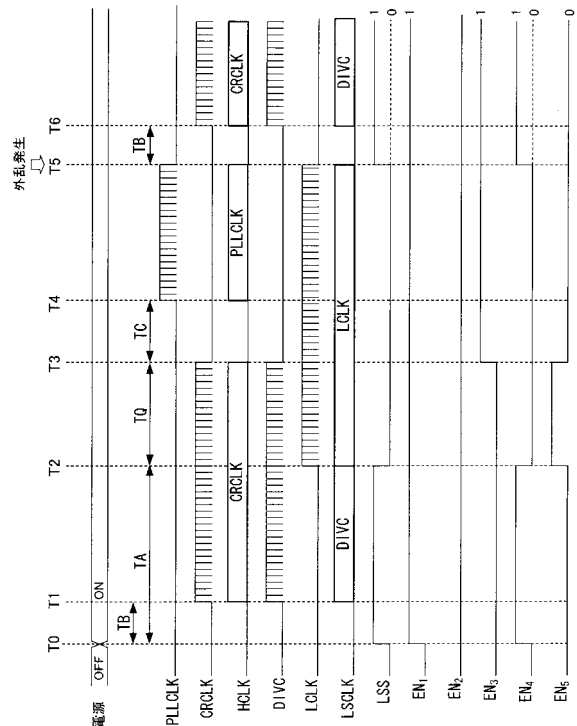
50

- 2 1 低速水晶発振回路
- 2 2 高速水晶発振回路
- 2 3 高速PLL発振回路
- 2 4 低速クロック制御回路
- 2 5 高速クロック制御回路
- 2 6 低速クロック選択回路
- 2 7 高速クロック選択回路
- 2 8 高速CR発振回路
- 2 9 分周回路
- 3 0 基準クロック選択回路

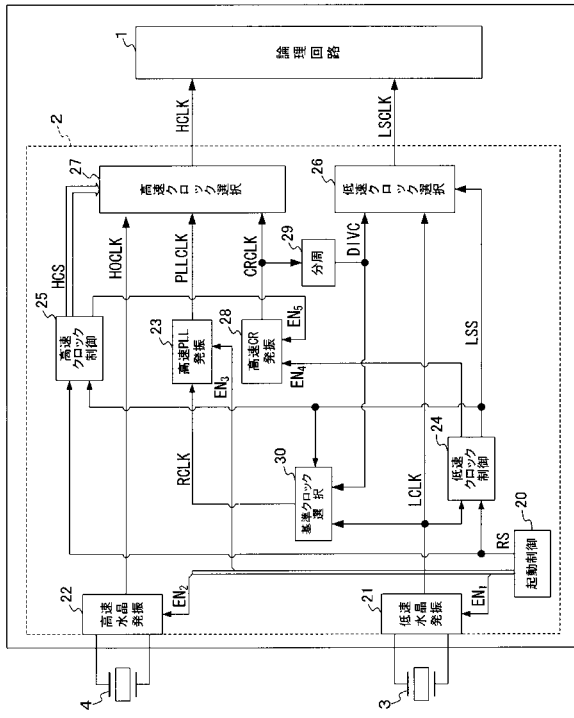
【 図 1 】



【 図 2 】



【 図 3 】



【 図 4 】

