

公告本

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：92134624

※申請日期：92.12.8

※IPC 分類：

H03M 13/35

壹、發明名稱：實施渦輪碼時所用同位元流中問題穿刺形態
之偵測、避免及/或改正
**Detection, Avoidance and/or Correction of
Problematic Puncturing Patterns in Parity Bit Streams
Used When Implementing Turbo Codes**

貳、申請人：(共 1 人)

姓名或名稱(中文)：美商內數位科技公司

姓名或名稱(英文)：InterDigital Technology Corporation

代表人(中文)：唐納爾德·伯萊斯

代表人(英文)：Donald M. Boles

住居所或營業所地址(中文)：美國德拉威州 19801 威明頓德拉威
大道 300 號 527 室

住居所或營業所地址(英文)：300 Delaware Avenue, Suite 527,
Wilmington, DE 19801, U.S.A.

國籍：美國

參、發明人：(共 2 人)

發明人 1：

姓名(中文)：菲利普·佩特拉斯基

姓名(英文)：Philip J. PIETRASKI

ID：

住居所地址(中文)：美國紐約州 11758 北麻薩皮克瓦北橡樹街 199 號

住居所地址(英文)：199 N. Oak Street, North Massapequa, NY
11758, U.S.A.

國籍：美國

發明人 2：

I287915

姓 名 (中文): 葛列格里·史特恩貝格

姓 名 (英文): **Gregory S. STERNBERG**

ID :

住居所地址 (中文): 美國紐約州 11021 巨峽布朗普頓路 50 號 2B 室

住居所地址 (英文): 50 Brompton Road, Apt. 2B, Great Neck,
NY 11021, U. S. A.

國 籍: 美國

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 ☒ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 美國 US；2002/12/16；60/434,232
2. 美國 US；2003/01/30；60/444,068
3. 美國 US；2003/05/15；60/470,921
4. 美國 US；2003/08/11；60/494,404
- 5.

☐ 主張國內優先權（專利法第二十五條之一）：

【格式請依：申請日；申請案號數 順序註記】

- 1.
- 2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

發明領域

本發明係關於渦輪碼的一般使用。尤指一種使用渦輪解碼器的穿刺渦輪碼中偵測和改正降低性能之方法。

背景

無線通訊系統在該技術領域為眾所皆知。一般來說，這樣的系統包含傳送和接收相互之間無線通訊訊號的通訊台。具代表性的是，基地台被賦予能夠管理與複數個用戶台（subscriber stations）之間的無線並行通訊。在第三代行動通訊伙伴合作計畫（3GPP）指定的分碼多工系統（CDMA）中，基地台稱為 Node Bs、用戶台稱做使用者裝備（User Equipment，UE），而在該 Node Bs 和該 UEs 之間的無線介面稱做 Uu 介面。圖一表示一個典型的 3GPP CDMA 系統。

一個 3GPP 通訊系統的 Uu 無線介面使用用來傳送使用者資料的傳輸頻道（TrCH），並且在 UEs 和 Node Bs 之間傳送訊號。在 3GPP 時分雙工（TDD）通訊中，相互排斥實體資源定義的一或多個實體頻道傳送 TrCH 資料。TrCH 資料以連續的傳輸區塊（Transport Blocks，TB）群組傳送，其定義為傳輸區塊組（Transport Block Sets，TBS）。每一個 TBS 以一個規定的傳送時間間隔（Transmission Time Interval，TTI）傳送，其 TTI 可跨越（span）複數個連續不斷的系統時框（time frames）。一個典型的系統時框為 10 毫秒，而 TTIs 現在被指定為 1、2、4 或 8 個這樣時框的跨度（spanning）。

圖二顯示出依照 3GPP TS 25.222 v3.8.0, 在 TDD 模式的 TrCHs 轉換為編碼合成 (Coded Composite) 傳輸頻道 (CCTrCH), 然後轉換為一或多個實體頻道資料流的處理過程。由 TB 資料開始, 附上循環冗餘檢查碼 (Cyclic Redundancy Check, CRC) 並且執行連接 TB 和分割編碼區塊。然後執行迴旋 (convolution) 編碼或渦輪編碼, 但在一些例子中並不指定任一種編碼。編碼之後的步驟包含等化無線訊框 (frame)、第一次交錯 (interleaving)、分割無線訊框和速率的調整。該無線訊框的分割劃分了在指定的 TTI 中的一些訊框之上的資料。利用位元重覆或穿刺操作的該速率調整功能, 定義每一個處理的 TrCH 的一些位元, 其 TrCH 後來以多工的方式形成一個 CCTrCH 資料流。

該 CCTrCH 資料流的處理包含位元加密 (scrambling)、分割實體頻道、第二次交錯和映射至一或多個實體頻道。該複數個實體頻道對應該實體頻道分割。對於上行鏈路 (uplink) 傳輸, UE 到 Node B, 對於 CCTrCH 傳輸的實體頻道最大值目前被指定為兩個。對於下行鏈路 (downlink) 傳輸, Node B 到 UEs, 對於 CCTrCH 傳輸的實體頻道最大值目前被指定為十六。每一個實體頻道資料流被 頻道化碼 (channelization codes) 延展, 並且被調變為了在指定的頻率之上的空中傳輸 (air transmission)。

在該 TrCH 資料的接收/解碼中, 該接收台本質上反轉該過程。因此, TrCHs 的 UE 和 Node B 實體接收需要 TrCH 處理參數的資訊來修復該 TBS 資料。對於每一個 TrCH, 指定一個傳輸格式組

(Transport Format Set, TFS) 來包含一些預定的傳輸格式 (Transport Format, TF)。每一個 TF 指定不同的動態參數，包含 TTI、編碼形式、編碼速率、速率調整和 CRC 長度。對於一個特別的訊框的 CCTrCH 的 TrCHs 而言，事先定義的 TFSs 的集合稱做一個傳輸格式組合 (Transport Format Combination, TFC)。

CCTrCH 的傳輸格式組合指標 (TFCI) 的傳輸用來幫助接收台的處理過程。3GPP 用接收台來選擇性地規定“遮蔽 (blind) 傳輸格式偵測”，其中該接收台考慮有效的可能 TFCIs。其之中只有一個有效的 TFCI，且使用在任一個例子中。

在 3GPP 中，時槽 (time slot) 的傳輸出現於事先定義的發射叢訊 (bursts)，其中該傳輸實體頻道被分為開始時槽部分和結束時槽部分。一個選擇性的訓練序列 (Midamble) 被包含在該兩個實體頻道資料部分之間。該 TFCI 目前被指定為在該訓練序列的任一邊，還有在兩個實體頻道資料部分之間的兩個部分傳輸。圖三和圖四個別表示兩個從 3GPP TR 25.944 V3.5.0 得到的例子，其中標示 MA 的區塊表示訓練序列，而標示為 T 的區塊表示 TFCI 的部分。在圖四中，該 CCTrCH 被映射至兩個實體頻道，但只有一個包含 TFCI。

圖五 a、五 b 和圖六為依照 3GPP 頻分雙工 (FDD) 之說明而得之頻道編碼和多工之範例圖示。

在通訊系統執行的編碼步驟，在通信系統中的性能和能力中扮演一個重要角色。特別的是，無線傳輸的資料渦輪編碼在 3GPP

系統的 TDD 和 FDD 通訊中扮演一個重要角色。

渦輪編碼原理已經廣泛的應用在資訊理論，且部分構成主要的通信理論和實做。這些原理被使用在錯誤控制、偵測、干擾抑制、等化和其他通訊相關領域。渦輪碼是一種平行遞歸的系統迴旋編碼形式，其可用於頻道的編碼和解碼來偵測和修正發生在通過不同頻道時數位資料傳輸的錯誤。渦輪編碼在某些情況下，為資料傳輸能夠到達 Shannon 定律的理論極限時特別有用。這些合適的情況一般包含大區塊資料的傳輸，特別在行動通訊中非常有用。

圖七表示穿刺產生如此特殊的編碼比期待的性能差。在臨界訊號噪音比 (Signal-to-Noise Ratio, SNR) 值中量得如同 4dB 的損失。

具代表性的是，穿刺（即消除）低速率編碼的同位位元而產生的高速率渦輪碼，直到達到理想的編碼速率。穿刺產生的特殊編碼比期待的性能差是因為某些穿刺位元型態。因為在渦輪編碼器中的遞歸編碼區塊有一個無限的脈衝響應，有關每一個系統位元的資訊散佈在許多的該同位位元中。

在任何採用穿刺的錯誤控制編碼方案，該穿刺位元的位置將影響性能。這是因為連續位元的穿刺帶 (strings) 可被視為該解碼器的叢訊錯誤 (burst errors)。所有錯誤控制方法只能修正小於某些門檻的叢訊錯誤。因此，重要的是當設計穿刺方案時，考慮該編碼的叢訊錯誤修正能力。在缺乏錯誤控制編碼方案的特定

資訊下，一個好個方法是最小化該穿刺位元帶的最大值。對於高的編碼速率而言，這對應於均勻散佈在該傳送區塊間的非穿刺位元。均勻散佈該非穿刺位元的穿刺方案能夠阻止與某些錯誤控制碼產生互動，而產生解碼器性能的降低 (degradation)。

因為在該渦輪編碼器的遞歸編碼區塊有無限的脈衝響應，有關每一個系統位元資訊散佈於許多該同位位元之間。由考慮保留在殘留同位位元中的許多資料，而能夠在品質上說明在該同位位元中某些週期性非穿刺型態的影響。

量測該穿刺型態的距離以形成一個具有關於該渦輪編碼器的遞歸編碼區塊的半週期脈衝響應的週期來決定該穿刺渦輪碼的性能下降區域。

對於 3GPP 的渦輪編碼器而言，組成的遞歸編碼器有一個脈衝響應，其係對於正時間 (positive time) (半週期性，semi-periodic) 有七個符號週期的週期性。由作為一個最長序列 (maximal length sequence 簡稱 M-sequence) 產生器的該編碼器的解釋可以及時了解，即假如該位移暫存器 (Shift Register) 以零態開始且在 $t=0$ 時僅使用一個時，然後該編碼器係恰好為具有三階本質多項式 (primitive polynomial) 和初始狀態 $\{1\ 0\ 0\}$ 的線性回授位移暫存器 (Linear Feedback Shift Register, LFSR) 時，可產生一個正時間的週期 $2^3-1=7$ 之最長序列。

該編碼器是在二進位域 (binary field) 中線性非時變 (Linear Time-Invariant, LTI) 系統。因此，該解碼器的輸出是該編碼器

脈衝響應的位移版本總和，每一個位移脈衝響應對應在該 TB 中的 $1'$ s 的位置。假如我們考慮一個對於 $t > T$ 時為全部的 $0'$ s 輸入，而對於 $t > T$ 該組成遞歸編碼區塊的輸出也將是半週期性。

某些非穿刺週期可導致關於在同位位元組中一小群位元散佈資訊的損失。例如，使該 TB 包含伴隨許多零的七個位元。現在藉由觀察在大量穿刺後編碼器的輸出，試圖考慮決定該七個位元的問題。在該輸出的每一個觀察為該七個位元之子集合的總和，而由該非穿刺週期和該遞歸編碼區塊的脈衝響應決定該子集合。對於大部分非穿刺型態（其週期主要與該半週期性脈衝響應之週期相關），最後可得到七個不同子集合的總和。因此，形成具有七個未知數的七條系統方程式。假設它們為線性獨立，可以決定該七個位元的值。然而考慮該非穿刺週期是簡單的（每週期一個殘留同位位元），而該遞歸編碼區塊 7 的週期也是。然後對於 $t > 6$ 而言，每一個觀察為該七個位元相同子集合的總和，因此無法獲得新的資訊。即一個秩-1（rank-1）的系統方程式形成，而唯一解並不存在。這是由於該信號的週期性本質。當該非穿刺週期主要相關於該遞歸編碼區塊之週期時，該同位位元的一系列觀察最後將形成一個秩-7 的系統方程式。對於我們的七位元群組而言，這足夠單獨決定該位元，即能夠決定該位元的資訊是散佈於該殘留同位位元之間。當該週期不是主要相關時，該系統的秩變成 L/K ，其中 L 為遞歸編碼區塊的週期，而 K 為 L 和 N 的最大共同分配器（Greatest Common Divider, GCD），而 N 為該非穿刺型態的週期。

在上述的說明中，為了清楚的目的，而假定在該小群位元後為一長串的零。然而，允許額外的位元群來追隨第一群，並不附加於該關於早期群組的散佈資訊。這可以從該系統的因果關係中得到。

一些散佈資訊也可能遺失甚至於在非簡單週期，例如，考慮該非穿刺型態在三和四之間交替的簡單週期。這產生一個週期七但具有每週期兩個殘留同位位元的非穿刺型態。上述的同樣問題產生一個具有七個方程式而秩為二的系統，其仍然不足以單獨決定該位元組，但卻減少可能增加的空間大小。清楚地，一些非穿刺型態損失一些關於該小群位元的資訊。

為了獲得合適的效能，我們需要去偵測、避免及/或改正在該同位位元流中的問題穿刺型態但不需去避免編碼速率。典型的問題互動發生在渦輪編碼器輸出和在速率調整階段的穿刺之間。

因此需要提供一個藉由修改穿刺型態，來產生一個避免問題互動的高速率渦輪碼的方法。

發明內容

依照本案的發明，確認在穿刺誤差改正編碼傳輸中的品質降低，並因此而修改編碼傳輸。確認一個近似於一特殊編碼速率的穿刺型態，並按照該穿刺型態和該特殊編碼速率間的匹配來調整預期降低的值。

對於 FDD 和 TDD 兩者而言，包含兩個速率調整階段和兩個穿刺操作，這由某些技術上稱做遞增性冗餘(incremental redundancy)

的技術來完成。其係允許一個無線傳輸/接收單元 (WTRU) 來接收和軟組合 (soft combine) 從基地台中相同 TB 的多重傳輸。假如該傳輸第一次失敗，該訊號以更多的資料重傳來試圖在第二次傳輸時成功。為了達到這個目的，因此使用兩個不同階段的穿刺，由於該 WTRU 具有某些性能、某些它可支援的暫存大小，和為了能夠放入被合併至有兩個穿刺階段之該暫存的再傳輸。該第一階段的速率調整穿刺足夠的位元，使得該殘留位元被放置於一暫存內，且第二階段的穿刺（或重複）是為了達到理想的全部編碼速率。當組合該兩階段的速率調整時，一個編碼速率的問題區域是多面的。因此，目前牽涉的兩個速率中，其中一個速率在穿刺的第一階段，而一個在第二階段。

依照本案的第一較佳實施例，單一階段速率調整的 P1/P2 穿刺偏差，使用該穿刺誤差修正編碼傳輸來執行。

依照本案的第二較佳實施例，在每一階段的速率調整可以使用兩個或以上的階段，用以偵測和改正在 R5 高速下行鏈路數據分組接入 (High Speed Downlink Packet Access, HSDPA) 的高速下行分享頻道 (High Speed Downlink Shared Channel, HS-DSCH) 的穿刺渦輪碼之性能。

簡單圖示說明

本案藉由下列各種較佳實施例圖示及詳細說明，俾得一更深入了解：

圖一係為依照現今 3GPP 之說明，一個典型 CDMA 系統之圖示。

(Universal Mobile Telecommunications System, UMTS) 的傳輸模式和其他傳輸模式的第一層和第二層。此外，之後用以修改穿刺型態的方法，可修復降低的渦輪碼的性能。

關於本案之發明，其方法可實施在一個無線傳輸/接收單元 (WTRU) 及/或一個基地台上。之後提到的 WTRU 可包含但不限制於一個 UE、行動台、固定或行動用戶單元、傳呼 (pager)、或其他型可用來在一無線環境下操作的裝置。之後提到的基地台可包含但不限制於一個基地台、Node-B、站台控制器、存取點 (access point)、或其他在一無線環境下的介面裝置。

圖八係為當同位位元 P1/P2 產生偏壓時，以高或然率和編碼速率來描述用來成功解碼一個資料區塊 (極限 SNR) 的 SNR。如圖七所示，我們發現用 1/3 的 3GPP 渦輪碼速率來穿刺產生的特殊碼比理想的性能差，如圖中顯示的峰值。

圖九係為關於序偶 (ordered pair) (r_1, r_2) 的問題區域圖示，其為個別在速率調整的第一和第二階段中穿刺同位位元流的速率。如可見的，同位流的穿刺速率為如此的一些結合速率時的特別區域是有問題的。

在一個實施例中，同位位元的 P1 和 P2 的穿刺偏壓是用在單一階段的速率調整。圖十係為用於 HSDPA 的 3GPP 速率調整的電路 600 之方塊示意圖，其係使用於一個渦輪編碼的 HS-DSCH。該電路 600 執行一個 HSDPA 的 3GPP 速率調整計畫。該電路 600 包含一個電路分離電路 615、一個第二速率調整階段 620 和一個位元收集電

元流 2 的殘留位元數目，以同樣有效避免該問題穿刺型態。

這兩個限制可合併至下列的 Δ 表示式，其中：

$$\Delta = \left\lceil \max \left\{ \frac{I}{\left\lfloor \frac{7\hat{N}-1}{2} \right\rfloor} - \frac{P}{2}, \frac{P}{2} - \frac{I}{\left\lfloor \frac{7\hat{N}+1}{2} \right\rfloor} \right\} \right\rceil \quad \text{方程式三}$$

步驟一) 使用方程式二來計算 $\hat{N}$ 。

步驟二) 使用方程式一來決定是否理想的編碼速率產生一個問題穿刺型態。如果是的話，則繼續步驟三，否則設定 $\Delta = 0$

$$\left(\text{if } \left| \frac{I}{(P/2)} - \frac{7\hat{N}}{2} \right| \geq 1 - \frac{\hat{N}}{2} + \left\lfloor \frac{\hat{N}}{2} \right\rfloor, \right)。$$

步驟三) 使用方程式三來計算偏差 Δ 。

步驟四) 用修改在 TS25.212/222 的表格來計算速率調整參數。

為了避免降低渦輪碼性能的穿刺型態，個別加至同位位元流 1 和 2 的穿刺數量將有微小的差異，但卻保持穿刺位元的總量一定。

假如在同位位元流 1 的穿刺位元數量減少 Δ 時，則在同位位元流 2 的穿刺位元數量將增加 Δ ，總體的編碼速率不變，但可避免問題穿刺型態。注意對於這個案例的位元收集和位元反收集階段必須對應著調整。因為降低性能的個別區域傾向變小，可能有助於簡單地避免使用具有降低性能的編碼速率。因為具有降低性能的編碼速率現在可用上述的方程式偵測，因此避開它們是很簡單的。

對於如同在 3GPP 中展開的混和自動重複要求 (Hybrid Automatic Repeat reQuest, HARQ) 而言，可能需要執行兩階段的速率調整。這發生在每當執行遞增性冗餘 (incremental

redundancy, IR), 且速率調整規則的位元輸出數量大於該虛擬 IR 暫存器時。注意當使用組合 HARQ 的追趕 (Chase) 時, 不需要一個特別的 IR 暫存器; 一個接收位元暫存器就足夠了。(假如不重新排列的話, 一個接收符號的暫存器就足夠了。) 假如這是由 IR 在追趕組合上僅提供一個小改善而來決定的話, 從該標準中移除 IR 將是明智的。

為了獲得較高的資料速率, 3GPP 已經在執行鏈路調適 (link adaptation) 時引入 HSDPA 選擇。鏈路調適的其中一個元件是調適性的編碼和調變 (Adaptive Modulation and Coding, AMC)。由於 AMC, 使用一個頻道品質估算來選擇一個可達到最大傳輸率 (throughput) 的調變方式和編碼速率。當頻道品質高時, 選擇 QAM 調變和高的編碼速率。使用一個 1/3 的渦輪碼速率的穿刺來獲得高編碼速率。在頻道品質指示 (channel quality indication, CQI) 表的設計期間, 觀察到某些傳輸區塊組大小 (Transport Block Set Sizes, TBSS) 顯示出比預期的性能差。該 CQI 表是用來將頻道品質估算映射到一個建議的調變和 TBSS。這個比預期性能差的問題目前用簡單的手擰 (hand tweaking) CQI 表來避開引起問題的 TBSSs。在 AMC 中, 這將導致傳輸率比最佳的傳輸率差, 因為最佳的傳輸率將一定會被避開。

透過 AMC 支持的鏈路調適是 R5 HSDPA 的一個整體特徵。由於 AMC, 在 HS-DSCH 上的調變方式和編碼速率可以依照頻道情況而變化。在 HS-DSCH 上的不同編碼速率將由在一個預定的方法中該 R99

渦輪編碼器的速率調適（重複或穿刺）輸出來完成，就是說作為一個 TBSS 的功能和實體頻道位元的可用數目。R99/R4 和 R5 兩者使用相同的 $1/3$ 的編碼速率的渦輪編碼器。當速率調整的原則對於 R4 和 R5 是相同時，較高效率的編碼速率（ $>1/2$ ）的合適和較常的使用、速率調整的多重階段的使用和遞增性冗餘（IR）的可能性的標準容許可區別 R99/R4 和 R5。

HSDPA 在 WG4 中的性能要求已經指出對於在 HS-DSCH 的渦輪編碼和穿刺傳輸區塊中異常高的和非常不能預料的 SNR 性能至少在有效編碼速率在 $1/2$ 以上的範圍降低一些 dB。

由 $1/3$ 基本速率的渦輪編碼器輸出的不合適的同位位元流的穿刺型態將重度的打擊在 HS-DSCH 的渦輪編碼性能。雖然 TDD 的文章提供原始的 WG4 模擬結果，相同的降低也同樣恰好發生在 FDD 中，原因是兩個模式都恰好使用同樣的方式完成在 HS-DSCH 傳輸區塊（產生該問題互動）的渦輪編碼和速率調整（TS25.212 和 TS25.222）。

在一些資料速率中比預期的性能差也是一個固定調變和編碼方案的問題。假如指派會產生該問題的編碼速率給一使用者，功率控制將會補償較差的編碼速率，使得細胞台的容量降低。

在另一個實施例中，該同位位元流的調整允許高速媒體存取控制協定（Medium Access Control—High Speed, MAC-hs）來簡單選擇任何理想的傳輸區塊大小作為一個排程決定的結果。它需要微小地改變在 TS25.212/222 的速率調整階段的穿刺型態降低。

例如一個實行於 TS 25.212 制訂的現今 FDD 標準的修改被附加於為什麼該修改是合理的討論中。

對於顯而易見的的第一階段速率調整例子和採用的第一和第二階段速率調整的例子而言，存在一些可接受的解決方案，藉由透過同位位元穿刺的調整來避開該問題互動（problematic interactions）。

其中一個解決方案，例如一個簡單偏差（biasing）方法，被概述在提供概念上顯而易見的的第一階段速率的範例的影響之下。

現今，加上同樣穿刺量到在該渦輪編碼器（圖十）輸出 W 中的同位位元流 1 和同位位元流 2 以使編碼速率大於 $1/3$ ，雖然也可以調整穿刺型態相位（phases）。

當要求一個特殊的編碼速率，而確定使用它會導致性能降低時，選擇一個微小的較低編碼速率以避開該降低性能。一個好的替代編碼速率是低於該要求的編碼速率中允許的最大編碼速率，其要求的編碼速率已經確定有一個可接受的降低性能。

假如希望一個系統可無限制使用可用的編碼速率，然後穿刺型態的修改可回復該性能。回復穿刺渦輪碼性能的關鍵是避開有關該系統位元的該殘存同位位元過度的冗餘（redundant），換言之，修改該穿刺型態以改進性能。

完成該目的的其中一個作法是取樣該同位位元，使得所有對應該半週期脈衝響應的一個完整週期的點能盡可能減少取樣數，

然而卻維持相同的編碼速率，但在該資料區塊上的穿刺不被過份扭曲，或者在 P1 和 P2 中同位位元的數目上產生極度的不穩定。

注意這個緩和的方法可以應用到具有兩個以上同位流的系統。例如 3GPP 渦輪碼 (CDMA 2000) 包含四個同位流。假如發生一個問題穿刺型態，可以調整每一個個別的同位流的穿刺速率來緩和，當維持一個穩定的整體有效編碼速率。

在速率調整的單一階段案例中，如同在 R99/R4 使用和許多 R5 的配置中，在該渦輪編碼輸出和穿刺傳輸序列之間的該問題互動發生在該穿刺型態的週期近似於等於七個倍數的殘留位元週期的區域，且當平均每 3.5 個同位位元殘存一個的時後。

這些降低個別對應秩為一和秩為二的情況。本案例對應秩 (rank) 為一的情況。秩為二的情況在 SNR 降低上比秩為一的情況有較小的衝擊。因為較高秩 (>2) 的情況對性能的降低並不明顯，不是秩為一和秩為二的情況在這裡並不討論。

以下決定在這些區域中心的編碼速率：

$$CR = \frac{1}{1 + \frac{2}{3.5N}} = \frac{3.5N}{3.5N + 2} \quad N=1,2,\dots \quad \text{方程式四}$$

當 N 是偶數時，該臨界編碼速率 CR 對應秩為一的情況；當 N 是奇數時，該臨界編碼速率 CR 對應秩為二的情況。對於秩等於一時，我們得到 $CR=7/9, 7/8, 21/23, \dots$ ，而秩等於二時，我們得到 $CR=7/11, 21/25, \dots$ 。

在同位位元流 1 或同位位元流 2 中系統位元和同位位元數目

的比可以視為同位穿刺比 (parity puncturing rate)。當使用具有接近或等於 $7N/2$ ($N=1, 2, 3, \dots$) 同位穿刺比的殘留位元型態時，性能將會降低。一些渦輪編碼和穿刺互動也同樣發生在每當對個別的偶數和奇數 N 而言，該同位位元流 1 或同位位元流 2 的殘留位元的平均週期在 $7N/2$ 的 ± 1 或 $\pm \frac{1}{2}$ 內。

當採用兩個或兩個階段以上的速率調整時，用任何階段或在速率調整階段間的互動可以產生問題穿刺型態。

一個封閉型態表示式已經發展在用來預測性能降低的 Release 5 3GPP 渦輪編碼器/速率調整。該表示式將以下三者{在速率調整的第一階段之前的位元，在第一次速率調整之後的最大位元，在第二次速率調整之後的位元}或兩者{有關同位位元的第一次速率調整的速率，有關同位位元的第二次速率調整的速率}之一作為輸出。該輸出，如下列方程式五表示的，為一個合理的數目，其可與一個門檻值比較來接受/拒絕該配置作為提供/不提供可接受的性能。該參數 $r1$ 和 $r2$ 代表關連於該有關同位位元流的第一和第二階段的速率調整的速率。雖然看起來很複雜，但該方程式五在 $r1$ 、 $r2$ 上是片段線性 (Piecewise Linear) 且為連續函數，因此很容易求解。

$$\lambda(r1, r2) = \sum_{n=1}^{L-1} \alpha_n \left[\left(1 - \left\lfloor \frac{1}{L} \lceil r1 \rceil \lceil nr2 \rceil \right\rfloor - \left\lfloor \frac{1}{L} \lceil r1 \rceil \lceil nr2 \rceil \right\rfloor \right) (nr2 - \lfloor r2 \rfloor) (r1 \lceil nr2 \rceil - \lfloor r1 \lceil nr2 \rceil \rfloor) + \right. \\ \left. \left(1 - \left\lfloor \frac{1}{L} \lfloor r1 \rceil \lceil nr2 \rceil \right\rfloor - \left\lfloor \frac{1}{L} \lfloor r1 \rceil \lceil nr2 \rceil \right\rfloor \right) (nr2 - \lfloor nr2 \rfloor) (-r1 \lceil nr2 \rceil - \lfloor r1 \lceil nr2 \rceil \rfloor + 1) + \right. \\ \left. \left(1 - \left\lfloor \frac{1}{L} \lceil r1 \rceil \lfloor nr2 \rfloor \right\rfloor - \left\lfloor \frac{1}{L} \lceil r1 \rceil \lfloor nr2 \rfloor \right\rfloor \right) (-nr2 + \lfloor nr2 \rfloor + 1) (r1 \lfloor nr2 \rfloor - \lfloor r1 \lfloor nr2 \rfloor \rfloor) + \right. \\ \left. \left(1 - \left\lfloor \frac{1}{L} \lfloor r1 \rceil \lfloor nr2 \rfloor \right\rfloor - \left\lfloor \frac{1}{L} \lfloor r1 \rceil \lfloor nr2 \rfloor \right\rfloor \right) (-nr2 + \lfloor nr2 \rfloor + 1) (-r1 \lfloor nr2 \rfloor + \lfloor r1 \lfloor nr2 \rfloor \rfloor + 1) \right]$$

方程式五

一個基於該方程式的門檻比較，其係用以測試是否該成對的編碼速率能充分的執行。同樣地，可以使用下列三者{資料區塊大小、在第一次速率調整階段之後的大小、在第二次速率調整階段之後的大小}，因為這三者直接映射到該成對的編碼速率。

穿刺型態的週期性效應也可用在調整速率之前交錯(interleaving)該同位位元來減小。在這個方法中，在反交錯(de-interleaving)後，避開該同位位元的週期性取樣，即使當在速率調整中完成週期性取樣時。

該頻道交錯器的功能性可以合併至速率調整區塊交錯器。這可由增加一個額外的限制到該速率調整區塊交錯器（其由該頻道交錯器所定義）來達成，當設計該交錯器時。然而，這將需要一個額外該系統位元的交錯器。

注意該非穿刺位元的重新安排僅需要發生在一個範圍內，其等於該渦輪編碼器的該遞歸編碼區塊的半週期脈衝響應的週期。因此，可以增加微小時間變化的交錯器到該同位位元流以避開問題穿刺型態。這擁有需要較少記憶體和有助於最小化該穿刺的相

同失真的優點。

變化某些參數可作為一個時間函數（或位元指標）來產生可減弱性能降低的穿刺型態。一個這樣的 3GPP 例子包含在整個執行速率調整中速率調整參數 X_i 、 e_{ini} 、 e_{minus} 和 e_{plus} 參數的修改。在這種方式中，影響該穿刺型態的參數可以在一個或一個以上的位元被穿刺區塊內的位置上變化。由於允許該參數變化，該即時的編碼速率可以不同於該理想的全部編碼速率（因此可避開該穿刺互動），而仍然保持相同的全部編碼速率。例如：1) e_{plus} 和 e_{minus} 可在演算法中改變頻率來切斷任何可能長期的有害穿刺。2) 可改變穿刺來改變編碼速率使得它在編碼區塊的某些區域較高，而在其他區域較低。

上述的方法是用來產生特定編碼速率的穿刺型態修改範例。所有這樣的方法可以考慮特別的情況和在該穿刺型態排列的較一般概念下的完成。改變該穿刺型態的任何方法，即產生某些原始穿刺型態的排列，有改變一個編碼的全部性能的趨勢。

一個可達到理想的全部編碼速率而避開問題穿刺型態的方法是調整在每一階段中執行的穿刺量。這個方法當被放置於 3GPP HSDPA 渦輪碼/速率調整的演算法內時，導致該虛擬遞增性冗餘（IR）暫存器的體積減少。該方法一般暗指一個對每一階段個別穿刺速率的修改，而產生一個理想的全部穿刺型態。

改變該操作點（該成對的 r_1 , r_2 ）成為某些在固定編碼速率曲線上的點（即 $r_1 \cdot r_2$ 的乘積不變），且其性能的降低在可容許的

範圍內可增加階段速率的偏差。

調整該階段穿刺速率和在該兩個同位流之間的相對速率的組合也可以減少在穿刺型態和渦輪碼性能間的問題互動。

我們可以想像將該操作點分成兩個點。其中一個對應該第一同位位元流的第一和第二階段速率調整的速率，而另一個則對應該第二同位位元流。應該選擇該兩點使得全部編碼速率不變，其兩者落於可接受性能的區域，而在速率調整第一階段之後的殘留位元的總數量不超過加強的限制，如一個 IR 暫存器。

本案提供許多簡單及有效的偵測、避免及/或改正在同位位元流的問題穿刺型態而不用避開理想編碼速率的技術。按照本發明，確認一個接近一特別編碼速率的穿刺型態，且按照該穿刺型態和該特別編碼速率的匹配而調整一個預期降低的值，將減少在穿刺誤差修正編碼傳輸的降低。

當透過穿刺而產生高編碼速率時，一般理想的是盡可能平均分佈用來穿刺的位元。使用這個方案時，不可避免的，某些編碼速率將需要效率較差的結果非穿刺位元型態。其中一個這樣的例子發生在當該非穿刺位元型態是週期性時，其具有一個等於該渦輪編碼器的遞歸編碼區塊的半週期脈衝響應的週期。可以使用一個演算法來確認所有具有降低性能的穿刺型態。

在本發明的一個特別例子中，決定一個 WTRU 的容量，其包含該 WTRU 支持的暫存器大小。使用穿刺來減少位元數目以合適該暫存器，並且調整該全部編碼速率以便提供足夠的糾錯能力。這在

穿刺的第一階段提供第一速率，並在穿刺的第二階段提供第二速率。

按照本發明，可達到在同位位元流中偵測、避免及/或改正問題穿刺型態和完成穿刺渦輪碼而不用避開理想的編碼速率。這適用於但並不限於 FDD、TDD 和其他傳輸模式，且能夠對相對較差渦輪碼性能的區域做確認或避免，其可能導因於早期習用的技術方案。

本案提供包含渦輪編碼和穿刺的前置錯誤修正 (forward error correction)，其在任何性能的量測和有效編碼速率之間可達成一個平滑的功能性關係，該有效編碼速率導因於合併由具同位位元穿刺的渦輪編碼器產生的較低編碼速率。性能量測的範例為 BLER、位元錯誤率 (bit error rate, BER)、需要的信號干擾比 (SIR) 或需要的 SNR。

在一個特別資料速率上產生一個編碼傳輸，並將一些編碼位元排除而產生穿刺的型態。在接收器端，零或其他填入 (filler) 位元被放置以取代該穿刺位元，且該解碼程序是建立在具有該遺失位元的接收訊號上。依照本發明，修改該穿刺型態是為了消除將在特別穿刺型態下發生的性能降低。特別的是，假如該穿刺型態是常規的且本質上有一個週期性，則它極可能產生一個訊號上的降低。消除該降低才可能達到理想的編碼速率。

本案特別適用於 3GPP 的編碼，且可使用於低片碼速率 (low chip rate) 的 TDD，和高片碼速率的 TDD 和 FDD。

其中一個如此的週期性的例子發生在當非穿刺型態的週期性等於該渦輪編碼器的遞歸編碼區塊的半週期脈衝響應的週期時。提供一個演算法來確認具有降低的全部穿刺型態。額外的，執行該穿刺型態的修改使得該渦輪碼的性能被儲存。

使用修改的穿刺以儲存渦輪性能。假如理想中一個系統可允許無限制的使用可用的編碼速率，則修改該穿刺型態可以儲存該性能。因此，假如理想中一個系統被認為可允許無限制的使用可用的編碼速率，則修改該穿刺型態可以儲存該性能。

合適的編碼意指從指示該頻道品質的 WTRU 中獲得的空中資訊。因此，該傳送器調整在其他參數間調整它的編碼速率。在接收不良的例子中，加入大量的冗餘（redundancy）導致一個非常低的編碼速率，但允許資料的傳送完成所要求區塊錯誤的可能性。

品質估算步驟天生不考慮也不應該去考慮可能已經使用的問題穿刺的可能性。典型的頻道品質是基於訊號功率和噪音功率而言，但不考慮已經以一個有問題的方法而穿刺的編碼器，因此 AMC 將不被用來避開有問題的編碼速率。由於頻道品質良好，因此僅需要非常少的編碼並且可以使用較高階的調變。假如頻道品質不良，則該編碼速率減小。因此，使用一個減小的資料速率來提供理想的錯誤性能。使用一個頻道品質指示器去監控該頻道品質並依序提供該資料速率控制器的輸出。

對全部供應的使用者而來決定一個合併的資料速率以測量容量。假如在一個細胞範圍內一個以上的使用者調到一個有問題的

編碼速率時，則這些使用者就被認為需要更多的功率因而減少了細胞台的容量。在許多的案例中，透過本發明可以知道或決定有問題的編碼速率，因此可避開這些速率。

本案提供一個透過一些分析方法來進一步確認問題速率的能力，並且動態或靜態避開這些速率以回應這個資訊。

對於用來產生特定編碼速率的穿刺型態的修改有一些代表性範例，如在本案中之 TDD 和 FDD 的傳輸模式中的第一層和第二層。可想像一些對於描述範例的變化。所有這樣的變化可視為特殊案例和該穿刺型態排列的更一般概念的特定實施。改變該穿刺型態的任何方法，即產生原始穿刺型態的一些排列，有改變編碼的全部性能的傾向，並且它的目的是去包含本案設想的穿刺型態的產生如此排列的排列和方法。

圖十一表示三個不同的 HS-DSCH 傳輸區塊 BLER 性能，其個別增加 4554、4705 和 4858 大小的位元。它們全部為 $1/3$ 的渦輪編碼速率，然後映射到高速實體下行分享頻道 (High Speed Physical Downlink Shared Channels, HS-PDSCH) 的穿刺降為 6072 個位元。這導致該三個增加的傳輸區塊大小的一個有效編碼速率的 0.75 倍 (標示為 $7/9^-$)、0.77 倍 (標示為 $7/9$) 和 0.80 倍 (標示為 $7/9^+$)。

當在 HS-DSCH 上的一個渦輪編碼傳輸區塊增加有效編碼速率時 (或增加相同地穿刺速率)，可預計 BLER 性能將以一定的比例降低，即隨著有效編碼速率的提高，而得到更差的性能。但不幸地這不一定會發生，在這個例子中可見到速率 0.77 ($7/9$) 的編碼

傳輸區塊需要一些比速率 0.80 的編碼傳輸區塊多 3dB 的 SNR 來達到約 10% 的相同 BLER。

對於觀察到的降低的理由是在兩個渦輪編碼器同位元流的輸出中的週期性（週期等於七），如組成的遞歸迴旋編碼器的脈衝響應所給予的，在許多例子中與第二及/或第一速率調整階段實施的穿刺型態週期性產生不良的互動。這個效應隨著穿刺速率的增高而增加。

在下列的分析中，假設一個單一 R99 速率調整區塊。然而，這個概念更一般性的將遞增性冗餘和不將遞增性冗餘實施在 R4 和 R5。對於這兩個例子的結論是該導致 SNR 降低的臨界穿刺速率是可在規則中預測的，但需要考慮一個相當複雜的參數群組。

在 Node B 的 MAC-hs 中避免臨界穿刺速率的設定，其具有一個特別的優點使目前的標準不需要改變並且能留下開放給廠商（vendor-specific）執行的細節。當這個方法更好時，使用的查詢表（look-up tables）是複雜的，且在可能的 MAC-hs 的排程器決定加上限制。

替代性地，對穿刺型態作微小的改變，其係如同目前在 TS 25.212/222 中 HS-DSCH 的調整階段產生的。這些修改僅組成一微小改變在速率調整參數產生在 TS 25.212/222 時，並且更重要的是不需要額外的發出訊號。

由於第二選擇方案（在渦輪編碼同位元流上產生穿刺型態的微小修正）過於簡單，並且它對於 MAC-hs 排程器（簡單地選擇

而不論傳輸區塊大小是如該排程器決定結果所要求的)的顯而易見性，在 TS 25.212/222 做出一個對應的改變來補救這個問題。

該組成遞歸迴旋編碼器在如 TS 25.212/222 的渦輪編碼器中有對於正時間 (positive time) 的週期七的無限的脈衝響應。在同位位元流中殘留 (即非穿刺的) 位元的某些型態的衝擊可用考慮有多少資訊留在這些殘留同位位元以表示其品質。

該渦輪編碼器產生三個位元流、對應輸出序列的系統位元、同位位元流 1 (第一組成編碼器的輸出) 和同位位元流 2 (第二組成編碼器的輸出)。

注意該組成遞歸迴旋編碼器是一個在 GF2 上的 LTI。因此，該編碼器的輸出是該編碼器的脈衝響應位移版本的總和。每一個脈衝響應的位移版本對應在 TB 中第一個位置。

某些穿刺型態可導致有關一小群橫跨在其中一個同位位元流中位元組的散佈資訊損失。例如讓 TB 包含後面跟著許多零的七個位元。現在考慮試圖決定該七個位元的問題，藉由在大量穿刺之後的編碼器的輸出觀察。每一個在該輸出做的觀察是該七個位元子集合的總和。每一個特別觀察的子集合是由該殘留位元週期和該遞歸編碼區塊的脈衝響應來決定。

對於大部分的穿刺型態，最後可觀察該七個位元的七個不同子集合的總和。因此形成七條帶有七個未知數的系統方程式。假設它們為線性獨立，則可決定該七個位元的值。

然而，當殘留位元的週期性是簡單 (每週期一個殘留同位位

元) 且與遞歸編碼區塊的週期同樣為七時，則由於該訊號的週期性，對於 $t > 6$ 的每個觀察是該七個位元的相同子集合的總和，並且隨後的觀察無法獲得新的資訊。因此，形成一個秩為一的系統方程式，但無唯一解。

當殘留位元的週期性不是七的倍數時，在幾次觀察該同位位元後，最後會形成一個秩為七的系統方程式。對於我們的七位元群，這足夠去單獨決定該位元，即有足夠的資訊來決定散佈在殘留同位位元間的位元。

對於一些非簡易週期的散佈資訊也可能損失，例如考慮非穿刺型態在一個三和四的簡單週期之間（每週期為七時有兩個殘留同位位元）輪替的例子。

這導致一個週期七非穿刺型態但具有每週期兩個殘留同位位元。上述的有關爭論產生一個秩為二的七條系統方程式。這仍然不夠單獨決定這群位元，但這的確減少他們可能跨越空間的維度。清楚地，有關 TB 的一些資訊對於非穿刺殘留位元型態也可能損失。

至少有兩個替代方案來避免在渦輪編碼輸出和在速率調整階段穿刺之間的問題互動。

避免問題穿刺型態是用一個方法，其需要該 MAC-hs 去避免使用導致降低的穿刺型態和不使用某些將接收的傳輸區塊大小映射至 HS-PDSCHs 的組合。

該避免若不是需要建立用來確認問題配置的查詢表，就是估

算先前在 MAC-hs 排程器裡描述的預期降低表示。

使用查詢表方法的一個優點是不需改變目前的標準，並且不需留給廠商特殊的執行工作。

避免方法的一個缺點是事實上它是很複雜的，假如一個特別的配置將加大性能降低時，由於該問題有許多的維度 (dimensions)，而它們將全部在決定中扮演一個重要的角色。該 MAC-hs 排程器的參數將需要額外考慮增加：

- (1) HS-DSCH 傳輸的傳輸區塊組大小；
- (2) 儲存於 WTRU 而給予 HARQ 的軟資訊位元數量；以及
- (3) 分配給 HS-PDSCHs 的實體頻道位元數量。

對於 FDD 而言，這些參數被隱含於有關該頻道化編碼的數目和調變格式 $i(1 < i < 29)$ 的合併指示器以及在 TS25.321 中該傳輸區塊大小 $k_i(0 < k_i < 62)$ 。

以下描述的是本案的一個實施例，其包含先前描述技術的組合。

該混和 ARQ 技術地分配在該頻道編碼器輸出上的位元數目給該 HS-DSCH 映射到該 HS-PDSCHs 組的總位元數目。遞歸版本 (redundancy version, RV) 參數控制該混和 ARQ 的功能性。在混和 ARQ 功能性的輸出上的精確位元組將依賴輸入位元的數目、輸出位元的數目和該 RV 參數。

該混和 ARQ 的功能性包含兩個速率調整階段和一個虛擬暫存器。

第一速率調整階段分配輸入位元的數目給該虛擬 IR 暫存器，相關的資訊由較高層（layer）提供。注意假如輸入位元的數目沒有超過該虛擬 IR 暫存容量時，該第一速率調整階段是顯而易見的。

第二速率調整階段分配在第一速率調整階段之後的位元數目給在該 TTI 的 HS-PDSCH 組有用的實體頻道位元數目。

使用標記的定義：

N^{TTI} ：速率調整前在傳輸時間間格中的位元數目。

ΔN_i ：一個中間的計算變數。

$\Delta N_{i,l}^{TTI}$ ：若為正值，則代表具有傳輸格式 l 的 TrCH i 上的每一個傳輸時間間格裡重複的位元數目。

若為負值，則代表具有傳輸格式 l 的 TrCH i 上的每一個傳輸時間間格裡穿刺的位元數目。

ΔN_{PARITY} ：在 HARQ 的第一次速率調整階段中，調整同位流長度的位元數目。

ΔN_{data} ：在 TTI 中對 HS-DSCH 有用的位元總數。

e_{ini} ：在速率調整型態決定演算法中變數 e 的初始值。

e_{plus} ：在速率調整型態決定演算法中變數 e 的增加值。

e_{minus} ：在速率調整型態決定演算法中變數 e 的減少值。

b：指示系統和同位位元

b=1：系統位元， x_k 。

b=2：第一同位位元（從上渦輪組成編碼器）， z_k 。

b=3：第二同位位元（從下渦輪組成編碼器）， z_k 。

HARQ 位元分離的功能應該以渦輪編碼 TrCHs 位元分離相同的方式來執行。

HS-DSCH 傳輸頻道的 HARQ 第一階段速率調整使用以下具有下列特定參數的方法來執行。

在該虛擬 IR 暫存器中有用的軟位元的最大數目是 N_{IR} ，其係為從每一個 HARQ 過程的較高層發出的訊號。在速率調整前一個 TTI 中編碼位元的數目是 N^{TTI} ，這是由較高層發出的資訊和每一個 TTI 的高速同步控制頻道 (High Speed Synchronization Control Channel, HS-SCCH) 發出的參數所推論出來的。注意 HARQ 的處理和實體層的儲存獨立地發生於每一個 HARQ 過程一般存在時。

假如 N_{IR} 不小於 N^{TTI} 時 (即所有對應 TTI 的編碼位元可以被儲存。), 第一速率調整階段應該是顯而易見的。例如這可由設定 $e_{min us}=0$ 來完成。注意到並不執行重複的動作。

假如 N_{IR} 大於 N^{TTI} 時, 該同位位元流藉由設定速率調整參數 $\Delta N_{i,l}^{TTI} = N_{IR} - N^{TTI}$ 來完成穿刺, 其中下標 i 和 l 表示在參考的次項目中的傳輸頻道和傳輸格式。注意到當速率調整階段執行穿刺時, 其值為負的。選擇來穿刺的位元, 記做 δ , 應該被丟棄並且不被計算在通過該虛擬 IR 暫存器的全部位元流的數目以內。

假如執行第一階段穿刺時, 應該執行下列的步驟。使用指標 b 來指示系統位元 ($b=1$)、第一同位位元 ($b=2$) 和第二同位位元 ($b=3$)。參數 ΔN_{PARITY} 是改變同位流中的長度, 以避免問題穿刺速率的發生。

第一階段速率調整變化值如以下所計算：

假如執行穿刺時：

$$X_i = \lfloor N^{TTI} / 3 \rfloor \quad PR = \frac{\lfloor -\Delta N_{il}^{TTI} / 2 \rfloor}{X_i}; \quad \Delta N_{PARITY} = 0; \quad \delta_{PR} = 49; \quad \alpha = 1$$

while ($\alpha \leq 4$)

$$round = \frac{\lfloor 7 \cdot \alpha \cdot PR + \frac{1}{2} \rfloor}{7 \cdot \alpha}$$

$$\lambda = PR - round$$

if $\left(\left| \lambda \right| > \frac{1}{\delta_{PR}} \right)$ or $\left(PR > \frac{48}{49} \right)$ or $\left(PR < \frac{1}{49} \right)$ then

$$\alpha = \alpha + 1$$

$$\delta_{PR} = 98$$

else if ($\lambda > 0$) then

$$\Delta N_{PARITY} = \left\| \left\lfloor -\Delta N_{il}^{TTI} / 2 \right\rfloor - X_i \cdot \left(round - \frac{1}{\delta_{PR}} \right) \right\|$$

$$\alpha = 5$$

else

$$\Delta N_{PARITY} = \left\| \left\lfloor -\Delta N_{il}^{TTI} / 2 \right\rfloor + X_i \cdot \left(round - \frac{1}{\delta_{PR}} \right) \right\|$$

$$\alpha = 5$$

end if

end while

$$\Delta N_i = \begin{cases} \left\lfloor -\Delta N_{il}^{TTI} / 2 \right\rfloor - \Delta N_{PARITY}, & b = 2 \\ \left\lfloor -\Delta N_{il}^{TTI} / 2 \right\rfloor + \Delta N_{PARITY}, & b = 3 \end{cases}$$

$$a = 2 \text{ 當 } b = 2$$

$$a = 1 \text{ 當 } b = 3$$

假如 ΔN_i 在 $b=2$ 或 $b=3$ 時為零時，則不應該執行下列對應同位元流的步驟和速率調整演算法。

對於每一個無線框架，應該計算速率調整型態，其中：

X_i 如上所示

$$e_{ini} = X_i$$

$$e_{plus} = a \times X_i$$

$$e_{minus} = a \times |\Delta N_i|$$

HS-DSCH 傳輸頻道的 HARQ 第二階段速率的調整使用兩個可能方法之一來完成。

假如使用第二階段穿刺，並且其中一個同位流的複合穿刺速率在使用以下公式計算時落在以下任何的區間時， $[91/128, 92/128]$ 、 $[217/256, 222/256]$ 、 $[231/256, 232/256]$ 、 $[237/256, 238/256]$ ，則應該穿刺該同位流。注意到穿刺可能發生在兩個同位流其中之一，或兩者皆發生，或甚至皆不發生，但絕不會發生在系統同位流上。

複合穿刺比 (Composite Puncturing Ratio)，

$$CPR = \begin{cases} \frac{\lfloor N^{TTI}/3 \rfloor - N_{t,p1}}{N^{TTI}/3}, b=2 \\ \frac{\lfloor N^{TTI}/3 \rfloor - N_{t,p2}}{N^{TTI}/3}, b=3 \end{cases}$$

此外，HS-DSCH 傳輸頻道的第二階段速率調整應該用下列的參數來完成。被選擇來穿刺的位元，其表示為 δ ，應該被丟棄並且不被計算在接近該位元收集的位元流內。

第二速率調整階段的參數取決於該 RV 參數 s 和 r 的值。該參數 s 在傳輸期間使用 0 和 1 的值來區分依先後順序處理的系統位元 ($s=1$) 和非系統位元 ($s=0$)。該參數 r (範圍從 0 到 $r_{max}-1$) 在穿刺的時候，改變初始錯誤變數 e_{ini} 。在重複的時候，參數 s 和 r

兩者改變初始錯誤變數 e_{ini} 。該參數 X_i 、 e_{plus} 和 e_{minus} 用下列的表一來計算。

將第二速率調整之前的位元數目記做 N_{sys} 以代表該系統位元， N_{p1} 代表同位 1 位元 (parity 1 bits)，而 N_{p2} 代表同位 2 位元 (parity 2 bits)。將使用在 HS-DSCH 的實體頻道數目記做 P 。 N_{data} 是在一 TTI 中對 HS-DSCH 有效的位元數目，並且定義 $N_{data} = P \times 3 \times N_{data1}$ 。該速率調整參數決定如下。

對於 $N_{data} \leq N_{sys} + N_{p1} + N_{p2}$ 時，在第二速率調整階段中執行穿刺。傳輸時的傳輸系統位元的數目，對於系統位元優先而言的傳輸是 $N_{t,sys} = \min\{N_{sys}, N_{data}\}$ ，而對於非系統位元優先而言的傳輸是 $N_{t,sys} = \max\{N_{data} - (N_{p1} + N_{p2}), 0\}$ 。

對於 $N_{data} > N_{sys} + N_{p1} + N_{p2}$ 時，在第二速率調整階段中執行重複。設定傳輸系統位元的數目為 $N_{t,sys} = \left\lfloor N_{sys} \cdot \frac{N_{data}}{N_{sys} + 2N_{p1}} \right\rfloor$ 來完成在全部位元流中的相似重複。

在傳輸中的同位位元數目對個別的同位 1 和同位 2 位元而言是： $N_{t,p1} = \max\left(\left\lfloor \frac{N_{data} - N_{t,sys}}{2} \right\rfloor - \Delta N_{PARITY}, 0\right)$ 和 $N_{t,p2} = N_{data} - (N_{t,sys} + N_{t,p1})$ 。

	X_i	e_{plus}	e_{minus}
系統 RM S	N_{sys}	N_{sys}	$ N_{sys} - N_{t,sys} $
同位 1 RM P1_2	N_{p1}	$2 \cdot N_{p1}$	$2 \cdot N_{p1} - N_{t,p1} $
同位 2 RM P2_2	N_{p2}	N_{p2}	$ N_{p2} - N_{t,p2} $

表一：HARQ 第二速率調整的參數

上述的表一摘要了對第二速率調整階段的參數選擇結果。對於每一個位元流的速率調整參數 e_{ini} 是按照 RV 參數 r 和 s 來計算，其在穿刺時為 $e_{ini}(r) = \{(X_i - \lfloor r \cdot e_{plus} / r_{max} \rfloor - 1) \bmod e_{plus}\} + 1$ ，即 $N_{data} \leq N_{sys} + N_{p1} + N_{p2}$ 。而在重複時為 $e_{ini}(r) = \{(X_i - \lfloor (s + 2 \cdot r) \cdot e_{plus} / (2 \cdot r_{max}) \rfloor - 1) \bmod e_{plus}\} + 1$ ，即 $N_{data} > N_{sys} + N_{p1} + N_{p2}$ 。其中 $r \in \{0, 1, L, r_{max} - 1\}$ ，而 r_{max} 是改變 r 而得到的全部冗餘版本的數目。注意到 r_{max} 是依調變模式而變化，即對於 16QAM 而言， $r_{max}=2$ ，而對 QPSK 而言， $r_{max}=4$ 。

注意：在模操作下 (modulo operation) 使用下列的說明： $(x \bmod y)$ 的值嚴格限制在 0 到 $y-1$ 的範圍內（即 $-1 \bmod 10=9$ ）。

HS-DSCH 傳輸頻道的 HARQ 第二階段速率調整將以下列的方式完成，其將每一個位元流以下列計算的特定參數分離為區塊 (segment)。被選擇來穿刺的位元，其表示為 δ ，應該被丟棄並且不被計算在接近該位元收集的位元流內。

該同位位元流將被分為三個區塊，第一區塊將由同位流的第一 X_{seg1} 位元所組成，第二區塊將由下一個 X_{seg2} 位元所組成，而最後區塊將由剩下的 X_{seg3} 位元所組成。

第一區塊記做 $x_{i,1}, x_{i,2}, \dots, x_{i,X_{seg1}}$ ；

第二區塊記做 $x_{i,X_{seg1}+1}, x_{i,X_{seg1}+2}, \dots, x_{i,X_{seg2}}$ ；

而最後區塊記做 $x_{i,X_{seg1}+X_{seg2}+1}, x_{i,X_{seg1}+X_{seg2}+2}, \dots, x_{i,X_i}$ ；

其中 $X_{seg1} = 42 \cdot \lfloor X_i / 98 \rfloor$, $X_{seg2} = 56 \cdot \lfloor X_i / 98 \rfloor$, $X_{seg3} = X_i \bmod 98$

注意：假如當 X_i 少於 98 出現在只有第三區塊存在時，且假如 X_i 是 98 的倍數而第三區塊是空的時候。對於這些特別的區塊是空的情況而言，則當然不會在不存在的區塊上執行任何的穿刺。

HARQ 第二速率調整階段的額外參數用在問題穿刺速率。

計算參數 P 、 N_{data} 、 N_{sys} 、 N_{p1} 、 N_{p2} 、 $N_{p,t1}$ 和 $N_{p,t2}$ ，額外參數定義如下。

將第二速率調整前，分離後的同位 1 位元的數目對於個別在第一、第二和第三區塊的同位 1 位元記做 $N_{p1,seg1}$ 、 $N_{p1,seg2}$ 和 $N_{p1,seg3}$ 。將第二速率調整前，分離後的同位 1 位元的數目對於個別在第一、第二和第三區塊的同位 2 位元記做 $N_{p2,seg1}$ 、 $N_{p2,seg2}$ 和 $N_{p2,seg3}$ 。速率調整參數決定如下。

對 $N_{data} \leq N_{sys} + N_{p1} + N_{p2}$ 而言，在第二速率調整階段執行穿刺。

分離後的同位位元數目為

$$N_{pb,seg1} = 42 \cdot \lfloor N_{pb} / 98 \rfloor$$

$$N_{pb,seg2} = 56 \cdot \lfloor N_{pb} / 98 \rfloor$$

$$N_{pb,seg3} = N_{pb} \bmod 98$$

對於同位 1 位元 ($b=2$) 和同位 2 位元 ($b=3$) 在每一個區塊的同位位元數目為：

$$N_{t,pb,seg1} = \left\lfloor \frac{49 \cdot N_{t,pb} \cdot \lfloor N_{pb} / 98 \rfloor}{N_{pb}} + \frac{1}{2} \right\rfloor ;$$

$$N_{t,pb,seg2} = \left\lfloor \frac{49 \cdot N_{t,pb} \cdot \lfloor N_{pb} / 98 \rfloor}{N_{pb}} + \frac{1}{2} \right\rfloor ;$$

$$N_{t,pb,seg3} = N_{t,pb} - (N_{t,pb,seg1} + N_{t,pb,seg2})$$

參數 X_i 、 e_{plus} 和 e_{minus} 以下面的表二來計算。

流	區塊 t	X_i	e_{plus}	e_{minus}
系統 RM S		N_{sys}	N_{sys}	$ N_{sys} - N_{t,sys} $
同位 1 RM P1_2	第一	$N_{p1,seg1}$	$2 \cdot N_{p1,seg1}$	$2 \cdot N_{p1,seg1} - N_{t,p1,seg1} $
	第二	$N_{p1,seg2}$	$2 \cdot N_{p1,seg2}$	$2 \cdot N_{p1,seg2} - N_{t,p1,seg2} $
	第三	$N_{p1,seg3}$	$2 \cdot N_{p1,seg3}$	$2 \cdot N_{p1,seg3} - N_{t,p1,seg3} $
同位 2 RM P2_2	第一	$N_{p2,seg1}$	$2 \cdot N_{p2,seg1}$	$2 \cdot N_{p2,seg1} - N_{t,p2,seg1} $
	第二	$N_{p2,seg2}$	$2 \cdot N_{p2,seg2}$	$2 \cdot N_{p2,seg2} - N_{t,p2,seg2} $
	第三	$N_{p2,seg3}$	$2 \cdot N_{p2,seg3}$	$2 \cdot N_{p2,seg3} - N_{t,p2,seg3} $

表二：顫抖 (dithered) 的第二速率調整參數

對於每一個位元流的區塊，該速率調整參數 e_{ini} 是按照 RV 參數 r 和 s 來計算，其在穿刺時為 $e_{ini}(r) = \{(X_i - \lfloor r \cdot e_{plus} / r_{max} \rfloor - 1) \bmod e_{plus}\} + 1$ 。其中 $r \in \{0, 1, L, r_{max} - 1\}$ ，而 r_{max} 是改變 r 而得到的全部冗餘版本的數目。注意到 r_{max} 是依調變模式而變化，即對於 16QAM 而言， $r_{max}=2$ ，而對 QPSK 而言， $r_{max}=4$ 。

注意：注意：在模操作下 (modulo operation) 使用下列的說明： $(x \bmod y)$ 的值嚴格限制在 0 到 $y-1$ 的範圍內 (即 $-1 \bmod 10=9$)。該速率調整演算法被依序要求同位流的每一個區塊。

對於兩個同位流，在該速率調整演算法之後已經被要求三個區塊中的每一個，該三個穿刺區塊應該被一起連鎖在他們原始的命令。

該再連鎖的位元流記做：

$$x_{o,seg1,1}, x_{o,seg1,2}, x_{o,seg1,N_{t,p1,seg1}}, x_{o,seg2,1}, x_{o,seg2,2}, \dots, x_{o,seg2,N_{t,p1,seg2}}, x_{o,seg3,1}, x_{o,seg3,2}, \dots, x_{o,seg3,N_{t,p1,seg3}}$$

該 HARQ 位元收集以 $N_{row} \times N_{col}$ 大小的方形交錯器 (rectangular

interleaver) 來完成。行跟列的數目是由下列決定：

對於 16QAM, $N_{row}=4$ ，而對於 QPSK, $N_{row}=2$

$$N_{col}=N_{data}/N_{row}$$

其中使用 N_{data} 。

資料是逐欄的寫入該交錯器，而從第一欄開始逐欄的從該交錯器讀出。

$N_{t,sys}$ 是傳送系統位元的數目。中間的值 N_r 和 N_c 使用下列計算：

$$N_r = \left\lfloor \frac{N_{t,sys}}{N_{col}} \right\rfloor \text{ 且 } N_c = N_{t,sys} - N_r \cdot N_{col}$$

假如 $N_c=0$ 且 $N_r>0$ ，則該系統位元被寫入第 $1, \dots, N_r$ 列。

此外系統位元在第一個 N_c 欄位中被寫入第 $1, \dots, N_r+1$ 列，且假如 $N_r>0$ 時，系統位元在剩下的 $N_{col}-N_c$ 的欄位中也被寫入第 $1, \dots, N_r$ 列。

剩下的空間被填滿同位位元。該同位位元以欄方向填入各自欄位的剩餘的列。同位 1 和同位 2 位元以替代的順序填入，以一個同位 2 位元開始在一個具有最低指標數的第一個有效欄位。假如兩個同位流具有不一樣的長度，同位 1 和同位 2 位元應該交替的寫入，再以一個同位 2 位元開始，直到較短的同位流結束，然後較長的流中的殘留同位位元應該被寫入。

對於 16QAM 的每一欄而言，該位元以第一列、第二列、第三列、第四列的順序從交錯器讀出。對於 QPSK 的每一欄而言，該位

元以第一列、第二列的順序從交錯器讀出。

當速率調整問題的分析被限制在第一階段的 HS-DSCH 速率調整情況是顯而易見時，在速率調整型態的週期性和渦輪編碼器固有的週期性之間的互動產生性能降低。特別的是，它表示出在問題編碼速率上，殘留位元（即非穿刺的）的位置（即在非穿刺位元流）落在相同的位置，或對於非穿刺流的長區塊而言，在一個七週期的模態的位置裡。性能的降低已經被證明透過相同的機制而提高，當第一階段不是顯而易見時。

在下列的敘述中，一個“穿刺型態”被定義為從一個原始流中穿刺的位元位置的型態。“穿刺速率”被定義為在原始位元流中在穿刺位元位置間（包含穿刺位置）的位元數目的倒數。

在兩階段的速率調整的例子中，導致降低的穿刺可能以兩個方法發生：

- 1) 只從第一階段穿刺的位元出現的型態

- 2) 在第二階段之後穿刺的位元出現的型態，這個型態取決於第一和第二速率調整階段兩者。

為了避免導致性能降低的其中一個穿刺機制，下列的方法已經被採用：

在第一階段，測試該穿刺是否會產生一個問題穿刺型態。由估算一個“隱含持續”（implicit duration）函數來完成，其預測在穿刺型態中週期性的長度。第一階段速率調整只在假如計算的隱含持續函數指在這個例子中，示出需要時才調整。在這個例

子中，在第一位元流中穿刺的位元數微小的增加，而在第二位元流的數目是對應的微小減少。這擁有在兩流中穿刺速率位移的效應以打破七週期的模態，當保持穿刺位元的總數時也一樣。保持在每一流中穿刺速率的調整能夠小到使每一流中執行的編碼不受影響。

在第二階段，一個對於每一位元流的複合穿刺速率，考慮計算實現在第一階段中對穿刺速率的調整。在每一位元流的穿刺速率以一個查詢表比較，其查詢表預測模態為七週期型態的速率，因此將會提高編碼性能的降低。假如一個位元流的複合速率落在一個問題速率的範圍內，則執行一個“顫抖”（dithering）演算法。

假如在第一階段的穿刺速率的穿刺型態將導致速率降低，或在第二階段速率調整後可能得到一個不需要的型態時，在兩個同位流中執行不同穿刺速率。在這個例子中，在第一同位流中位元穿刺的數目以一個 $\Delta \text{NPARITY}$ 的量減少，同時在第二同位流中位元穿刺的數目以相同的量增加。是否應該執行這樣改變的決定是視一個計算的參數而定，其估算在該非穿刺流中維持相同模態七位置的殘留位元串長度的倒數。這個長度變得比 49 個位元還長（即七模態七週期），然後執行對該位元流長度的調整。

該顫抖穿刺演算法可以應用於在第二階段的兩個同位流其中之一或兩者。當處理一個同位流時，該演算法採用兩個穿刺速率，其中一個高於原始的穿刺速率，而另一個則低於；然後它在這兩

個穿刺速率間切換，同時對該同位元流執行穿刺。穿刺位元的總數被保持與原始演算法相同。一般可能在一個同位流內的兩個穿刺速率之間有一個或許多個切換點。切換點的數目對性能而言並不關鍵，因為在每一速率上穿刺的位元流片段與切換點的數目是分別獨立的。

切換點的數目被設定為一個（或兩個），意指該穿刺流包含兩個（或三個）該第一區塊使用一個低於原始速率的穿刺速率，而該第二區塊使用一個高於原始速率的穿刺速率的區塊（segments）。假如無法解釋全部的同位流，則在原始速率上穿刺的最後允許一個第三區塊。該第三區塊維持在短的狀態，且在穿刺精確的數量上允許維持全部的穿刺速率。以這個方法來將該同位流分成少量的區塊，則該原始速率調整演算法可以簡單地以一些次要參數的改變來使用。

在第一區塊上較高的穿刺速率和原始速率之間，以及在第二區塊上較低的穿刺速率和原始速率之間的不同已經被設為 $1/49$ 。這個選擇避免在所有範例中的問題速率，並且在編碼速率上不會產生一個明顯的改變。

在主要的例子中，該修改的速率調整演算法在如先前定義的完全相同的方法下操作。在次要的例子中，其第一或第二階段速率調整將導致一個性能降低時，執行不同長度位元流和/或顫抖。這兩者修改並沒有以任何方式改變速率調整步驟的本體，但卻應用了速率調整參數。此外在一個實施例中，該修改可以用一個對

該速率調整 DSP 軟體 (Rate Matching DSP software) 的修改來完成，而不會影響系統的其他任何部分。

上述是對提供、偵測、避免/改正問題渦輪碼穿刺型態的較佳實施例和替代解決方案的描述。由於本案已經以相關的較佳實施例來表示及描述，熟習該技術之人士將會瞭解在本案在任何形式上的改變和不脫如上述發明範圍內的細節。

伍、中文發明摘要：

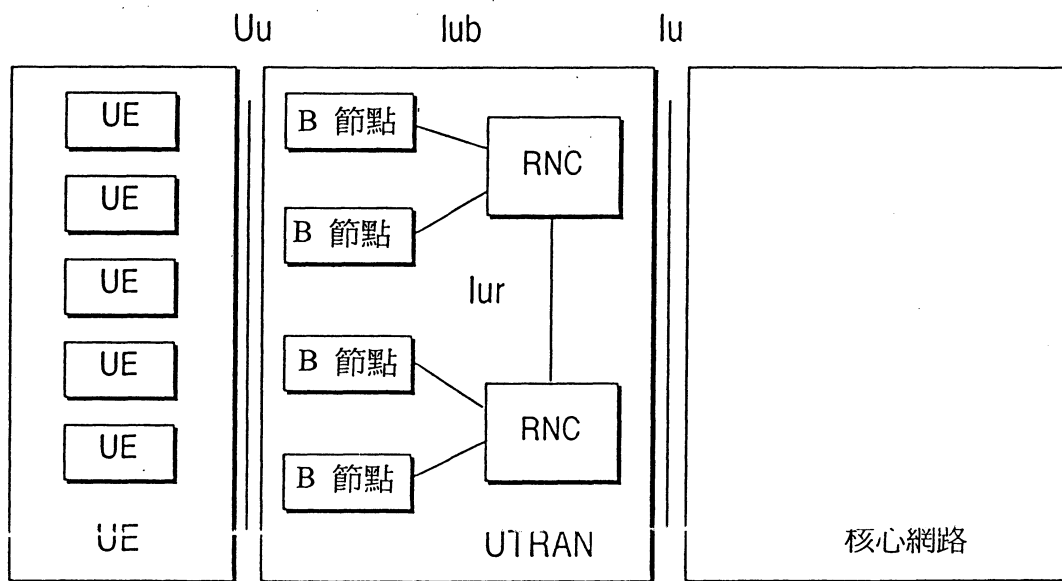
不需避開理想的編碼速率 (code rates) 而實施穿刺的渦輪碼 (punctured Turbo codes) 時，在同位位元流 (parity bit streams) 中使用的偵測、避免及/或改正問題穿刺型態。這可使相當差的渦輪碼性能區域能夠被確認及避免。由於合併由渦輪解碼器產生的較低速的編碼與同位位元的穿刺，包含渦輪編碼和穿刺 (puncturing) 的前置錯誤修正 (forward error correction) 能在任何的性能量測和編碼率效能之間到達一個平順功能性關係。在其中一個實施例中，當使用兩個或兩個階段以上的速率調整 (rate matching) 時，穿刺的交互作用提供了改正/避免對於由渦輪編碼產生的降低 (degradations) 之方法。

陸、英文發明摘要：

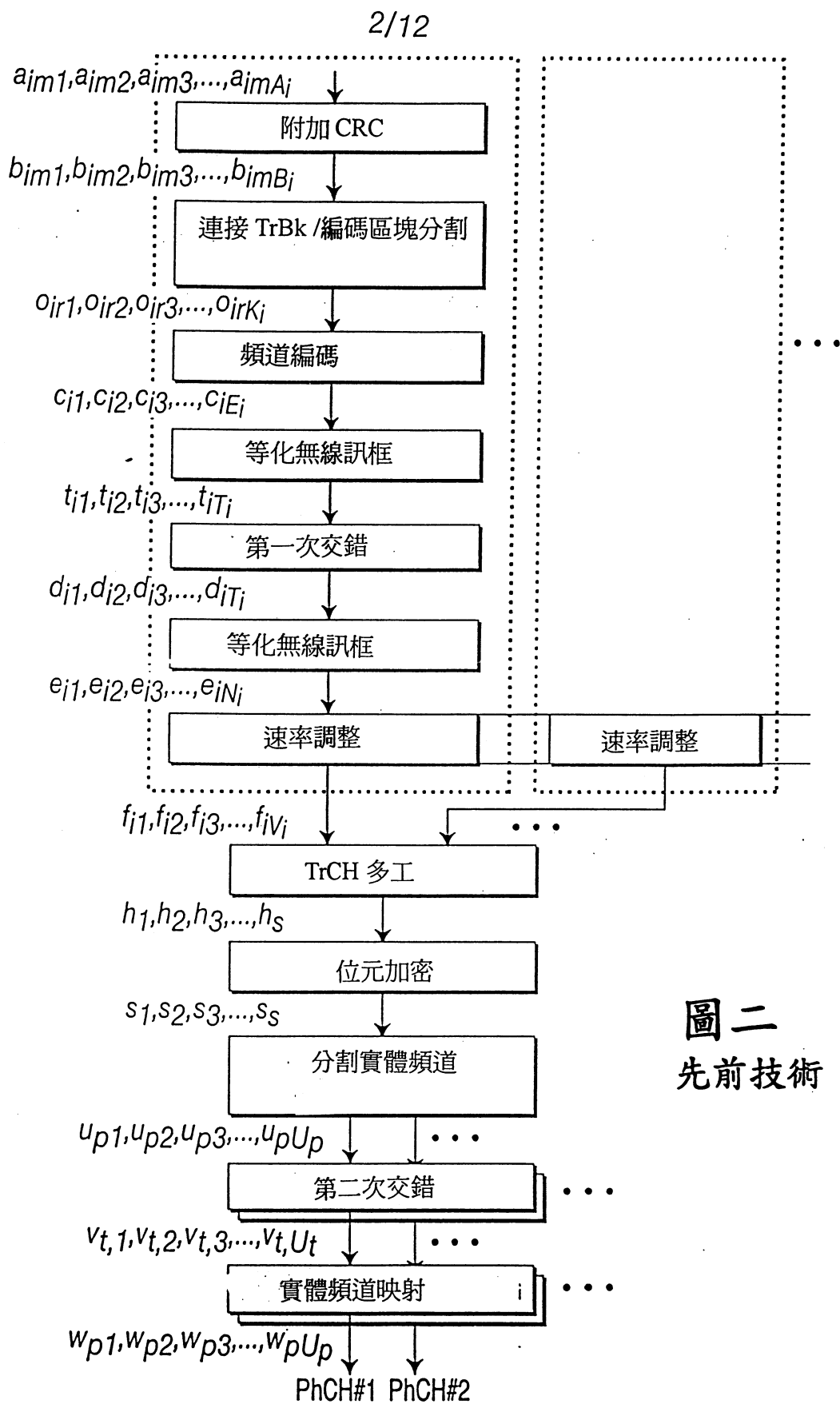
Detecting, avoiding and/or correcting problematic puncturing patterns in parity bit streams used when implementing punctured Turbo codes is achieved without having to avoid desirable code rates. This enables identification/avoidance of regions of relatively poor Turbo code performance. Forward error correction comprising Turbo coding and puncturing achieves a smooth functional relationship between any measure of performance and the effective coding rate resulting from combining the lower rate code generated by the Turbo encoder with puncturing of the parity bits. In one embodiment, methods to correct/avoid degradations due to Turbo coding are implemented by puncturing interactions when two or more stages of rate matching are employed.

拾壹、圖式：

1/12

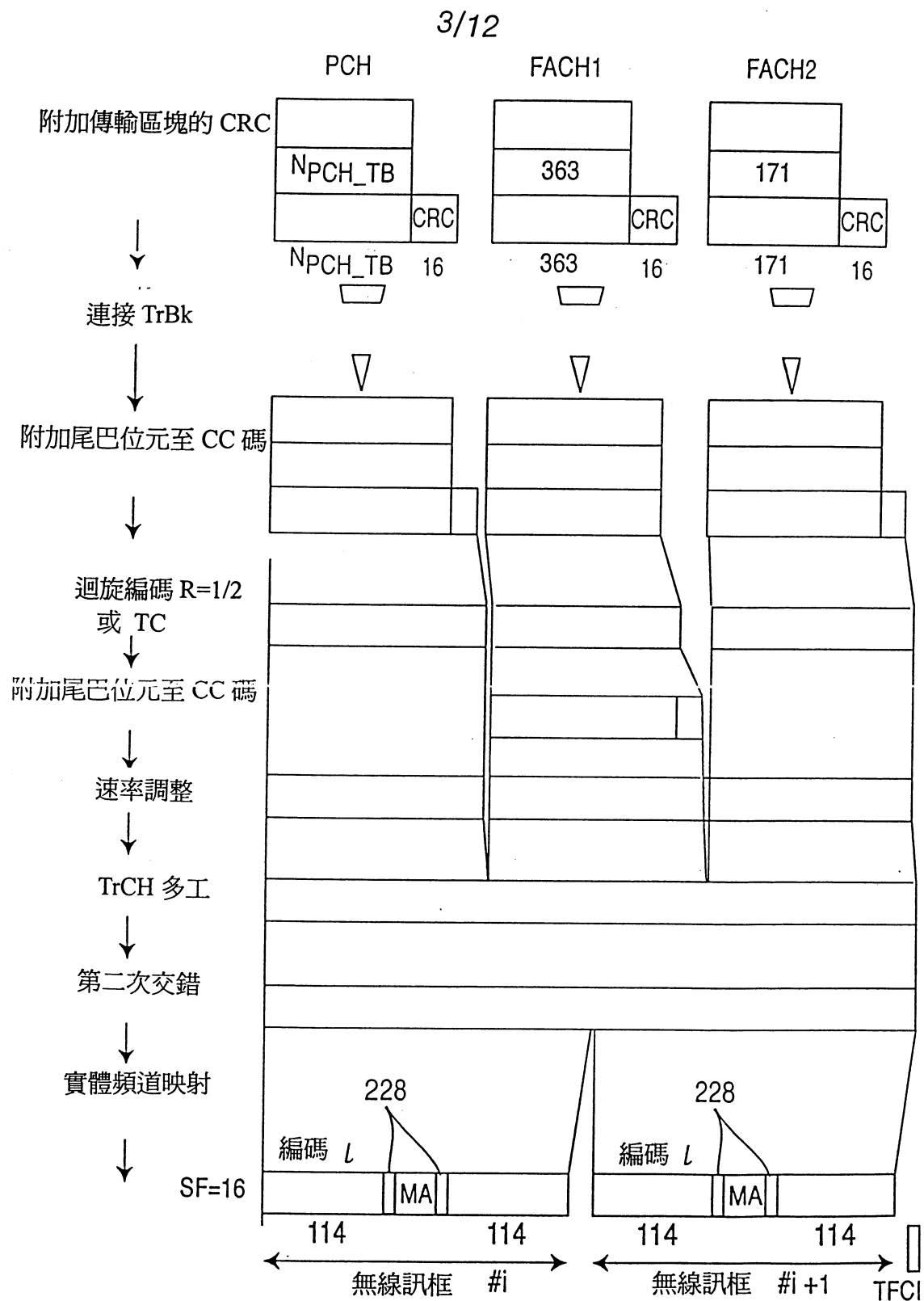
圖一
先前技術

拾壹、圖式：



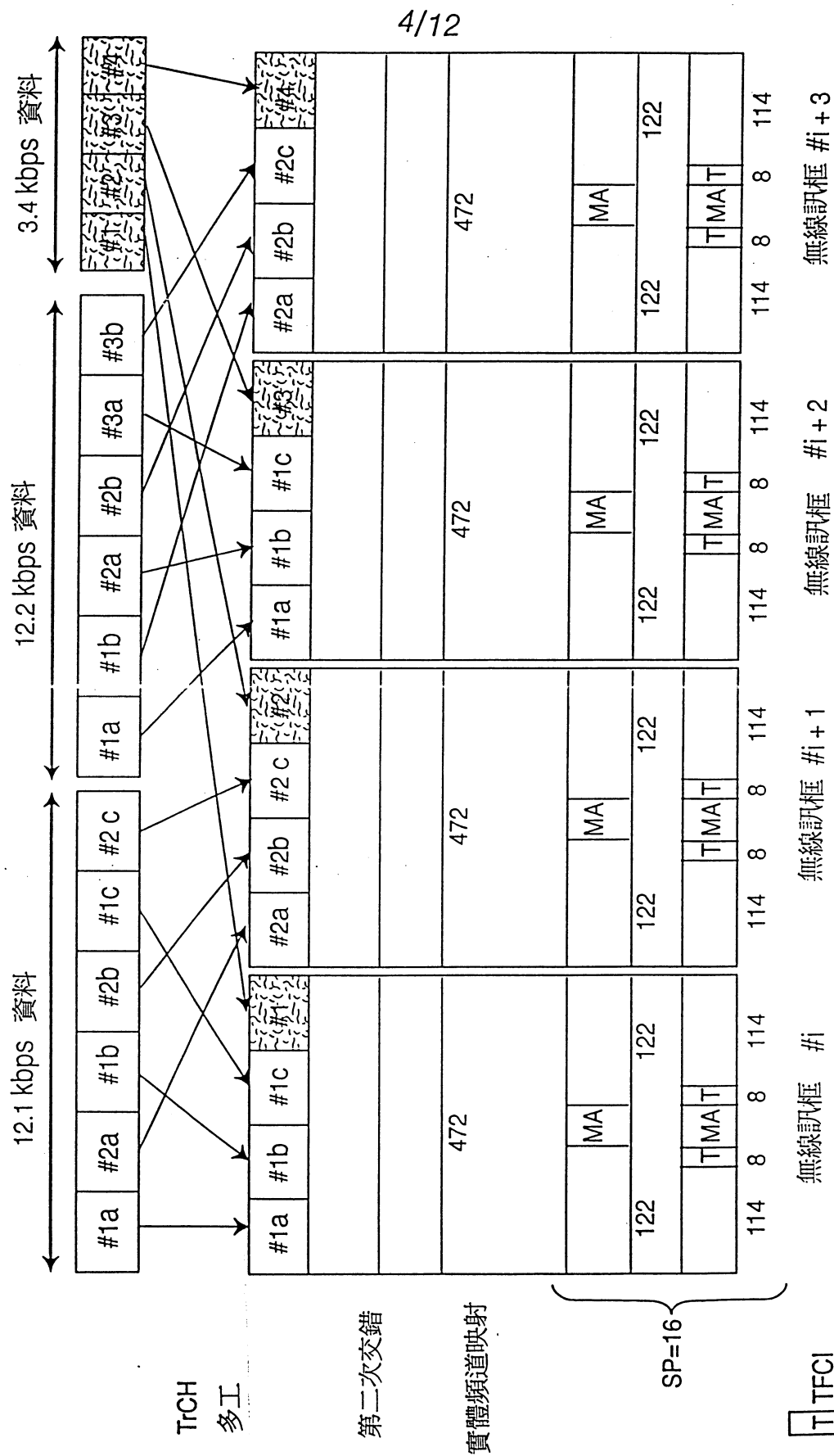
圖二
先前技術

拾壹、圖式：



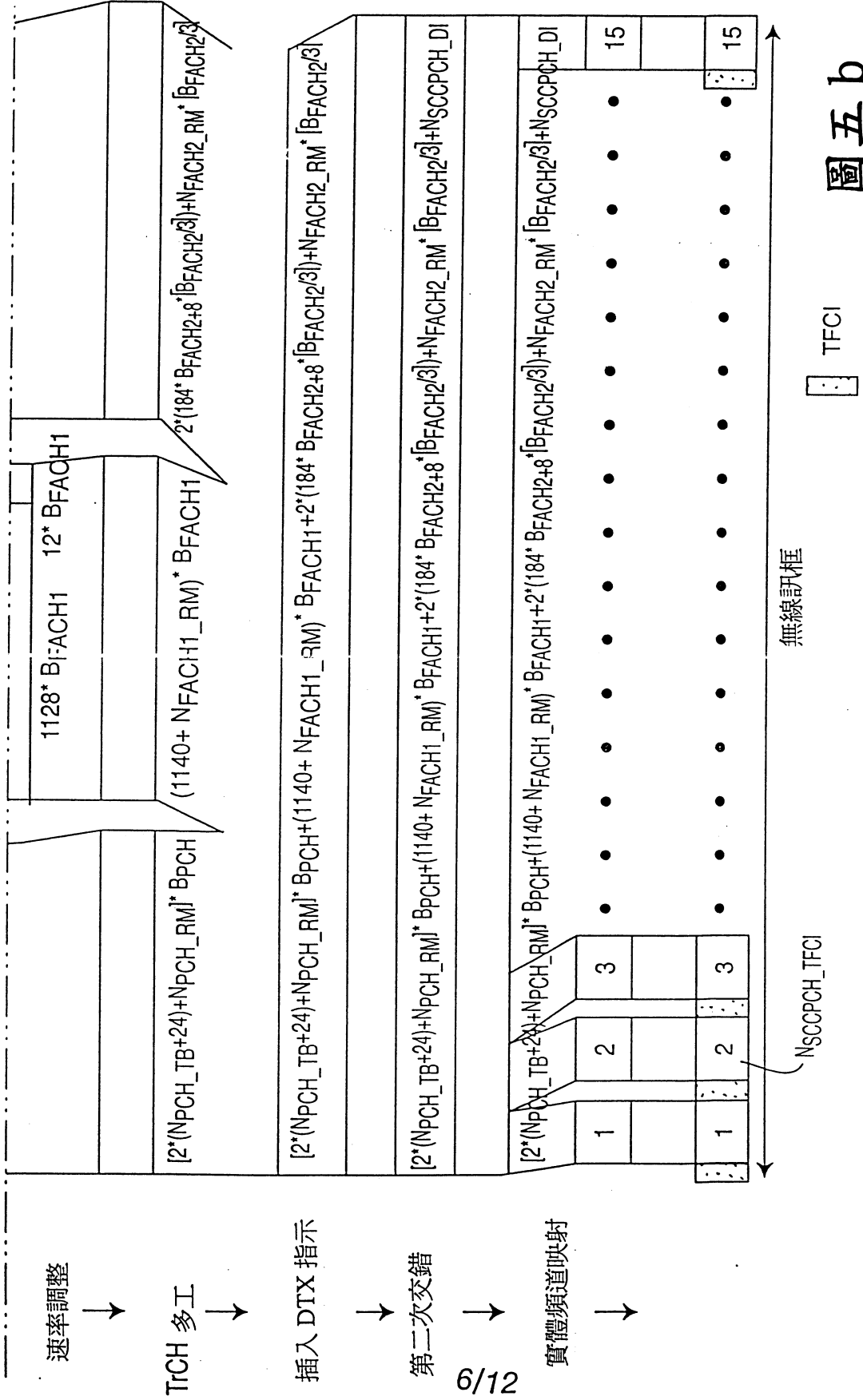
圖三
先前技術

拾壹、圖式：



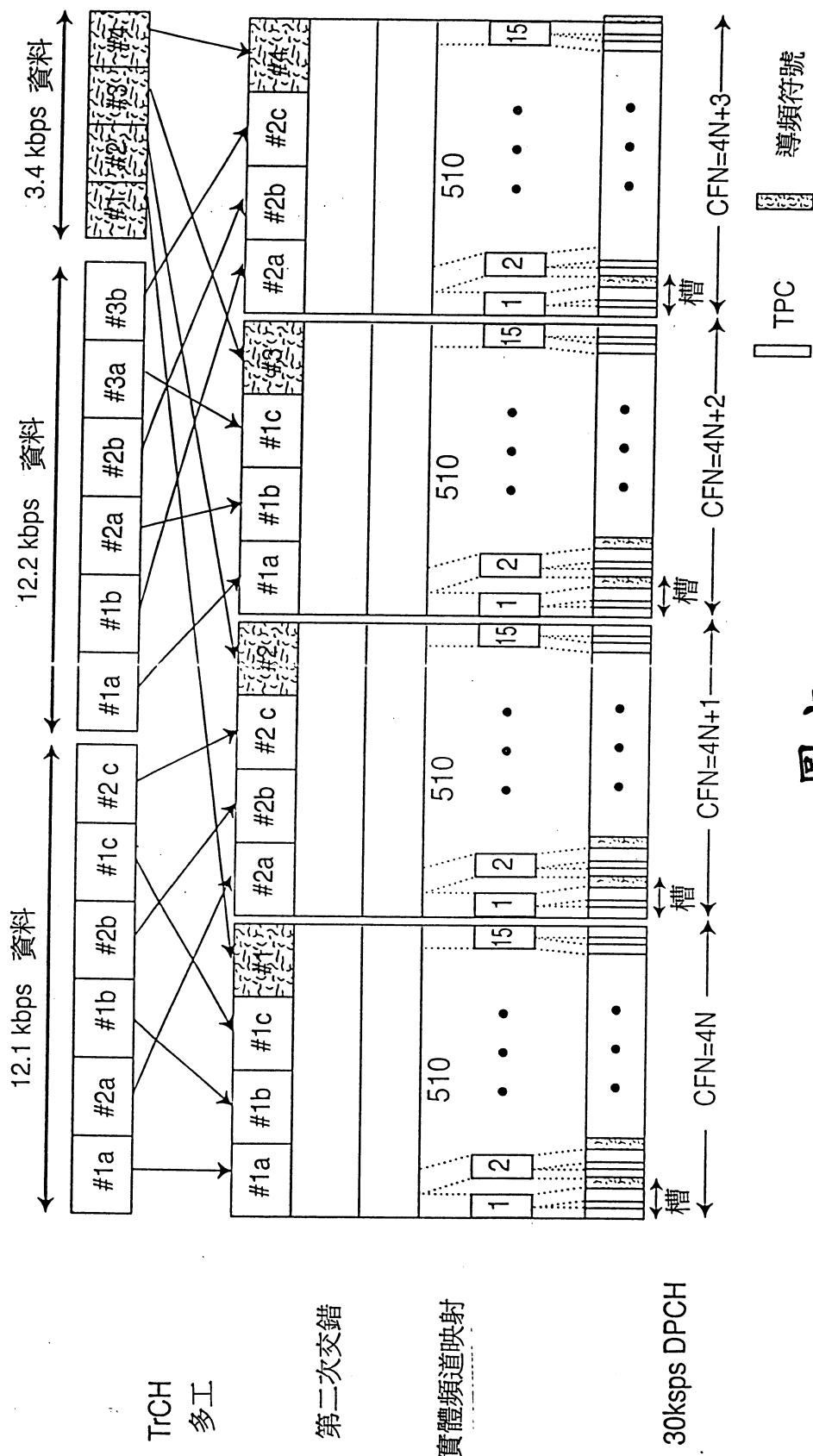
圖四 先前技術

拾壹、圖式：



拾壹、圖式：

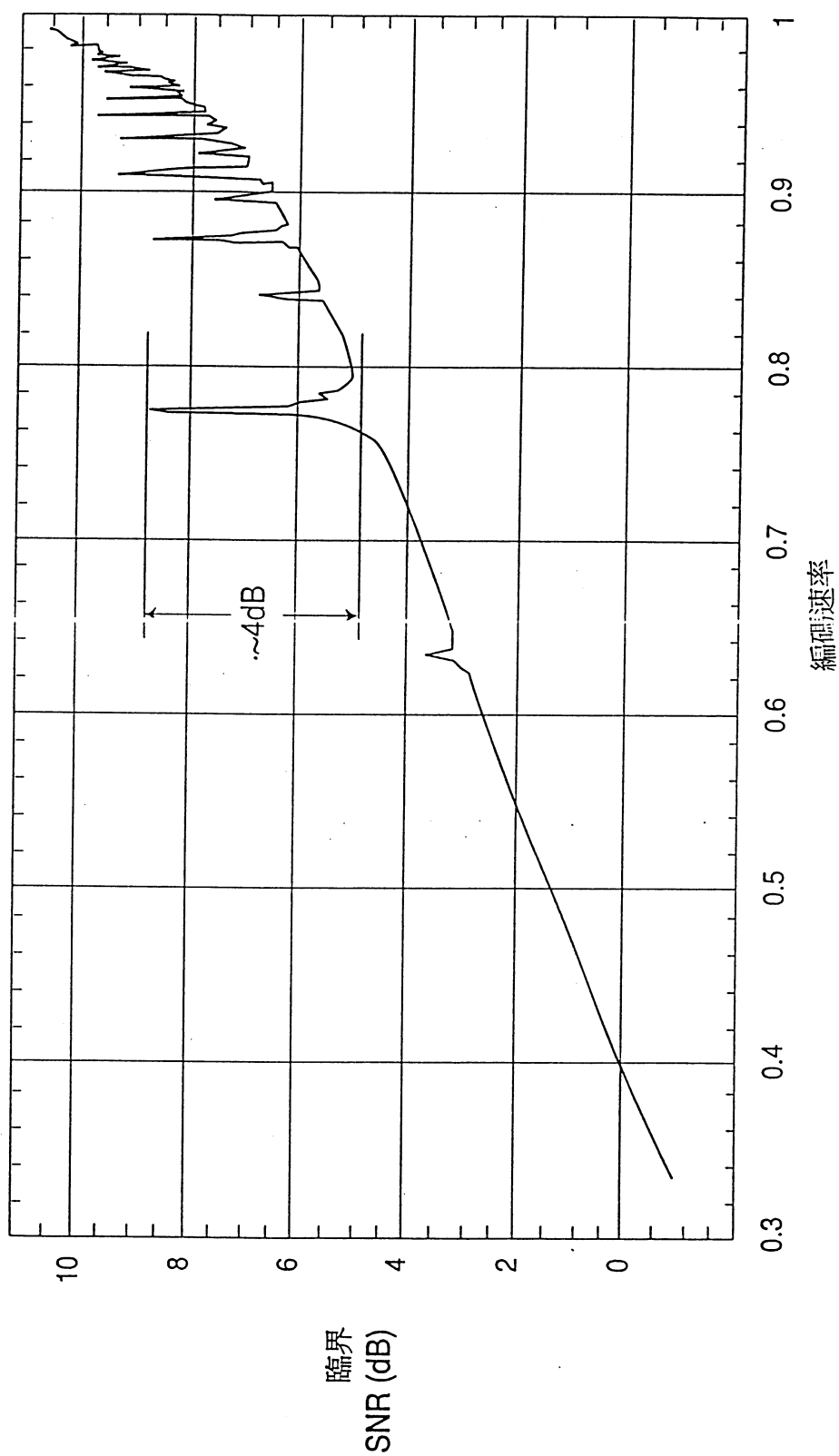
7/12



圖六
先前技術

拾壹、圖式：

8/12

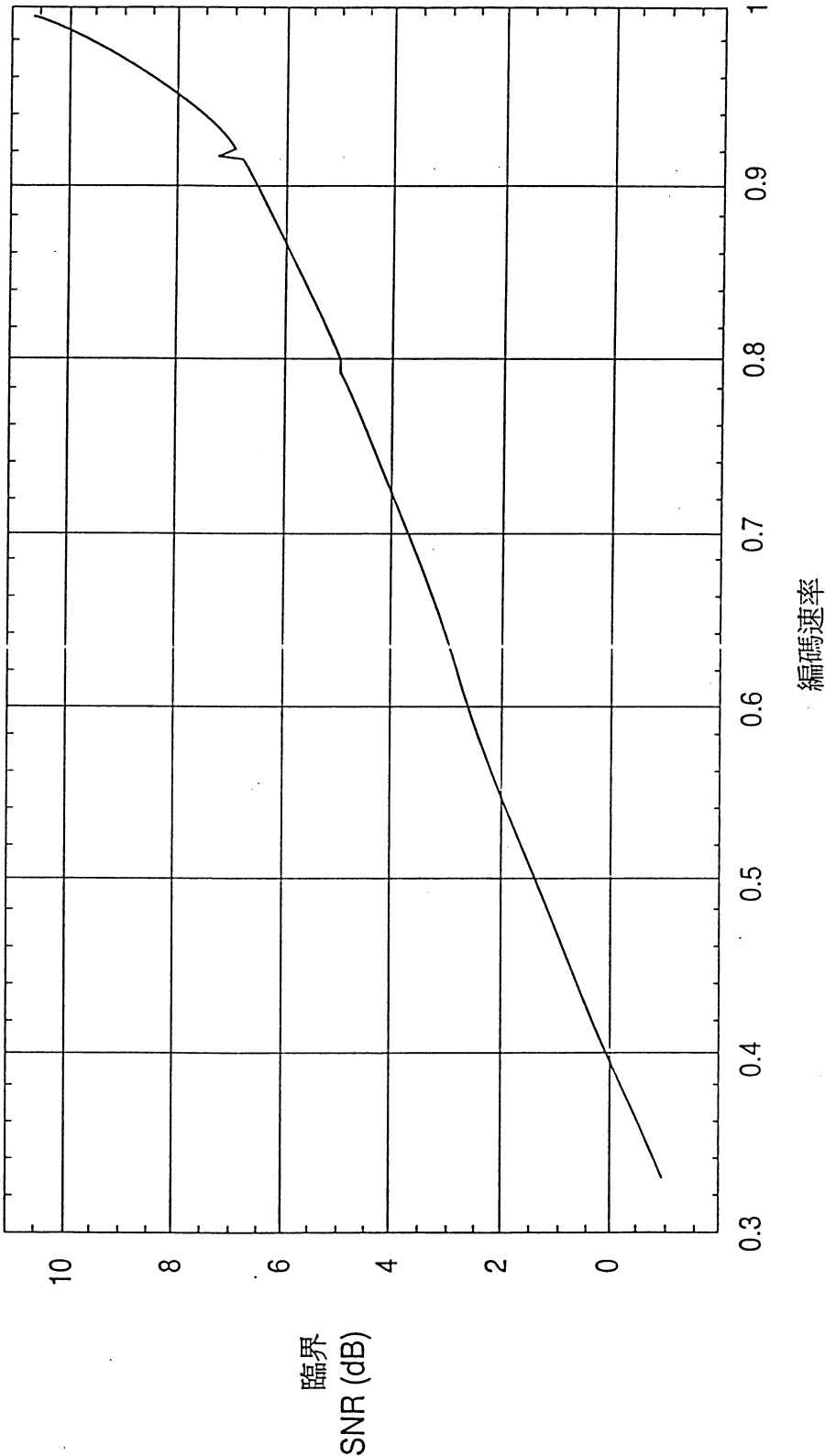


圖七

先前技術

拾壹、圖式：

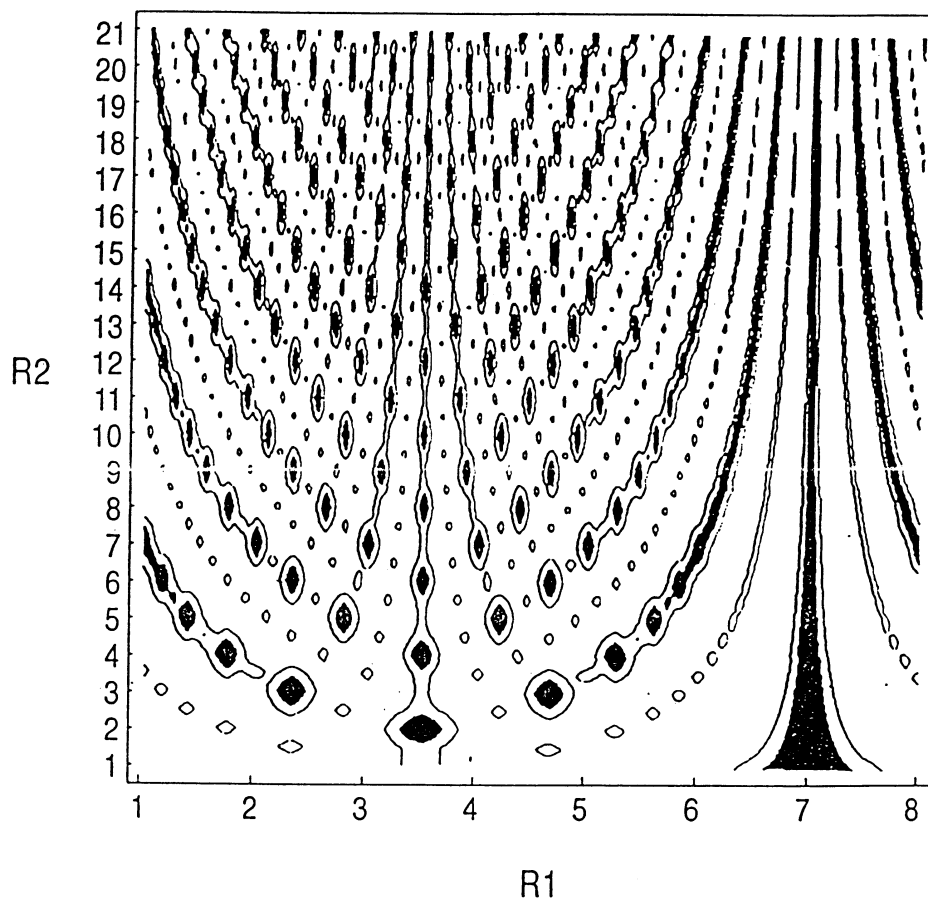
9/12



圖八

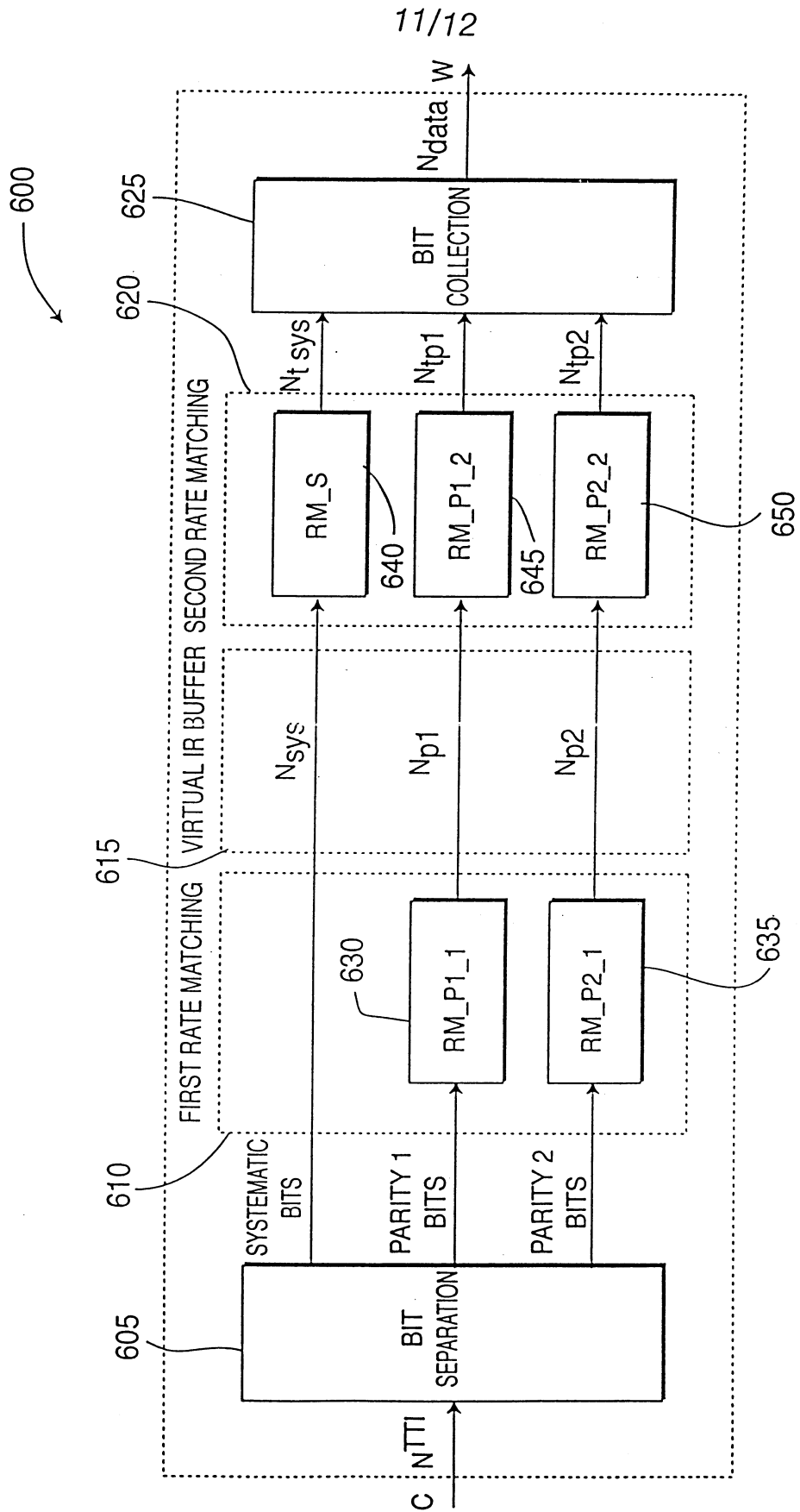
拾壹、圖式：

10/12



圖九

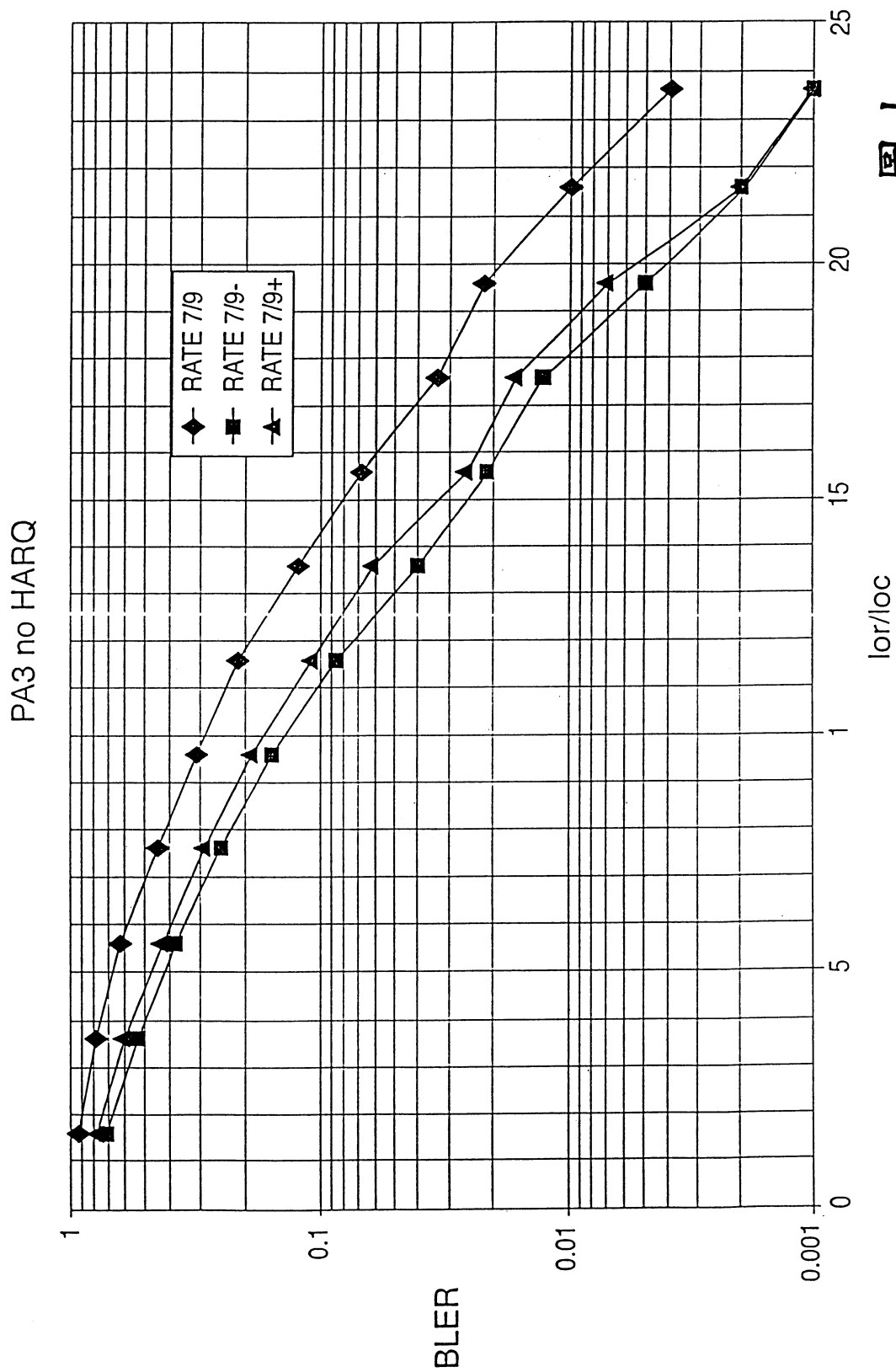
拾壹、圖式：



圖十

拾壹、圖式：

12/12



圖十一

柒、指定代表圖：

(一)本案指定代表圖為：圖十。

(二)本代表圖之元件代表符號簡單說明：

600 電路	605 第一速率調整階段
610 第一速率調整階段	615 虛擬 IR 暫存器
620 第二速率調整階段	625 位元收集電路
630、635 位元速率調整電路	640 系統位元速率調整電路
645 P1 位元速率調整電路	650 P2 位元速率調整電路

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

96年6月15日修(更)正替換頁

圖二係為依照 ~~3GPP TDD~~ 之說明，一個 CCTrCH 中 TrCH 資料的處理過程。

圖三和圖四係為依照 3GPP TDD 之說明，頻道編碼和多工範例圖示。

圖五 a、五 b 和圖六依照 3GPP FDD 之說明，頻道編碼和多工範例圖示。

圖七係為穿刺產生的特別碼的典型結果，其極限 SNR 值為 4dB 的損失。

圖八係為當 P1/P2 產生偏壓時，以高或然率和編碼速率來描述用來成功解碼一個資料區塊（極限 SNR）的 SNR。

圖九係為關於序偶（ordered pair）（ r_1, r_2 ）的問題區域圖示，其為個別在速率調整的第一和第二階段中穿刺同位元流的速率。

圖十係為 HSDPA 的 3GPP 速率調整的電路方塊圖，其使用一個渦輪編碼的 HS-DSCH。

圖十一係為對於具有某些有效編碼速率之 HS-DSCH 傳輸區塊，初始區塊錯誤率（initial Block Error Rate, BLER）之圖示。

實施方式

本案之發明係關於一些不用去避免編碼速率，而可偵測、避免和/或改正在同位元流中問題穿刺型態的方法和實施例。

本案也可適用於在 FDD、CDMA 2000 和 TDD 全球行動通訊系統

路 625。該第一速率調整階段 610 包含一個同位 1 (Parity 1, P1) 位元速率調整電路 630 和同位 2 (Parity 2, P2) 位元速率調整電路 635。該第二速率調整階段 620 包含一個系統位元速率調整電路 640、一個用於第二速率調整的 P1 位元速率調整電路 645 和用於第二速率調整的 P2 位元速率調整電路 650。在操作中，該系統位元、P1 和 P2 位元經由該第一速率調整階段 610、該虛擬 IR 暫存器 615、該第二速率調整階段 620 和該位元收集電路 625 來處理。注意到該 P1 和 P2 位元被分別的處理。在該位元收集電路 625 組合的該系統位元、P1 和 P2 位元提供一個資料訊號輸出 Ndata。同時注意該編碼位元的數量小於或等於該虛擬 IR 暫存器 615 的大小時，該第一位元速率調整階段 630 的是顯而易見的。考慮該顯而易見的第一階段案例和 Rel-4 的速率調整。

在實際的應用上，一共同電路，如微處理電路和依照程式的指示，將預期來執行不同的電路功能。用於實施本發明的該特定電路功能將因此作為那些在該速率調整電路 600 內之該調整電路的選擇。

假如全部的編碼速率大於 $1/3$ 時，該速率調整的規則為執行穿刺的功能，而在小於 $1/3$ 時，執行重複的功能。目前編碼速率大於 $1/3$ 的完成是由於施加相同的穿刺速率但不同的穿刺型態相位至 P1 和 P2 位元（至位元的內部）。為了避免已經表示可降低該渦輪碼性能的非穿刺週期性，該 P1 和 P2 的穿刺速率偏差是獨立的。例如假設 P1 位元數目是減少 Δ ，而 P2 位元數目是增加 Δ 時，

該全部編碼速率不變但卻可避免該問題非穿刺週期。用這個方法來避免該問題編碼速率，而且已經推導出一個需要偏差的分析表示式。

一個修改該穿刺型態的例子和有效方法來增加在 P1 和 P2 穿刺位元數量的差距，是使用在一個當中增加額外的穿刺並從另一個當中移除的方法。該偏差量應該只是用來避免某些週期。在偏差該 P1 和 P2 位元的穿刺速率時，必須合乎兩個限制。

當使用具有週期為 $7\hat{N}/2$ ($\hat{N}=1,2,3\dots$) 的非穿刺型態時，結果產生性能降低。每當 P1 和 P2 位元的平均非穿刺週期對個別的偶數和奇數 $\hat{N}$ 而言是在 $7\hat{N}/2$ 的 ± 1 或 $\pm 1/2$ 以內時，將採用這些週期。

P1 和 P2 速率調整區塊的平均非穿刺速率是 $I/(P/2)$ ，其中 I 是在速率調整的每一個分支輸出上的位元數目。而 P 是在速率調整輸出上的同位位元 (P1 和 P2) 的全部數目。因此，理想的編碼速率將導致一個問題穿刺型態，假如：

$$\left| \frac{I}{(P/2)} - \frac{7\hat{N}}{2} \right| < 1 - \frac{\hat{N}}{2} + \left\lfloor \frac{\hat{N}}{2} \right\rfloor, \quad \text{方程式一}$$

對於 $\hat{N} > 0$ ，其中：

$$\hat{N} = \left\lfloor \frac{4I}{7P} + \frac{1}{2} \right\rfloor \quad \text{方程式二}$$

在偏差該同位位元流 1 和 2 及 P1 和 P2 位元的穿刺速率時，必須合乎兩個限制。

第一，一個數目 Δ 必須有效增加在同位位元流 1 的殘留位元數目，以避免該問題穿刺型態。第二，相同數目 Δ 必須減少在同位位

拾、申請專利範圍：

1. 一種避免問題渦輪碼穿刺型態的方法，其係在使用複數個速率匹配階段來處理複數個由穿刺一選定數目的位元所產生的個別的同位位元流的通訊系統中，其方法包含：

(a)藉由增加該同位位元流之一同位位元的穿刺的位元數目和減少該同位位元流之另一同位位元的穿刺的位元數目，在每一個同位位元流中調整穿刺的位元數目；以及

(b)當維持一個不變的總體有效編碼速率時，藉由增加穿刺速率的差異在每一個個別同位位元流中調整其穿刺速率。

2. 如申請專利範圍第1項所述之方法，其中確認出在具有一第一群的同位1 (P1) 位元和一第二群的同位2 (P2) 位元的穿刺錯誤改正編碼傳輸上的品質降低，並且該步驟 (a) 進一步包含：

(a1) 在該第一群 P1 位元上增加一穿刺位元；

(a2)從該第二群 P2 位元上移除一穿刺位元；以及該步驟(b)

進一步包含：

(b1)藉由在該第一群 P1 位元上增加一些非穿刺的 P1 位元，以及在該第二群 P2 位元上減少與在該第一群 P1 位元上增加之非穿刺 P1 位元等量的非穿刺的 P2 位元來增加該 P1 和 P2 位元穿刺速率的差異。

3. 如申請專利範圍第2項所述之方法，其中該方法更進一步包含：

(c) 用 $\hat{N} = \left\lfloor \frac{4I}{7P} + \frac{1}{2} \right\rfloor$ 來決定一些位元 $\hat{N}$ ，其中 I 是輸入到每一

個速率匹配分支上的位元數目，而 P 是在速率匹配輸出上的 $P1$ 和 $P2$ 位元數目的總和；以及

$$(d) \text{ 假如 } \left| \frac{I}{(P/2)} - \frac{7\hat{N}}{2} \right| < 1 - \frac{\hat{N}}{2} + \left\lfloor \frac{\hat{N}}{2} \right\rfloor \text{ 時，計算該偏差值}$$

$$\Delta = \left\lceil \max \left\{ \left\lfloor \frac{I}{\frac{7\hat{N}-1}{2}} - \frac{P}{2}, \frac{P}{2} - \left\lfloor \frac{I}{\frac{7\hat{N}+1}{2}} \right\rfloor \right\} \right\rceil, \text{ 否則設定 } \Delta = 0。$$

4. 如申請專利範圍第 3 項所述之方法，其中具有一週期為 $7\hat{N}/2$ 的該非穿刺型態將導致性能上的降低，且 $\hat{N}$ 是一個整數。

5. 如申請專利範圍第 4 項所述之方法，其中當對於分別的偶數和奇數的 $\hat{N}$ 而言，該 $P1$ 或該 $P2$ 位元的平均非穿刺週期是在 $7\hat{N}/2$ 週期的 ± 1 或 $\pm 1/2$ 倍以內時將會採用該週期。

6. 一種確認在穿刺錯誤改正編碼傳輸上品質降低的方法，其方法包含：

(a) 確認一穿刺型態，其係接近一個特殊的編碼速率；以及

(b) 按照該穿刺型態和該特殊的編碼速率的匹配，藉由增加和減少個別的同位位元流的穿刺的位元數目和增加該特殊的編碼速率的差異來對預期的性能降低調整一數值。

7. 如申請專利範圍第 6 項所述之方法，其中確認出在具有一第一群的同位 1 ($P1$) 位元和一第二群的同位 2 ($P2$) 位元的穿刺錯誤改正編碼傳輸上的品質降低，並且該步驟 (b) 進一步包含：

(b1) 在該第一群 $P1$ 位元上增加一穿刺位元；

(b2) 從該第二群 $P2$ 位元上移除一穿刺位元；以及

(b3) 用下列的方法來增加該 P1 和 P2 位元在穿刺速率上的差異，以避免該問題穿刺型態：

(i) 在該第一群 P1 位元上增加一些非穿刺的 P1 位元；以及

(ii) 在該第二群 P2 位元上減少與在該第一群 P1 位元上增加之非穿刺 P1 位元等量的非穿刺的 P2 位元。

8. 如申請專利範圍第 7 項所述之方法，其中該方法更進一步包含：

(c) 用 $\hat{N} = \left\lfloor \frac{4I}{7P} + \frac{1}{2} \right\rfloor$ 來決定一些位元 $\hat{N}$ ，其中 I 是輸入到每一個速率匹配分支上的位元數目，而 P 是在速率匹配輸出上的 P1 和 P2 位元數目的總和；以及

(d) 假如 $\left| \frac{I}{(P/2)} - \frac{7\hat{N}}{2} \right| < 1 - \frac{\hat{N}}{2} + \left\lfloor \frac{\hat{N}}{2} \right\rfloor$ 時，計算該偏差值 $\Delta = \left\lceil \max \left\{ \frac{I}{\left\lfloor \frac{7\hat{N}-1}{2} \right\rfloor} - \frac{P}{2}, \frac{P}{2} - \frac{I}{\left\lfloor \frac{7\hat{N}+1}{2} \right\rfloor} \right\} \right\rceil$ ，否則設定 $\Delta = 0$ 。

9. 如申請專利範圍第 6 項所述之方法，其中該方法更進一步包含：

(c) 使用一渦輪碼來執行錯誤改正編碼傳輸。

10. 如申請專利範圍第 9 項所述之方法，其中該方法更進一步包含：

(d) 確認當該傳輸的非穿刺位元型態表示出一週期特徵時，其週期特徵具有一個等於該渦輪碼之遞歸編碼區塊的半週期脈衝響應週期之週期；以及

(e) 使用該確認的非穿刺位元型態，其係表示出一個週期

特徵，以確認具有降低性能的穿刺型態。

11. 一種用來確認出在具有一第一群的同位 1 (P1) 位元和一第二群的同位 2 (P2) 位元的穿刺錯誤改正編碼傳輸上的品質降低的方法，該方法包含：

(a) 在該第一群 P1 位元上增加一穿刺位元；

(b) 從該第二群 P2 位元上移除一穿刺位元；以及

(c) 用下列的方法來增加該 P1 和 P2 位元在穿刺速率上的差異，以避免該問題穿刺型態：

(i) 在該第一群 P1 位元上增加一些非穿刺的 P1 位元；以及

(ii) 在該第二群 P2 位元上減少與在該第一群 P1 位元上增加之非穿刺 P1 位元等量的非穿刺的 P2 位元。

12. 如申請專利範圍第 11 項所述之方法，其中該方法更進一步包含：

(d) 使用一渦輪碼來執行錯誤改正編碼傳輸。

13. 如申請專利範圍第 12 項所述之方法，其中該方法更進一步包含：

(e) 確認當該傳輸的非穿刺位元型態表示出一週期特徵時，其具有一個等於該渦輪碼之遞歸編碼區塊的半週期脈衝響應週期之週期；以及

(f) 使用該確認的非穿刺位元型態，其係表示出一個週期特徵，以確認具有降低性能的穿刺型態。

14. 一種通訊系統，係用來確認出在具有一第一群的同位 1 (P1)

位元和一第二群的同位 2 (P2) 位元的穿刺錯誤改正編碼傳輸上的品質降低，該系統包含：

- (a) 一在該第一群 P1 位元上增加一穿刺位元的裝置；
- (b) 一從該第二群 P2 位元上移除一穿刺位元的裝置；以及
- (c) 一增加該 P1 和 P2 位元在穿刺速率上的差異，以避免該問題穿刺型態的方法，其增加差異裝置 (c) 包含：

- (i) 一在該第一群 P1 位元上增加一些非穿刺的 P1 位元的裝置；以及

- (ii) 一在該第二群 P2 位元上減少與在該第一群 P1 位元上增加之非穿刺 P1 位元等量的非穿刺的 P2 位元的裝置。

15. 如申請專利範圍第 14 項所述之系統，其中該系統更進一步包含：

- (d) 一使用一渦輪碼來執行錯誤改正編碼傳輸的裝置。

16. 如申請專利範圍第 15 項所述之系統，其中該系統更進一步包含：

- (e) 一確認當該傳輸的非穿刺位元型態表示出一週期特徵時，其具有一個等於該渦輪碼之遞歸編碼區塊的半週期脈衝響應週期之週期的裝置；以及

- (f) 一使用該確認的非穿刺位元型態，其係表示出一個週期特徵，以確認具有降低性能的穿刺型態的裝置。