



(19)  
 Bundesrepublik Deutschland  
 Deutsches Patent- und Markenamt

(10) **DE 10 2004 014 487 A1** 2005.11.17

(12)

## Offenlegungsschrift

(21) Aktenzeichen: **10 2004 014 487.7**

(22) Anmeldetag: **24.03.2004**

(43) Offenlegungstag: **17.11.2005**

(51) Int Cl.7: **H01L 27/24**

**G11C 11/46, G11C 13/00**

(71) Anmelder:

**Infineon Technologies AG, 81669 München, DE**

(74) Vertreter:

**Bosch, Graf von Stosch, Jehle  
 Patentanwaltsgesellschaft mbH, 80639 München**

(72) Erfinder:

**Happ, Thomas, Dr., 81543 München, DE**

(56) Für die Beurteilung der Patentfähigkeit in Betracht  
 gezogene Druckschriften:

**US 65 89 714 B2**

**US 65 14 788 B2**

**US2004/00 52 117 A1**

**US2003/01 93 053 A1**

**US 2 0040 037179 A1**

**US 2 0030 209746 A1**

**US 2 0030 122156 A1**

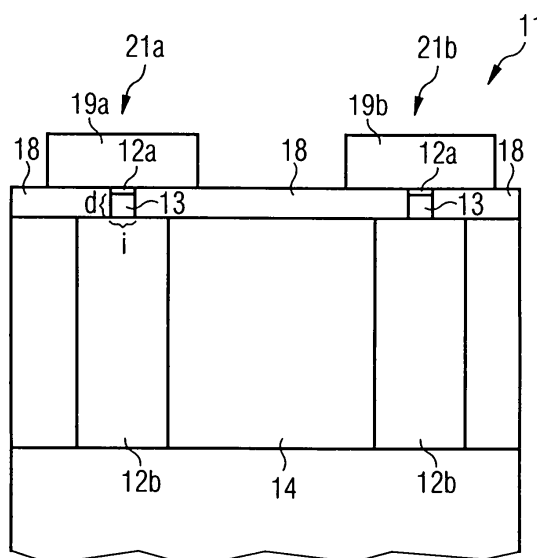
**US 56 67 632 A**

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gemäß § 44 PatG ist gestellt.

(54) Bezeichnung: **Speicherbauelement mit in isolierendes Material eingebettetem, aktiven Material**

(57) Zusammenfassung: Die Erfindung betrifft ein Verfahren zur Herstellung eines Speicherbauelements (21a), und ein Speicherbauelement (21a), welches ein aktives Material (13) aufweist, welches durch entsprechende Schaltvorgänge in einen mehr oder weniger leitfähigen Zustand versetzbar ist, dadurch gekennzeichnet, dass das aktive Material (13) in elektrisch isolierendes Material (18) eingebettet ist.



**Beschreibung**

(Phase Change Memories), etc.

**[0001]** Die Erfindung betrifft ein Speicherbauelement, und ein Verfahren zur Herstellung eines Speicherbauelements.

**[0002]** Bei herkömmlichen Speicherbauelementen, insbesondere herkömmlichen Halbleiter-Speicherbauelementen unterscheidet man zwischen sog. Funktionsspeicher-Bauelementen (z.B. PLAs, PALs, etc.), und sog. Tabellenspeicher-Bauelementen, z.B. ROM-Bauelementen (ROM = Read Only Memory bzw. Festwertspeicher) – insbesondere PROMs, EPROMs, EEPROMs, Flash-Speicher, etc. – , und RAM-Bauelementen (RAM = Random Access Memory bzw. Schreib-Lese-Speicher), z.B. DRAMs und SRAMs.

**[0003]** Ein RAM-Bauelement ist ein Speicher, bei dem man nach Vorgabe einer Adresse Daten abspeichern, und unter dieser Adresse später wieder auslesen kann.

**[0004]** Da in einem RAM-Bauelement möglichst viele Speicherzellen untergebracht werden sollen, ist man bemüht, diese so einfach wie möglich zu realisieren.

## Stand der Technik

**[0005]** Bei SRAMs (SRAM = Static Random Access Memory) bestehen die einzelnen Speicherzellen z.B. aus wenigen, beispielsweise 6 Transistoren, und bei sog. DRAMs (DRAM = Dynamic Random Access Memory) i.A. nur aus einem einzigen, entsprechend angesteuerten kapazitiven Element (z.B. der Gate-Source-Kapazität eines MOSFETs), mit dessen Kapazität jeweils ein Bit als Ladung gespeichert werden kann.

**[0006]** Diese Ladung bleibt allerdings nur für kurze Zeit erhalten; deshalb muß regelmäßig, z.B. ca. alle 64 ms, ein sog. „Refresh“ durchgeführt werden.

**[0007]** Im Gegensatz hierzu muß bei SRAMs kein „Refresh“ durchgeführt werden; d.h., die in der Speicherzelle gespeicherten Daten bleiben gespeichert, solange dem SRAM eine entsprechende Versorgungsspannung zugeführt wird.

**[0008]** Bei Nicht-flüchtigen-Speicherbauelementen (NVMs bzw. Non-volatile memories), z.B. EPROMs, EEPROMs, und Flash-Speichern bleiben demgegenüber die gespeicherten Daten auch dann gespeichert, wenn die Versorgungsspannung abgeschaltet wird.

**[0009]** Des weiteren sind – seit neuerem – auch sog. „resistive“ bzw. „resistiv schaltende“ Speicherbauelemente bekannt, z.B. sog. Phasen-Wechsel-Speicher

**[0010]** Bei „resistiven“ bzw. „resistiv schaltenden“ Speicherbauelementen wird ein – z.B. zwischen zwei entsprechenden Elektroden (d.h. einer Anode, und einer Kathode) angeordnetes – „aktives“ Material durch entsprechende Schaltvorgänge in einen mehr oder weniger leitfähigen Zustand versetzt (wobei z.B. der mehr leitfähige Zustand einer gespeicherten, logischen „eins“ entspricht, und der weniger leitfähige Zustand einer gespeicherten, logischen „null“, oder umgekehrt).

**[0011]** Bei Phasen-Wechsel-Speichern (Phase Change Memories) kann als – zwischen zwei entsprechende Elektroden geschaltetes – „aktives“ Material z.B. eine entsprechende Chalkogenidverbindung verwendet werden (z.B. eine Ge-Sb-Te- oder Ag-In-Sb-Te-Verbindung).

**[0012]** Das Chalkogenidverbindungs-Material kann durch entsprechende Schaltvorgänge in einen amorphen, d.h. relativ schwach leitfähigen, oder einen kristallinen, d.h. relativ stark leitfähigen Zustand versetzt werden (wobei z.B. der relativ stark leitfähige Zustand einer gespeicherten, logischen „eins“ entsprechen kann, und der relativ schwach leitfähige Zustand einer gespeicherten, logischen „null“, oder umgekehrt).

**[0013]** Phasen-Wechsel-Speicherzellen sind z.B. aus G. Wicker, Nonvolatile, High Density, High Performance Phase Change Memory, SPIE Conference on Electronics and Structures for MEMS, Vol. 3891, Queensland, 2, 1999 bekannt, sowie z.B. aus Y.N. Hwang et. al., Completely CMOS Compatible Phase Change Nonvolatile RAM Using NMOS Cell Transistors, IEEE Proceedings of the Nonvolatile Semiconductor Memory Workshop, Monterey, 91, 2003, S. Lai et. al., OUM-a 180nm nonvolatile memory cell element technology for stand alone and embedded applications, IEDM 2001, etc.

**[0014]** Um bei einer entsprechenden Speicherzelle einen Wechsel von einem amorphen, d.h. relativ schwach leitfähigen Zustand des „aktiven“ Materials in einen kristallinen, d.h. relativ stark leitfähigen Zustand zu erreichen, kann an den Elektroden ein entsprechender Heiz-Strom-Puls angelegt werden, der dazu führt, dass das „aktive“ Material über die Kristallisationstemperatur hinaus aufgeheizt wird, und kristallisiert („Schreibvorgang“).

**[0015]** Umgekehrt kann ein Zustands-Wechsel des „aktiven“ Materials von einem kristallinen, d.h. relativ stark leitfähigen Zustand in einen amorphen, d.h. relativ schwach leitfähigen Zustand z.B. dadurch erreicht werden, dass – wiederum mittels eines entsprechenden Heiz-Strom-Pulses – das „aktive“ Material über die Schmelztemperatur hinaus aufgeheizt,

und anschließend durch schnelles Abkühlen in einen amorphen Zustand „abgeschreckt“ wird („Löschvorgang“).

**[0016]** Um ein entsprechend schnelles Aufheizen des aktiven Materials über die Kristallisations- bzw. Schmelztemperatur hinaus zu erreichen, können relativ hohe Ströme notwendig sein, was zu einem entsprechend hohen Energieverbrauch führen kann.

**[0017]** Des Weiteren können hohe Heiz-Ströme zur Folge haben, dass die entsprechende Zelle nicht mehr von einem Einzel-Transistor mit entsprechend kleiner Strukturgröße angesteuert werden kann, was eine entsprechend – ggf. stark verringerte – Kompaktheit des jeweiligen Speicherbauelements nach sich ziehen kann.

#### Aufgabenstellung

**[0018]** Die Erfindung hat zur Aufgabe, ein neuartiges Speicherbauelement, sowie ein neuartiges Verfahren zur Herstellung eines Speicherbauelements zur Verfügung zu stellen.

**[0019]** Sie erreicht dieses und weitere Ziele durch die Gegenstände der Ansprüche 1 und 17.

**[0020]** Vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

**[0021]** Gemäß einem Grundgedanken der Erfindung wird ein Speicherbauelement zur Verfügung gestellt, welches ein aktives Material aufweist, welches durch entsprechende Schaltvorgänge in einen mehr oder weniger leitfähigen Zustand versetzbar ist, dadurch gekennzeichnet, dass das aktive Material in elektrisch isolierendes Material eingebettet ist.

**[0022]** Vorteilhaft ist das aktive Material in seitlicher Richtung vollständig von elektrisch isolierendem Material umgeben.

**[0023]** Bevorzugt weist das aktive Material eine Breite und/oder Länge auf, die kleiner-gleich 100nm ist, insbesondere kleiner-gleich 60nm oder kleiner-gleich 30nm.

**[0024]** Aufgrund des durch die Einbettung des aktiven Materials in das Isolier-Material erreichten fokussierten Stromverlaufs (und damit der Verminderung bzw. Vermeidung von parasitären – außerhalb des Schmelz- bzw. Kristallisationsbereichs des aktiven Materials auftretenden – Strömen) kann das aktive Material mit z.T. deutlich geringeren Heiz-Strömen über die Kristallisations- bzw. Schmelztemperatur hinaus erwärmt werden, als im Stand der Technik.

#### Ausführungsbeispiel

**[0025]** Im folgenden wird die Erfindung anhand mehrerer Ausführungsbeispiele und der beigefügten Zeichnung näher erläutert. In der Zeichnung zeigt:

**[0026]** [Fig. 1](#) eine schematische Darstellung des Aufbaus einer resistiv schaltenden Speicher-Zelle gemäß dem Stand der Technik;

**[0027]** [Fig. 2a](#) eine schematische Darstellung von resistiv schaltenden Speicher-Zellen gemäß einem Ausführungsbeispiel der vorliegenden Erfindung, bei einer ersten, bei der Herstellung der Speicher-Zellen durchlaufenen Phase;

**[0028]** [Fig. 2b](#) eine schematische Darstellung der in [Fig. 2a](#) gezeigten resistiv schaltenden Speicher-Zellen, bei einer zweiten, bei der Herstellung der Speicher-Zellen durchlaufenen Phase;

**[0029]** [Fig. 2c](#) eine schematische Darstellung der in [Fig. 2a](#) und [Fig. 2b](#) gezeigten resistiv schaltenden Speicher-Zellen, bei einer dritten, bei der Herstellung der Speicher-Zellen durchlaufenen Phase;

**[0030]** [Fig. 2d](#) eine schematische Darstellung der in [Fig. 2a](#) – [Fig. 2c](#) gezeigten resistiv schaltenden Speicher-Zellen, bei einer vierten, bei der Herstellung der Speicher-Zellen durchlaufenen Phase;

**[0031]** [Fig. 2e](#) eine schematische Darstellung der in [Fig. 2a](#) – [Fig. 2d](#) gezeigten resistiv schaltenden Speicher-Zellen, bei einer fünften, bei der Herstellung der Speicher-Zellen durchlaufenen Phase;

**[0032]** [Fig. 2f](#) eine schematische Darstellung der in [Fig. 2a](#) – [Fig. 2e](#) gezeigten resistiv schaltenden Speicher-Zellen, bei einer sechsten, bei der Herstellung der Speicher-Zellen durchlaufenen Phase;

**[0033]** [Fig. 2g](#) eine schematische Darstellung der in [Fig. 2a](#) – [Fig. 2f](#) gezeigten resistiv schaltenden Speicher-Zellen, bei einer siebten, bei der Herstellung der Speicher-Zellen durchlaufenen Phase;

**[0034]** [Fig. 2h](#) eine schematische Darstellung der in [Fig. 2a](#) – [Fig. 2g](#) gezeigten resistiv schaltenden Speicher-Zellen, bei einer achten, bei der Herstellung der Speicher-Zellen durchlaufenen Phase;

**[0035]** [Fig. 3](#) eine schematische Darstellung der fertigen Speicher-Zelle; und

**[0036]** [Fig. 4](#) eine schematische Darstellung von resistiv schaltenden Speicher-Zellen gemäß einem weiteren, alternativen Ausführungsbeispiel der vorliegenden Erfindung, bei einer ersten, bei der Herstellung der Speicher-Zellen durchlaufenen – der in [Fig. 2a](#) gezeigten Phase entsprechenden – Phase.

**[0037]** In [Fig. 1](#) ist – rein schematisch, und beispielhaft – der Aufbau einer resistiv schaltenden Speicher-Zelle **1** (hier: einer Phasen-Wechsel-Speicher-Zelle **1** (Phase Change Memory Cell)) gemäß dem Stand der Technik gezeigt.

**[0038]** Diese weist zwei entsprechende Metall-Elektroden **2a**, **2b** (d.h. eine Anode, und eine Kathode) auf, zwischen denen eine entsprechende, „aktive“ Material-Schicht **3** angeordnet ist, die durch entsprechende Schaltvorgänge in einen mehr oder weniger leitfähigen Zustand versetzt werden kann (wobei z.B. der mehr leitfähige Zustand einer gespeicherten, logischen „eins“ entspricht, und der weniger leitfähige Zustand einer gespeicherten, logischen „null“, oder umgekehrt).

**[0039]** Bei der o.g. Phasen-Wechsel-Speicher-Zelle **1** kann als „aktives“ Material für die o.g. Material-Schicht **3** z.B. eine entsprechende Chalkogenid-Verbindung verwendet werden (z.B. eine Ge-Sb-Te- oder Ag-In-Sb-Te-Verbindung).

**[0040]** Das Chalkogenidverbindungs-Material kann durch entsprechende Schaltvorgänge in einen amorphen, d.h. relativ schwach leitfähigen, oder einen kristallinen, d.h. relativ stark leitfähigen Zustand versetzt werden (wobei z.B. der relativ stark leitfähige Zustand einer gespeicherten, logischen „eins“ entsprechen kann, und der relativ schwach leitfähige Zustand einer gespeicherten, logischen „null“, oder umgekehrt).

**[0041]** Phasen-Wechsel-Speicherzellen sind z.B. aus G. Wicker, Nonvolatile, High Density, High Performance Phase Change Memory, SPIE Conference on Electronics and Structures for MEMS, Vol. 3891, Queensland, 2, 1999 bekannt, sowie z.B. aus Y.N. Hwang et. al., Completely CMOS Compatible Phase Change Nonvolatile RAM Using NMOS Cell Transistors, IEEE Proceedings of the Nonvolatile Semiconductor Memory Workshop, Monterey, 91, 2003, S. Lai et. al., OUM-a 180nm nonvolatile memory cell element technology for stand alone and embedded applications, IEDM 2001, etc.

**[0042]** Wie aus [Fig. 1](#) weiter hervorgeht, kann – optional – bei Phasen-Wechsel-Speicher-Zellen **1** unterhalb der aktiven Material-Schicht **3**, und oberhalb der unteren Elektrode **2b** eine entsprechende – z.B. einen relativ hohen Widerstand aufweisende – Heiz-Material-Schicht **5** vorgesehen sein, die von einer entsprechenden Isolier-Schicht **4** umgeben ist.

**[0043]** Um bei der Speicher-Zelle **1** einen Wechsel von einem amorphen, d.h. relativ schwach leitfähigen Zustand des „aktiven“ Materials in einen kristallinen, d.h. relativ stark leitfähigen Zustand zu erreichen, kann an den Elektroden **2a**, **2b** ein entsprechender Heiz-Strom-Puls angelegt werden, der dazu führt,

dass die Heiz-Material-Schicht **5**, und hieran angrenzende Bereiche der aktiven Material-Schicht **3** entsprechend – über die Kristallisationstemperatur des aktiven Materials hinausgehend – erwärmt werden, was eine Kristallisation der entsprechenden Bereiche der aktiven Material-Schicht **3** zur Folge hat („Schreibvorgang“).

**[0044]** Umgekehrt kann ein Zustands-Wechsel der entsprechenden Bereiche der aktiven Material-Schicht **3** von einem kristallinen, d.h. relativ stark leitfähigen Zustand in einen amorphen, d.h. relativ schwach leitfähigen Zustand z.B. dadurch erreicht werden, dass – wiederum durch Anlegen eines entsprechenden Heiz-Strom-Pulses an den Elektroden **2a**, **2b**, und das dadurch erreichte Aufheizen der Heiz-Material-Schicht **5**, und entsprechender Bereiche der aktiven Material-Schicht **3** – die entsprechenden Bereiche der aktiven Material-Schicht **3** über die Schmelztemperatur hinaus aufgeheizt, und anschließend durch schnelles Abkühlen in einen kristallinen Zustand „abgeschreckt“ werden („Löschvorgang“).

**[0045]** Um ein entsprechend schnelles Aufheizen der entsprechenden Bereiche der aktiven Material-Schicht **3** über die Kristallisations- bzw. Schmelztemperatur hinaus zu erreichen, können relativ hohe Ströme notwendig sein.

**[0046]** In [Fig. 2a](#) ist eine schematische Darstellung von resistiv schaltenden Speicher-Zellen **11** gemäß einem Ausführungsbeispiel der vorliegenden Erfindung bei einer ersten, bei der Herstellung der Speicher-Zellen **11** durchlaufenen Phase gezeigt.

**[0047]** Bei den Speicher-Zellen **11** kann es sich – wie im folgenden noch genauer erläutert wird – insbesondere z.B. um Phasen-Wechsel-Speicher-Zellen **11** (Phase Change Memory Cells) handeln.

**[0048]** Wie aus [Fig. 2a](#) hervorgeht, ist zwischen zwei entsprechenden, wie im folgenden noch genauer erläutert hergestellten bzw. herzustellenden Metall-Elektroden bzw. Kontakten **12a**, **12b** (d.h. einer Anode, und einer Kathode) eine entsprechende, „aktive“ Material-Schicht **13** angeordnet.

**[0049]** Die „aktive“ Material-Schicht **13** kann – im fertigen Zustand der Zellen **11** (und wie weiter unten noch genauer erläutert wird) – durch entsprechende Schaltvorgänge in einen mehr oder weniger leitfähigen Zustand versetzt werden (insbesondere in einen amorphen, d.h. relativ schwach leitfähigen, oder einen kristallinen, d.h. relativ stark leitfähigen Zustand, wobei z.B. der mehr leitfähige Zustand einer gespeicherten, logischen „eins“ entspricht, und der weniger leitfähige Zustand einer gespeicherten, logischen „null“, oder umgekehrt).

**[0050]** Als „aktives“ Material für die o.g. Materi-

al-Schicht **13** kann z.B. eine entsprechende Chalkogenidverbindung verwendet werden (z.B. eine Ge-Sb-Te- oder Ag-In-Sb-Te-Verbindung, etc.), oder ein beliebiges, anderes brauchbares Phasen-Wechsel-Material.

**[0051]** Als Material für die obere Metall-Elektrode bzw. den oberen Kontakt **12a** kann z.B. TiN, TiSiN, TiAlN, TaSiN, oder TiW, etc. verwendet werden, oder z.B. Wolfram, oder ein beliebiges anderes, brauchbares Elektroden-Material.

**[0052]** Die untere Metall-Elektrode bzw. der untere Kontakt **12b** kann z.B. aus Wolfram hergestellt sein (oder z.B. aus einem beliebigen anderen, brauchbaren Elektroden-Material).

**[0053]** Wie insbesondere aus der Darstellung gemäß [Fig. 3](#) hervorgeht, ist – im fertigen Zustand der Speicher-Zellen **11** – jeder der unteren Kontakte **12b** jeweils einer entsprechenden Einzel-Speicher-Zelle **21a**, **21b** zugeordnet.

**[0054]** Die unteren Kontakte **12b** der Speicher-Zellen **11** sind durch eine entsprechende, zwischen den unteren Kontakten **12b** liegende (die unteren Kontakte **12b** seitlich umgebende) Isolier-Schicht **14** voneinander getrennt.

**[0055]** Die Isolier-Schicht **14** kann z.B. aus SiO<sub>2</sub> bestehen, oder einem beliebigen anderen, brauchbaren Isolier-Material.

**[0056]** Wieder bezogen auf [Fig. 2a](#), befindet sich unterhalb der Speicher-Zellen **11** (bzw. unterhalb der unteren Kontakte **12b**, und der Isolier-Schicht **14** (direkt an die – auf derselben Ebene liegenden – unteren Begrenzungsflächen der unteren Kontakte **12b**, und der Isolier-Schicht **14** angrenzend)) eine Substrat-Schicht **15**, die z.B. aus Silizium hergestellt sein kann.

**[0057]** In der Substrat-Schicht **15** sind entsprechende – die fertigen Einzel-Speicher-Zellen **21a**, **21b** ansteuernde, insbesondere die zum Schreiben und Löschen der Einzel-Speicher-Zellen **21a**, **21b** benötigten Heiz-Ströme zur Verfügung stellende – Schalt-Elemente, insbesondere Transistoren angeordnet, sowie z.B. entsprechende – die in den Einzel-Speicher-Zellen **21a**, **21b** gespeicherten Daten auslesende – Leseverstärker (Sense Amplifier), etc.

**[0058]** Wie weiter unten noch genauer erläutert wird, können bei den Speicher-Zellen **21a**, **21b** gemäß den [Fig. 2a](#) bis [Fig. 4](#) relativ geringe Heiz-Ströme verwendet werden, insbesondere Heiz-Ströme, die kleiner sind als z.B. 130µA oder z.B. 100µA, insbesondere kleiner als 80µA oder 60µA, etc., so dass eine entsprechende Einzel-Speicher-Zelle **21a**, **21b** von einem einzigen, zugeordneten, den entspre-

chenden Heiz-Strom zur Verfügung stellenden (z.B. lediglich einen einzelnen, oder zwei zusammenwirkende, gegengleich-inverse Transistoren, oder eine entsprechend geschaltete Einzel-Diode aufweisenden) Schalt-Element angesteuert werden kann (insbesondere von einem Transistor bzw. einer Diode bzw. von Transistoren mit entsprechend geringer (minimaler) Strukturgröße).

**[0059]** Wie aus [Fig. 2a](#) weiter hervorgeht, erstreckt sich (bei der dort gezeigten, bei der Herstellung der Speicher-Zellen **11** durchlaufenen Phase) die – eine gleichmäßige Dicke  $d$  von z.B. < 150nm, insbesondere z.B. < 100nm (oder z.B. < 60 nm bzw. < 30 nm) aufweisende – aktive Material-Schicht **13** zunächst in Form einer durchgehenden, waagrechten, ebenen Schicht oberhalb einer Vielzahl nebeneinander angeordneter (verschiedenen – herzustellenden – Einzel-Speicher-Zellen **21a**, **21b** zugeordneten) unterer Elektroden bzw. unterer Kontakte **12b** der Speicher-Zellen **11**, und oberhalb der o.g. Isolier-Schicht **14**.

**[0060]** Wie ebenfalls aus [Fig. 2a](#) hervorgeht, erstreckt sich die oberhalb der aktiven Material-Schicht **13** vorgesehene, für die Herstellung der oberen Metall-Elektroden bzw. der oberen Kontakte **12a** verwendete Material-Schicht – entsprechend – zunächst (bei der in [Fig. 2a](#) gezeigten Phase) ebenfalls in Form einer durchgehenden, waagrechten, ebenen Schicht oberhalb der o.g. Vielzahl nebeneinander angeordneter (verschiedenen – herzustellenden – Einzel-Speicher-Zellen **21a**, **21b** zugeordneten) unterer Elektroden bzw. unterer Kontakte **12b** der Speicher-Zellen **11**.

**[0061]** Oberhalb der für die Herstellung der oberen Metall-Elektroden bzw. der oberen Kontakte **12a** verwendeten Material-Schicht ist – wie aus [Fig. 2a](#) hervorgeht – eine weitere, ebene Schicht **16**, z.B. eine entsprechende SiO<sub>2</sub>-Schicht vorgesehen.

**[0062]** Wie aus [Fig. 2a](#) hervorgeht, grenzen die unteren Begrenzungsflächen von oberhalb der Isolier-Schicht **14** liegenden Bereichen der aktiven Material-Schicht **13** direkt an entsprechende obere Begrenzungsflächen der Isolier-Schicht **14** an.

**[0063]** Des weiteren können – wie in [Fig. 2a](#) dargestellt – die unteren Begrenzungsflächen von – oberhalb der unteren Elektroden bzw. unteren Kontakte **12b** der Speicher-Zellen **11** liegenden – Bereichen der aktiven Material-Schicht direkt an entsprechende obere Begrenzungsflächen der Kontakte **12b** angrenzen (die oberen Begrenzungsflächen der Kontakte **12b**, und der Isolier-Schicht **14** liegen dann auf ein- und derselben Ebene).

**[0064]** Bei einem alternativen, in [Fig. 4](#) gezeigten Ausführungsbeispiel der Erfindung können bei – an-

sonsten entsprechend ähnlich wie die in den [Fig. 2a](#) bis [Fig. 2h](#) dargestellten Speicher-Zellen **11** aufgebauten und hergestellten – Speicher-Zellen **11'** zwischen der aktiven Material-Schicht **13'**, und den – wie oben erläutert z.B. aus Wolfram bestehenden – Kontakten **12b'** entsprechende Elektroden **22b'** vorgesehen sein.

**[0065]** Die – zwischen der Material-Schicht **13'** und den Kontakten **12b'** liegenden (ebenfalls von einer entsprechenden Isolier-Schicht **14'** umgebenen) – unteren Elektroden **22b'** können z.B. aus einem speziellen Material hergestellt sei, z.B. – entsprechend wie die obere Elektrode **12a'** – aus TiN, oder z.B. aus TiSiN, TiAlN, TaSiN, oder TiW, etc.

**[0066]** Wie aus [Fig. 4](#) hervorgeht, können dann – anders als bei dem in den [Fig. 2a](#) bis [Fig. 2h](#) gezeigten Ausführungsbeispiel – entsprechende untere Begrenzungsflächen von (oberhalb der unteren Kontakte **12b'** der Speicher-Zellen **11'** liegenden) Bereichen der aktiven Material-Schicht **13'** an entsprechende obere Begrenzungsflächen der Elektroden **22b'** angrenzen (und entsprechende untere Begrenzungsflächen der Elektroden **22b'** an entsprechende obere Begrenzungsflächen der (Wolfram-) Kontakte **12b'**).

**[0067]** Wie ebenfalls aus [Fig. 4](#) hervorgeht, liegen beim dort gezeigten Ausführungsbeispiel die oberen Begrenzungsflächen der Elektroden **22b'**, und der Isolier-Schicht **14'** auf ein- und derselben Ebene.

**[0068]** Die Elektroden **22b'** können z.B. dadurch hergestellt werden, dass – zunächst entsprechend ähnlich wie beim in [Fig. 2a](#) gezeigten Ausführungsbeispiel sich nach oben hin gleich weit wie die Isolier-Schicht **14'** erstreckende – (Wolfram-)Kontakte **12b'** entsprechend (selektiv) ein Stück weit – entsprechend der späteren Dicke  $e$  der Elektroden **22b'** – zurückgeätzt werden (wobei die umgebende Isolier-Schicht **14'** entsprechend stehenbleibt).

**[0069]** Daraufhin kann oberhalb der – zurückgeätzten – (Wolfram-) Kontakte **12b'** (und damit auch oberhalb der Isolier-Schicht **12'**) eine entsprechende – aus dem gewünschten Material für die Elektroden **22b'** bestehende – Material-Schicht abgeschieden werden.

**[0070]** Diese wird entsprechend – planar – bis zur Höhe der oberen Begrenzungsfläche der Isolier-Schicht **12'** zurück-poliert (z.B. mittels eines entsprechenden CMP-Verfahrens (CMP = Chemical Mechanical Polishing)), so dass die oberen Begrenzungsflächen der so geschaffenen Elektroden **22b'**, und der Isolier-Schicht **14'** auf ein- und derselben Ebene liegen.

**[0071]** Dann wird (entsprechend ähnlich wie bei den in [Fig. 2a](#) gezeigten Speicher-Zellen) – oberhalb der

Isolier-Schicht **14'**, und der Elektroden **22b'** – die o.g. aktive Material-Schicht **13'** planar abgeschieden, und darüber dann (ebenfalls planar) das – für die oberen Elektroden **12a'** vorgesehene – Material, und (wiederum planar) die – der in [Fig. 2a](#) gezeigten Schicht **16** entsprechende – Schicht **16'**.

**[0072]** In [Fig. 2b](#) ist eine schematische Darstellung der in [Fig. 2a](#) gezeigten Speicher-Zellen **11** bei der nächsten, bei der Herstellung der Speicher-Zellen **11** durchlaufenen Phase gezeigt.

**[0073]** Bei dem in [Fig. 4](#) gezeigten, alternativen Ausführungsbeispiel der Speicher-Zellen **11'** werden – ausgehend von dem in [Fig. 4](#) gezeigten Zustand – entsprechende Prozess-Schritte durchgeführt, wie bei den Speicher-Zellen **11** anhand der [Fig. 2b](#) (und der [Fig. 2c](#) bis [Fig. 2h](#)) erläutert; auf eine separate Darstellung wird – zur Vermeidung von Wiederholungen – im folgenden verzichtet.

**[0074]** Wie aus [Fig. 2b](#) hervorgeht, wird die oberhalb der Schicht, aus der die oberen Elektroden **12a** gefertigt werden liegende Material-Schicht **16** an entsprechenden Bereichen A entfernt, und an entsprechenden Bereichen B stehengelassen.

**[0075]** Zur selektiven Entfernung der Material-Schicht **16** an den Bereichen A können – aufgrund deren relativ großen Abmessungen – beliebige, herkömmliche Verfahren verwendet werden, z.B. entsprechende Opto-Lithografische Verfahren (bei denen die Bereiche A, nicht aber die Bereiche B (bzw. entsprechende Bereiche einer über der Schicht **16** vorgesehenen Photolack-Schicht) belichtet, und dann (samt den unter den entsprechenden, belichteten Bereichen der Photolackschicht liegenden Bereichen A der Schicht **16**) weggeätzt werden (woraufhin die Photolack-Schicht wieder entfernt wird)).

**[0076]** Wie aus [Fig. 2b](#) hervorgeht, wird jeweils ein zwischen einer ersten Elektrode **12b** (die einer ersten, fertigen Einzel-Speicher-Zelle **21a** zugeordnet ist (vgl. [Fig. 3](#))), und einer nächstliegenden, zweiten Elektrode **12b** (die einer zweiten, fertigen Einzel-Speicher-Zelle **21b** zugeordnet ist (vgl. [Fig. 3](#))) liegender Bereich A der Material-Schicht **16** entfernt, und der nächste, zwischen der zweiten Elektrode **12b** (die der zweiten, fertigen Einzel-Speicher-Zelle **21b** zugeordnet ist (vgl. [Fig. 3](#))), und einer darauffolgenden – hier nicht dargestellten – dritten Elektrode **12b** (die einer dritten, darauffolgenden Einzel-Speicher-Zelle **21b** zugeordnet ist) liegende Bereich B stehengelassen, etc., etc.

**[0077]** Die jeweils entfernten Bereiche A können – von oben her betrachtet – im Querschnitt z.B. im wesentlichen quadratisch (oder rechteckförmig) sein.

**[0078]** Entsprechend der Darstellung gemäß



**Fig. 2b** „vor“ oder „hinter“ dem in **Fig. 2b** gezeigten, entfernten Bereich A (und „vor“ oder „hinter“ entsprechenden, „links“ und „rechts“ des entfernten Bereichs A liegenden, entfernten Bereichen) können – entsprechend dem Bereich A – weitere Bereiche entfernt werden (wobei wiederum zwischen zwei „entfernten“ Bereichen ein „nicht entfernter“ Bereich liegt, und die Ecken der entfernten Bereiche jeweils ungefähr oberhalb einer entsprechenden Elektrode bzw. Einzel-Speicher-Zelle liegen können).

**[0079]** Bei einer demgegenüber bevorzugten Alternative sind die jeweils entfernten Bereiche A stattdessen – von oben her betrachtet – linienförmig, und erstrecken sich – bei der Darstellung gemäß **Fig. 2b** – nach „vorne“ bzw. „hinten“ hin durchgehend über eine Vielzahl, insbesondere sämtliche in einer Reihe liegende Einzel-Speicher-Zellen **21a**, bzw. sämtliche diesen zugeordneten Elektroden **12b**.

**[0080]** Die Breite  $q$  der entfernten Bereiche A ist dann deutlich kleiner, als deren Länge.

**[0081]** Wie aus **Fig. 2b** hervorgeht, liegen die äußeren Ränder **16a**, **16b** der – stehengelassenen – Bereiche B der Schicht **16** jeweils oberhalb der Elektroden **12b** (bzw. oberhalb der – zu fertigenden – diesen zugeordneten Einzel-Speicher-Zellen **21a**, **21b**), insbesondere im wesentlichen oberhalb der Mittelachse  $a$  der entsprechenden Elektroden **12b** (bzw. sind – wie im folgenden noch genauer erläutert wird, und wie in **Fig. 2b** schematisch dargestellt ist – z.B. jeweils um ca. die halbe Breite des aktiven Materials der – fertigen – Speicher-Zellen **21a**, **21b** nach „links“ bzw. „rechts“ (bzw. „vorne“ oder „hinten“) versetzt (s.u.)).

**[0082]** Als nächstes wird – wie in **Fig. 2c** schematisch veranschaulicht ist – oberhalb der Bereiche A und B (bzw. oberhalb der – stehengelassenen – Bereiche B der Schicht **16**, und der – freigelegten – Bereiche A der Schicht, aus der – später – die oberen Elektroden **12a** gefertigt werden) eine Schicht **17** abgeschieden, die aus einem entsprechenden „spacer“ Material, z.B. SiN, oder C, etc., besteht.

**[0083]** Die Spacer-Schicht **17** kann eine im wesentlichen konstante Dicke  $g$  aufweisen, und insbesondere die äußeren Ränder **16a**, **16b** des – stehengelassenen – Bereichs B der Schicht **16** – nach „rechts“ bzw. „links“ (bzw. „vorne“ und „hinten“) hin – mit einer Material-Schicht überziehen, die eine Breite  $f$  aufweist, die im Wesentlichen der Breite des aktiven Materials der – fertigen – Speicher-Zellen **21a**, **21b** entspricht (wobei die Breite  $f$  z.B.  $\leq 100\text{nm}$  betragen kann, insbesondere z.B.  $\leq 60\text{nm}$  oder  $\leq 30\text{nm}$  (s.u.)).

**[0084]** Vorteilhaft weist die Spacer-Schicht **17** eine Dicke  $d$  auf, die kleiner ist, als die Dicke  $n$  der Schicht **16**.

**[0085]** Daraufhin wird – wie in **Fig. 2d** schematisch veranschaulicht ist – die Spacer-Schicht **17** anisotropisch zurück-geätzt (und zwar so, dass die Spacer-Schicht **17** an den o.g. Bereichen B vollständig, und an den o.g. Bereichen A nur teilweise – nämlich nicht an deren Rand- (bzw. Eck-) Bereichen – entfernt wird).

**[0086]** Der stehengebliebene Teil der Spacer-Schicht **17** liegt – wie aus **Fig. 2d** hervorgeht – jeweils direkt „rechts“ bzw. „links“ (bzw. nach „vorne“ bzw. „hinten“ hin) angrenzend an die äußeren Ränder **16a**, **16b** des – stehengelassenen – Bereichs B der Schicht **16** (und erstreckt sich – insbesondere bei der o.g., bevorzugten Alternative – bei der Darstellung gemäß **Fig. 2d** linienförmig nach „vorne“ bzw. „hinten“ hin durchgehend über eine Vielzahl, insbesondere sämtliche in einer Reihe liegende Einzel-Speicher-Zellen **21a**, bzw. sämtliche diesen zugeordneten Elektroden **12b**).

**[0087]** Wie weiter aus **Fig. 2d** hervorgeht, weist der stehengebliebene Teil der Spacer-Schicht **17** eine Breite auf, die sich nach unten hin bis zu einer maximalen Breite  $h$  verbreitert, wobei die maximale Breite  $h$  des stehengebliebenen Teils der Spacer-Schicht **17** (dort, wo die Spacer-Schicht **17** die Elektroden-Schicht **12a** berührt) im Wesentlichen der Breite des aktiven Materials der – fertigen – Speicher-Zellen **21a**, **21b** entspricht (wobei die maximale Breite  $h$  des stehengebliebenen Teils der Spacer-Schicht **17** z.B.  $\leq 100\text{nm}$  groß sein kann, insbesondere z.B.  $\leq 60\text{nm}$  oder  $\leq 30\text{nm}$  (s.u.)).

**[0088]** Als nächstes (bzw. alternativ erst folgend auf den in **Fig. 2e** gezeigten Zustand der Speicher-Zellen **11**) können – insbesondere bei der o.g., bevorzugten Alternative – erneut den oben erläuterten Verfahrensschritten entsprechende Verfahrensschritte durchgeführt werden.

**[0089]** Insbesondere kann – oberhalb der aktiven Material-Schicht **13**, bzw. der Schicht **12a** (und oberhalb der stehengelassenen (linienförmigen) Spacer-Schicht **17**, und ggf. oberhalb des – stehengelassenen – Bereichs B der Schicht **16**) erneut eine – durchgehende – (zusätzliche) Schicht abgeschieden werden, z.B. eine SiO<sub>2</sub>-Schicht (entsprechend der in **Fig. 2** gezeigten Schicht **16**).

**[0090]** Diese kann dann – entsprechend ähnlich wie in **Fig. 2b** für die Schicht **16** dargestellt – strukturiert werden (wobei entsprechende, linienförmige, entfernte Bereiche der (zusätzlichen) Schicht sich quer zur geschaffenen Linienstruktur der Schicht **16** bzw. der Spacer-Schicht **17** über eine Vielzahl, insbesondere sämtliche in einer Reihe liegende Einzel-Speicher-Zellen **21a**, **21b** von „links“ nach „rechts“ hin erstrecken).

**[0091]** Daraufhin kann – ggf. (alternativ) nach erneuter Abscheidung einer (weiteren) Spacer-Schicht – die Spacer-Schicht **17** (bzw. die Spacer-Schicht **17**, und die weitere Spacer-Schicht) (entsprechend wie oben unter Bezug auf [Fig. 2d](#) beschrieben) anisotrop rückgeätzt werden.

**[0092]** Wird eine weitere Spacer-Schicht verwendet, kann diese aus demselben Material bestehen, wie die Spacer-Schicht **17**, oder – bevorzugt – aus einem anderen Material, als die Spacer-Schicht **17** (z.B. können beide Spacer-Schichten aus C, oder SiN bestehen, oder jeweils eine Spacer-Schicht aus C, und die andere aus SiN).

**[0093]** Dann werden – wie in [Fig. 2e](#) veranschaulicht ist – die bei den vorhergehenden Prozess-Schritten noch stehengelassenen Bereiche B der Schicht **16** (bzw. der dieser entsprechenden, zusätzlichen Schicht) entfernt (nicht jedoch der – verbliebene – Teil der Spacer-Schicht(en) **17**).

**[0094]** Hierzu kann z.B. ein entsprechendes, selektives Ätz-Verfahren verwendet werden, z.B. ein entsprechendes Naß-Ätz-Verfahren (z.B. ein HF- (Flußsäure-) Naß-Ätz-Verfahren).

**[0095]** Daraufhin werden, wie in [Fig. 2f](#) veranschaulicht ist, – mit Ausnahmen von direkt unterhalb der stehengebliebenen Teile der Spacer-Schicht **17** liegenden Bereichen – die o.g. Elektroden-Schicht **12a**, und die darunterliegende aktive Material-Schicht **13** entfernt, z.B. mittels eines entsprechenden Trocken-Ätz-Verfahrens.

**[0096]** Die hierdurch geschaffenen – unterhalb der entsprechenden, verbliebenen Teile der Spacer-Schicht **17** stehengebliebenen – Elektroden **12a**, und die jeweils unter diesen liegende – stehengebliebene – aktive Material-Schicht **13** können z.B. jeweils – ungefähr entsprechend der Breite (und/oder Länge) der darüberliegenden Spacer-Schicht **17** – eine Breite (und/oder Länge)  $i$  von kleiner-gleich 100nm aufweisen, insbesondere z.B. eine Breite (und/oder Länge)  $i$ , die kleiner-gleich 60nm oder kleiner-gleich 30nm ist (also eine im sub-lithografischen Bereich liegende Breite (bzw. Länge)  $i$ ).

**[0097]** Die – stehengebliebenen – Elektroden **12a**, und die – stehengebliebene – aktive Material-Schicht **13** können – von oben her betrachtet – im Wesentlichen quadratisch oder rechteckförmig sein.

**[0098]** Die Mittelachsen  $a$  der – stehengebliebenen – Elektroden **12a**, und der – stehengebliebenen – Teile der aktiven Material-Schicht **13** können z.B. im Wesentlichen auf den Mittelachsen  $a$  der unteren Kontakte bzw. Elektroden **12b** liegen (bzw. in deren Nähe).

**[0099]** Als nächstes wird – wie in [Fig. 2g](#) schematisch veranschaulicht ist – oberhalb der stehengebliebenen Spacer-Schicht **17**, und oberhalb der – beim letzten Prozess-Schritt freigelegten – Isolier-Schicht **14** (und des – beim letzten Prozess-Schritt freigelegten, die verbliebene aktive Material-Schicht **13** umgebenden – Bereichs der unteren Elektrode **12b**) eine entsprechende Isolier-Material-Schicht **18** abgeschieden, die z.B. aus SiO<sub>2</sub> oder SiN, etc. bestehen kann.

**[0100]** Die Isolier-Material-Schicht **18** kann eine im wesentlichen konstante Dicke  $k$  aufweisen (die mindestens der Summe der Dicke der oberen Elektrode **12a**, und der aktiven Material-Schicht **13** entspricht). Bevorzugt kann – alternativ – zur Abscheidung der Isolier-Material-Schicht **18** ein teilweise planarisierendes Abscheideverfahren verwendet werden; die Dicke der Isolier-Material-Schicht **18** oberhalb der Bereiche **17** ist dann geringer, als an den übrigen Bereichen.

**[0101]** Die Schicht **18** wird dann, wie in [Fig. 2h](#) schematisch veranschaulicht ist, entsprechend – planar – bis etwa zur Höhe der oberen Begrenzungsflächen der oberen Elektroden **12a** zurück-polier (z.B. mittels eines entsprechenden CMP-Verfahrens (CMP = Chemical Mechanical Polishing)), wobei die verbliebenen Teile der Spacer-Schicht **17** vollständig entfernt werden.

**[0102]** Als letztes kann dann entsprechend ähnlich wie bei herkömmlichen, bekannten Verfahren – für jede der auf die o.g. Weise geschaffenen (jeweils eine obere und untere Elektrode **12a**, **12b**, und eine dazwischenliegende – in die Isolier-Material-Schicht **18** eingebettete – aktive Material-Schicht **13** aufweisenden) Einzel-Speicher-Zellen **21a**, **21b** ein entsprechender, oberer Metall-Kontakt **19a**, **19b** hergestellt werden, der jeweils die darunterliegende – obere – Elektrode **12a** kontaktiert (vgl. [Fig. 3](#)).

**[0103]** Bei einem weiteren alternativen Ausführungsbeispiel kann – anders als in z.B. den [Fig. 2a](#) und [Fig. 4](#) gezeigt – zwischen der aktiven Material-Schicht **13**, **13'** und der Schicht **16**, **16'** zunächst keine separate, zur späteren Herstellung der Elektroden **12a**, **12a'** verwendete Schicht vorgesehen sein (die aktive Material-Schicht **13**, **13'** grenzt dann direkt an die Schicht **16**, **16'** an).

**[0104]** Nach der Durchführung von – den o.g. anhand der [Fig. 2a](#) bis [Fig. 2h](#) erläuterten Verfahrens-Schritten entsprechenden – Verfahrens-Schritten liegt dann die obere Begrenzungsfläche der auf diese Weise geschaffenen, in eine Isolier-Material-Schicht eingebetteten aktiven Material-Schicht auf derselben Ebene, wie die obere Begrenzungsfläche der Isolier-Material-Schicht.



[0105] Daraufhin wird – entsprechend ähnlich wie bei entsprechenden herkömmlichen, bekannten Herstellungsverfahren – für jede der so geschaffenen Einzel-Speicher-Zellen oberhalb der aktiven Material-Schicht eine entsprechende – das jeweilige, aktive Material kontaktierende – Metall-Elektrode hergestellt.

[0106] Um bei einer entsprechenden Einzel-Speicher-Zelle **21a**, **21b** einen Wechsel von einem amorphen, d.h. relativ schwach leitfähigen Zustand der entsprechenden „aktiven“ Material-Schicht **13** in einen kristallinen, d.h. relativ stark leitfähigen Zustand zu erreichen, kann an den Elektroden **12a**, **12b** – durch das jeweils zugeordnete, o.g. Schalt-Element – ein entsprechender Heiz-Strom-Puls angelegt werden (entsprechend ähnlich wie bei herkömmlichen Phasen-Wechsel-Speichern (Phase Change Memories), und entsprechend wie oben unter Bezug auf [Fig. 1](#) erläutert (vgl. auch z.B. G. Wicker, Nonvolatile, High Density, High Performance Phase Change Memory, SPIE Conference on Electronics and Structures for MEMS, Vol. 3891, Queensland, 2, 1999 bekannt, sowie z.B. aus Y.N. Hwang et. al., Completely CMOS Compatible Phase Change Nonvolatile RAM Using NMOS Cell Transistors, IEEE Proceedings of the Nonvolatile Semiconductor Memory Workshop, Monterey, 91, 2003, S. Lai et. al., OUM-a 180nm non-volatile memory cell element technology for stand alone and embedded applications, IEDM 2001, etc.)).

[0107] Der Heiz-Strom-Puls führt – da die aktive Material-Schicht **13** einen relativ hohen Widerstand aufweist – dazu, dass diese entsprechend über die Kristallisationstemperatur des aktiven Materials hinausgehend erwärmt wird, wodurch eine Kristallisation der aktiven Material-Schicht **13** hervorgerufen werden kann („Schreibvorgang“).

[0108] Umgekehrt kann ein Zustands-Wechsel der aktiven Material-Schicht **13** von einem kristallinen, d.h. relativ stark leitfähigen Zustand in einen amorphen, d.h. relativ schwach leitfähigen Zustand z.B. dadurch erreicht werden, dass an den Elektroden **12a**, **12b** – durch das jeweils zugeordnete, o.g. Schalt-Element – ein entsprechender Heiz-Strom-Puls angelegt, und dadurch die aktive Material-Schicht **13** über die Schmelztemperatur hinaus aufgeheizt wird, und anschließend die aktive Material-Schicht durch schnelles Abkühlen in einen amorphen Zustand „abgeschreckt“ wird („Löschvorgang“) (entsprechend ähnlich wie bei herkömmlichen Phasen-Wechsel-Speichern (Phase Change Memories)).

[0109] Wie aus [Fig. 3](#) hervorgeht, ist – im fertigen Zustand der Speicher-Zellen **21a**, **21b** – die aktive Material-Schicht **13** in die Isolier-Material-Schicht **18** eingebettet, insbesondere – seitlich (nach „rechts“, „links“, „vorne“ und „hinten“ hin) – komplett von der

Isolier-Material-Schicht **18** umgeben.

[0110] Aufgrund des durch die Einbettung der aktiven Material-Schicht **13** in die Isolier-Material-Schicht **18** erreichten fokussierten Stromverlaufs (und damit der Verminderung bzw. Vermeidung von parasitären – außerhalb des Schmelz- bzw. Kristallisationsbereichs des aktiven Materials auftretenden – Strömen) kann bei den vorliegenden Ausführungsbeispielen – wie bereits oben erwähnt – das aktive Material mit z.T. deutlich geringeren Heiz-Strömen über die Kristallisations- bzw. Schmelztemperatur hinaus erwärmt werden, als im Stand der Technik.

#### Bezugszeichenliste

<b>1</b>	Speicher-Zelle
<b>2a</b>	Elektrode
<b>2b</b>	Elektrode
<b>3</b>	aktive Material-Schicht
<b>4</b>	Isolier-Schicht
<b>5</b>	Heiz-Material-Schicht
<b>11</b>	Speicher-Zellen
<b>11'</b>	Speicher-Zellen
<b>12a</b>	Elektrode
<b>12a'</b>	Elektrode
<b>12b</b>	Elektrode
<b>12b'</b>	Elektrode
<b>13</b>	aktive Material-Schicht
<b>13'</b>	aktive Material-Schicht
<b>14</b>	Isolier-Schicht
<b>14'</b>	Isolier-Schicht
<b>15</b>	Substrat-Schicht
<b>15'</b>	Substrat-Schicht
<b>16</b>	Schicht
<b>16a</b>	Schicht-Rand
<b>16b</b>	Schicht-Rand
<b>17</b>	Spacer-Schicht
<b>18</b>	Isolier-Material-Schicht
<b>19a</b>	Kontakt
<b>19b</b>	Kontakt
<b>21a</b>	Einzel-Speicher-Zelle
<b>21b</b>	Einzel-Speicher-Zelle

#### Patentansprüche

1. Speicherbauelement (**21a**), welches ein aktives Material (**13**) aufweist, welches durch entsprechende Schaltvorgänge in einen mehr oder weniger leitfähigen Zustand versetzbar ist, **dadurch gekennzeichnet**, dass das aktive Material (**13**) in elektrisch isolierendes Material (**18**) eingebettet ist.

2. Speicherbauelement (**21a**) nach Anspruch 1, bei welchem das aktive Material (**13**) in seitlicher Richtung vollständig von elektrisch isolierendem Material (**18**) umgeben ist.

3. Speicherbauelement (**21a**) nach Anspruch 1 oder 2, welches ein Phasen-Wechsel-Speicherbauelement

lement ist, insbesondere ein Speicherbauelement, bei welchem das aktive Material **(13)** ganz oder teilweise durch entsprechende Schaltvorgänge in einen amorphen oder kristallinen Zustand versetzbar ist.

4. Speicherbauelement **(21a)** nach Anspruch 3, bei welchem die Ausdehnung des von dem Phasen-Wechsel betroffenen Volumens des aktiven Materials **(13)** von dem elektrisch isolierenden Material begrenzt wird.

5. Speicherbauelement **(21a)** nach einem der vorhergehenden Ansprüche, bei welchem das aktive Material **(13)** eine Breite (i) aufweist, die kleiner-gleich 100nm ist, insbesondere kleiner-gleich 60nm oder kleiner-gleich 30nm.

6. Speicherbauelement **(21a)** nach einem der vorhergehenden Ansprüche, bei welchem das aktive Material **(13)** eine Länge aufweist, die kleiner-gleich 100nm ist, insbesondere kleiner-gleich 60nm oder kleiner-gleich 30nm.

7. Speicherbauelement **(21a)** nach einem der vorhergehenden Ansprüche, bei welchem das aktive Material **(13)** eine Dicke (d) aufweist, die kleiner-gleich 100nm ist, insbesondere kleiner-gleich 60nm oder kleiner-gleich 30nm.

8. Speicherbauelement **(21a)** nach einem der vorhergehenden Ansprüche, bei welchem das isolierende Material **(18)** SiO<sub>2</sub> aufweist.

9. Speicherbauelement **(21a)** nach einem der vorhergehenden Ansprüche, bei welchem das isolierende Material **(18)** SiN aufweist.

10. Speicherbauelement **(21a)** nach einem der vorhergehenden Ansprüche, welches eine erste Elektrode **(12a)** aufweist, die an das aktive Material **(13)** angrenzt.

11. Speicherbauelement **(21a)** nach einem der vorhergehenden Ansprüche, welches eine zweite Elektrode **(12b, 22b')** aufweist, die an das aktive Material **(13)** angrenzt.

12. Speicherbauelement **(21a)** nach Anspruch 11, bei welchem das aktive Material **(13)** von der ersten und zweiten Elektrode **(12a, 12b, 22b')**, und dem isolierenden Material **(18)** vollständig eingeschlossen wird.

13. Speicherbauelement **(21a)** nach einem der Ansprüche 10 bis 12, bei welchem die erste und/oder die zweite Elektrode **(12a, 22b')** aus TiN hergestellt ist, oder aus TiSiN, TiAlN, TaSiN, oder TiW.

14. Speicherbauelement **(21a)** nach einem der Ansprüche 10 bis 13, bei welchem die erste und/oder

zweite Elektrode **(12b)** aus Wolfram hergestellt ist.

15. Speicherbauelement **(21a)** nach einem der Ansprüche 11 bis 14, bei welchem die erste und zweite Elektrode **(12a, 22'b)** aus demselben Material hergestellt sind.

16. Speicherbauelement **(21a)** nach einem der Ansprüche 11 bis 14, bei welchem die erste und zweite Elektrode **(12a, 12b)** aus unterschiedlichem Material hergestellt sind.

17. Verfahren zur Herstellung eines Speicherbauelements **(21a)**, insbesondere eines resistiv schaltenden Speicherbauelements **(21a)**, welches die Schritte aufweist:

(a) Abscheiden einer Schicht **(16)** oberhalb eines für das resistiv schaltende Speicherbauelement **(21a)** vorgesehenen aktiven Materials **(13)**;

(b) Strukturieren der Schicht **(16)**;

(c) Abscheiden einer Spacer-Schicht **(17)** oberhalb der strukturierten Schicht **(16)**; und (d) anisotropes Rückätzen der Spacer-Schicht **(17)**.

18. Verfahren nach Anspruch 17, bei welchem beim Schritt (d) die Spacer-Schicht **(17)** abgesehen von an Rand-Bereiche **(16a)** der strukturierten Schicht **(16)** angrenzende Bereiche der Spacer-Schicht **(17)** entfernt wird.

19. Verfahren nach Anspruch 17 oder 18, bei welchem die Schicht **(16)** linienförmig strukturiert wird.

20. Verfahren nach einem der Ansprüche 17 bis 19, welches außerdem die Schritte aufweist:

(e) erneutes Abscheiden einer Schicht **(16)** oberhalb des für das resistiv schaltende Speicherbauelement **(21a)** vorgesehenen aktiven Materials **(13)**;

(f) Strukturieren der – erneut abgeschiedenen – Schicht **(16)**; und

(g) anisotropes Rückätzen der Spacer-Schicht **(17)**.

21. Verfahren nach einem der Ansprüche 17 bis 19, welches außerdem die Schritte aufweist:

(e) erneutes Abscheiden einer Schicht **(16)** oberhalb des für das resistiv schaltende Speicherbauelement **(21a)** vorgesehenen aktiven Materials **(13)**;

(f) Strukturieren der – erneut abgeschiedenen – Schicht **(16)**;

(g) Abscheiden einer weiteren Spacer-Schicht oberhalb der – erneut abgeschiedenen – strukturierten Schicht;

(h) anisotropes Rückätzen der Spacer-Schichten **(17)**.

22. Verfahren nach Anspruch 20 oder 21, bei welchem die – erneut abgeschiedene – Schicht **(16)** linienförmig strukturiert wird, insbesondere quer zur Linien-Struktur der zunächst abgeschiedenen Schicht **(16)**.

23. Verfahren nach einem der Ansprüche 17 bis 22, welches außerdem den Schritt aufweist: Abscheiden einer Kontakt-Material-Schicht (**12a**) oberhalb des für das resistiv schaltende Speicherbauelement (**21a**) vorgesehenen aktiven Materials (**13**), bevor oberhalb des für das resistiv schaltende Speicherbauelement (**21a**) vorgesehenen aktiven Materials (**13**), bzw. oberhalb der Kontakt-Material-Schicht (**12a**) die Schicht (**16**) abgeschieden wird.

Es folgen 6 Blatt Zeichnungen

Anhängende Zeichnungen

FIG 1

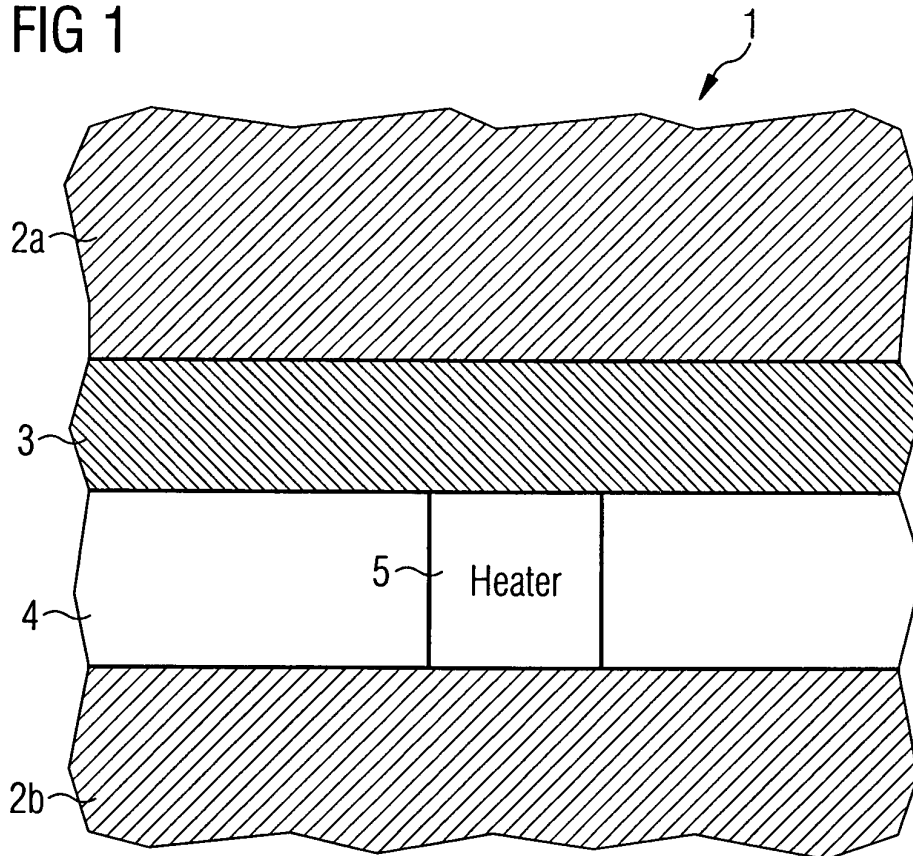


FIG 3

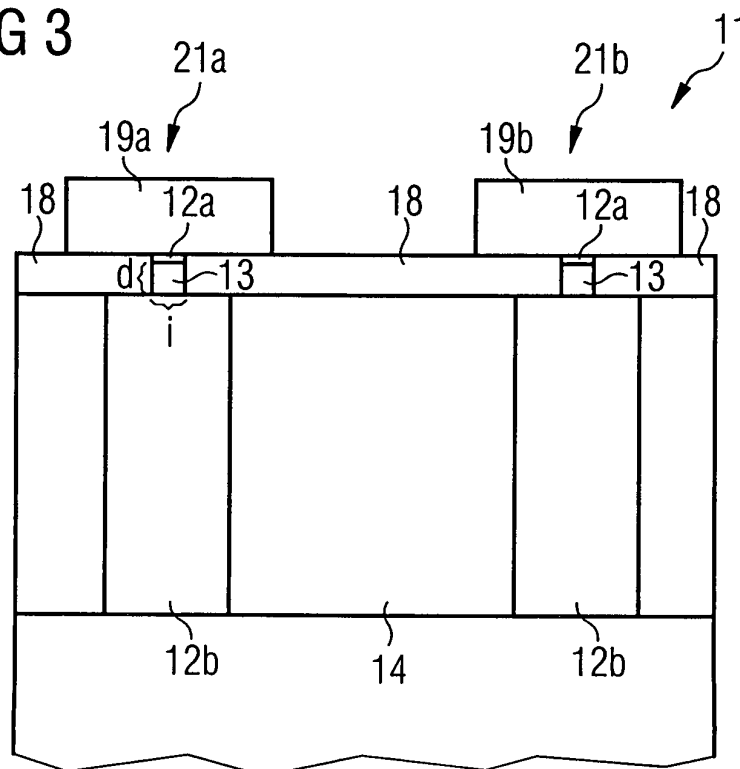


FIG 2A

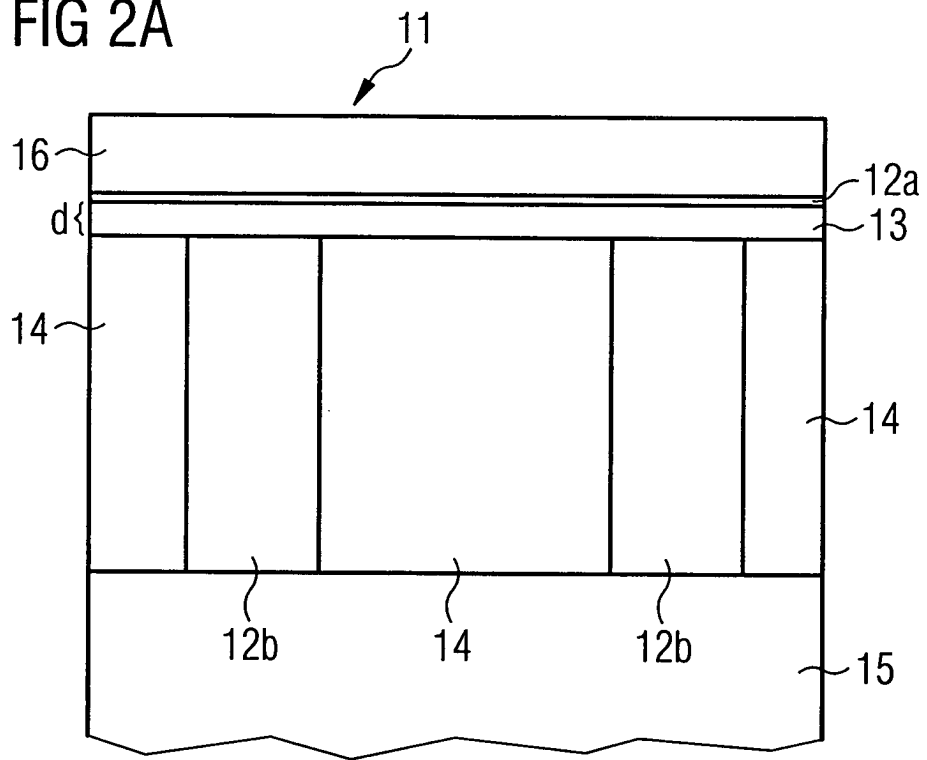


FIG 2B

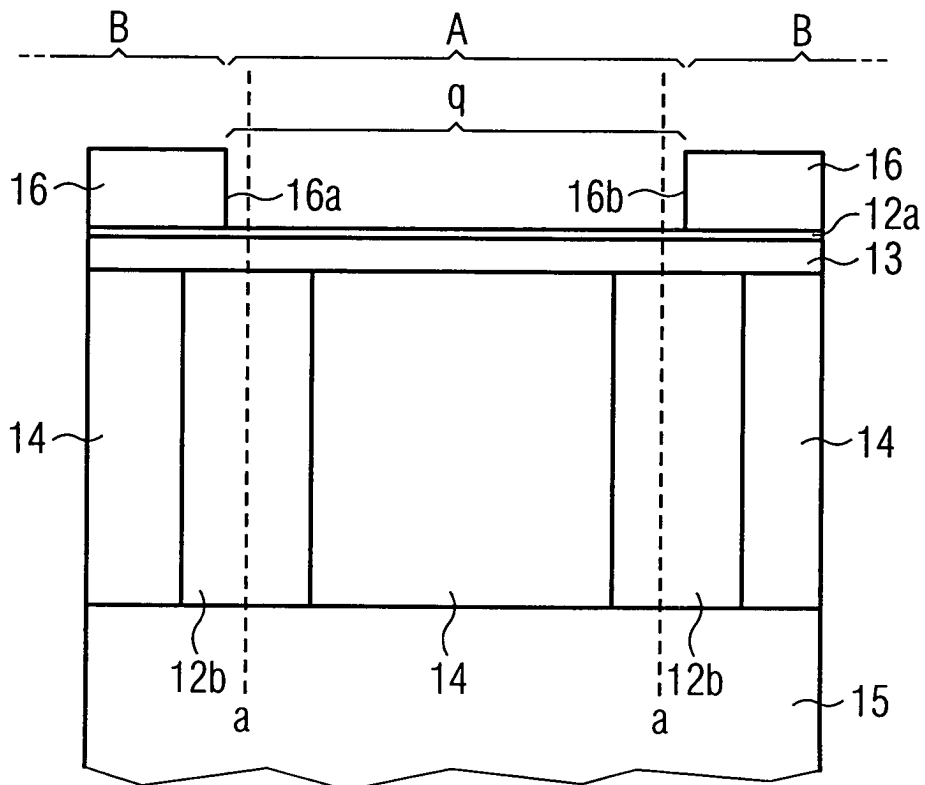




FIG 2C

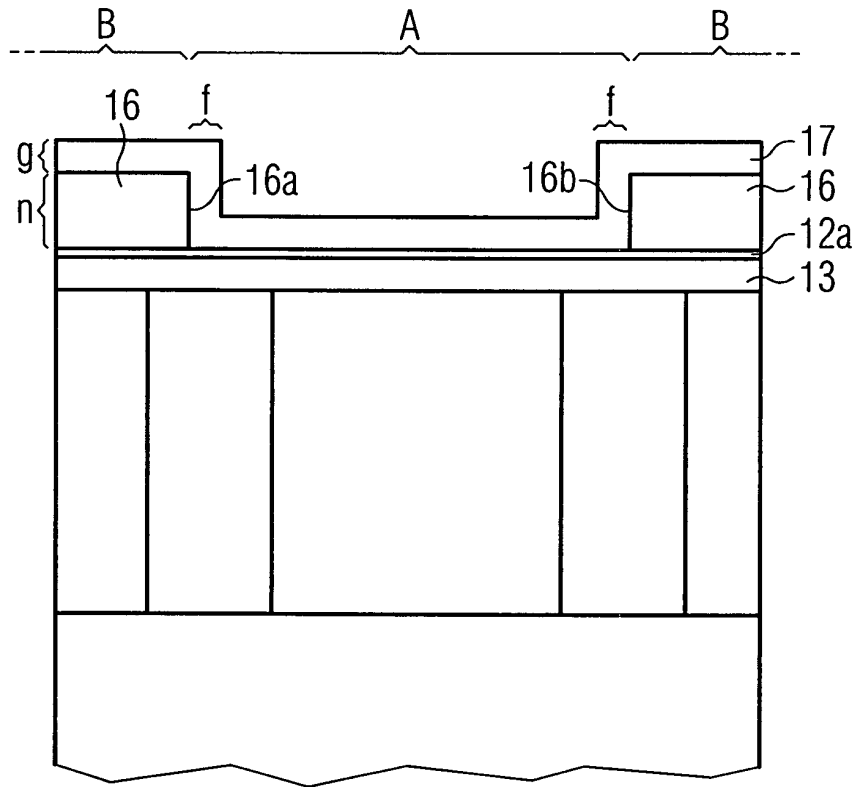


FIG 2D

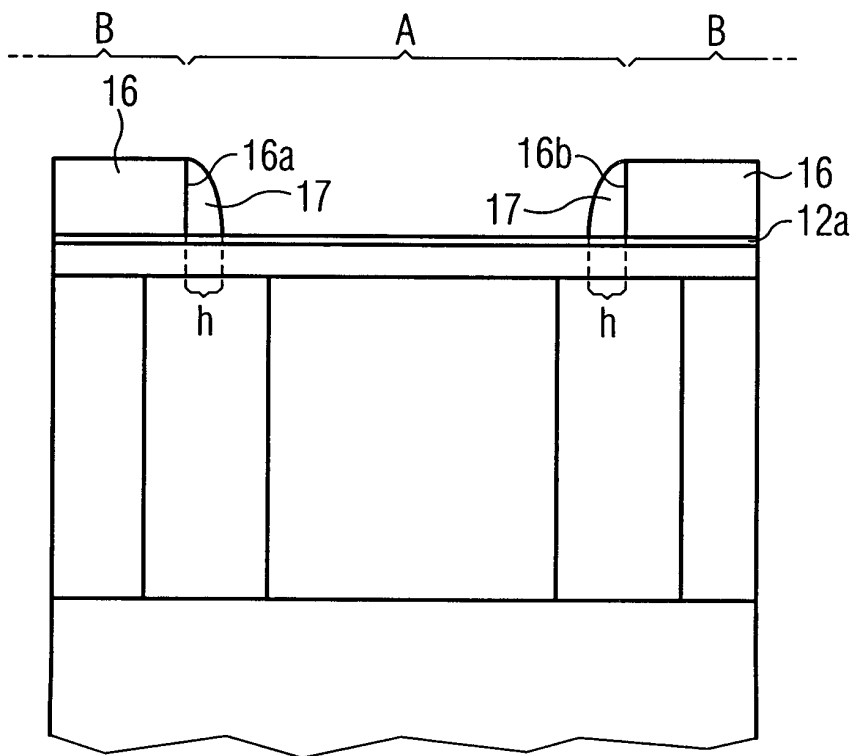


FIG 2E

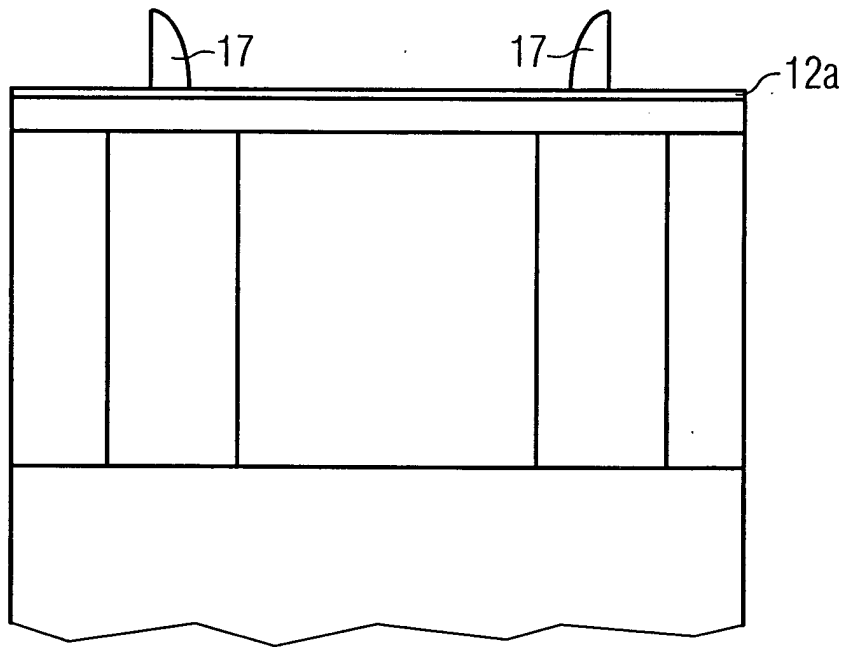


FIG 2F

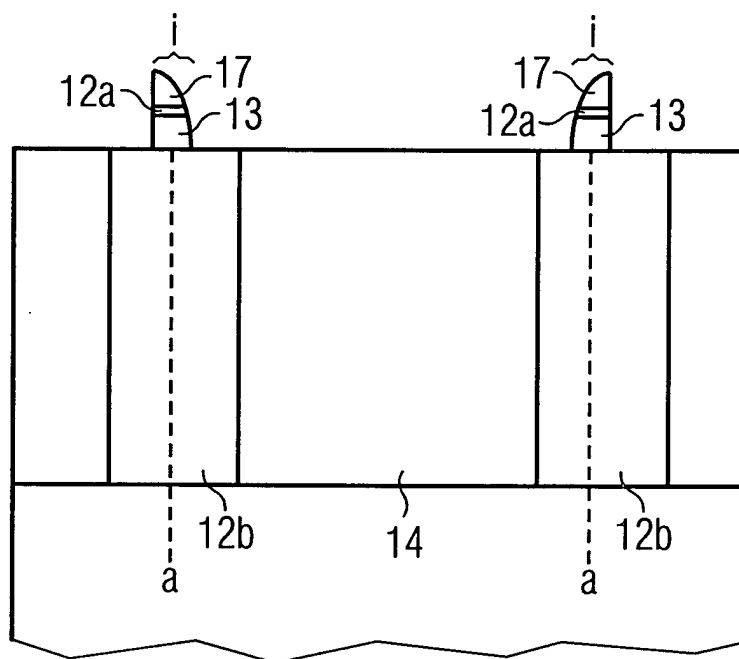


FIG 2G

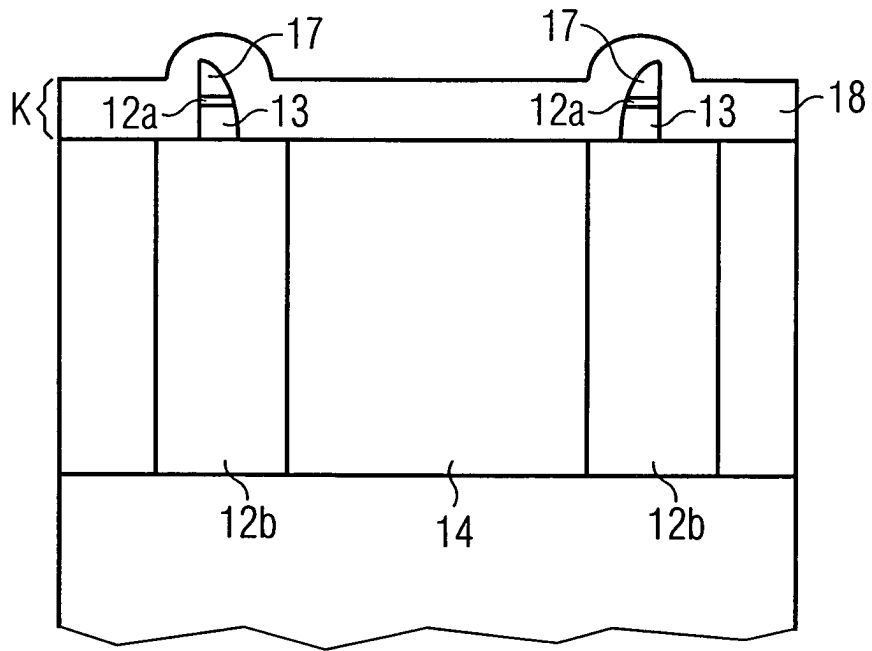


FIG 2H

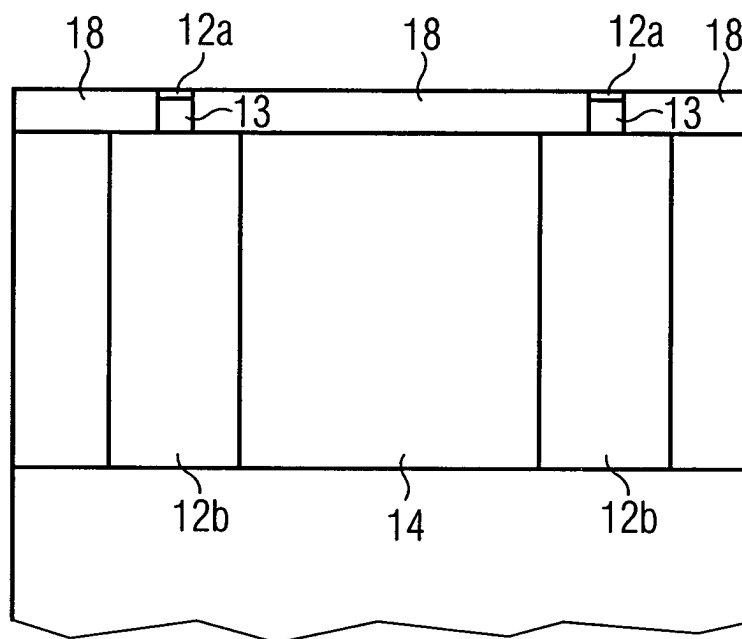


FIG 4

