

# 公告本

申請日期	P02015
案 號	P0103410
類 別	P0103410

A4  
C4

(以上各欄由本局填註)

<del>發新</del> 發明 專利 說明 書 478144		
一、發明 名稱	中 文	半導體記憶裝置
	日 文	半導体記憶装置
二、發明 創作人	姓 名	1. 野田 浩正    3. 永島 靖 2. 出井 陽治    4. 網頭 哲男
	國 籍	均日本
	住、居所	均日本國東京都千代田區丸之內一丁目5番1號新丸大樓 日立製作所股份有限公司知的所有權本部內
三、申請人	姓 名 (名稱)	日商日立製作所股份有限公司 HITACHI, LTD.
	國 籍	日本
	住、居所 (事務所)	日本國東京都千代田區神田駿河台四丁目6番地
	代 表 人 名 姓	庄山 悦彦 ETSUHIKO SHOYAMA

經濟部智慧財產局員工消費合作社印製

裝 訂 線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6  
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權

日本 2000年02月24日 特願2000-046889 有 無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

## 五、發明說明(1)

本發明係關於半導體記憶裝置，主要係關於可有效率地應用於執行同步動態型 RAM (隨機存取記憶體)之叢發(burst)操作的行選擇技術之技術。

按同步 DRAM (動態型 RAM)係在晶片上具有位址計數器，以便執行叢發操作。其標準構成爲包括：按信號傳輸順序接收外部位址之輸入部，接著用以由該位址運算下一循環使用的位址之位址計數器，冗餘位址比較電路及與其並排佈局的預解碼器，用以根據冗餘比較結果控制預解碼器輸出之輸出緩衝器，以及行解碼器。

一種爲使行系選擇操作高速化而在預解碼器與冗餘電路之後段設置位址移位暫存器，而藉由該移位暫存器之移位操作使其產生爲進行叢發操作所需位址信號而構成之同步 DRAM 之例子，可舉出日本專利特開平第 6-275073 號公報，特開平第 9-320269 號公報(對應於美國專利 USP 第 6,009,038 號)。

### 發明總結

隨著 MPU (微處理機單元)之操作頻率高速化，對於 DRAM 高速化之要求也日益提高。然對於設置一種位址計數器俾由接收外部位址的輸入部之位址運算下一循環使用的位址之位址計數器的標準式電路構成而言，由於在命令解碼器產生行系動作信號之前乃無法將位址往前發出，致最先的存取必定會延遲。於是，在上述公報揭示之同步 DRAM，則在預解碼器後段設置移位暫存器，藉此便可由移位操作來實現最先存取之高速化及位址之遞增計數操

## 五、發明說明(2)

作，因此可達成循環高速化。

然而，在上述公報揭示之同步 DRAM，則只是能對應於依單純的移位操作之叢發模式而已，對於相應於初始位址而需要複雜的位址變化之交插(interleave)操作模式則無法對應。譬如說，叢發長度為 8 時，在交插操作模式下，初始值若為 0 時，則與順序(sequential)動作同樣地就成為 0→1→2→3→4→5→6→7，但初始值若為 1 時，則將成為 1→0→3→2→5→4→7→6，初始值若為 2 時，則將成為 2→3→0→1→6→7→4→5 等，這對於上述公報之移位暫存器來說，無論如何也不能使之實現。而且，在特開平第 9-320269 號公報中，並未考量針對於冗餘電路之對策，在特開平第 6-275073 號公報則由於也需對於冗餘電路設置同樣的移位暫存器，致有電路規模會增大之問題存在。

本發明之目的乃在於提供一種可在使其高速化下實現各式各樣的叢發操作之半導體記憶裝置。本發明之其他目的乃在於提供一種可在高速化下實現簡化冗餘電路之半導體記憶裝置。本發明之上述以及其他目的與新穎特徵，由本說明書之記述及附圖當可更為明瞭。

茲就本申請案所揭示發明中較具代表性者之概要簡單說明如下。就是說，其係：設置各自對應於上位與下位位址之第一與第二預解碼器，以上述第二預解碼器之輸出信號作為初始值之移位暫存器，以及按照操作模式選取上述第二預解碼器之輸出信號或上述移位暫存器之輸出信號的輸出電路，以作為用以從具有複數條字線與複數條位元線的

### 五、發明說明(3)

記憶體陣列之上述複數條位元線中選取特定的位元線之行系位址解碼器，而以通過上述第一預解碼器之輸出信號與上述輸出電路之輸出信號形成上述選擇信號；上述移位暫存器則使用偶數位址用之第一移位暫存器與奇數位址用之第二移位暫存器，而由其向上與向下移位操作之組合並以上述初始值為基礎，形成由順序操作與交插操作構成之兩種上述位元線之連續性選擇信號。

茲就本申請案所揭示發明中其他較具代表性者之概要簡單說明如下。就是說，其用以從具有複數條字線與複數條位元線及冗餘位元線的記憶體陣列之上述複數條位元線中選取特定的位元線之行系位址解碼器，係使用：各自對應於上位與下位位址之第一與第二預解碼器，以上述第二預解碼器之輸出信號作為初始值之移位暫存器，以及按照操作模式選取上述第二預解碼器之輸出信號或上述移位暫存器之輸出信號的輸出電路；其用以切換至上述冗餘位元線之冗餘電路，則使用：將記憶於記憶體電路之不良位址中對應於上位位址之位址信號與經予輸入的位址信號加以比較之比較電路，用以將不良位址中之上述下位位址加以解碼之冗餘預解碼器，以及用以檢測上述比較電路之比較重合(coincidence)輸出與上述冗餘預解碼器之各自輸出信號的重合之重合檢測電路；而以上述重合檢測電路之檢測信號，替代在上述行系位址解碼器所形成選擇信號而由上述冗餘位元線選擇電路從上述冗餘位元線中選取特定的位元線。

## 五、發明說明(4)

### 圖式之簡要說明

圖 1 係顯示本發明同步 DRAM 之行系選擇電路之一實施例基本方塊圖。

圖 2 係用以說明圖 1 之行系選擇電路操作之操作波形圖。

圖 3 係顯示本發明同步 DRAM 之行系選擇電路之一實施例具體方塊圖。

圖 4 係顯示圖 3 之冗餘位址比較電路之一實施例方塊圖。

圖 5 係顯示圖 3 之模式暫存器之一實施例構成圖。

圖 6 係顯示本發明同步 DRAM 之叢發操作說明圖。

圖 7 係用以說明用於本發明同步 DRAM 的叢發操作之移位暫存器操作之一例子方塊圖。

圖 8 係用以說明用於本發明同步 DRAM 的叢發操作之移位暫存器操作之其他一例子方塊圖。

圖 9 係顯示圖 3 之位址緩衝器之一實施例電路圖。

圖 10 係顯示用於本發明同步 DRAM 的叢發動作之移位暫存器一實施例電路圖。

圖 11 係顯示用於本發明同步 DRAM 的叢發操作之計數器(移位暫存器)控制電路一實施例電路圖。

圖 12 係顯示圖 3 之命中暫存器之一實施例電路圖。

圖 13 係顯示圖 3 之寫入位址暫存器之一實施例電路圖。

圖 14 係顯示圖 3 之下位位址預解碼器輸出緩衝器之一實施例電路圖。

## 五、發明說明(5)

圖 15 係顯示圖 3 之下位位址預解碼器之一實施例電路圖。

圖 16 係顯示用以說明本發明同步 DRAM 的叢發計數操作之一例子波形圖。

圖 17 係顯示用以說明本發明同步 DRAM 的叢發計數操作之其他一例子波形圖。

圖 18 係顯示適用本發明之 DDR SDRAM 之一實施例全體方塊圖。

圖 19 係顯示可供適用本發明之 SDRAM 之一實施例概略佈局圖。

圖 20 係顯示可供適用本發明之動態型 RAM 之一實施例電路圖。

### 發明之詳細說明

在圖 1 係顯示本發明同步 DRAM 的行系選擇電路之一實施例之基本方塊圖，在圖 2 則顯示其操作波形圖。在以往之標準型同步 DRAM 中位於位址緩衝器 ADB 之其次的位址計數器 YCTR，在本實施例中卻將之移動於預解碼器 YPD 之其次。亦即，經由位址緩衝器 ADB 取入之內部位址信號 CAn，係供給於行預解碼器 YPD 與構成 Y 系冗餘電路之位址比較電路 YR。但是本實施例中之位址計數器 YCTR 並非所謂的二進數之計數器電路，而係由移位暫存器 SR 所構成。

依此構成，便可把位址計數器 YCTR 從決定存取速率之關鍵路徑中除去，使得不必等待未圖示之命令解碼器發出

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(6)

行系動作信號，就可將位址  $CA_n$  輸入於行預解碼器 YPD，將位址信號  $CA_n'$  輸入於冗餘位址比較電路 YR，因此，可實現最先存取之高速化。而且，由於位址計數器 YCTR 只把預解碼器輸出  $AY_{mn}$  加以移位即可達成遞增計數，因此，不再需要如傳統二進數計數器電路之遞增計數用運算器，故也可實現循環之高速化。

在上述電路構成，對於位址比較電路 YR 則只輸入以從外部經過位址緩衝器 ADB 之位址信號  $CA_n'$ ，叢發操作時之計數器位址並不予輸入。因此，當計數器位址 YCTR 與冗餘位址重合而形成命中(hit)信號  $HIT_n$  時，則應停止正規系統，並需要用以產生冗餘行選擇信號之另外一個電路。為因應於此，在本實施例中則將冗餘位址比較電路 YR 之命中信號  $HIT_n$  供給於預解碼器輸出緩衝器 YPDO，而由這樣的預解碼器輸出緩衝器 YPDO，將上述正規電路與冗餘電路及叢發操作與通常操作之切換總括起來執行。

在圖 2 中，命令  $Comd$  係同步於時脈 CLK 而輸入，並依命令指定讀入模式(READ)，行位址  $CA$  ( $Aa_0$ )就同步於上述時脈信號 CLK，作為內部位址  $CA_n$  而被取入。行預解碼器 YPD 將形成其解碼器信號  $AY_{mn}$ ，與此同時，內部位址信號  $CA_n'$  就輸入於冗餘電路之位址比較電路，進行其與不良位址之比較，以形成重合信號  $HIT_n$ 。

由上述命令解碼器判定讀入模式，形成解碼器賦能時脈信號 CSE，藉此，即將對應於上述冗餘電路之重合/非重合情形，要是非重合則由預解碼器輸出緩衝器 YPDO 選擇行

## 五、發明說明(7)

預解碼器 YPD 之輸出信號(AYmn)，要是重合則由預解碼器輸出緩衝器 YPDO 選擇依冗餘電路之冗餘選擇信號，並使其輸出信號 AYmnD 供給於行解碼器 YDEC 以形成行選擇信號 YS。之後，則與時脈信號 CCLK 同步下，要是叢發模式則由位址計數器(移位暫存器)YCTR 執行移位操作，以形成對應於次一個位址之預解碼器信號(SRoutn)，所以，預解碼器輸出緩衝器 YPDO 就將之輸出而由行解碼器 YDEC 形成行選擇信號 YS。

如上述，經由命令解碼器判定讀入模式而由解碼器賦能時脈信號 CSE 所執行的最先存取之行選擇操作及由時脈信號 CCLK 的叢發操作時之第二次以後之循環，也可由依上述單純的移位暫存器之移位操作所形成信號 SRoutn 使之實現，因此可實現高速。

於圖 3 顯示本發明同步 DRAM 之行系選擇電路之一實施例具體方塊圖。在本實施例中預解碼器 YPD 係分成為寫入用預解碼器與讀入用預解碼器。其理由乃在於隨著時脈信號 CLK 之高速化，在寫入模式時則需對應於寫入資料傳送至行選擇電路之信號延遲而使行選擇動作延遲之緣故。因而，經過位址緩衝器之位址信號，將由寫入位址暫存器變換成例如延遲兩時脈份之位址信號 LWA 而供給於上述寫入用預解碼器。相應於上述在寫入模式時的行選擇之延遲，冗餘位址比較電路之命中信號將輸入於命中暫存器，在此則對應於時脈信號而使之延遲例如兩時脈份，將寫入模式時之命中信號 HITW，如上述使其對應於在寫入模式時之

## 五、發明說明(8)

行選擇動作而延遲，以使不良位元線切換於冗餘位元線。

上述寫入用與讀入用預解碼器，則再予以分成爲對應於叢發長度之下位位址與上位位址。例如，叢發長度爲 2、4、8 三種時，下位位址則將指定 0~7 的三位元之位址信號輸入於下位預解碼器，以執行 1/8 之解碼操作。上述三位元以外之行選擇用位址信號，則作爲上位位址而由上位預解碼器加以解碼。

冗餘位址比較電路，係用以形成對應於上述叢發長度之複數種重合信號，包括：位址比較電路，其用以在經由位址緩衝器所輸入位址信號中，將上位位址與對應於其之救濟位址中之上位位址加以比較；以及判定電路，其用以判定救濟位址之下位位址解碼器信號與上述比較電路輸出之重合。

就是說，冗餘位址比較電路，係首先對於除去冗餘(救濟)位址與外部輸入位址各個之下位三位元外的上位位元進行位址比較，雙方若重合，則將就冗餘(救濟)位址的下位三位元之預解碼器信號輸出於上述預解碼器輸出緩衝器。在下位位址之預解碼器輸出緩衝器，則將該冗餘位址預解碼器信號加以鎖存，並按每一時脈循環，與外部輸入位址之預解碼器信號或位址計數器(叢發計數器)之輸出信號進行比較，若爲重合，則使正規系統之行解碼器停止，產生冗餘之行選擇信號。在本實施例，同步 DRAM 若具有複數個記憶體庫，則如後述，爲了高速化冗餘位址比較電路則應按每一記憶體庫個別設置。

## 五、發明說明(9)

在寫入用及讀入用預解碼器中，對應於上位位址之預解碼器輸出  $AYW3$ 、 $AYW6$  及  $AYR3$ 、 $AYR6$ ，係經由上位位址預解碼器輸出緩衝器輸入於  $Y$  解碼器。 $Y$  解碼器則由上述下位預解碼器信號  $AYOD$  或  $RY$  與上位預解碼器信號  $AY3D$ 、 $AY6D$ ，形成行選擇信號  $YS$ 。

命令解碼器係用以接收由外部端予供給的控制信號的組合所指定之命令而形成各種控制信號。在圖 3 中，僅舉例顯示對應於行系選擇操作之較具代表性的控制信號。時脈緩衝器係用以接收由外部端予供給的時脈信號而形成內部時脈信號。在圖 3 中，僅舉例顯示用於行系選擇操作之較具代表性的時脈信號。另外，模式暫存器係用以設定各種模式，但在圖 3 中則僅顯示對應於行系選擇操作之較具代表性的控制信號。

在圖 4 中顯示冗餘位址比較電路之一實施例方塊圖。位址比較電路係具有用以比較行位址信號  $CA0 \sim CA8$  中除去下位三位元之位址信號  $CA3 \sim CA8$ ，與對應於其之救濟位址  $CRA3 \sim CRA8$  間之重合的位址比較電路。該位址比較電路，如以將對應於位址信號  $CA3$  與  $CRA3$  的一位元份之互斥邏輯電路  $ENOR$  作為代表而例示，其係由包括反向器電路  $N1$ 、 $N2$  與  $N$  通道型 MOSFET  $Q1$ 、 $Q3$  與  $P$  通道型 MOSFET  $Q2$ 、 $Q4$  之兩組電路所構成。

其係以非反轉的救濟位址  $CRAaT$  與接收其之反向器電路  $N1$  之輸出信號，控制由上述 MOSFET(金屬氧半導體場效電晶體)  $Q1$  與  $Q2$  組成之 CMOS(互補金氧半導體)開關，俾

## 五、發明說明 ( 10 )

透過該 CMOS 開關來傳送非反轉的經予輸入之位址信號 CAaT。另以反轉的救濟位址 CRAaB 與接收其之反向器電路 N2 之輸出信號，控制由上述 MOSFETQ3 與 Q4 組成之 CMOS 開關，俾透過該 CMOS 開關來傳送反轉的經予輸入之位址信號 CAaB。然後，將上述兩組 CMOS 開關之輸出予以短路通用化(線"或"邏輯)以獲得輸出信號。

例如，若非反轉的救濟位址 CRAaT 為高位準，且所輸入之非反轉之位址信號 CAaT 同樣地為高位準而兩者呈重合時，由上述 MOSFETQ1 與 Q2 組成之 CMOS 開關就變成接通狀態，以將上述所輸入之非反轉之位址信號 CAaT 之高位準傳送於輸出。相對地，若反轉的救濟位址 CRAaB 為高位準，且所輸入之反轉之位址信號 CAaB 同樣地為高位準而兩者呈重合時，由上述 MOSFETQ3 與 Q4 組成之 CMOS 開關就變成接通狀態，以將上述所輸入之反轉之位址信號 CAaB 之高位準傳送於輸出。就是說，救濟位址與輸入位址呈重合時，就輸出高位準之重合信號。

相對地，若非反轉的救濟位址 CRAaT 為高位準，且所輸入之非反轉之位址信號 CAaT 為低位準而兩者呈非重合時，由上述 MOSFETQ1 與 Q2 組成之 CMOS 開關就變成接通狀態，以將上述所輸入之非反轉之位址信號 CAaT 之低位準傳送於輸出。相對地，若反轉的救濟位址 CRAaB 為高位準，且所輸入之反轉之位址信號 CAaB 為低位準而兩者呈非重合時，由上述 MOSFETQ3 與 Q4 組成之 CMOS 開關就變成接通狀態，以將上述所輸入之反轉之位址信號

(請先閱讀背面之注意事項再填寫本頁)

## 五、發明說明 ( 11 )

CAaB 之低位準傳送於輸出。就是說，救濟位址與輸入位址呈非重合時，就輸出低位準之非重合信號。

對於其他之位元 CA4~CA8 及 CRA4~CRA8 也設置相同的互斥邏輯電路 ENOR，以使其各自的重合輸出信號分散輸入於三輸入型之反及(NAND)閘電路 G1、G2，其輸出則輸入於非或閘電路 G3，就整體來說，係採取邏輯乘積運算，結果，若全位元 CA3~CA8 與 CRA3~CRA8 呈重合時，即由非或閘電路 G3 形成高位準(邏輯 1)之輸出信號。

下位三位元之救濟位址 CRA0~CRA2 係輸入於冗餘預解碼器 RPD，以使之變換成八種救濟解碼器信號 ARY00~ARY07。這些救濟解碼器信號 ARY00~ARY07 係分別輸入於反及閘電路。對於這些反及閘電路係分別供給上述位址比較電路之重合信號。

同步 DRAM 若具有四個記憶體庫，則由用來接收供選取記憶體庫之位址信號 A13 與 A14 的記憶體庫選擇電路所形成之記憶體庫選擇信號 BANKi，係供給於對應於上述救濟解碼器信號 ARY00~ARY07 之反及閘電路的輸入。對應於上述救濟解碼器信號 ARY00~ARY07 之各閘電路的輸出信號，則各自作為命中信號 HITn (0~7)而輸出。在圖 4 中係以粗線代表該八條份之重合信號(0~7)。若為上述四記憶體庫之構成，則對於各自記憶體庫設置上述位址比較電路及冗餘預解碼器 RPD，與閘電路，俾形成按每一記憶體庫所形成之八種重合信號 HITn。

如上述，行系冗餘電路若預先形成八種命中信號，便可

## 五、發明說明 ( 12 )

由如上述由移位暫存器構成之叢發計數器，在形成出符合其之選擇信號時即可替代正規電路之不良位元線，而選取冗餘位元線。該構成由於不必例如對應於叢發長度而把八對份之位元線總括起來切換成冗餘電路，因此，可使之以較少的冗餘位元線更有效率地執行缺陷救濟。另外，即使在能將叢發長度設定為 2、4、8 之複數種時、也能使用通用之冗餘電路。

在圖 5 顯示模式暫存器之一實施例構成圖。模式暫存器係一種對應於包括 A0~A9 的位址匯流排之 10 位元暫存器，其中對應於 A0~A2 之三位元係用以設定叢發長度 BL。在本實施例，則在上述位址信號 A0~A3 中使用 A0 與 A1 即可設定 2、4、8 之三種叢發長度。將來使用 A2 便可指定直至  $2^7 = 128$  之叢發長度。

對應於 A3 之一位元係用以設定叢發類型 BT。該位元 A3 若為邏輯 0，則設定為順序(sequential)操作，若為邏輯 1，則設定為交插操作。雖與本申請案發明並無直接關係，但對應於 A4~A6 之三位元係用於設定/CAS(行位址選通)等待時間(latency)。對應於 A7 之一位元係用以設定測試模式。A8 係保留(備用)，A9 係用以 DLL(同步化電路)之重設(reset)。

在圖 6 顯示本發明之同步 DRAM 之叢發模式操作說明圖。按同步 DRAM 之叢發順序有順序與交插之兩類型，其遞增計數方式各不相同。其中之順序方式，由於單純地予以增量即可，所以以單純的移位操作便可達成。但在交插

## 五、發明說明 ( 13 )

方式，則因例如叢發長度為 8 且初始值為 6 時就需要如  $6 \rightarrow 7 \rightarrow 4 \rightarrow 5 \rightarrow 2 \rightarrow 3 \rightarrow 0 \rightarrow 1$  之順序，所以單純的移位操作仍不能達成。

在本實施例中，經針對於在交插操作模式下之各順序方式加以檢討，結果發現若試分為奇數與偶數時便可以單純的移位操作來應付。就是說，在圖 6 中，叢發長度為 8 時，初始值為 0 之順序固為  $0 \rightarrow 1 \rightarrow 2 \rightarrow 3 \rightarrow 4 \rightarrow 5 \rightarrow 6 \rightarrow 7$ ，但將之分為偶數與奇數時，將變成  $0 \rightarrow 2 \rightarrow 4 \rightarrow 6$  與  $1 \rightarrow 3 \rightarrow 5 \rightarrow 7$ 。相對地，初始值為 1 之順序將變成  $1 \rightarrow 0 \rightarrow 3 \rightarrow 2 \rightarrow 5 \rightarrow 4 \rightarrow 7 \rightarrow 6$ ，乍看來是一種複雜的順序，但如將之與上述同樣地分成為偶數與奇數，則如  $0 \rightarrow 2 \rightarrow 4 \rightarrow 6$  與  $1 \rightarrow 3 \rightarrow 5 \rightarrow 7$  可由與上述初始值為 0 之情形同樣地以向上移位操作使之實現。

以下，關於初始值為 2~7 之情形，初始值為 2 之順序係如  $2 \rightarrow 3 \rightarrow 0 \rightarrow 1 \rightarrow 6 \rightarrow 7 \rightarrow 4 \rightarrow 5$  般乍看來將變得複雜，但如將之分成為偶數與奇數時，則將變成為  $2 \rightarrow 0 \rightarrow 6 \rightarrow 4$  與  $3 \rightarrow 1 \rightarrow 7 \rightarrow 5$ ，初始值為 3 之順序係  $3 \rightarrow 2 \rightarrow 1 \rightarrow 0 \rightarrow 7 \rightarrow 6 \rightarrow 5 \rightarrow 4$ ，但如將之分成為偶數與奇數時，則將變成  $2 \rightarrow 0 \rightarrow 6 \rightarrow 4$  與  $3 \rightarrow 1 \rightarrow 7 \rightarrow 5$ ，因此與上述初始值為 2 之情形同樣地可以向下移位操作使之實現。

初始值為 4 之順序係  $4 \rightarrow 5 \rightarrow 6 \rightarrow 7 \rightarrow 0 \rightarrow 1 \rightarrow 2 \rightarrow 3$ ，但如將之分成為偶數與奇數時，則將變成  $4 \rightarrow 6 \rightarrow 0 \rightarrow 2$  與  $5 \rightarrow 7 \rightarrow 1 \rightarrow 3$ ，初始值為 5 之順序係如  $5 \rightarrow 4 \rightarrow 7 \rightarrow 6 \rightarrow 1 \rightarrow 0 \rightarrow 3 \rightarrow 2$  般乍看來將變得複雜，但如將之分成為偶數與奇數時，則將

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 14 )

變成如  $4 \rightarrow 6 \rightarrow 0 \rightarrow 2$  與  $5 \rightarrow 7 \rightarrow 1 \rightarrow 3$ ，可與初始值為 4 之情形同樣地以向上移位操作使之實現。

初始值為 6 之順序雖為  $6 \rightarrow 7 \rightarrow 4 \rightarrow 5 \rightarrow 2 \rightarrow 3 \rightarrow 0 \rightarrow 1$ ，但如將之分成為偶數與奇數時，則將變成  $6 \rightarrow 4 \rightarrow 2 \rightarrow 0$  與  $7 \rightarrow 5 \rightarrow 3 \rightarrow 1$ ，初始值為 7 之順序係  $7 \rightarrow 6 \rightarrow 5 \rightarrow 4 \rightarrow 3 \rightarrow 2 \rightarrow 1 \rightarrow 0$ ，但如將之分成為偶數與奇數時，則將變成如  $6 \rightarrow 4 \rightarrow 2 \rightarrow 0$  與  $7 \rightarrow 5 \rightarrow 3 \rightarrow 1$  般可與初始值為 6 之情形同樣地以向下移位操作使之實現。

叢發長度為 4 時，初始值為 0 之順序雖為  $0 \rightarrow 1 \rightarrow 2 \rightarrow 3$ ，但如將之分成為偶數與奇數時，則將變成  $0 \rightarrow 2$  與  $1 \rightarrow 3$ 。再者，初始值為 1 之順序是  $1 \rightarrow 0 \rightarrow 3 \rightarrow 2$ ，乍看來雖為複雜的順序，但如將之分成為偶數與奇數時，則將變成如  $0 \rightarrow 2$  與  $1 \rightarrow 3$  般可與上述初始值為 0 時之情形同樣地以向上移位操作使之實現。另外，初始值為 2 之順序雖為  $2 \rightarrow 3 \rightarrow 0 \rightarrow 1$ ，但如將之分成為偶數與奇數時，則將變成如  $2 \rightarrow 0$  與  $3 \rightarrow 1$  般之向下移位操作。初始值為 3 之順序為  $3 \rightarrow 2 \rightarrow 1 \rightarrow 0$ ，若將之與上述同樣地分成為偶數與奇數時，則如  $2 \rightarrow 0$  與  $3 \rightarrow 1$  般可與上述初始值為 2 之情形同樣地以向下移位操作使之實現。

再者，在上述叢發長度為 4 時之順序操作模式中，由於初始值為 1 之順序會如  $1 \rightarrow 2 \rightarrow 3 \rightarrow 0$  而變化，因而若將其分成為偶數與奇數，則將變成  $2 \rightarrow 0$  與  $1 \rightarrow 3$ ，使得偶數就進行向下移位操作，而奇數則進行向上移位操作。另外，由於初始值為 3 之順序會如  $3 \rightarrow 0 \rightarrow 1 \rightarrow 2$  而變化，因而若將其

## 五、發明說明 ( 15 )

分成爲偶數與奇數，則將變成  $0 \rightarrow 2$  與  $3 \rightarrow 1$ ，使得偶數就進行向上移位操作，而奇數則進行向下移位操作。在順序動作模式中，除上述情形以外皆可由向上移位操作因應之。

預解碼器輸出，如圖 6 所示，係以按照叢發順序下必將偶數與奇數以成對方式輸出兩種。並且設有偶數位址用與奇數位址用之兩種計數器，並使各計數器能使移位操作反轉以對應如上述之順序操作。

在圖 7 與圖 8 顯示上述移位暫存器之一實施例方塊圖。圖 7 係顯示遞增計數(向上移位)時之下位預解碼器信號之移位方向，圖 8 係顯示遞減計數(向下移位)時之下位預解碼器信號之移位方向。在圖 7 及圖 8 中，偶數用之移位暫存器  $SR0_{\text{even}} \sim SR3_{\text{even}}$ ，係將寫入用與讀入用之預解碼器信號  $AYW<0>$  或  $AYW<6>$  與  $AYR<0>$  或  $AYR<6>$ ，對應於各自之時序信號  $YCLK1W$  與  $YCLK1R$  而取入。奇數用之移位暫存器  $SR0_{\text{odd}} \sim SR3_{\text{odd}}$ ，係將寫入用與讀入用之預解碼器信號  $AYW<1>$  或  $AYW<7>$  與  $AYR<1>$  或  $AYR<7>$ ，對應於各自之時序信號  $YCLK1W$  與  $YCLK1R$  而取入。

上述讀入用與寫入用之預解碼器，如上述圖 6 所示，在交插操作模式時，則將對應於偶數用與奇數用之兩個輸出以成對方式於初始值爲 0 與 1，2 與 3，4 與 5，以及 6 與 7 時則對於偶數與奇數之移位暫存器  $SR0$ ， $SR1$ ， $SR2$ ，以及  $SR3$  之各個輸入邏輯 1 之選擇信號。在順序操作模式時，

## 五、發明說明 (16 )

對於 0、1、2、3、4、5、6、7 之各初始值，則將 0 與 1，1 與 2，2 與 3，3 與 4，4 與 5，5 與 6，6 與 7，7 與 0 之兩個預解碼器信號以成對方式將邏輯 1 之選擇信號供給於偶數與奇數之移位暫存器 SR0，SR1，SR2，以及 SR3。

前於圖 3 所示預解碼器輸出緩衝器，若也將之加以控制成偶數緩衝器與奇數緩衝器能按每一循環交替受到活性化，俾按照由外部所輸入位址之偶數與奇數而決定最初要活性化之緩衝器的話，便可以上述構成對應於兩種叢發順序。另外，如 DDR(雙倍數資料傳輸)SDRAM 欲執行兩位元預提取(prefetch)時，由於需要同時輸出兩個行選擇信號，因此不需要將預解碼器輸出緩衝器分成偶數與奇數而控制。

在圖 9 顯示圖 3 之位址緩衝器之一實施例電路圖。將輸入端子連接於外部端子(PAD)之輸入緩衝器，係由 CMOS 反向器電路構成，以便形成反轉信號。該反轉信號係由依時脈信號 ACLKB 操作的時控反向器電路 CN1 加以同步化成時脈信號 ACLKB 而取入於內部。

反向器電路 N12~N14 與時控反向器電路 CN2~CN4，係構成直通鎖存電路，以便形成供傳送給寫入位址暫存器之鎖存位址 LA。反向器電路 N15 與 N16 係用來形成內部位址信號 IA，以供給於上述讀入用預解碼器與冗餘位址比較電路。信號 REF 係再新(refresh)控制信號，由此信號 REF 將再新位址 RAB 作成位址信號 BXB 而取入於內部。

在圖 10 顯示移位暫存器之一實施例電路圖。本實施例之

## 五、發明說明 ( 17 )

移位暫存器，本實施例之移位暫存器係顯示上述偶數用移位暫存器與奇數用移位暫存器之一位元份之電路。初始值之輸入部，則將讀入用預解碼器輸出 AYRO 與寫入用預解碼器信號 AYW0 以對應於各自操作模式之時脈信號 YCLK1RD 與 YCLK1WD 而予以取入。對應於順序 SEQB 與交插 INTLB 而要移位之輸出信號 RVS 與 RVSB，係經由 CMOS 開關取入於由反向器電路 N21 與時控反向器電路 CN8 構成之直通鎖存電路。該 CMOS 開關係由受到時脈信號 YCLKC 與 YCLKCB 所開關控制之 MOSFETQ10 與 Q11 構成。然後，經由包括後段之時控反向器電路 CN9，CN10，CN11，以及反向器電路 N22 與 N23 之鎖存電路執行一位元份之移位動作。

在圖 11 顯示計數器(移位暫存器)控制電路之一實施例電路圖。計數器控制電路係用以接收根據以上述模式暫存器所設定叢發形態 BT 與叢發長度 BL 而形成之控制信號 INTEL 與 BL8，及根據時脈信號 YSEB、YCLK1R、YCLK1W 及預解碼器輸出所形成信號 AYRO23、AYRO67 及 AYW023、AYW067，而形成對應於各自叢發動作之移位暫存器控制信號。換言之，係用以形成供執行如上述圖 6 所示初始值之設定與向上移位或向下移位動作所需控制信號。

在圖 12 顯示命中暫存器之一實施例電路圖。在位址比較電路之命中信號 HIT，係於寫入動作時，使其通過三段之鎖存電路，以使其延遲 1.5 循環而輸出，在行選擇操作

## 五、發明說明 (18 )

時，則使其延遲時脈信號 CLK 之兩循環份以使不良位元線切換為冗餘位元線。藉此，便可使經輸入之寫入資料延遲兩個時脈而經由行開關寫入於正規記憶格或冗餘記憶格。

在圖 13 顯示寫入位址暫存器之一實施例電路圖。在寫入模式下之行位址信號 LA，則使其通過由三段式鎖存電路構成之寫入位址暫存器，以使其延遲 1.5 循環而供給於寫入用預解碼器。在進行行選擇操作時，則使其延遲時脈信號 CLK 之兩循環份而形成行開關之選擇信號，以確保選取記憶格所需時間，俾所輸入之寫入資料能延遲兩時脈份而經由行開關寫入於上述經選取之正規記憶格或冗餘記憶格。

在圖 14 顯示下位位址預解碼器輸出緩衝器之一實施例電路圖。寫入用預解碼器之輸出信號 AYR0 或由移位暫存器形成之移位信號 LAY，係於形成出命中信號 HITW 或 HITS 時，正規電路側之輸出信號 AYOD 就被禁止輸出，而代之以形成冗餘選擇信號 RY。下位位址預解碼器信號 AYOD 或冗餘選擇信號 RY，係同步於 Y 系時序信號 YSEB 而輸出。

在圖 15 顯示下位位址預解碼器之一實施例電路圖。其係用以：對應於位元長度 BL4、BL8 與叢發模式信號 INTEL，而由位址信號 IA<0>、IA<1>及 IA<2>的三位元之位址信號中之上位二位元 IA<1>及 IA<2>形成四種解碼器信號；且將最下位位元 IA<0>與上述位元長度 BL8、BL4 及 INTEL 加以組合而形成對應於如上述說明之順序操作與交插操作的成對之偶數與奇數之移位暫存器 SR0、

## 五、發明說明 ( 19 )

SR1、SR2 及 SR3 之初始值。

具體而言，在順序操作模式時則對於 0、1、2、3、4、5、6、7 之各初始值，使 AYR<0>與<1>，AYR<1>與<2>，AYR<2>與<3>，AYR<3>與<4>，AYR<4>與<5>，AYR<5>與<6>，AYR<6>與<7>，以及 AYR<7>與<0>之各兩種預解碼器信號成對而對於偶數與奇數之移位暫存器 SR0，SR1，SR2，以及 SR3 供應邏輯 1 之選擇信號。

在圖 16 顯示用以說明本發明同步 DRAM 之叢發計數操作之一例子波形圖。該圖顯示位元線長度 BL8 且順序起始位址<010>=2 之場合。其以時脈信號 YCLK1R，若初始值<010>=2，則將偶數用之移位暫存器 LYEV<1>與奇數用之移位暫存器 LAYOD<1>設定於邏輯 1。

在上述圖 7 或圖 8 中之偶數用移位暫存器 SR0even~SR3even，則同步於時脈信號 YCLKCO 而如 LAYEV<1>→LAYEV<2>→LAYEV<3>→LAYEV<0>予以向上移位。就是說，由於 LAYEV<1>係對應於 AYR<2>，因此，將形成如 ARY2→ARY4→ARY6→ARY0 之選擇信號。

在上述圖 7 或圖 8 中之奇數用移位暫存器 SR0odd~SR3odd，則同步於時脈信號 YCLKCE 而如 LAYOD<1>→LAYOD<2>→LAYOD<3>→LAYOD<0>予以向上移位。就是說，由於 LAYOD<1>係對應於 AYR<3>，因此，將形成如 ARY3→ARY5→ARY7→ARY1 之選擇信號。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 (20 )

由於初始值為 2 之偶數，因此若按偶數-奇數之順序使移位暫存器之輸出信號交替輸出，則在如上述順序動作模式時初始值為 2 時，便可形成出如 2→3→4→5→6→7→0→1 之順序且叢發模式下之行選擇信號。

在圖 17 顯示用以說明本發明同步 DRAM 之叢發計數操作之一例子波形圖。該圖顯示位元線長度 BL8 且交插起始位址 <010> = 2 之場合。其以時脈信號 YCLK1R，若初始值 <010> = 2，則將偶數用之移位暫存器 LYEYV<1>與奇數用之移位暫存器 LAYOD<1>設定於邏輯 1。

在上述圖 7 或圖 8 中之偶數用移位暫存器 SR0even~SR3even，則同步於時脈信號 YCLKCE 而如 LAYEV<1>→LAYEV<0>→LAYEV<3>→LAYEV<2>予以向下移位。就是說，由於 LAYEV<1>係對應於 AYR<2>，因此，將形成如 ARY2→ARY0→ARY6→ARY4 之選擇信號。

在上述圖 7 或圖 8 中之奇數用移位暫存器 SR0odd~SR3odd，則同步於時脈信號 YCLKCO 而如 LAYOD<1>→LAYOD<0>→LAYOD<3>→LAYOD<2>予以向下移位。就是說，由於 LAYOD<1>係對應於 AYR<3>，因此，將形成如 ARY3→ARY1→ARY7→ARY5 之選擇信號。

由於初始值為 2 之偶數，因此若按偶數-奇數之順序使移位暫存器之輸出信號交替輸出，則在如上述交插操作模式時初始值為 2 時，便可形成出如 2→3→0→1→6→7→4→5 之順序且叢發模式下之行選擇信號。

## 五、發明說明(21)

在本實施例，由於在預解碼器之下面設置在叢發模式下的選擇信號加以移位之移位暫存器，可從決定存取速率之關鍵路徑除去作為位址計數器之移位暫存器，使得命令解碼器不必等待產生行系動作信號，即可把位址輸入於行預解碼器及冗餘位址比較電路，因此，可實現最先存取之高速化。而且，位址計數器只要把預解碼器輸出加以移位就可作遞增計數，因而可不再需要如傳統遞增計數用之運算器，也可實現循環之高速化。

另外，由於將移位暫存器分成為偶數用與奇數用之兩種而設置，因而即使在順序操作模式之場合或交插操作模式之場合，也可藉由單純的向上移位操作或向下移位操作來形成選擇信號。而且，由於冗餘電路也採取按每一各不良位元線切換為冗餘位元線之方式，所以可藉由少的冗餘位元線進行有效率的缺陷救濟。

在圖 18 顯示適用本發明之 DDR SDRAM (Double Data Rate Synchronous Dynamic Random Access Memory) 之一實施例全體方塊圖。本實施例之 DDR SDRAM 雖並無特別的限制，但其係對應於四個記憶體庫而設有四個記憶體陣列 200A~200D。分別對應於四個記憶體庫 0~3 而設之記憶體陣列 200A~200D，係具有經予矩陣佈局之動態型記憶格，若依照圖示，佈置在同一列的記憶格之選擇端子係結合於每一列之字線(未圖示)，佈置在同一行的記憶格之資料輸入輸出端子係結合於每一行之互補資料線(未圖示)。

## 五、發明說明 ( 22 )

上述記憶體陣列 200A 之未圖示的字線，其中一條係按照由行(列)解碼器(Row DEC)201A 的列位址信號之解碼結果被驅動為選擇位準。記憶體陣列 200A 之未圖示的互補資料線，係結合於感測放大器(Sense AMP) 202A 及行選擇電路(Column DEC) 203A 之 I/O 線。感測放大器 202A 係用以檢測依來自於記憶格之資料讀出而出現於各自互補資料線之微小電位差並加以放大之放大電路。其中之行選擇電路 203A 包含開關電路，其係用以個別選取上述互補資料線而使之接通於互補 I/O 線。行開關電路係按照依行解碼器 203A 的行位址信號之解碼結果作選擇動作。

記憶體陣列 200B 至 200D 也同樣地設有列解碼器 201B ~ D，感測放大器 203B ~ D，以及行系選擇電路 203B ~ D。上述互補 I/O 線對於各記憶體陣列是通用，且使之連接於具有寫入緩衝器之資料輸出電路(Din Buffer)210 之輸出端子及包含主放大器之資料輸出電路(Dout Buffer)211 之輸入端子。端子 DQ 雖無特別限制，係作為供作輸入或輸出由 16 位元所構成資料 D0-D15 之資料輸入輸出端子之用。DQS 緩衝器(DQS Buffer) 215 係用以形成由上述端子 DQ 輸出的資料之資料選通信號。

由位址輸入端子供應之位址信號 A0 ~ A14，係暫時保持於位址緩衝器(Address Buffer) 204，以時系列方式所輸入上述位址信號之中，列系位址信號係保持於列位址緩衝器(Row Address Buffer)205，行系位址信號則保持於行位址緩衝器(Column Address Buffer)206。再新計數器

## 五、發明說明(23)

(Refresh Counter)208 係用以產生進行自動再新(Automatic Refresh)及自再新(Self Refresh)時之行位址。

例如，具有如 256M 位元之記憶容量時，在×4 位元構成，行系中則直至位址信號 A11 為止均視為有效，在×8 位元構成則直至位址信號 A10 為止均視為有效，在×16 位元構成則直至位址信號 A9 為止均視為有效。具有如 64M 位元之記憶容量時，在×4 位元構成，則直至位址信號 A10 為止均視為有效，在×8 位元構成則直至位址信號 A9 為止均視為有效，且如圖在×16 位元構成，則直至位址信號 A8 為止均視為有效。

行位址緩衝器 206 之輸出係供給於行預解碼器(Column Pre-Decoder)203'，以如上述分成上位位址與下位位址而實行預解碼操作，其下位位址之預解碼器輸出，則作為行位址計數器(Column Counter) 207 之預設數據而供應。行位址計數器 207 係包含如上述之輸出緩衝器電路，其係用以對應於以命令等所指定之叢發模式等而向行解碼器 203A~203D 輸出上述預設數據之預解碼器信號或其移位信號。

模式暫存器(Mode Register)213 係用以保持各種操作模式資訊。上述列解碼器(Row Decoder)201A 至 D，則僅使對應於由記憶體庫選擇(Bank Select)電路 212 指定之記憶體庫者操作，以執行字線之選擇操作。控制電路(Control Logic)209 雖無特別限制，但其係供作受到諸如：時脈信號 CLK、/CLK(符號/係意味著附有此之信號係列賦能之信

## 五、發明說明 (24)

號)、時脈賦能信號 CKE、晶片選擇信號/CS、行位址選通信號/CAS、列位址選通信號/RAS、以及寫入賦能信號/WE 等外部控制信號，與經由/DM 及 DQS 與模式暫存器 213 之位址信號之供應；而根據這些信號之電位之變化或時序，形成用於控制 DDR SDRAM 之操作模式及上述電路方塊之動作所需之內部時序信號之用，其各個均具有對等於信號之輸入緩衝器。

時脈信號 CLK 與/CLK 係經由時脈緩衝器輸入於 DLL 電路 214，以產生與上述時脈信號 CLK 與/CLK 成同步化之內部時脈。上述內部時脈雖無特別限制，但其係作為資料輸出電路 211 與 DQS 緩衝器 215 之輸入信號而使用。另外，經由上述時脈緩衝器之時脈信號係供應於資料輸入電路 210，或供給於列位址計數器 207 之時脈端子。

其他之外部輸入信號則與該內部時脈信號之升起成同步而有效。晶片選擇信號/CS 則由其低位準指示命令輸入循環的開始。當晶片選擇信號/CS 為高位準時(晶片非選擇狀態)或其他之輸入，均無意義。但是後述之記憶體庫選擇狀態或叢發操作等內部操作，不會受到向晶片非選擇狀態的變化之影響。/RAS、/CAS、/WE 之各信號，其功能則與在通常 DRAM 之對應信號有所差異，而於只對後述命令循環下定義時才為有效之信號。

時脈賦能信號 CKE 係用於指示下一個時脈信號的有效性之信號，該信號 CKE 若為高位準則使下一個時脈信號 CLK 之升起邊緣為有效，若為低位準則使其為無效。另

## 五、發明說明 ( 25 )

外，若設有對於資料輸出電路 211 執行輸出賦能(output enable)控制的外部控制信號/OE，則也把此種信號/OE 供給於控制電路 209，而該信號若為例如高位準時，則將資料輸出電路 211 成為高輸出阻抗狀態。

上述列位址信號，可以同步於時脈信號 CLK(內部時脈信號)之升起邊緣的後述列位址選通。記憶體庫主動命令循環之 A0~A11 位準定義之。

位址信號 A13 與 A14，在上述列位址選通。記憶體庫主動命令循環中可充當記憶體庫選擇信號。亦即，可由 A13 與 A14 之組合選取四個記憶體庫 0~3 中之一個。記憶體庫之選取控制雖無特別限制，惟可藉由諸如：在選擇記憶體庫側僅使列解碼器活性化，在非選擇記憶體庫側的行開關電路之全非選擇，僅在選擇記憶體庫側對於資料輸入電路 210 及資料輸出電路的連接等處理來實行。

上述行位址信號，若如上述為 256M 位元且為  $\times 16$  位元構成之情形，則可以在同步於時脈信號 CLK (內部時脈)的升起邊緣之讀入或寫入命令(後述之行位址。讀入命令及行位址。寫入命令)循環之 A0~A8 位準定義之。另外，如上述所下定義之行位址，可當作叢發存取的起始位址之用。

接著，說明依命令所指示的 SDRAM 之主要操作模式如下。

### (1) 模式暫存器設定命令(Mo)

其係用以設定上述模式暫存器 30 所需之命令，係於 /CS、/RAS、/CAS、/WE = 低位準時指定該命令，欲加以

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 (26)

設定之資料(暫存器設定資料)係透過 A0~A9 供應。暫存器設定資料雖無特別限制，但可為叢發長度，CAS 等待時間，及寫入模式等。另外，雖無特別限制，可加以設定之叢發長度可為 2、4、8，可加以設定之 CAS 等待時間可為 2、2.5，可加以設定之寫入模式則可為叢發寫入與單寫。

上述 CAS 等待時間，係在依後述行位址·讀入命令所指示讀入操作中，用以指示自 /CAS 下降起直至輸出緩衝器 211 開始輸出操作為止究竟耗用多少內部時脈信號的循環份。就是說其係因在讀出資料未確定之前仍有必要提供讀出資料所需之內部動作時間，而用以將其按內部時脈信號之使用頻率而加以設定者。換言之，若使用高頻率內部時脈信號，則將 CAS 等待時間設定為相對大的值，而若使用低頻率內部時脈信號，則將 CAS 等待時間設定於相對小的值。

### (2)列位址選通·記憶體庫主動命令(Ac)

其係用以使列位址選通之指示與由 A13 與 A14 的記憶體庫之選擇成為有效之命令，係於 /CS、/RAS = 低位準，/CAS、/WE = 高位準時作指示，此時，供給於 A0~A12 之位址係作為列位址信號，供給於 A13 與 A14 之信號則作為記憶體庫之選擇信號而取入。取入操作係如上述同步於內部時脈信號之升起邊緣下進行。例如，當該命令指定下來時，就選取由其所指定記憶體庫中之字線，使得連接於該字線之記憶格各自接通於對應的互補資料線。

### (3)行位址讀入命令(Re)

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 27 )

該命令係為使叢發讀入動作開始所需要之命令，同時也是給予行位址選通的指示之命令，其係於 /CS、/CAS = 低位準，/RAS、/WE = 高位準時作指示，此時，供給於 A0 ~ A8 (× 16 位元構成時) 之行位址則以作為行位址信號而取入。經由此取入之行位址信號係經過行預解碼器 203' 以作為叢發起始位址而供給於行位址計數器 207。

在進行經由此所指示叢發讀入操作中，由於在此之前已在列位址選通，記憶體庫主動命令循環過程選妥記憶體庫與其所屬之字線，因而該選取字線之記憶格，即將按照同步於內部時脈信號下從行位址計數器 207 依移位操作所輸出預解碼器信號，依序被選取而連續地被讀出。經連續地讀出之資料數為經由上述叢發長度 2、4 或 8 所指定之個數。另外，從輸出緩衝器 211 的資料讀出開始，係等待由上述 CAS 等待時間規定之內部時脈信號循環數而進行。

### (4) 行位址寫入命令 (Wr)

該命令係於 /CS、/CAS、/WE = 低位準，/RAS = 高位準時作指示，此時，供給於 A0 ~ A8 之位址則以作為行位址信號而取入。經由此取入之行位址信號，在叢發寫入時，則經由上述寫入暫存器與包含於預解碼器 203' 之寫入用預解碼器，供給於行位址計時器 207。經由此指示之叢發寫入操作之程序也與叢發讀入操作同樣方式實施。

### (5) 預充電命令 (Pr)

其係對於經由 A12 與 A13 所選取記憶體庫的預充電操作之開始命令，係於 /CS、/RAS、/WE = 低位準，/CAS = 高

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明 ( 28 )

位準時作指示。

### (6)自動再新命令

該命令係用以使自動再新動作開始所需要之命令，其係於 /CS、/RAS、/CAS = 低位準，/WE、CKE = 高位準時作指示。

### (7)無操作命令(Nop)

其係用以指示不作實質性操作之命令，係於 /CS = 低位準，/RAS、/CAS、/WE = 高位準時作指示。

在 DDR SDRAM，正在一個記憶體庫進行叢發操作時，當在其途中指定其他之記憶體庫而供給列位址選通。記憶體庫主動命令時，即可在對於該進行中的一方記憶體庫之操作不致有任何影響下，進行在其他的記憶體庫的列位址系之操作。

因此，例如在由 16 位元構成之資料輸入輸出端子，只要資料 D0 ~ D15 不致於碰撞，在未結束處理的命令之執行中，就可對於不同於該執行中之命令所作為處理對象之記憶體庫的記憶體庫，發行預充電命令，以及列位址選通。記憶體庫主動命令，以使內部操作預先開始進行。本實施例之 DDR SDRAM，由於如上述係用以執行在 16 位元單位下之記憶體存取，且列系位址係由 A0 ~ A12(約為 8K)與行系位址為 A0 ~ A8(約為 0.5K)構成，所以具有大致 4M 之位址，全體是具有四個記憶體庫，因此全部即可具有如大致 256M 位元(4M × 4 庫 × 16 位元)之記憶容量。

該 DDR SDRAM 之詳細讀出動作如下。晶片選擇 /CS，

## 五、發明說明(29)

/RAS, /CAS, 以及寫入賦能/WE 之各信號係同步於 CLK 信號而輸入。與/RAS = 0 同時輸入行位址與記憶體庫選擇信號, 而分別以列位址緩衝器 205 與記憶體庫選擇電路 212 加以保持。由記憶體庫選擇電路 212 指定之記憶體庫之列解碼器 210, 即將列位址信號加以解碼而從記憶格陣列 200 以微小信號輸出行全體之資料。經輸出之微小信號即由感測放大器 202 加以放大並保持。受到指定之記憶體庫將成為主動(Active)。

自輸入行位址起經過 3CLK 後, 與 CAS = 0 同時輸入列位址與記憶體庫選擇信號, 而分別以列位址緩衝器 206 與記憶體庫選擇電路 212 加以保持。經予指定之記憶體庫若呈主動, 則將由行位址計時器 207 輸出所保持之列位址, 並由行解碼器 203 選取列。經選取之列則由感測放大器 202 輸出。此時所輸出之資料為兩組份(在  $\times 4$  位元構成為 8 位元, 在  $\times 16$  位元構成為 32 位元)。

經由感測放大器 202 輸出之資料係由資料輸出電路 211 輸出於晶片外。輸出時序係同步於由 DLL214 輸出之 QCLK 的升起與下降之兩邊緣。此時, 如上述, 兩組份資料將受到並聯→串聯變換處理而變成一組份  $\times 2$  之資料。與輸出資料同時從 DQS 緩衝器 215 輸出資料選通信號 DQS。保存於模式暫存器 213 之叢發長度若為 4 以上, 位址計數器 207 即將自動的將位址加以移位俾讀出下一個列資料。

上述 DLL214 之功能, 係產生資料輸出電路 211 與 DQS

## 五、發明說明(30)

緩衝器 215 之操作時脈 QCLK。上述資料輸出電路 211 與 DQS 緩衝器 215，係自從輸入由 DLL214 所產生內部時脈信號 QCLK 起直至實際輸出資料信號或資料選通信號為止乃需花些時間。因此，需要使用複製(replica)電路，使內部時脈信號 QCLK 之相位較之外部 CLK 為提前，以使資料信號或資料選通信號之相位與外部時脈 CLK 相符。因此，在此種情形下，會使其相位一致於外部時脈信號的是上述資料信號或資料選通信號。

在圖 19 顯示可適用本發明之 SDRAM 之一實施例概略佈局圖。圖中各電路方塊可依公知半導體積體電路製造技術，將之形成在如單晶矽之一個半導體基板上。圖中各電路係比照在上述半導體基板上的實際幾何圖樣佈置而描繪下來者。在本實施例，與上述同樣地則將全體分成為四個，並使各自構成記憶體庫(Bank)0~3。

上述記憶體庫 0~3 係對應於沿半導體晶片長度方向分割成上下兩個左右兩個之記憶體陣列。在上述晶片沿長度方向之中央部分則設有位址輸入電路，資料輸入輸出電路，以及由焊墊(bonding pad)構成之周邊電路。該周邊電路係使其焊墊與隨機邏輯電路並排佈局，以使由隨機邏輯電路所構成上述各電路之佈局合理化。

在本實施例中，如上述，周邊電路與焊墊列係並排佈置。在該構成，則將焊墊列佈局在偏離沿半導體晶片長度方向的中心線之位置。因此半導體晶片沿長度方向中央部分得以確保較大的區域，使得在電路元件之佈局設計上

## 五、發明說明 ( 31 )

甚為方便。就是說，即使與本實施例同樣地為一種將周邊電路與焊墊列並排佈局而成之構成，但若與以焊墊列為中心將周邊電路分成左右而佈局之方式相較，本實施例方式則堪稱為適合於高積體化或高速化者。

本實施例係適合於供作如上述同步 DRAM 之用，其中上述周邊電路係包含下列各電路方塊。在該圖 19 中沿半導體晶片長度方向的上半部中央部設有如下列之各電路方塊。VPP-G 係升壓電壓產生電路，其係用於連接了記憶格的字線之選擇電路，或後述共享(shared)開關 MOSFET 的選擇電路之操作電壓，以決定選擇位準。VPP-C 係用以控制上述升壓電路的操作之控制電路。

HVDDQ-G 係用以形成將電源電壓 VDD 分壓成 1/2 的電壓，以作為由差動電路構成的輸入緩衝器之參考電壓而用以判定 VDD 振幅的輸入信號之高位準/低位準。IOB 與 CL-C 係輸入輸出電路與時脈控制電路，CL-C 係用以對應於輸出緩衝器的 CAS 等待時間之操作控制。該 IOB 與 CL-C，全體共設有五個相同電路。

Y-PRED 與 RWB 係 Y 預解碼器與讀入/寫入緩衝器。該讀入/寫入緩衝器係用以執行主放大器之操作控制及寫入放大器之操作。VPERI-G 與 VDL-G 係降壓電壓產生電路，用以形成周邊電路的經予降壓之操作電壓 VPRED 與感測放大器之操作電壓 VDL。這些降壓電壓產生電路，其他也設有兩個相同電路。VPP-S 係用以檢測 VPP 電壓是否為所希望的電壓之 VPP 感測器。此外，在半導體晶片之大致中央

## 五、發明說明 ( 32 )

部分則設有 DLL(Delay Locked Loop)，以供形成對應於由外部端子供應之時脈信號的內部時脈信號之用。

在該圖中沿半導體晶片長度方向之下一半中央部，設有其次之各電路方塊。XAD-L 係 X 位址鎖存電路，Y-CLK 係 Y 時脈電路，用以產生對應於 Y 系操作之時脈信號。MDEC/CLKB 與 COMD 係模式解碼器/時脈緩衝器與命令電路。ADMR 係位址模式暫存器，相同的電路其他也設有一個。Y-CNT 與 Y-CNTC 係 Y 計數器與其控制電路，REFC 係再新控制電路，BOP 係焊接選項電路，PUP-G 係電源接通檢測電路。

在本實施例雖無特別限制，但在半導體晶片短邊方向中央部，可設置其他之周邊電路 BSLOWER。該電路 BSLOWER 雖無特別限制，惟其係設有包含如上述將記憶體陣列(記憶體庫)之不良字線用備用字線代替，或將不良位元線用備用位元線代替所需保險絲組或位址比較電路等缺陷救濟電路。

圖 20 係以可供適用本發明動態型 RAM 之感測放大器部為中心，顯示自位址輸入起直至資料輸出為止之經予簡化之一實施例電路圖。本實施例係適合於分割式字線或階層式字線方式之用。該圖係以例示顯示以由兩片記憶體底板(mat)從上下夾住之狀態所佈局之感測放大器(上述圖 5 之 SA) 16 與交叉區(上述圖 5 之 SAD、IOSW)18 之電路，其他則以方塊圖顯示之。另外，附註於該圖中電路元件之電路符號，其中有一部分與上述圖 4 者重複，惟其係具有另

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 33 )

一種不同的電路功能。

動態型記憶格，係舉以設在上述一個記憶體底板 15 之副字線 SWL，與互補位元線 BL 及 BLB 中的一方位元線 BL 之間的一個為代表而以例示方式顯示。動態型記憶格係包括位址選擇 MOSFETQ<sub>m</sub> 與記憶電容 C<sub>s</sub>。位址選擇 MOSFETQ<sub>m</sub> 之閘極係連接於副字線 SWL。該 MOSFETQ<sub>m</sub> 之汲極係連接於位元線 BL。記憶電容 C<sub>s</sub> 係連接於上述 MOSFETQ<sub>m</sub> 之源極。

上述記憶電容 C<sub>s</sub> 之另一方電極係使其通用化而供給板極 (plate) 電壓 V<sub>P1T</sub>。在上述 MOSFETQ<sub>m</sub> 之基板(通道)則施加以負性之背偏壓 V<sub>BB</sub>。雖無特別限制，上述背偏壓 V<sub>BB</sub> 係設定為如 -1V(伏特)之電壓。上述副字線 SWL 之選擇位準係設定於相對於上述位元線之高位準而僅予提高上述位址選擇 MOSFETQ<sub>m</sub> 的閾值電壓份之高電壓 V<sub>PP</sub>。

若採取以內部降壓電壓 V<sub>DL</sub> 操作感測放大器 16 之方式，經由感測放大器 16 放大而供給於位元線之高位準則使用內部電壓 V<sub>DL</sub> 位準。因而，對應於上述字線之選擇位準的高電壓 V<sub>PP</sub> 將為  $V_{DL} + V_{th} + \alpha$ 。設在感測放大器 16 上側的記憶體底板之一對互補位元線 BL 與 BLB，則如圖 20 所示，需要平行佈局。該互補位元線 BL 與 BLB 係經由共享開關 MOSFETQ<sub>1</sub> 與 Q<sub>2</sub> 連接於感測放大器的單位電路之輸入輸出節點(node)。

感測放大器 16 的單位電路，係由包括將閘極與汲極交叉連接成鎖存形態之 N 通道型 MOSFETQ<sub>5</sub>、Q<sub>6</sub> 及 P 通道型

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 34 )

MOSFETQ7、Q8 之 CMOS 鎖存電路所構成。N 通道型 MOSFETQ5 與 Q6 之源極係連接於共同源極線 CSN。P 通道型 MOSFETQ7 與 Q8 之源極係連接於共同源極線 CSP。在上述共同源極線 CSN 與 CSP 則各自連接以電力開關 MOSFET。

雖無特別限制，對於接上 N 通道型的放大 MOSFETQ5 與 Q6 之源極之共同源極線 CSN，雖無特別限制，則由設在上述交叉區 (SAD)18 之 N 通道型的電力開關 MOSFETQ14 供給對應於接地電位之操作電壓。同樣地，對於接上上述 P 通道型的放大 MOSFETQ7 與 Q8 之源極之共同源極線 CSP，則設置 N 通道型的 MOSFETQ15，以供應上述內部電壓 VDL。上述電力開關 MOSFET，也可將之分散於各單位電路而設在感測放大器區 16。

供給於上述 N 通道型之電力 MOSFETQ14 與 Q15 之閘極的感測放大器用活性化信號 SAN 與 SAP，係作為感測放大器在活性時會變成高位準的同一相之信號。信號 SAP 之高位準係作為升壓電壓 VPP 位準之信號。升壓電路 VPP，當 VDL 為 1.8V 時即可達大致 3.6V，因此，足夠於使上述 N 通道型 MOSFETQ15 成為接通狀態，以使共同源極線 CSP 成為內部電壓 VDL 位準。

在上述感測放大器 16 的單位電路之輸入輸出節點，設有包括均衡 MOSFETQ11，與用以對互補位元線供應半預充電電壓 VBLR 之開關 MOSFETQ9 與 Q10 之預充電(均衡)電路。對於這些 MOSFETQ9~Q11 之閘極係供應通用之預

## 五、發明說明 ( 35 )

充電信號 PCB。用來形成該預充電信號 PCB 之驅動電路，雖未圖示，係在上述交叉區 18 設置反向器電路，而供作使其升起或下降變成高速之用。就是說，其係用以開始進行記憶體存取時先行於字線選擇時序而經由分散設在各交叉區 18 之反向器電路以高速切換構成上述預充電電路之 MOSFETQ9~Q11。

在上述交叉區(IOSW)18，設有構成 IOSW 開關之開關 MOSFETQ19、Q20。另外，除該圖所示電路外，必要時也可設置感測放大器 16 之共用源極線 CSP 與 CSN 之半預充電電路、區域輸入輸出線 LIO 之半預充電電路、主輸入輸出線之 VDL 預充電路、以及共享選擇信號線 SHR 與 SHL 之分散驅動器電路等。

感測放大器 16 之單位電路係經由共享開關 MOSFETQ3 與 Q4 連接於圖中下側記憶體底板 15 之同樣的互補位元線 BL、BLB。因而例如上側記憶體底板之副字線被選取時，感測放大器之上側共享開關 MOSFETQ1 與 Q2 就呈接通狀態，而下側共享開關 MOSFETQ3 與 Q4 則將變成關斷狀態。開關 MOSFETQ12 與 Q13 係用以構成行選擇電路，當使上述選擇信號 YS 變成選擇位準(高位準)時就呈接通狀態，以使上述感測放大器之單位電路的輸入輸出節點與區域輸入輸出線 LIO1 與 LIO1B(LIO2 與 LIO2B)相連接。

在上述感測放大器 16 及交叉區 18，由於如上述設有兩對區域輸入輸出線，例如 LIO1 與 LIO1B 及 LIO2 與 LIO2B，因此，以上述一個選擇信號 YS 即可使記憶體底板

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 36 )

15 之兩對互補位元線連接於上述兩對區域輸入輸出線 LIO1 與 LIO1B 及 LIO2 與 LIO2B。在隔著記憶體底板 15 而位於未圖示的另一方之感測放大器 16 也與上述同樣地設有兩對區域輸入輸出線，且如上述使記憶體底板中之四對互補位元線連接於四對區域輸入輸出線。

如上述，當上側共享開關 MOSFETQ1 與 Q2 在接通狀態時，則將來自記憶格之微小信號予以放大而經由上述行選擇電路(Q12 與 Q13)傳送於區域輸入輸出線 LIO1、LIO1B。上述記憶格係連接於在感測放大器之輸入輸出節點，連接於上述上側互補位元線 BL 與 BLB 而被選取之副字線 SWL。上述區域輸入輸出線 LIO1 與 LIO1B，係沿著上述感測放大器列，在該圖上則向橫向延伸。上述區域輸入輸出線 LIO1 與 LIO1B，係經由設在交叉區 18 的由 N 通道型 MOSFETQ19 與 Q20 構成之選擇電路(IOSW)，連接於供連接主放大器 61 的輸入端子之主輸入輸出線 MIO、MIOB。

構成上述 IO 開關之選擇電路 IOSW，係由經予譯解 X 系位址信號所形成之底板(mat)選擇信號 MS 執行開關控制。另一方面，選擇電路 IOSW 也可採用分別在上述 N 通道型 MOSFETQ19 與 Q20 使 P 通道型 MOSFET 並聯而成之 CMOS 開關構成。同步 DRAM 在叢發模式時，上述行選擇信號 YS 係藉由計數器操作來進行切換，以把上述舉例顯示之區域輸入輸出線 LIO1、LIO1B 及 LIO2、LIO2B，與記憶體底板的各兩對互補位元線 BL、BLB 之連接，依序予以

## 五、發明說明 ( 37 )

切換。

位址信號  $A_i$  係供給於位址緩衝器 51。該位址緩衝器係以分時方式操作而取入 X 位址信號與 Y 位址信號。X 位址信號係供給於預解碼器 52，再經由主列解碼器 11 與主字驅動器 12 以形成主字線 MWL 之選擇信號。上述位址緩衝器 51 係用以接收供自外部端子之位址信號  $A_i$ ，其係以由外部端子供應之電源電壓 VDDQ 操作之。

上述預解碼器係由將其予以降壓之降壓電壓 VPERI(VDD)操作之，上述主字驅動器 12 則由升壓電壓 VPP 操作之。該主字驅動器 12 係使用接收上述預解碼器信號之附有位準變換功能之邏輯電路。行解碼器(驅動器)53 係用以接收上述位址緩衝器 51 之分時性操作所供應之 Y 位址信號而形成選擇信號 YS。

上述主放大器 61 係由上述降壓電壓 VPERI(VDD)操作之，而經由以供自外部端子的電源電壓 VDDQ 所操作之輸出緩衝器 62 從外部端子 Dout 輸出。由外部端子 Din 輸入之寫入信號，係經由輸入緩衝器 63 取入，並經由包含在圖中主放大器 61 的寫入放大器(寫入驅動器)對於主輸入輸出線 MIO 與 MIOB 供給寫入信號。在上述輸出緩衝器 62 之輸入部，設有位準變換電路與用以使其輸出信號同步於對應於上述時脈信號的時序信號而輸出之邏輯部。

雖無特別限制，上述供自外部端子之電源電壓 VDDQ，其第一形態係設定於 3.3V，供給於內部電路之降壓電壓 VPERI(VDD)係設定於 2.5V，上述感測放大器之操作電壓

## 五、發明說明 (38 )

VDL 係設定於 1.8V。並且將字線選擇信號(升壓電壓)設定於 3.6V。位元線之預充電電壓 VBLR 係設定於對應於 VDL/2 之 0.9V，板極電壓 VPLT 也設定於 0.9V。另外，基板電壓 VBB 則設定於-1.0V。上述供自外部端子之電源電壓 VDDQ，在其第二形態也可使之設定於如 2.5V 之低電壓。像這樣低的電源電壓 VDDQ 時，也可使降壓電壓 VPERI(VDD)與降壓電壓 VDL 同樣地設定於 1.8V 左右。

或是，供自外部端子之電源電壓 VDDQ 也可使之設定於 3.3V，並使供給於內部電路之降壓電壓 VPERI(VDD)與感測放大器之操作電壓 VDL 同樣地設定於如 2.0V 或 1.8V。如此，內部電壓可相對於外部電源電壓 VDDQ，採取各種實施形態。

按前面所述本案說明書中用語「MOS」，本來的語義是指金屬·氧化物·半導體結構之簡稱。但是，近幾年之一般性稱呼 MOS 卻也包含以如多晶矽之非金屬導電體替代半導體裝置本質部分中之金屬，或以其他之絕緣體替代氧化物而成者。「CMOS」也同樣地跟著如「MOS」之語意變化而被認為具有廣泛的技術性意義。MOSFET 亦同樣地並不再是可狹義地加以解釋，而實質上也演變成包含如絕緣閘場效應電晶體的廣義結構之語義。本發明之 CMOS、MOSFET 等乃是做照一般性稱呼。

可由上述實施例獲得之效果如下。

(1)由於設置各自對應於上位與下位位址之第一與第二預解

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 39 )

碼器，以上述第二預解碼器之輸出信號作為初始值之移位暫存器，以及按照操作模式選取上述第二預解碼器的輸出信號或上述移位暫存器的輸出信號之輸出電路，以作為用以自具有複數條字線與複數條位元線的記憶體陣列之該複數條位元線中選取特定的位元線之行系位址解碼器，而藉由上述第一預解碼器之輸出信號與經由上述輸出電路的輸出信號，形成上述選擇信號；且使上述移位暫存器藉由其移位操作形成複數種上述位元線之連續性選擇信號；因此可獲得提高連續性選擇功能之效果。

(2)由於設置各自對應於上位與下位位址之第一與第二預解碼器，以上述第二預解碼器之輸出信號作為初始值之移位暫存器，以及按照操作模式選取上述第二預解碼器的輸出信號或上述移位暫存器的輸出信號之輸出電路，以作為用以自具有複數條字線與複數條位元線的記憶體陣列之該複數條位元線中選取特定的位元線之行系位址解碼器，而藉由上述第一預解碼器之輸出信號與經由上述輸出電路的輸出信號，形成上述選擇信號；且上述移位暫存器係使用偶數位址用之第一移位暫存器與奇數位址用之第二移位暫存器，而藉由其向上與向下移位操作之組合即可獲得以上述初始值為基礎而實現可使包括順序操作與交插操作的兩種上述位元線之連續性選擇操作高速化之效果。

(3)除上述外，由於使之適用於同步動態型 RAM，並將上述順序操作與交插操作之指定由位址匯流排之特定位元的信號之邏輯 0 與邏輯 1 來加以指定，因此可獲得使用方便

## 五、發明說明(40)

的半導體記憶裝置之效果。

(4)除上述外，由於以上述位址匯流排之其他位元指定叢發長度，並使其含有 2、4、8 三種，因此可獲得使用方便的半導體記憶裝置之效果。

(5)除上述外，由於以寫入用之第一與第二預解碼器與讀入用之第一與第二預解碼器構成上述第一與第二預解碼器，並設置用以藉由依時脈信號之移位操作使經由上述位址緩衝器輸入之位址信號予以延遲之寫入位址暫存器，而將該經由寫入位址暫存器所延遲之位址信號供給於上述寫入用之第一與第二預解碼器之輸入，使之對應於列系選擇操作而執行列選擇操作，因此可獲得能實現對應於時脈信號高速化的寫入及讀入操作之效果。

(6)由於用以自具有複數條字線與複數條位元線及冗餘位元線的記憶體陣列之該複數條位元線中選取特定的位元線之行系位址解碼器，係使用：各自對應於上位與下位位址之第一與第二預解碼器，以上述第二預解碼器之輸出信號作為初始值之移位暫存器，以及按照操作模式選取上述第二預解碼器的輸出信號或上述移位暫存器的輸出信號之輸出電路；且用以切換於上述冗餘位元線之冗餘電路，係使用：用以比較記憶在記憶體電路之不良位址中對應於上述上位位址之位址信號與經予輸入的位址信號之比較電路，用以解碼不良位址中的上述下位位址之冗餘預解碼器，以及用以檢測上述比較電路之比較重合輸出，與上述冗餘預解碼器的各自輸出信號間的重合之重合檢測電路，而以該

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 (41)

重合檢測電路之檢測信號替代由上述行系位址解碼器形成之選擇信號而以上述冗餘位元線選擇電路從上述冗餘位元線中選取特定的位元線，因此能獲得操作高速化與在使用較少的冗餘位元線下提高救濟效率之效果。

(7)除上述外，由於以偶數位址用第一移位暫存器與奇數位址用第二移位暫存器構成上述移位暫存器，且藉由其向上與向下移位操作之組合並以上述初始值為基礎而形成包括順序操作與交插操作的兩種上述位元線之連續性選擇信號，且藉由上述第二預解碼器形成對應於上述偶數位址用與奇數位址用之第一與第二移位暫存器各各之初始值，因此可獲得能在高速化下可實現上述順序操作與交插操作之效果。

(8)除上述外，由於使之適用於同步動態型 RAM，並將上述順序操作與交插操作之指定由位址匯流排之特定位元的信號之邏輯 0 與邏輯 1 來加以指定，因此可獲得使用方便的半導體記憶裝置之效果。

(9)除上述外，由於以上述位址匯流排之其他位元指定叢發長度，並使其含有 2、4、8 三種，因此可獲得使用方便的半導體記憶裝置之效果。

(10)除上述外，由於以寫入用之第一與第二預解碼器與讀入用之第一與第二預解碼器構成上述第一與第二預解碼器，並設置用以藉由依時脈信號之移位操作使經由上述位址緩衝器輸入之位址信號予以延遲之寫入位址暫存器，而將該經由寫入位址暫存器所延遲之位址信號供給於上述寫

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(42)

入用之第一與第二預解碼器之輸入，使之對應於列系選擇操作而執行列選擇操作，因此可獲得能實現對應於時脈信號高速化的寫入及讀入操作之效果。

以上所述係根據實施例具體說明由本發明人所完成之發明，惟本發明並非局限於此，在不脫離本發明之精神範圍內當可作各種變形，例如藉由行位址計數器(移位暫存器)的移位操作之連續位址之次序，係除順序或交插操作之外，也可為以初始值為基礎而依序予以各遞減-1之方式，或可為僅就偶數位址，或僅就奇數位址或經選取所有偶數位址後使奇數位址或使其成為相反之方式等任何方式。

半導體記憶裝置除前述 DRAM 以外，可同樣使用於 RAM 或快閃記憶體等非揮發性記憶裝置等之行選擇動作或於其中含有冗餘電路者。本發明可廣泛利用於系統 LSI 所搭載之半導體記憶裝置或泛用之各種半導體記憶裝置。

茲將在本申請案所揭示發明中可由較具代表性者所能獲得之效果說明如下。亦即，由於設置各自對應於上位與下位位址之第一與第二預解碼器，以上述第二預解碼器之輸出信號作為初始值之移位暫存器，以及按照操作模式選取上述第二預解碼器的輸出信號或上述移位暫存器的輸出信號之輸出電路，以作為用以自具有複數條字線與複數條位元線的記憶體陣列之該複數條位元線中選取特定的位元線之行系位址解碼器，而藉由上述第一預解碼器之輸出信號與經由上述輸出電路的輸出信號，形成上述選擇信號；且上述移位暫存器係使用偶數位址用之第一移位暫存器與奇

## 五、發明說明(43)

數位址用之第二移位暫存器，而藉由其向上與向下移位操作之組合，即可以上述初始值為基礎而實現可使包括順序操作與交插操作的兩種上述位元線之連續性選擇操作之高速化。

由於用以自具有複數條字線與複數條位元線及冗餘位元線的記憶體陣列之該複數條位元線中選取特定的位元線之行系位址解碼器，係使用：各自對應於上位與下位位址之第一與第二預解碼器，以上述第二預解碼器之輸出信號作為初始值之移位暫存器，以及按照操作模式選取上述第二預解碼器的輸出信號或上述移位暫存器的輸出信號之輸出電路；且用以切換於上述冗餘位元線之冗餘電路，係使用：用以比較記憶在記憶體電路的不良位址中對應於上述上位位址之位址信號與經予輸入的位址信號之比較電路，用以解碼不良位址中的上述下位位址之冗餘預解碼器，以及用以檢測上述比較電路之比較重合輸出，與上述冗餘預解碼器的各自輸出信號間的重合之重合檢測電路，而以該重合檢測電路之檢測信號替代由上述行系位址解碼器形成之選擇信號而以上述冗餘位元線選擇電路從上述冗餘位元線中選取特定的位元線，因此，可在操作高速化與使用較少的冗餘位元線下提高救濟效率。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂

## 四、中文發明摘要(發明之名稱： 半導體記憶裝置 )

設置各自對應於上位與下位位址之第一與第二預解碼器，以上述第二預解碼器之輸出信號作為初始值之移位暫存器，以及按照操作模式選取上述第二預解碼器之輸出信號或上述移位暫存器之輸出信號的輸出電路，以作為用以從具有複數條字線與複數條位元線的記憶體陣列之上述複數條位元線中選取特定的位元線之行系位址解碼器，而以經過上述第一預解碼器之輸出信號與上述輸出電路之輸出信號形成上述選擇信號；上述移位暫存器使用偶數位址用之第一移位暫存器與奇數位址用之第二移位暫存器，而藉其向上與向下移位操作之組合並以上述初始值為基礎，形成由順序操作與交插操作構成之兩種上述位元線之連續性選擇信號。

## 日文發明摘要(發明之名稱： 半導体記憶装置 )

複数のワード線と複数のビット線を備えたメモリアレイの上記複数のビット線の中から特定のビット線を選択するカラム系アドレスデコーダとして、上位と下位アドレスにそれぞれ対応した第1と第2のプリデコーダと、上記第2のプリデコーダの出力信号を初期値とするシフトレジスタと、動作モードに応じて上記第2のプリデコーダの出力信号又は上記シフトレジスタの出力信号を選択する出力回路を設け、上記第1のプリデコーダの出力信号と上記出力回路を通した出力信号とにより上記選択信号を形成し、上記シフトレジスタとして、偶数アドレス用の第1シフトレジスタと奇数アドレス用の第2シフトレジスタを用い、そのアップとダウンのシフト動作の組み合わせによって上記初期値を基にシーケンシャル動作とインターリーブ動作とからなる2通りの上記ビット線の連続的な選択信号を形成する。

## 六、申請專利範圍

1. 一種半導體記憶裝置，其特徵為具有：

複數條位元線與複數條字線與對應於該複數條位元線與複數條字線而設之複數個記憶格；

用以從上述複數條字線中指定特定的字線之列系位址選擇電路；

用以接收從上述複數條位元線中指定特定的位元線之列系位址信號，並將之解碼而形成上述位元線的選擇信號之行系位址解碼器；以及

用以接收以上述行系位址解碼器形成之選擇信號，而從上述複數條位元線中選取特定的位元線之行選擇電路；其中

上述行系位址解碼器係用以藉由：

對應於上位位址之第一預解碼器；

對應於下位位址之第二預解碼器；

以上述第二預解碼器之輸出信號作為初始值之移位暫存器；

用以按照操作模式選取上述第二預解碼器的輸出信號或上述移位暫存器的輸出信號之輸出電路；以及

上述第一預解碼器之輸出信號與經由上述輸出電路的輸出信號來形成上述選擇信號，且

上述移位暫存器係藉由其移位操作而形成複數種上述位元線之連續性選擇信號。

2. 一種半導體記憶裝置，其特徵為具有：

複數條位元線與複數條字線與對應於該複數條位元線

## 六、申請專利範圍

與複數條字線而設之複數個記憶格；

用以從上述複數條字線中指定特定的字線之列系位址選擇電路；

用以接收從上述複數條位元線中指定特定的位元線之列系位址信號，並將之解碼而形成上述位元線的選擇信號之行系位址解碼器；以及

用以接收以上述行系位址解碼器形成之選擇信號，而從上述複數條位元線中選取特定的位元線之行選擇電路；其中

上述行系位址解碼器係用以藉由：

對應於上位位址之第一預解碼器；

對應於下位位址之第二預解碼器；

以上述第二預解碼器之輸出信號作為初始值之移位暫存器；

用以按照操作模式選取上述第二預解碼器的輸出信號或上述移位暫存器的輸出信號之輸出電路；以及

上述第一預解碼器之輸出信號與經由上述輸出電路的輸出信號來形成上述選擇信號，且

上述移位暫存器係包括偶數位址用之第一移位暫存器與奇數位址用之第二移位暫存器，用以藉由其向上與向下之移位操作之組合並以上述初始值為基礎而形成包括順序操作與交插操作的兩種上述位元線之連續性選擇信號；

上述第二預解碼器係用以形成對應於上述偶數位址用與奇數位址用之第一與第二移位暫存器各個之初始值。

## 六、申請專利範圍

3. 如申請專利範圍第 2 項之半導體記憶裝置，其中  
    半導體記憶裝置係同步動態型 RAM，  
    上述順序操作與交插操作之指定係由位址匯流排之特定的位元信號之邏輯 0 與邏輯 1 來加以指定。
4. 如申請專利範圍第 3 項之半導體記憶裝置，其中之叢發長度係由上述位址匯流排之其他位元指定，並使其包含 2、4、8 三種。
5. 如申請專利範圍第 3 項之半導體記憶裝置，其中  
    上述第一與第二之預解碼器包括寫入用之第一與第二之預解碼器與讀入用之第一與第二之預解碼器，並  
    設置用以藉由依時脈信號之移位操作使經由上述位址緩衝器輸入之位址信號予以延遲之寫入位址暫存器，而  
    將該經由寫入位址暫存器所延遲之位址信號供給於上述寫入用之第一與第二預解碼器之輸入，以使之對應於列系選擇操作而執行列選擇操作。
6. 一種半導體記憶裝置，其特徵為具有：  
    複數條位元線與複數條字線與對應於該複數條位元線與複數條字線而設之複數個記憶格；  
    用以從上述複數條字線中指定特定的字線之列系位址選擇電路；  
    用以接收從上述複數條位元線中指定特定的位元線之列系位址信號，並將之解碼而形成上述位元線的選擇信號之行系位址解碼器；以及  
    用以接收以上述行系位址解碼器形成之選擇信號，而

## 六、申請專利範圍

從上述複數條位元線中選取特定的位元線之行選擇電路；

其中

上述行系位址解碼器係用以藉由：

對應於上位位址之第一預解碼器；

對應於下位位址之第二預解碼器；

以上述第二預解碼器之輸出信號作為初始值之移位暫存器；

用以按照操作模式選取上述第二預解碼器的輸出信號或上述移位暫存器的輸出信號之輸出電路；以及

上述第一預解碼器之輸出信號與經由上述輸出電路的輸出信號來形成上述選擇信號；且

上述冗餘電路係包含：

用以記憶不良位址之記憶體電路；

用以比較記憶於上述記憶體電路之不良位址中對應於上述上位位址之位址信號與經予輸入的位址信號之比較電路；

用以解碼不良位址中上述下位位址之冗餘預解碼器；以及

用以檢測上述比較電路之比較重合輸出，與上述冗餘預解碼器與上述第二預解碼器各個之輸出信號間的重合之重合檢測電路；而

以上述重合檢測電路之檢測信號替代由上述行系位址解碼器形成之選擇信號而以上述冗餘位元線選擇電路從上述冗餘位元線中選取特定的位元線。

## 六、申請專利範圍

7. 如申請專利範圍第 6 項之半導體記憶裝置，其中

上述移位暫存器係包括偶數位址用之第一移位暫存器與奇數位址用之第二移位暫存器，用以藉由其向上與向下移位操作之組合並以上述初始值為基礎而形成包括順序操作與交插操作的兩種上述位元線之連續性選擇信號；

上述第二預解碼器係用以形成對應於上述偶數位址用與奇數位址用之第一與第二移位暫存器各個之初始值。

8. 如申請專利範圍第 7 項之半導體記憶裝置，其中

半導體記憶裝置係同步動態型 RAM，

上述順序操作與交插操作之指定係由位址匯流排之特定的位元信號之邏輯 0 與邏輯 1 來加以指定。

9. 如申請專利範圍第 8 項之半導體記憶裝置，其中之叢發長度係由上述位址匯流排之其他位元指定，並使其包含 2、4、8 三種。

10. 如申請專利範圍第 8 項之半導體記憶裝置，其中

上述第一與第二之預解碼器包括寫入用之第一與第二之預解碼器與讀入用之第一與第二之預解碼器，並設置

用以藉由依時脈信號之移位操作使經由上述位址緩衝器輸入之位址信號予以延遲之寫入位址暫存器，以及

用以藉由依時脈信號之移位操作使上述重合檢測信號予以延遲之命中暫存器，而

將該經由寫入位址暫存器所延遲之位址信號供給於上述寫入用之第一與第二預解碼器之輸入，使之對應於列系選擇電路而執行列選擇操作，

## 六、申請專利範圍

以經由上述命中暫存器所延遲之重合信號替代由上述行系位址解碼器形成之選擇信號而以上述冗餘位元線選擇電路從上述冗餘位元線中選取特定的位元線。

圖 1

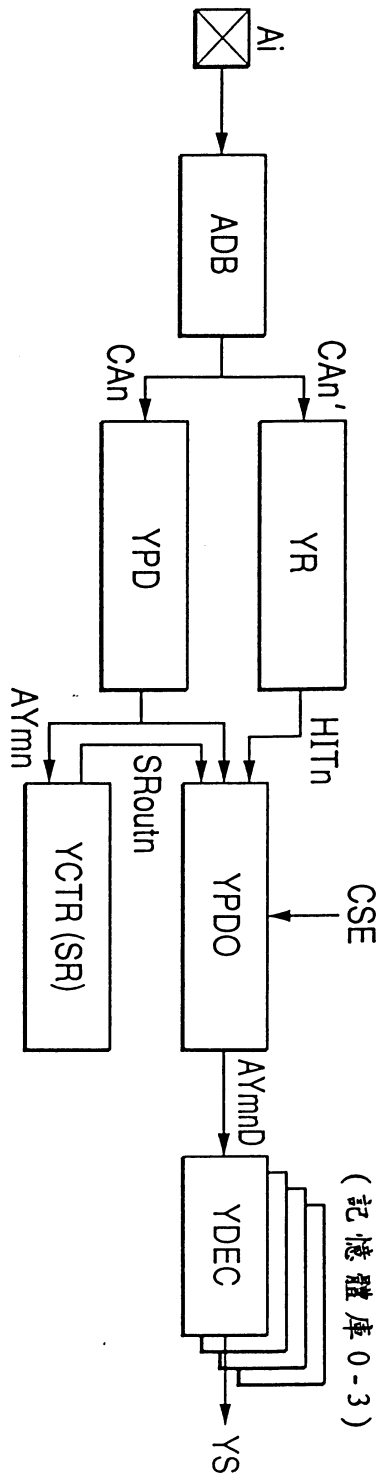


圖 2

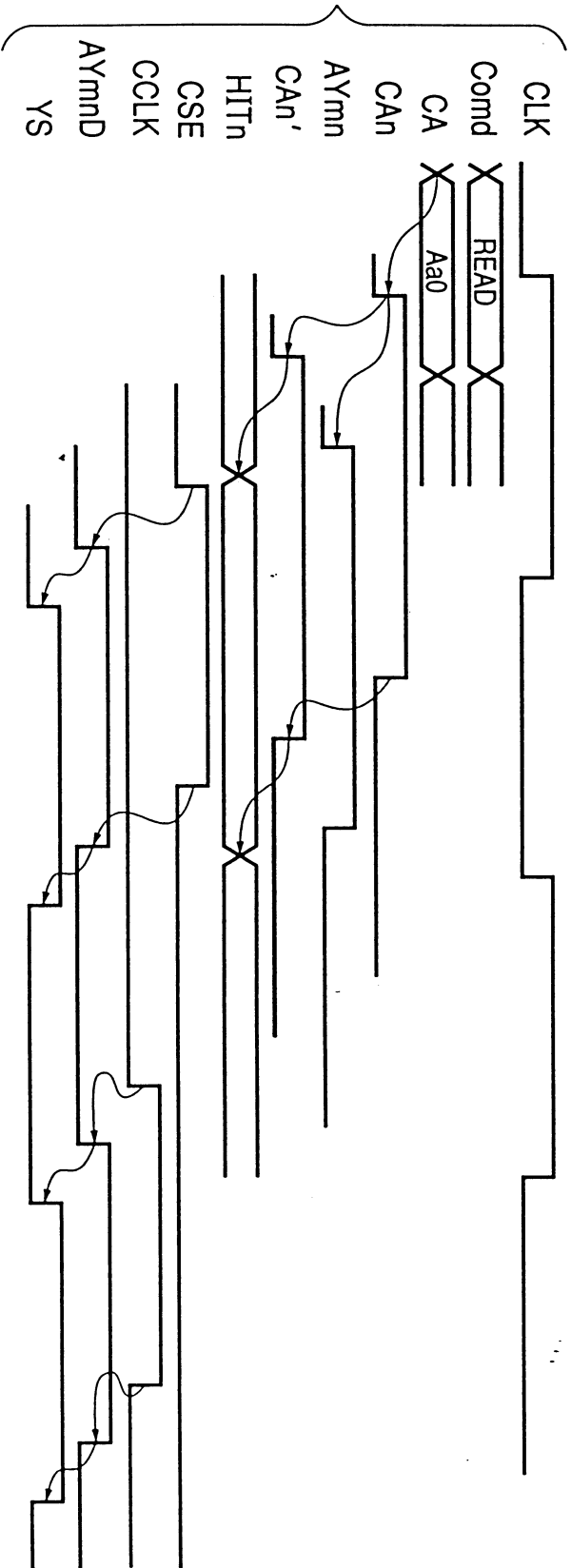


圖 3

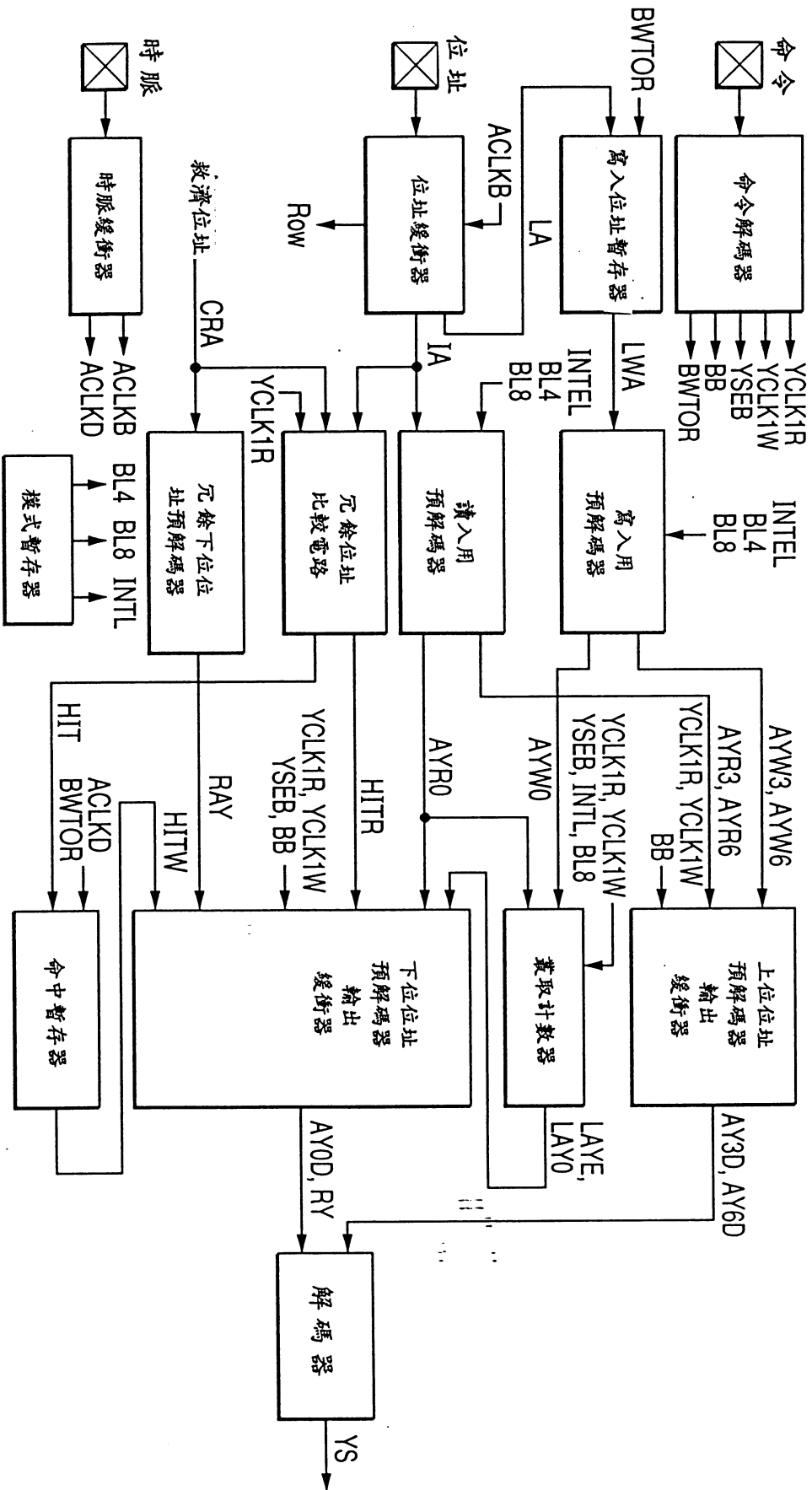


圖 4

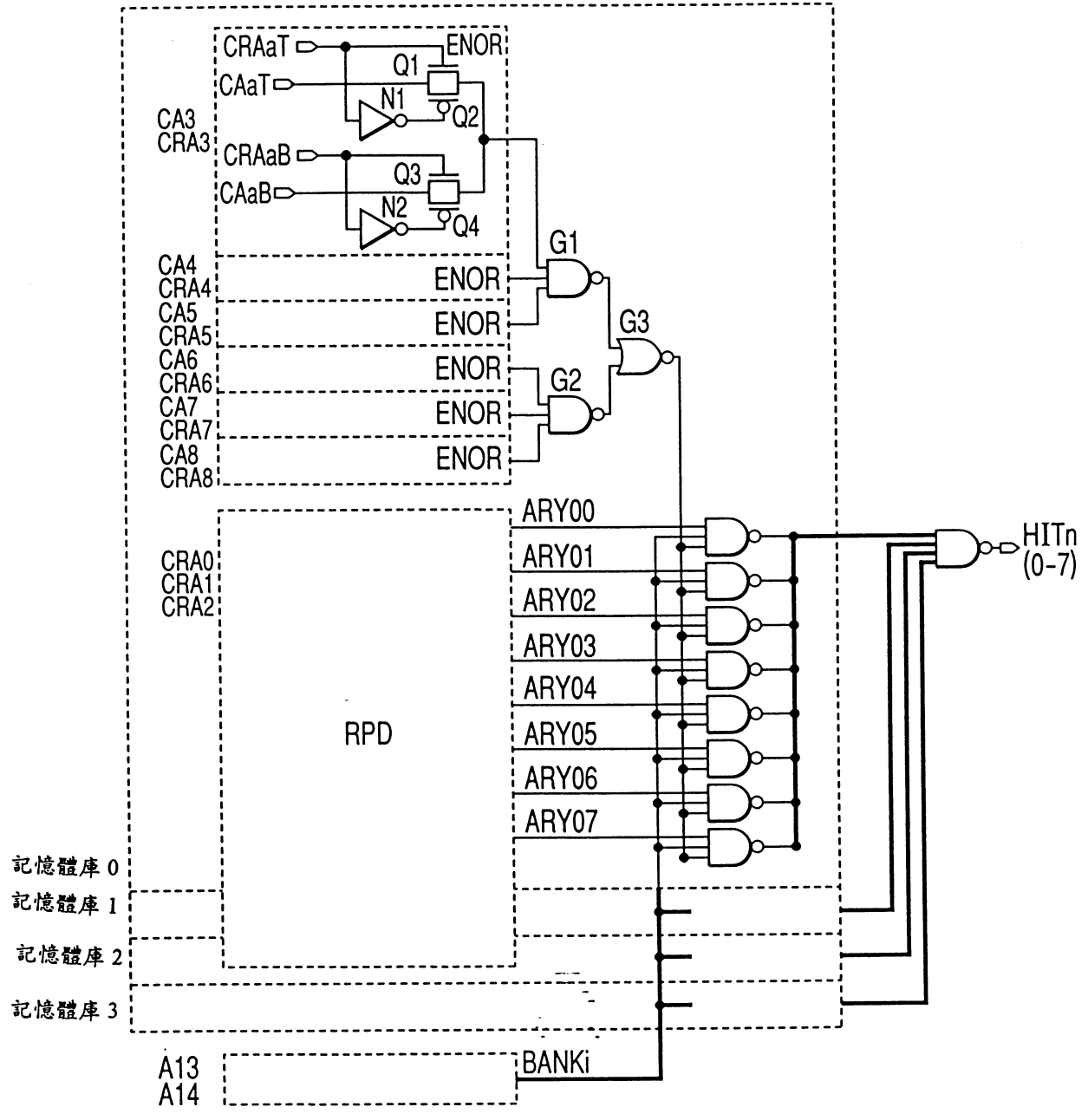
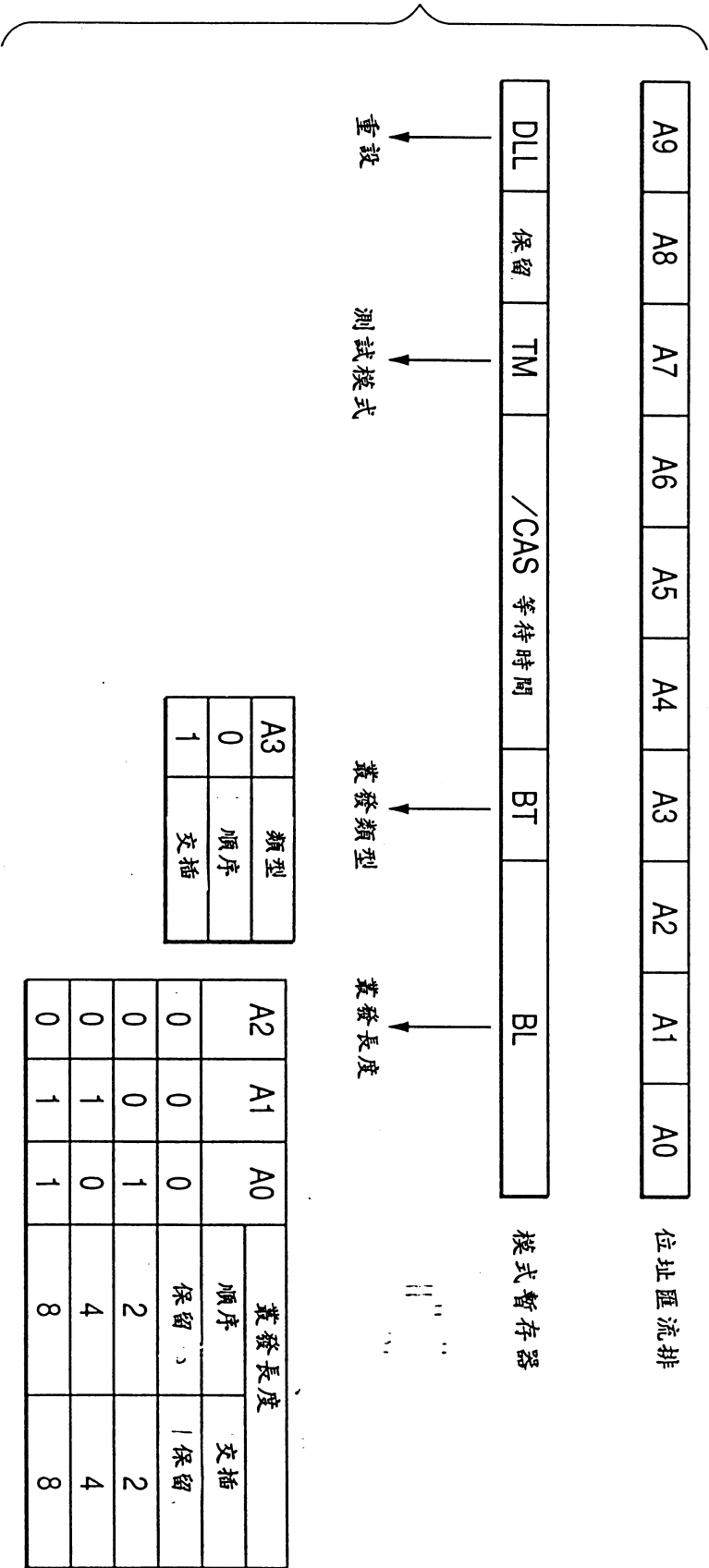
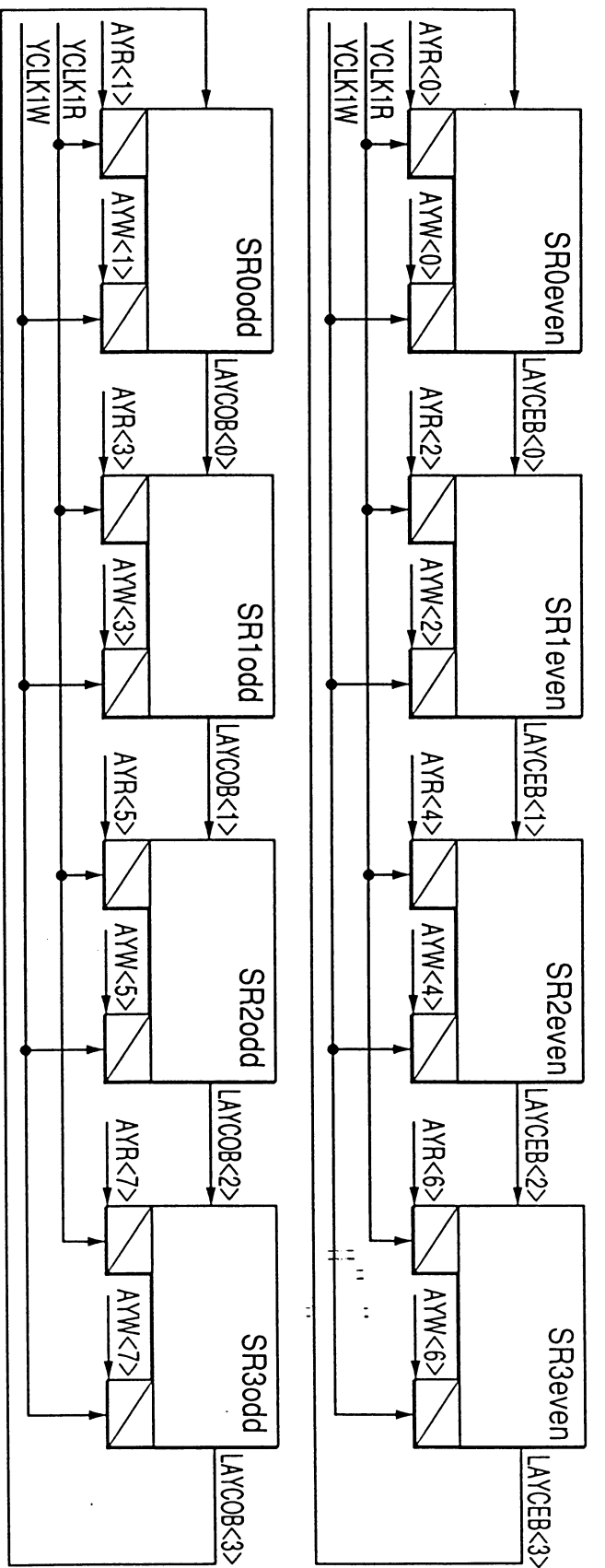


圖 5



# 圖 6

叢發長度	起始位址	順序 操作模式	交插 操作模式	順序操作時, (A2, A1) 之 叢發順序中之計數方向		交插模式時, 叢發 操作時, (A2, A1) 之計數方向	移位暫存器 之移位次數
				偶數	奇數		
2	XX0	0,1	0,1	—	—	—	0
	XX1	1,0	1,0	—	—	—	0
4	X00	0,1,2,3	0,1,2,3	up	up	up	1
	X01	1,2,3,0	1,0,3,2	down	up	up	1
	X10	2,3,0,1	2,3,0,1	down	down	down	1
	X11	3,0,1,2	3,2,1,0	up	down	down	1
8	000	0,1,2,3,4,5,6,7	0,1,2,3,4,5,6,7	up	up	up	3
	001	1,2,3,4,5,6,7,0	1,0,3,2,5,4,7,6	up	up	up	3
	010	2,3,4,5,6,7,0,1	2,3,0,1,6,7,4,5	up	up	down	3
	011	3,4,5,6,7,0,1,2	3,2,1,0,7,6,5,4	up	up	down	3
	100	4,5,6,7,0,1,2,3	4,5,6,7,0,1,2,3	up	up	up	3
	101	5,6,7,0,1,2,3,4	5,4,7,6,1,0,3,2	up	up	up	3
	110	6,7,0,1,2,3,4,5	6,7,4,5,2,3,0,1	up	up	down	3
	111	7,0,1,2,3,4,5,6	7,6,5,4,3,2,1,0	up	up	down	3



遞增計數時(A1=0)之下位預解碼器信號之移位方向

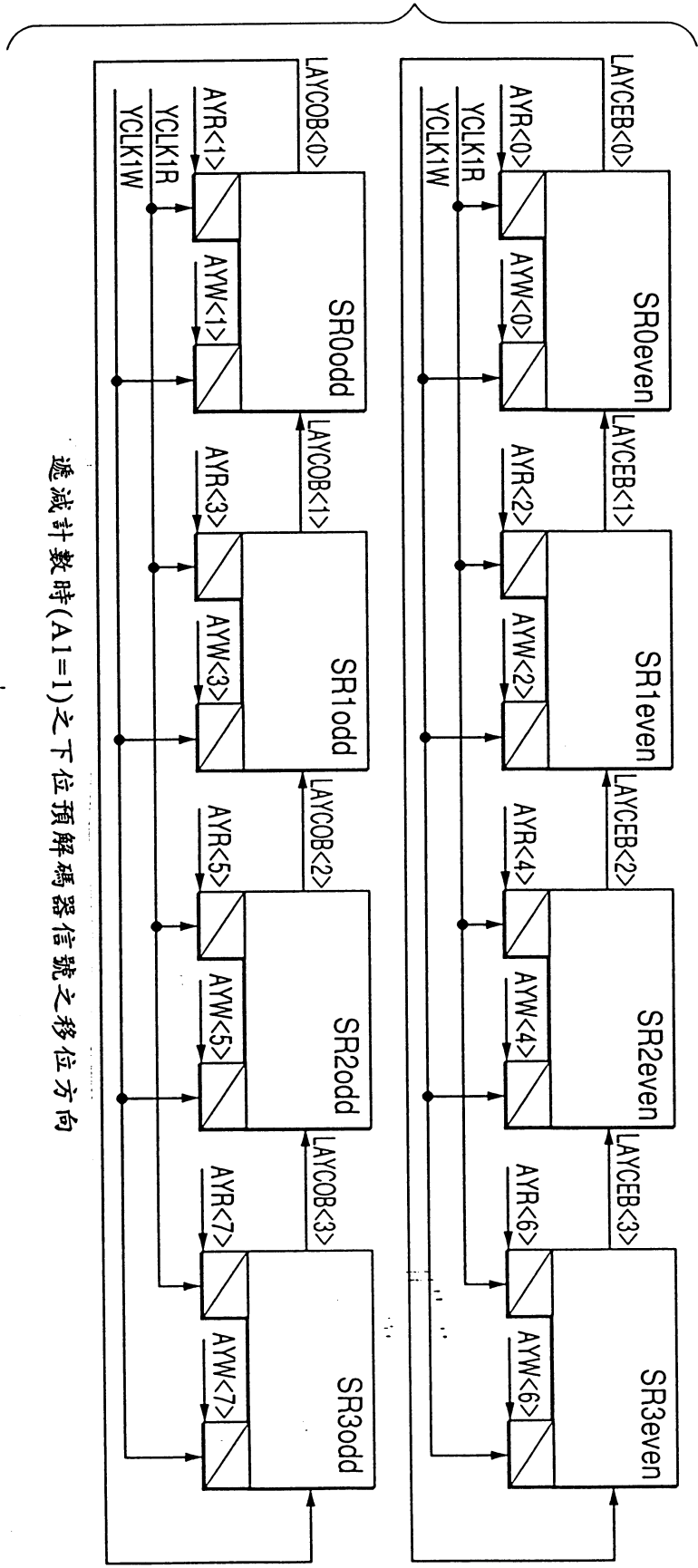


圖 9

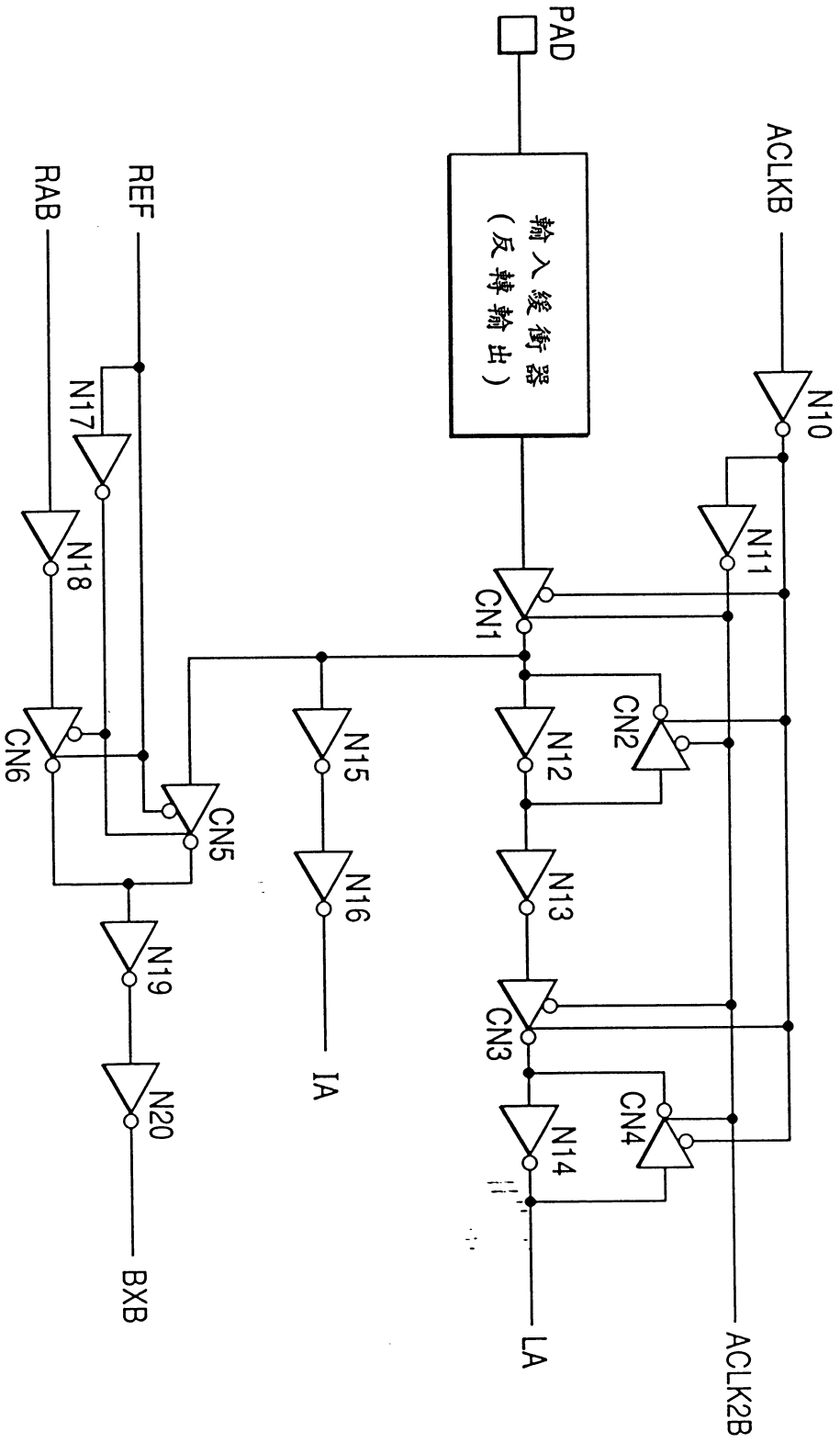


圖 10

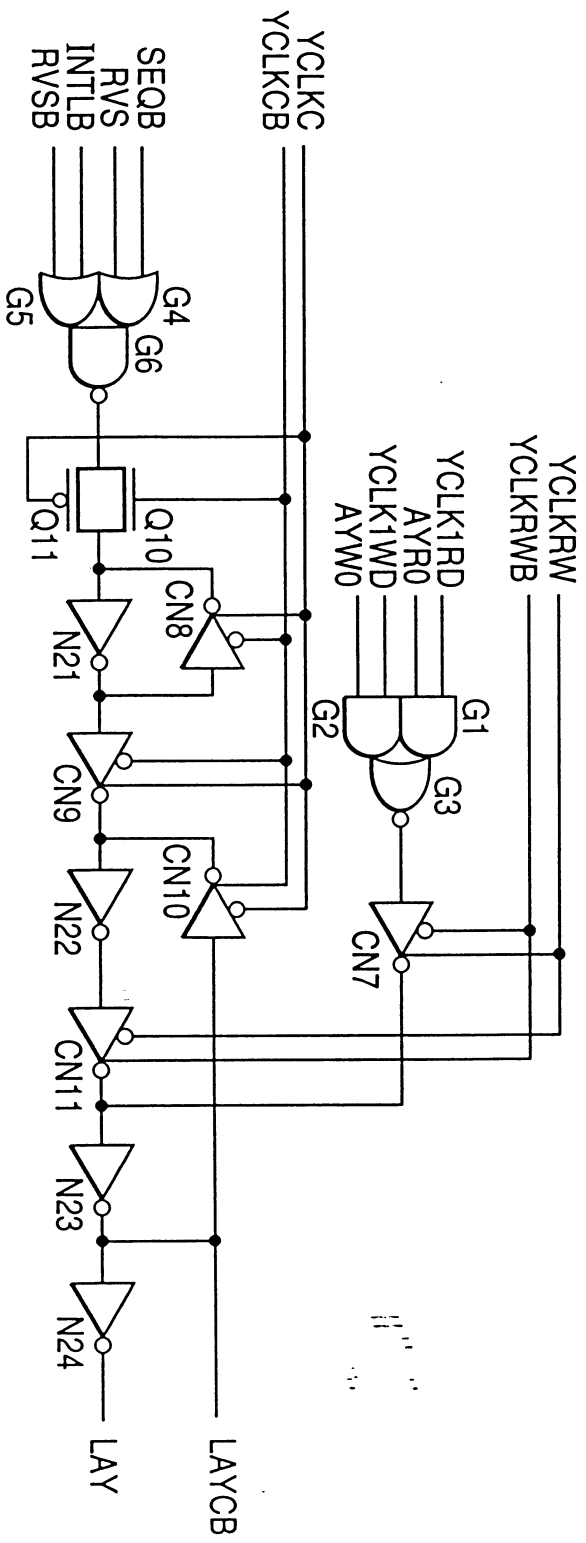




圖 12

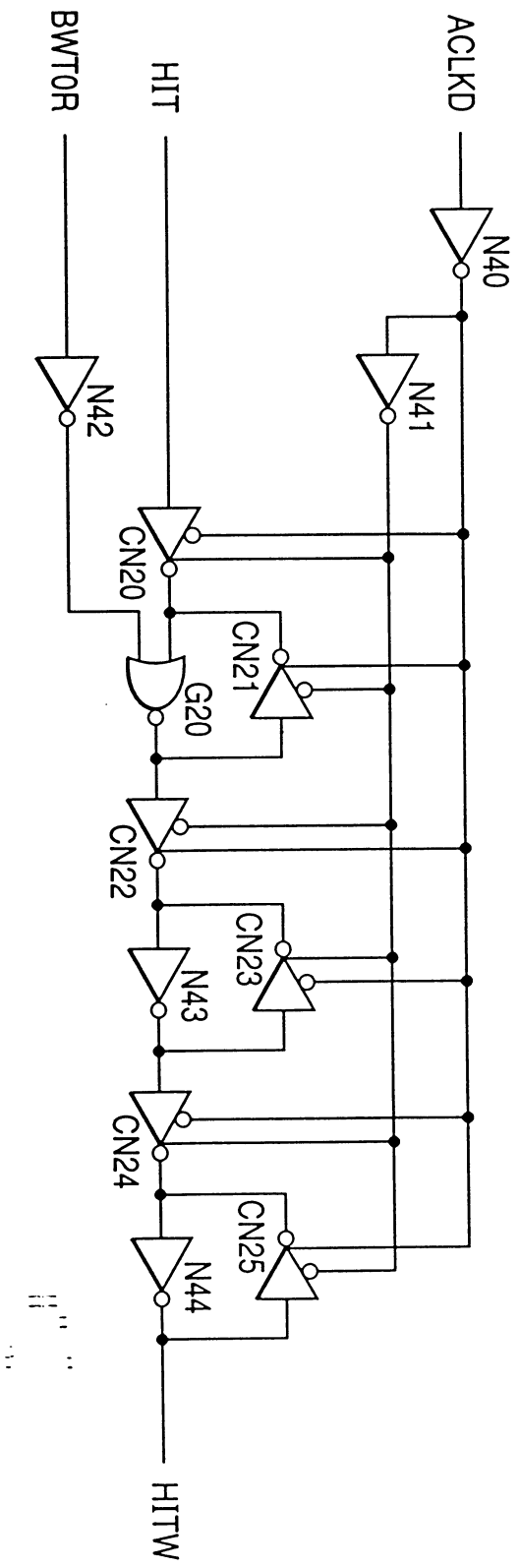


圖 13

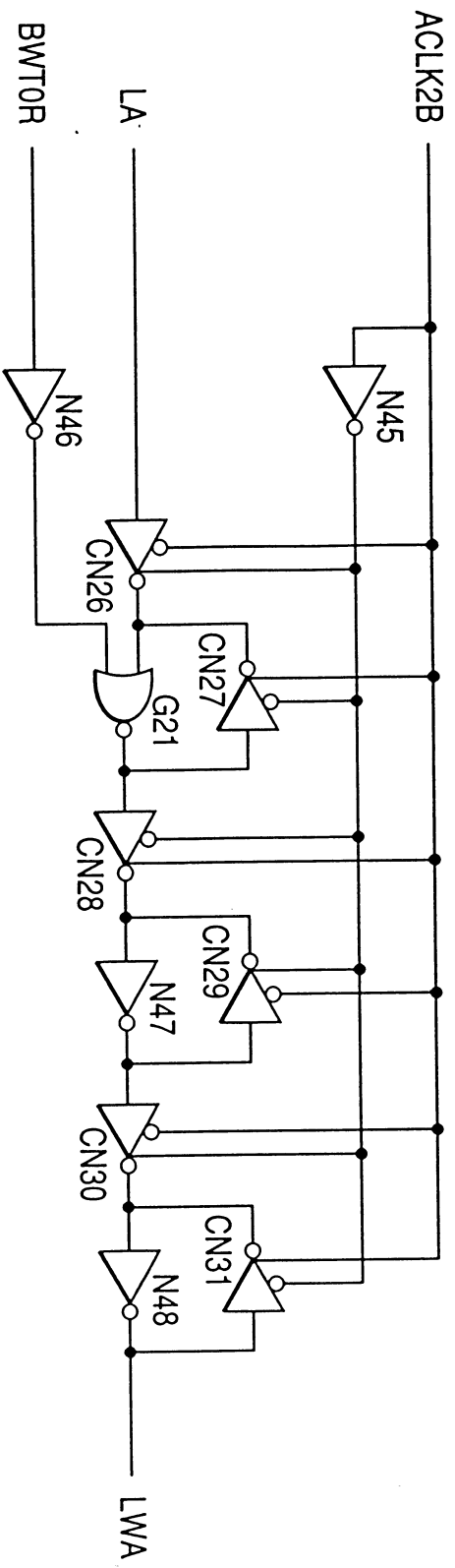


圖 14

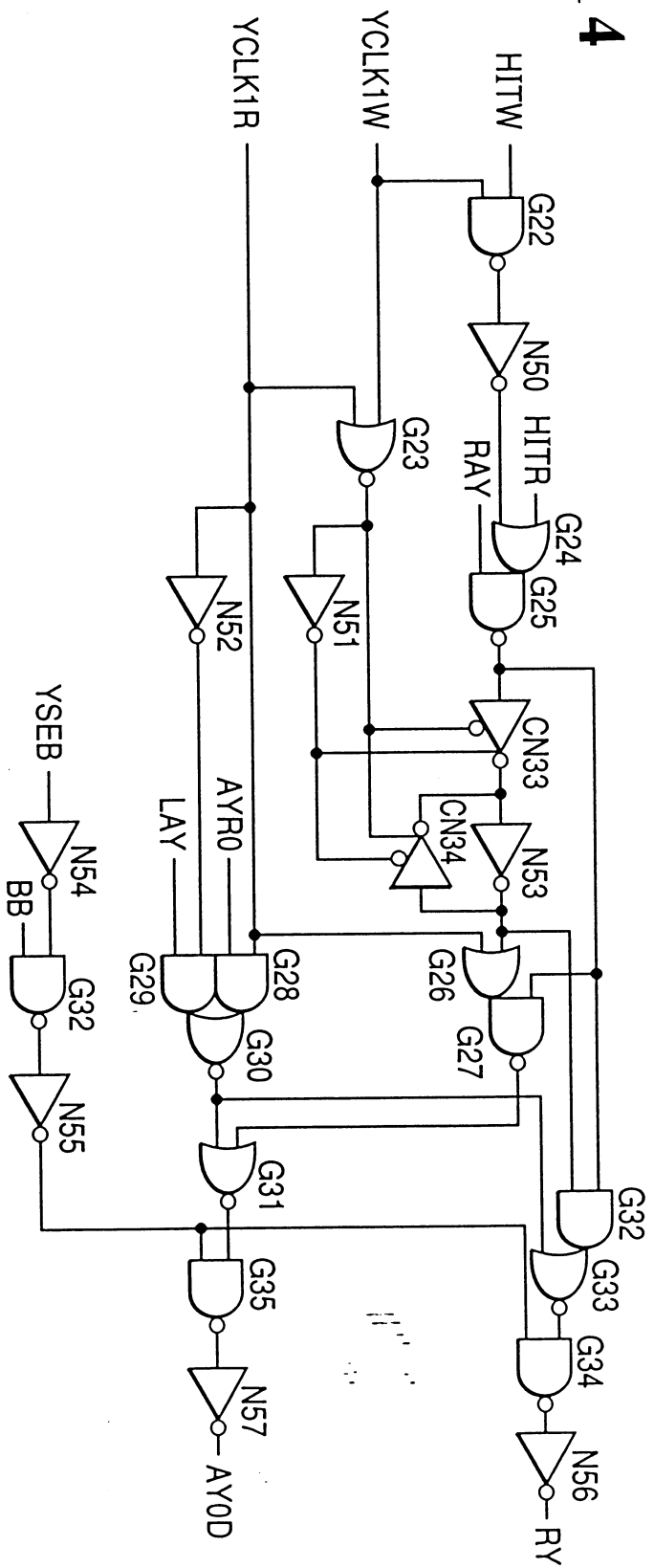


圖 15

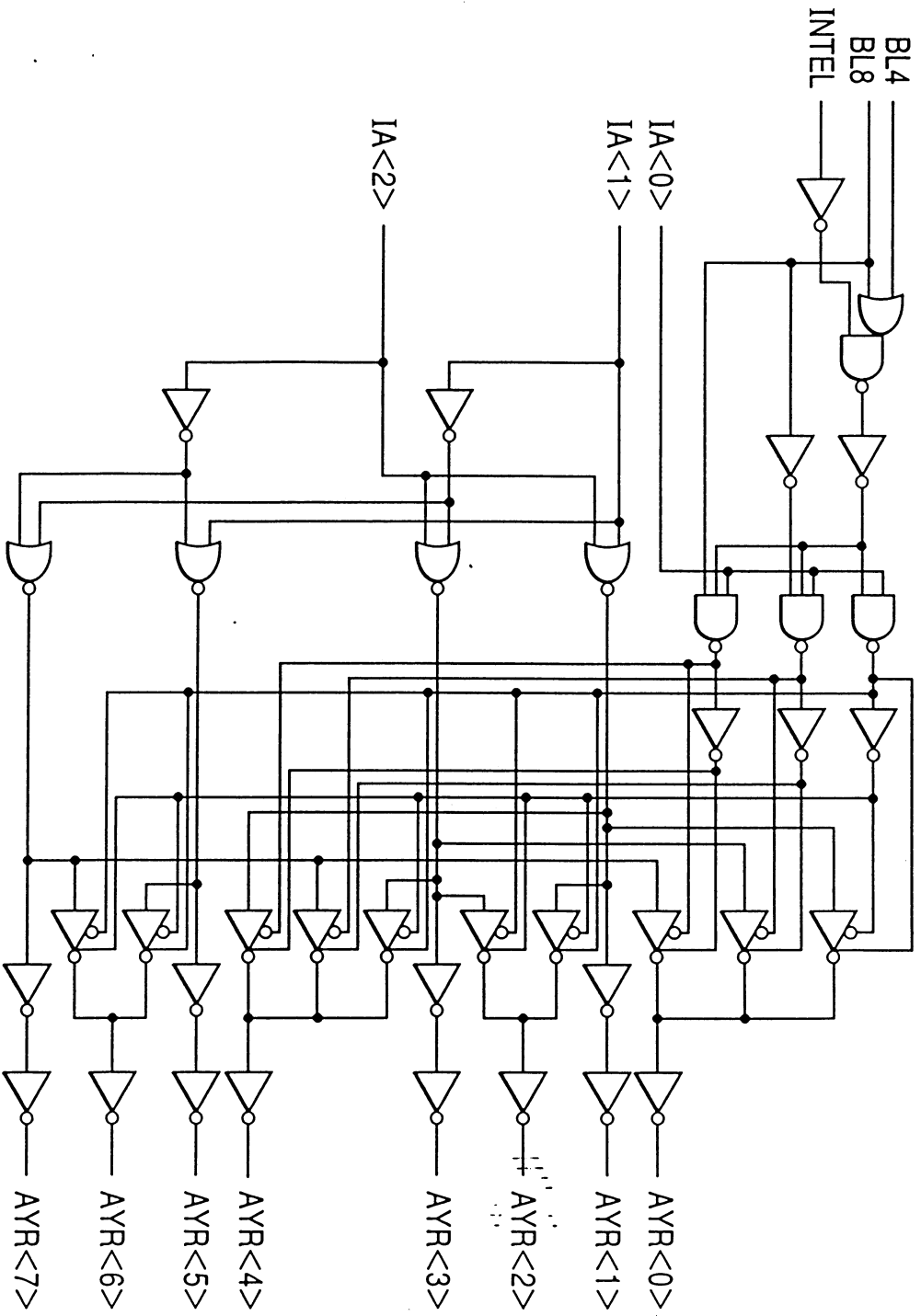
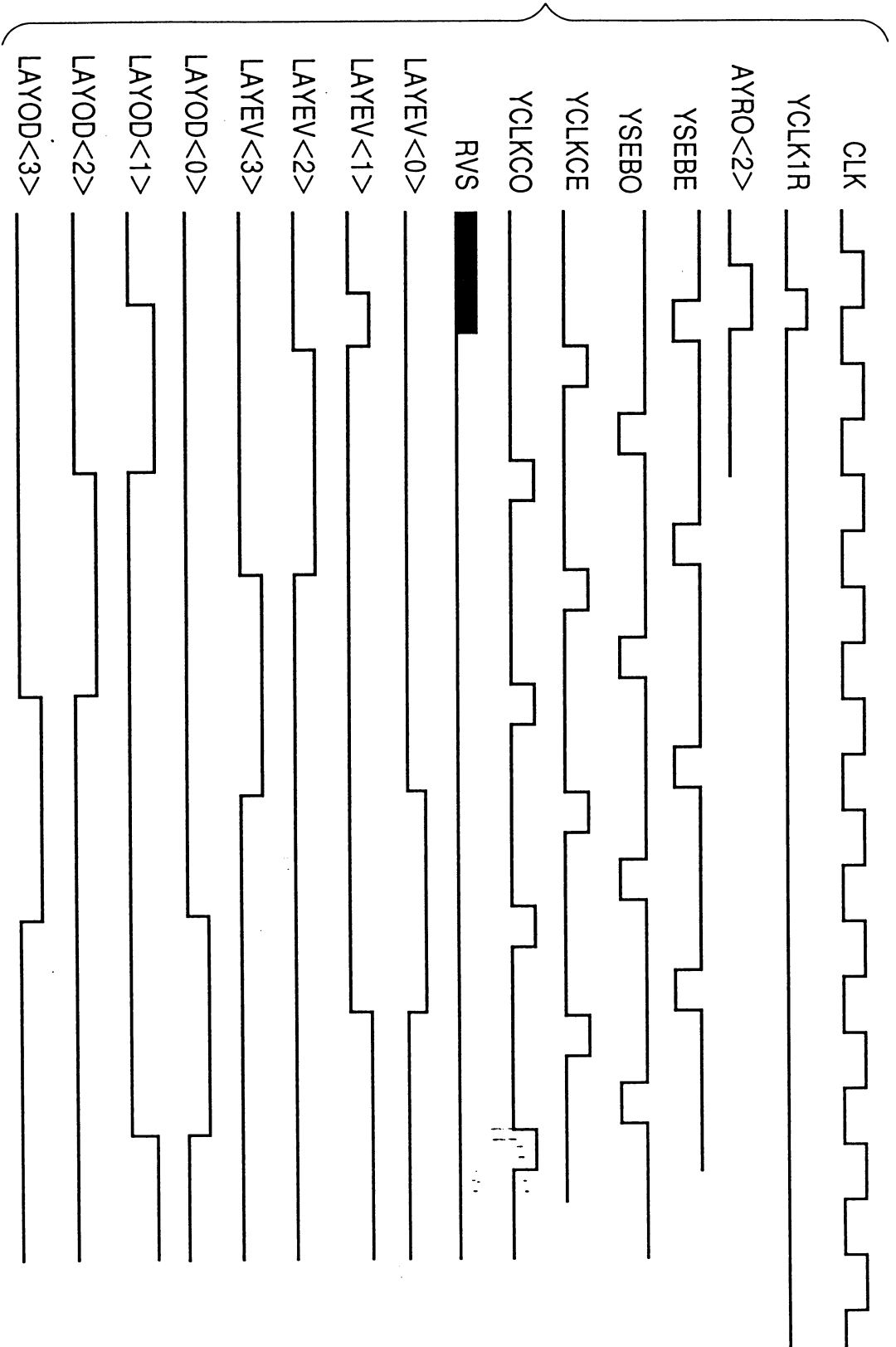


圖 16



# 圖 17

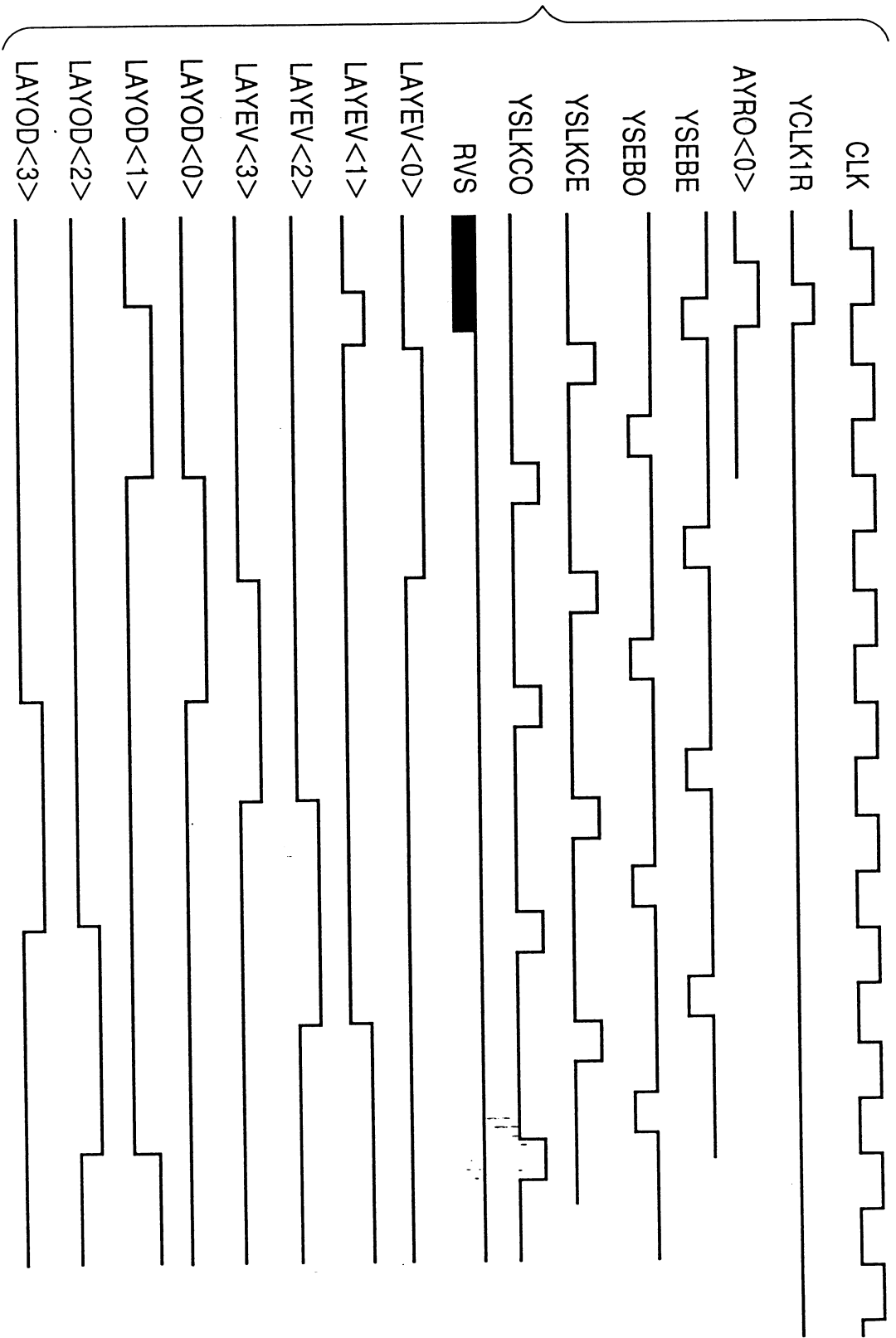






圖 20

