



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201546957 A

(43) 公開日：中華民國 104 (2015) 年 12 月 16 日

(21) 申請案號：103146498 (22) 申請日：中華民國 103 (2014) 年 12 月 31 日

(51) Int. Cl. : *H01L21/768 (2006.01)* *H01L23/522 (2006.01)*  
*H01L23/532 (2006.01)*

(30) 優先權：2014/03/14 美國 14/212,872

(71) 申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR  
 MANUFACTURING CO., LTD. (TW)  
 新竹市新竹科學工業園區力行六路 8 號

(72) 發明人：高祥倫 KAO, HSIANG LUN (TW)；林天祿 LIN, TIEN LU (TW)；王永智 WANG,  
 YUNG CHIH (TW)；莊正吉 CHUANG, CHENG CHI (TW)

(74) 代理人：洪澄文；顏錦順

申請實體審查：有 申請專利範圍項數：20 項 圖式數：12 共 29 頁

(54) 名稱

半導體積體電路與其製作方法

SEMICONDUCTOR INTEGRATED CIRCUIT AND METHOD FOR FABRICATING THE SAME

(57) 摘要

本發明揭露半導體積體電路(IC)的製作方法。提供導電結構於基板上。沉積第一介電層於導電結構與基板上。形成一形成通孔溝槽(VFT)於第一介電層中，以露出該導電結構與導電結構周圍的基板。將犧牲層填入 VFT 中。形成通孔開口於犧牲層中，以露出導電結構。形成金屬插塞於通孔開口中，以連接至導電結構。移除犧牲層以形成圍繞空隙，其包圍金屬插塞與導電結構。沉積第二介電層於基板上以密封部份的圍繞空隙，並形成密閉氣隙圍繞金屬插塞與導電結構。

A method of fabricating a semiconductor integrated circuit (IC) is disclosed. A conductive feature over a substrate is provided. A first dielectric layer is deposited over the conductive feature and the substrate. A via-forming-trench (VFT) is formed in the first dielectric layer to expose the conductive feature and the substrate around the conductive feature. The VFT is filled in by a sacrificial layer. A via-opening is formed in the sacrificial layer to expose the conductive feature. A metal plug is formed in the via-opening to connect to the conductive feature. The sacrificial layer is removed to form a surrounding-vacancy around metal plug and the conductive feature. A second dielectric layer is deposited over the substrate to seal a portion of the surrounding-vacancy to form an enclosure-air-gap all around the metal plug and the conductive feature.

## 發明摘要

※ 申請案號：107146498

※ 申請日：107 12 31

※IPC 分類： H01L 21/768 (2006.1)  
H01L 23/522 (2006.1)  
H01L 23/532 (2006.1)

【發明名稱】 半導體積體電路的製造方法

METHOD OF SEMICONDUCTOR INTEGRATED  
CIRCUIT FABRICATION

## 【中文】

本發明揭露半導體積體電路(IC)的製作方法。提供導電結構於基板上。沉積第一介電層於導電結構與基板上。形成一形成通孔溝槽(VFT)於第一介電層中，以露出該導電結構與導電結構周圍的基板。將犧牲層填入VFT中。形成通孔開口於犧牲層中，以露出導電結構。形成金屬插塞於通孔開口中，以連接至導電結構。移除犧牲層以形成圍繞空隙，其包圍金屬插塞與導電結構。沉積第二介電層於基板上以密封部份的圍繞空隙，並形成密閉氣隙圍繞金屬插塞與導電結構。

## 【英文】

A method of fabricating a semiconductor integrated circuit (IC) is disclosed. A conductive feature over a substrate is provided. A first dielectric layer is deposited over the conductive feature and the substrate. A via-forming-trench (VFT) is formed in the first dielectric layer to expose the conductive feature and the substrate around the conductive feature. The

VFT is filled in by a sacrificial layer. A via-opening is formed in the sacrificial layer to expose the conductive feature. A metal plug is formed in the via-opening to connect to the conductive feature. The sacrificial layer is removed to form a surrounding-vacancy around metal plug and the conductive feature. A second dielectric layer is deposited over the substrate to seal a portion of the surrounding-vacancy to form an enclosure-air-gap all around the metal plug and the conductive feature.

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

**【發明名稱】** 半導體積體電路的製造方法

METHOD OF SEMICONDUCTOR INTEGRATED  
CIRCUIT FABRICATION

**【先前技術】**

**【0001】** 半導體積體電路(IC)產業已經歷快速成長一段時日。IC材料與設計的技術進步，使每一代的IC比前一代的IC更小且其電路更複雜。新一代的IC具有較大的功能密度(比如固定晶片面積中的內連線裝置數目)，與較小的尺寸(比如製程形成的最小構件或連線)。

**【0002】** 製程尺寸縮小往往有利於增加製程效率並降低相關成本。製程尺寸縮小會增加製程複雜度，但製程尺寸縮小的優點顯而易見，因此需要更小的IC製程。技術領域之一為電晶體與其他裝置之間的打線或內連線。雖然現有製作IC裝置的方法通常適用於特定目的，但無法完全適用於所有領域。舉例來說，改良介電層與金屬內連線之製程與結構的發展正面臨挑戰。

**【圖式簡單說明】**

**【0003】** 本發明之下列詳細內容將搭配圖式說明以利了解。值得注意的是，在產業實際應用時，圖式中的多種結構並未依比例繪示。事實上，多種結構的尺寸可隨意增加或縮小，以清楚說明本發明。

第1圖係某些實施例中，製作半導體積體電路(IC)之方法的

流程圖。

第2至12圖係依據第1圖之方法製作之半導體積體電路(IC)於製程階段中的剖視圖。

#### 【實施方式】

【0004】 下述內容提供的不同實施例可實施本發明的不同結構。特定構件與排列的實施例係用以簡化本發明而非侷限本發明。舉例來說，形成第一構件於第二構件上的敘述包含兩者直接接觸，或兩者之間隔有其他額外構件而非直接接觸。此外，本發明之多種實例將重複標號及/或符號以簡化並清楚說明。不同實施例中具有相同標號的元件並不必然具有相同的對應關係及/或排列。

【0005】 此外，空間性的相對用語如「下方」、「其下」、「較下方」、「上方」、「較上方」、或類似用語可用於簡化說明某一元件與另一元件在圖示中的相對關係。空間性的相對用語可延伸至以其他方向使用之元件，而非侷限於圖示方向。元件亦可轉動90°或其他角度，因此方向性用語僅用以說明圖示中的方向。

【0006】 第1圖係本發明實施例中，製作一或多個半導體裝置之方法100的流程圖。方法100將詳述如下，並以第2至12圖中的IC裝置200舉例說明。可以理解的是其他實施例在上述方法之前、之中、及之後可進行額外步驟，且可採用其他步驟替換上述方法之某些步驟，甚至省略上述方法之某些步驟。

【0007】 如第1與2圖所示，方法100開始於步驟102，其提供基板210。基板210包含矽。在其他實施例中，基板210可包

含其他半導體元素如鍺。基板210亦可包含半導體化合物如碳化矽、砷化鎵、砷化銮、或磷化銮。基板210亦包含半導體合金如矽鍺、碳化矽鍺、磷化鎵砷、或磷化鎵銮。在一實施例中，基板210包含磊晶層。舉例來說，基板210可包含磊晶層於基體半導體上。此外，基板210可包含絕緣層上矽(SOI)結構。舉例來說，基板210可包含埋置氧化物(BOX)層，其形成方法可為佈植氧隔離(SIMOX)或其他合適技術(比如晶圓接合與研磨)。

**【0008】** 基板210亦可包含多種p型摻雜區及/或n型摻雜區，其形成方法可為離子佈植及/或擴散。這些摻雜區包含n型井、p型井、輕摻雜區(LDD)、重摻雜源極與汲極(S/D)、與多種通道摻雜輪廓，設置以形成多種積體電路(IC)裝置如互補式金氧半場效電晶體(CMOSFET)、影像感測器、及/或發光二極體(LED)。基板210亦可包括其他功能結構如電阻或電容形成其上或其中。

**【0009】** 基板210亦可包含多個隔離結構。隔離結構分隔基板210中的多種裝置區。隔離結構包含不同製程技術形成的不同結構。舉例來說，隔離結構可包含淺溝槽隔離(STI)結構。STI的形成方法可包含蝕刻溝槽於基板210中，再將絕緣材料如氧化矽、氮化矽、或氮氧化矽填入溝槽。填入溝槽的絕緣物可為多層結構，比如熱氧化物襯墊層與後續填入的氮化矽。接著可進行化學機械研磨(CMP)以回研磨多餘的絕緣材料，並平坦化隔離結構的上表面。

**【0010】** 基板210亦可包含介電層與電極層形成的閘極堆疊。介電層可包含界面層(IL)與高介電常數(HK)介電層，其沉

積方法可為合適技術如化學氣相沉積(CVD)、原子層沉積(ALD)、物理氣相沉積(PVD)、熱氧化法、上述之組合、或其他合適技術。電極層可包含單層或多層，比如金屬層、襯墊層、濕潤層、與黏著層，其形成方法可為ALD、PVD、CVD、或其他合適製程。

**【0011】** 基板210亦包含第一介電層212。第一介電層212包含介電材料如氧化矽或氮化矽。第一介電層212之介電常數(k)小於熱氧化矽(因此又稱作低介電常數介電材料層)，及/或具有其他合適的介電性質。第一介電層212的形成製程可為化學氣相沉積(CVD)或其他合適技術。

**【0012】** 基板210亦包含多個導電結構214。導電結構214可包含摻雜區如源極與汲極(S/D)、閘極、及/或部份內連線結構(如接點、金屬通孔、或金屬線路)。在一實施例中，導電結構214包含電極、電容、電阻、或部份電阻。導電結構214之形成方法可為一或多道製程如微影、蝕刻、與沉積。兩個相鄰的導電結構214之間具有第一間距 $s_1$ 。

**【0013】** 在一實施例中，沿著導電結構214之側壁形成阻障216。阻障216可包含氮化鈦(TiN)、氮化鉭(TaN)、氮化鎢(WN)、氮化鈦矽(TiSiN)、氮化鉭矽(TaSiN)、或其他合適材料。

**【0014】** 如第1與3圖所示，方法100之步驟104沉積第二介電層320於基板上，且第二介電層320位於導電結構214上。在一實施例中，先形成蓋層310覆蓋導電結構214之上表面，之後再沉積第二介電層320。蓋層310可包含鉭(Ta)、鈦(Ti)、錳(Mn)、鈷(Co)、鈦(Ru)、TiN、TaN、WN、TiSiN、氧化錳(MnO)、

氮化鋁、氧化鋁、或其他合適材料。蓋層310之形成製程可為沉積、光微影、與蝕刻。

**【0015】** 第二介電層320完全填入導電結構214之間的空間，且延伸於導電結構214之上表面上的第二介電層320具有預定的厚度 $t$ 。上述預定的厚度 $t$ 係設計以定義後續步驟所形成的通孔開口其高度，請見後續說明。第二介電層320可包含介電材料層如氧化矽、氮化矽、介電常數低於熱氧化矽的介電材料層(又稱作低介電常數介電層)、或其他合適介電材料層。第二介電層320的形成製程可包含CVD、旋轉塗佈法、或其他合適技術。第二介電層320可為順應性或平坦的結構，其形成方法可為本技術領域已知的技術。在此實施例中，第二介電層320為化學機械研磨形成的平坦結構。

**【0016】** 如第1與4圖所示，方法100之步驟106移除部份的第二介電層320以形成VFT(形成通孔溝槽)330。VFT 330露出部份導電結構214A，亦露出部份導電結構214A周圍之部份第一介電層212。在某些實施例中，亦可露出導電結構214/214A之某些側壁或所有側壁。VFT 330之形成方法，可為經由圖案化光阻層蝕刻第二介電層320。一般而言，圖案化製程可包含塗佈光阻(如旋轉塗佈)、曝光、顯影光阻、其他合適製程、或上述之組合。接著經由圖案化光阻層蝕刻第二介電層320以形成VFT 330。第二介電層320可由多種方法蝕刻，包含乾蝕刻、濕蝕刻、或上述之組合。

**【0017】** 如第1與5圖所示，方法100之步驟108將犧牲層410填入VFT 330中。犧牲層410可包含氧化鈦(TiO)，其沉積方法



可為ALD或CVD。在其他實施例中，犧牲層410可包含旋塗玻璃(SOG)、氧化矽、或其他介電材料，其沉積方法可為任何合適方法如旋轉塗佈、ALD、CVD、或臭氧氧化法。在一實施例中，先沉積蝕刻停止層405於VFT 330上並包覆導電結構214A，之後再沉積犧牲層410。蝕刻停止層405可包含氮化矽、氧化矽、碳化矽、碳氮化矽、或其他合適材料。蝕刻停止層405之材料選擇不同於犧牲層410，以在後續蝕刻中具有蝕刻選擇性。後續蝕刻將說明於下述內容。蝕刻停止層405之沉積法可為任何合適技術，比如CVD、PVD、或ALD。在一實施例中，凹陷製程可用以移除多餘的犧牲層410。

**【0018】** 如第1與6圖所示，方法100之步驟110形成通孔開口420於VFT 330中。通孔開口420對準個別的導電結構214A，並露出導電結構214A的上表面。通孔開口420之形成方法可為經由圖案化遮罩層，蝕刻犧牲層410與蝕刻停止層405。藉由犧牲層410與蝕刻停止層405的保護，形成通孔開口420的製程可完整保留與導電結構214A相鄰之導電結構214，進而降低通孔引發的金屬橋接(VIMB)問題。

**【0019】** 如前述之步驟104，厚度 $t$ 的範圍取決於通孔開口420的高度。在一實施例中，通孔開口420之較低部份與較高部份的輪廓不同：較低部份具有垂直輪廓，而較高部份具有錐形輪廓(頂部的開口較寬)。通孔開口420的兩個部份之形成方法，可為兩個不同蝕刻條件(比如氣體或化學品)的蝕刻步驟。藉由控制通孔開口420之較寬開口的寬度 $w$ ，可讓通孔開口420之頂部邊緣與VFT 330之邊緣具有第二間距 $s_2$ 。在一實施例中，第

二間距  $s_2$  實質上小於第一間距  $s_1$ ，使後續製程形成的圍繞空隙具有窄頸入口，如下述內容所說明。VFT 330 之外的犧牲層 410 與蝕刻停止層 405，可由蝕刻通孔開口的製程移除，或由獨立的蝕刻製程移除。

【0020】 如第 1 與 7 圖所示，方法 100 之步驟 112 沉積第三介電層 510 於第二介電層 320 上並填入通孔開口 420 中。在許多實例中，第三介電層 510 可與前述第 3 圖中的第二介電層 320 類似。在一實施例中，第三介電層 510 與第二介電層 320 不同，以達後續蝕刻中的蝕刻選擇性。

【0021】 如第 1 與 8 圖所示，方法 100 之步驟 114 形成介電溝槽 520 於第三介電層 510 中，並自通孔開口 420 移除第三介電層 510。某些介電溝槽對準個別的通孔開口 420，並標示為介電溝槽 520A。在許多實施例中，介電溝槽 520 的形成方法與前述第 4 圖中的 VFT 420 之形成方法類似。第三介電層 510 的移除方法可為選擇性乾蝕刻、選擇性濕蝕刻、或上述之組合。上述蝕刻可選擇性地移除第三介電層，但實質上不蝕刻第二介電層 320。在介電溝槽 520A 中，自通孔開口 420 向下移除第三介電層 510。因此介電溝槽 520A 連接至通孔開口 420。此蝕刻製程亦移除介電溝槽 520A 中的蝕刻停止層 410。

【0022】 如第 1 與 9 圖所示，方法 100 之步驟 116 形成金屬插塞 610 於介電溝槽 520 與 520A 及通孔開口 420 中。形成於介電溝槽 520A 與通孔開口 420 中的金屬插塞 610，可形成完整的接點向下延伸至導電結構 214A。為簡化說明，位於通孔開口 420 中的金屬插塞將標示為金屬插塞 610A。金屬插塞 610A 與通孔開口

420一樣具有錐形輪廓，其第二間距 $s_2$ 亦小於第一間距 $s_1$ 。

【0023】 在一實施例中，先形成阻障層605於介電溝槽520及通孔開口420中，其形成方法為適當的沉積技術如PVD與CVD。阻障層605可包含導電的金屬，但不會與介電層及後續填入介電溝槽520中的導電材料互相擴散及反應。阻障層605可包含難熔金屬與其氮化物。在多種實例中，阻障層包含TiN、TaN、Co、WN、TiSiN、TaSiN、或上述之組合。阻障層可包含多層膜。

【0024】 接著將金屬層填入介電溝槽520與520A及通孔開口420中的阻障層605上。金屬層可包含銅(Cu)、鋁(Al)、鎢(W)、銅合金如銅鎂(CuMn)、銅鋁(CuAl)、或銅矽(CuSi)、或其他合適導電材料。金屬層610之沉積方法可為PVD、CVD、有機金屬化學氣相沉積(MOCVD)、或電鍍。此外可進行CMP以回蝕刻多餘的金屬層與阻障層605，以形成金屬插塞610於介電溝槽520中。

【0025】 如第1與10圖所示，方法100之步驟118移除第三介電層510。選擇性移除第三介電層510的方法可為濕蝕刻、乾蝕刻、或上述之組合。上述蝕刻選擇性地移除第三介電層510，但實質上不蝕刻第二介電層320與犧牲層410。

【0026】 如第1與11圖所示，方法100之步驟120移除犧牲層410以形成圍繞空隙710，其包圍金屬插塞610A與導電結構214A。選擇性移除犧牲層410的方法可為濕蝕刻、乾蝕刻、或上述之組合。藉由蝕刻停止層405，可改善製程容忍度並舒緩蝕刻製程的限制。如前所述，一實施例之第二間距 $s_2$ 實質上小

於第一間距  $s_1$ ，使圍繞空隙 710 在金屬插塞 610A 之頂部邊緣與 VFT 330 之邊緣之間具有窄頸入口 720。藉由調整第二間距  $s_2$ ，可調整窄頸入口 720 之寬度。

【0027】 如第 1 與 12 圖所示，方法 100 之步驟 124 沉積第四介電層 810 以密封圍繞空隙 710，形成之封閉氣隙 820 完全包圍金屬插塞 610A 與導電結構 214A。第四介電層 810 可包含氧化矽、氮化矽、介電常數 (k) 低於熱氧化矽的介電材料層 (又稱作低介電常數材料層)、或其他合適的介電材料層。第四介電層 810 的沉積方法可為 CVD、旋轉塗佈、或其他合適技術。藉由選擇合適的沉積製程，第四介電層 810 並非填入圍繞空隙 710 中，而是密封圍繞空隙 710 以形成密閉氣隙 820，且密閉氣隙 820 完全包圍金屬插塞 610A 與導電結構 214A。在一實施例中，第四介電層 810 之沉積方法為 CVD，且 CVD 之沉積速率需高到完全填入圍繞空隙 710 前，即封閉圍繞空隙 710 之較高部份。在具有窄頸入口 720 的一實施例中，第四介電層 810 在完全填入圍繞空隙 710 中之前，會先在靠近窄頸入口 720 處密封圍繞空隙 710。

【0028】 在方法 100 之前、之中、或之後可進行額外步驟，且其他實施例之方法 100 的某些步驟可置換、省略、或調整順序。IC 裝置 200 可進行額外的 CMOS 或 MOS 技術製程，以形成多種結構與區域。

【0029】 基於上述內容，本發明提供製作 IC 裝置的方法，其藉由移除與金屬通孔相鄰之犧牲層以形成圍繞空隙，再沉積膜層於圍繞空隙上以密封圍繞空隙的較高部份，以形成密閉氣隙。此方法提供之方法可形成完全包圍導電結構之密閉氣隙。

此方法可改善VIMB與時間相關介電崩潰(TDDB)效能，並降低金屬線路的電容。

**【0030】** 本發明提供許多不同實施例製作半導體IC以改良現有研究。在一實施例中，半導體積體電路的製作方法包括：提供導電結構於基板上；沉積第一介電層於導電結構與基板上；形成一形成通孔溝槽(VFT)於第一介電層中，以露出導電結構及導電結構周圍的基板。上述方法亦包括將犧牲層填入VFT中；形成通孔開口於犧牲層中以露出導電結構；形成金屬插塞於通孔開口中以連接至導電結構；選擇性移除犧牲層以形成圍繞空隙包圍金屬插塞與導電結構；以及沉積第二介電層於基板上，以密封部份的圍繞空隙，並形成密閉氣隙包圍金屬插塞與導電結構。

**【0031】** 在另一實施例中，半導體積體電路的製作方法包括：提供導電結構於基板上；沉積第一介電層於導電結構與基板上；形成形成通孔溝槽(VFT)於第一介電層中，以露出導電結構及導電結構周圍的基板；將犧牲層填入VFT中；形成通孔開口於犧牲層中以露出導電結構；沉積第二介電層於犧牲層上；移除部份第二介電層，以形成介電溝槽向下連接至通孔開口；形成金屬插塞於介電溝槽與通孔開口中；移除第二介電層；選擇性移除犧牲層以形成圍繞空隙包圍金屬插塞與導電結構；以及沉積第三介電層於基板上，以密封部份圍繞空隙，並形成密閉氣隙完全包圍金屬插塞與導電結構。

**【0032】** 在又一實施例中，半導體IC包括：基板；導電結構位於基板上；通孔金屬位於導電結構上。通孔金屬具有錐形

輪廓，且錐形輪廓之頂部寬度大於錐形輪廓其較下部份的寬度。IC亦包括金屬插塞位於通孔金屬之頂部上；以及密閉氣隙圍繞導電結構與通孔金屬；IC亦包括介電層位於密閉氣隙上並分隔金屬插塞。

**【0033】** 上述實施例之特徵有利於本技術領域中具有通常知識者理解本發明。本技術領域中具有通常知識者應理解可採用本申請案作為基礎，設計並變化其他製程與結構以完成上述實施例之相同目的及/或相同優點。本技術領域中具有通常知識者亦應理解，這些等效置換並未脫離本發明之精神與範疇，並可在未脫離本發明之精神與範疇的前提下進行改變、替換、或更動。

## 申請專利範圍

1. 一種半導體積體電路的製作方法，包括：
  - 提供一導電結構於一基板上；
  - 沉積一第一介電層於該導電結構與該基板上；
  - 形成一形成通孔溝槽於該第一介電層中，以露出該導電結構及該導電結構周圍的基板；
  - 將一犧牲層填入該形成通孔溝槽中；
  - 形成一通孔開口於該犧牲層中以露出該導電結構；
  - 形成一金屬插塞於該通孔開口中以連接至該導電結構；
  - 選擇性移除該犧牲層以形成一圍繞空隙包圍該金屬插塞與該導電結構；以及
  - 沉積一第二介電層於該基板上，以密封該圍繞空隙的較上部份，並形成一密閉氣隙包圍該金屬插塞與該導電結構。
2. 如申請專利範圍第1項所述之半導體積體電路的製作方法，更包括：
  - 在沉積該第一介電層前，先形成一蓋層於該導電結構的頂部上。
3. 如申請專利範圍第1項所述之半導體積體電路的製作方法，其中形成該形成通孔溝槽之步驟包括：
  - 形成一圖案化遮罩於該第一介電層上；以及
  - 經由該圖案化遮罩蝕刻該第一介電層。
4. 如申請專利範圍第3項所述之半導體積體電路的製作方法，更包括：
  - 在將該犧牲層填入該形成通孔溝槽之前，先沉積一蝕刻停

止層，其中移除該犧牲層之步驟停止於該蝕刻停止層。

5. 如申請專利範圍第1項所述之半導體積體電路的製作方法，其中形成該通孔開口之步驟包括：  
形成一圖案化遮罩於該犧牲層上；以及  
經由該圖案化遮罩蝕刻該犧牲層，其中該通孔開口具有一錐形輪廓且頂部邊緣的開口較寬，其中該頂部邊緣至該形成通孔溝槽之邊緣的距離實質上小於該通孔開口至該形成通孔溝槽之距離。
6. 如申請專利範圍第5項所述之半導體積體電路的製作方法，其中該金屬插塞的形成方法係將一金屬層填入該通孔開口中，其中該金屬插塞的錐形輪廓與該通孔開口的錐形輪廓相同。
7. 如申請專利範圍第6項所述之半導體積體電路的製作方法，更包括：  
在將該金屬層填入該通孔開口中之前，先沉積一阻障層於該通孔開口中。
8. 如申請專利範圍第5項所述之半導體積體電路的製作方法，其中包圍該金屬插塞之該圍繞空隙具有一窄頸入口，且該窄頸入口位於該通孔開口的頂部邊緣與該形成通孔溝槽的邊緣之間。
9. 如申請專利範圍第5項所述之半導體積體電路的製作方法，藉由調整該頂部邊緣至該形成通孔溝槽之邊緣的距離，使該圍繞空隙的密封處靠近該窄頸入口。
10. 如申請專利範圍第1項所述之半導體積體電路的製作方



法，其中該犧牲層之形成方法為原子層沉積氧化鈦層。

11. 如申請專利範圍第1項所述之半導體積體電路的製作方法，更包括：

在形成該通孔開口後，沉積一第三介電層於該犧牲層上並填入該通孔開口中；

蝕刻該第三介電層並由該通孔開口移除該第三介電層，以形成一溝槽對準該通孔開口，其中該溝槽連接該通孔開口；

將一金屬層填入該溝槽與該通孔開口中；以及

移除多餘的該金屬層以形成一金屬結構。

12. 一種半導體積體電路的製作方法，包括：

提供一導電結構於一基板上；

沉積一第一介電層於該導電結構與該基板上；

形成一形成通孔溝槽於該第一介電層中，以露出該導電結構及該導電結構周圍的基板；

將一犧牲層填入該形成通孔溝槽中；

形成一通孔開口於該犧牲層中以露出該導電結構；

沉積一第二介電層於該犧牲層上；

移除部份該第二介電層，以形成一介電溝槽向下連接至該通孔開口；

形成一金屬插塞於該介電溝槽與該通孔開口中；

移除該第二介電層；

選擇性移除該犧牲層以形成一圍繞空隙包圍該金屬插塞與該導電結構；以及

沉積一第三介電層於該基板上，以密封部份該圍繞空隙，

並形成一密閉氣隙完全包圍該金屬插塞與該導電結構。

13.如申請專利範圍第12項所述之半導體積體電路的製作方法，更包括：

在沉積該第一介電層前，先形成一蓋層於該導電結構的頂部上。

14.如申請專利範圍第12項所述之半導體積體電路的製作方法，其中形成該通孔開口之步驟包括：

形成一圖案化遮罩於該犧牲層上；以及

經由該圖案化遮罩蝕刻該犧牲層，其中該通孔開口具有一錐形輪廓且頂部邊緣的開口較寬，其中該頂部邊緣至該形成通孔溝槽之邊緣的距離實質上小於該通孔開口至該形成通孔溝槽之距離。

15.如申請專利範圍第14項所述之半導體積體電路的製作方法，其中該金屬插塞之形成方法為將一金屬層填入該通孔開口中，其中該金屬插塞之錐形輪廓與該通孔開口之錐形輪廓相同。

16.如申請專利範圍第15項所述之半導體積體電路的製作方法，其中包圍該金屬插塞之該圍繞空隙具有一窄頸入口，且該窄頸入口位於該通孔開口的頂部邊緣與該形成通孔溝槽的邊緣之間。

17.如申請專利範圍第16項所述之半導體積體電路的製作方法，藉由調整該頂部邊緣至該形成通孔溝槽之邊緣的距離，使該圍繞空隙的密封處靠近該窄頸入口。

18.如申請專利範圍第12項所述之半導體積體電路的製作方

法，其中該犧牲層的形成方法為原子層沉積氧化鈦層。

19.如申請專利範圍第12項所述之半導體積體電路的製作方法，更包括在將金屬層填入該通孔開口前，先沉積一阻障層於該通孔開口中。

20.一種半導體積體電路，包括：

一基板；

一導電結構位於該基板上；

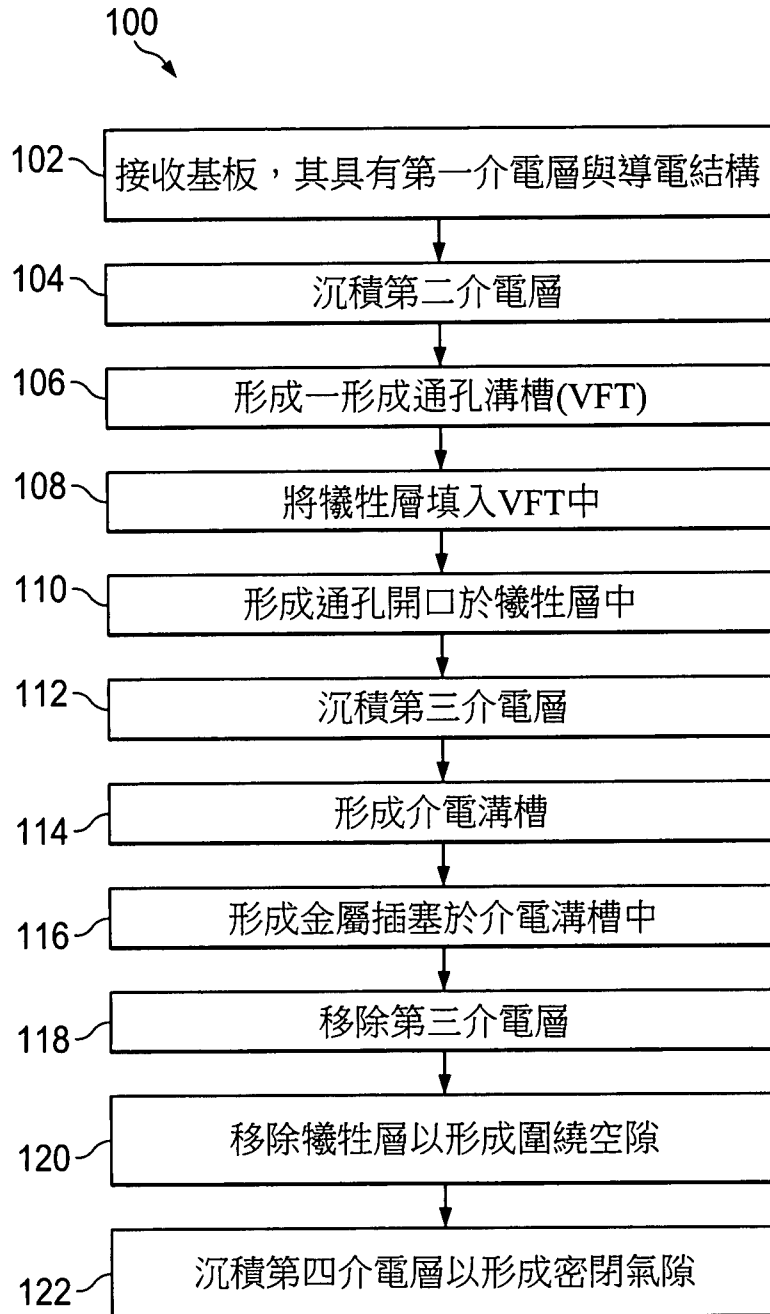
一通孔金屬位於該導電結構上，其中該通孔金屬具有一錐形輪廓，其中該錐形輪廓之頂部寬度大於該錐形輪廓其較下部份的寬度；

一金屬插塞位於該通孔金屬之頂部上；

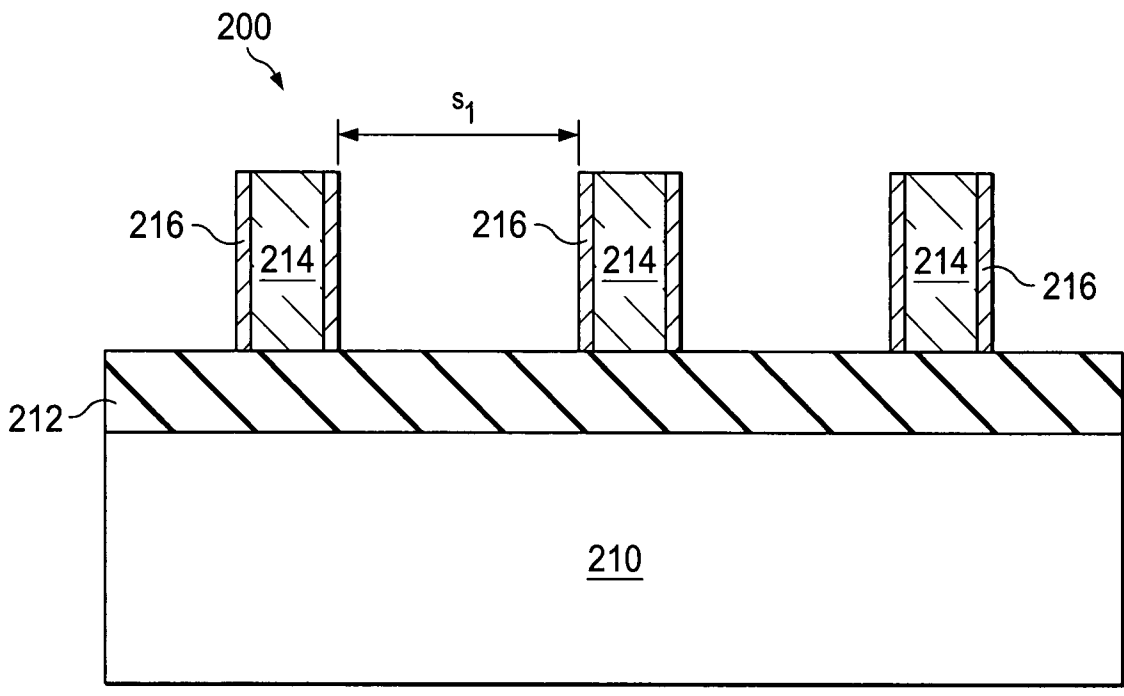
一密閉氣隙圍繞該導電結構與該通孔金屬；以及

一介電層位於該密閉氣隙上並分隔該金屬插塞。

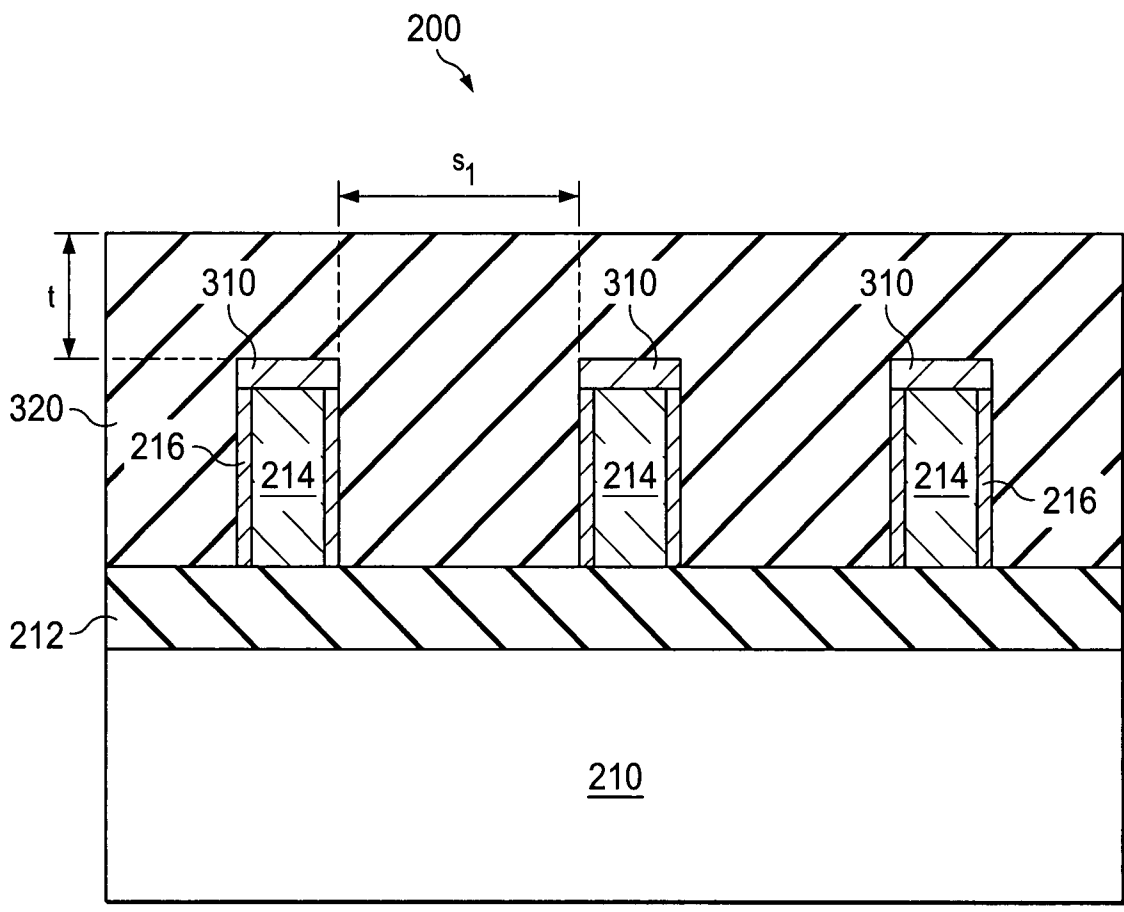
# 圖式



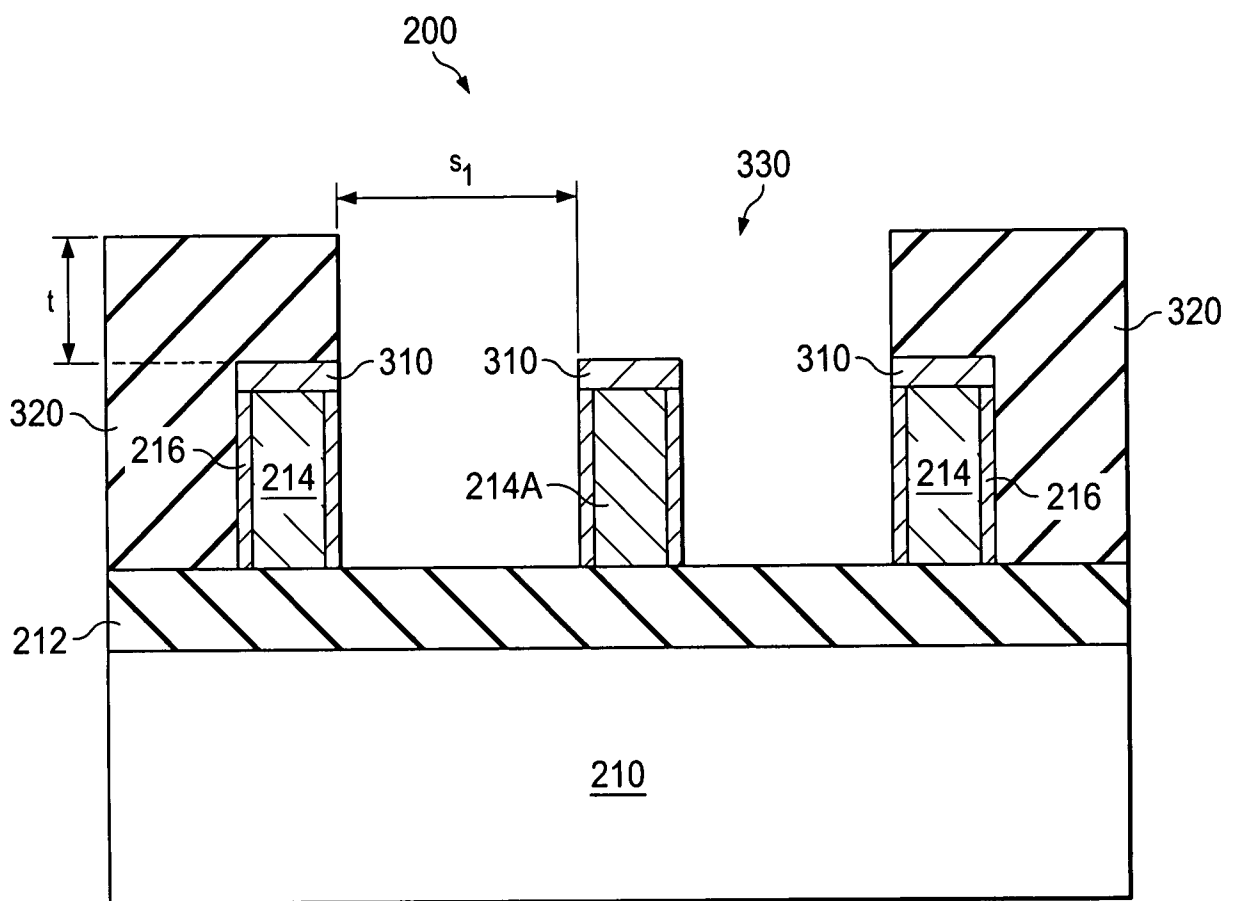
第 1 圖



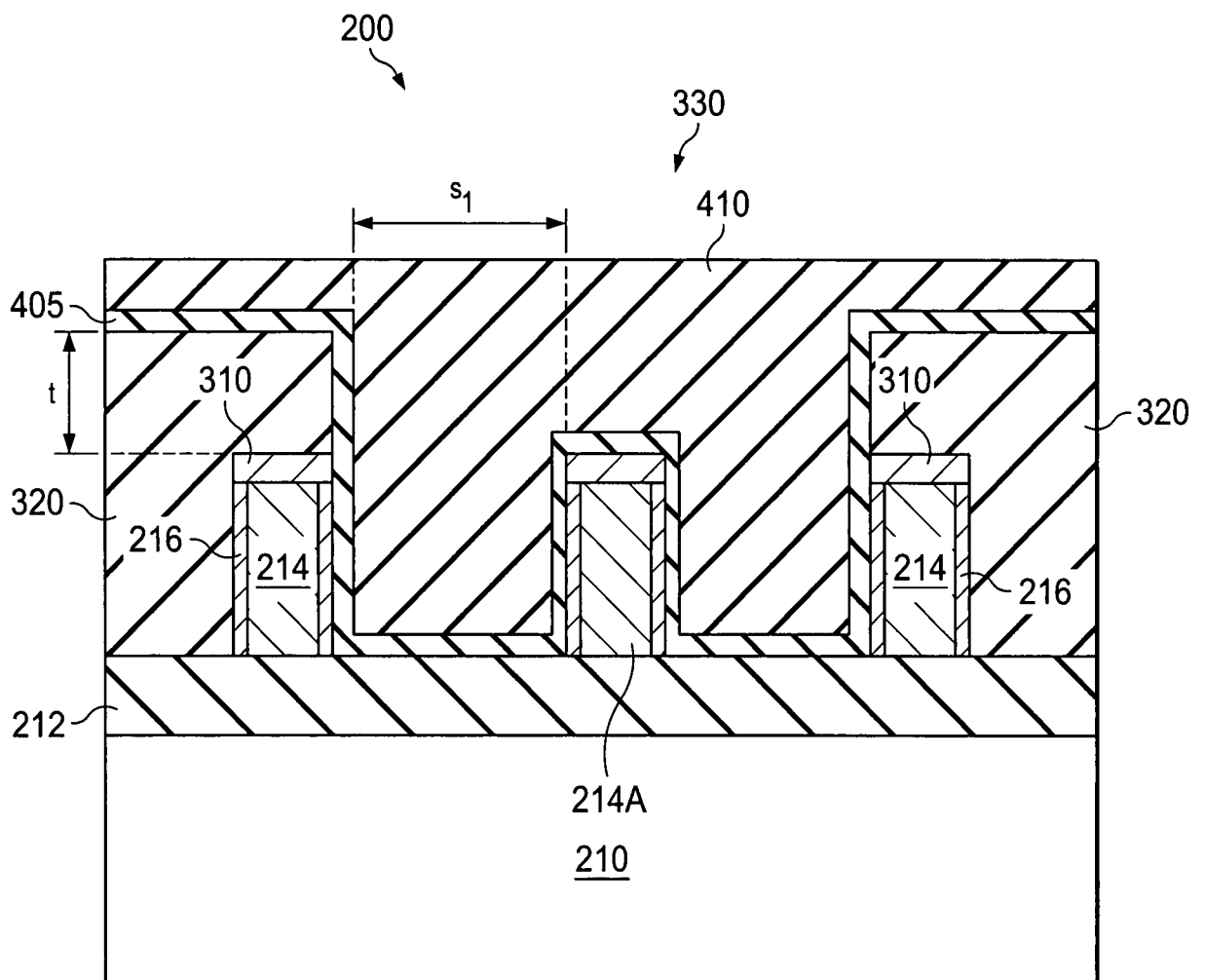
第 2 圖



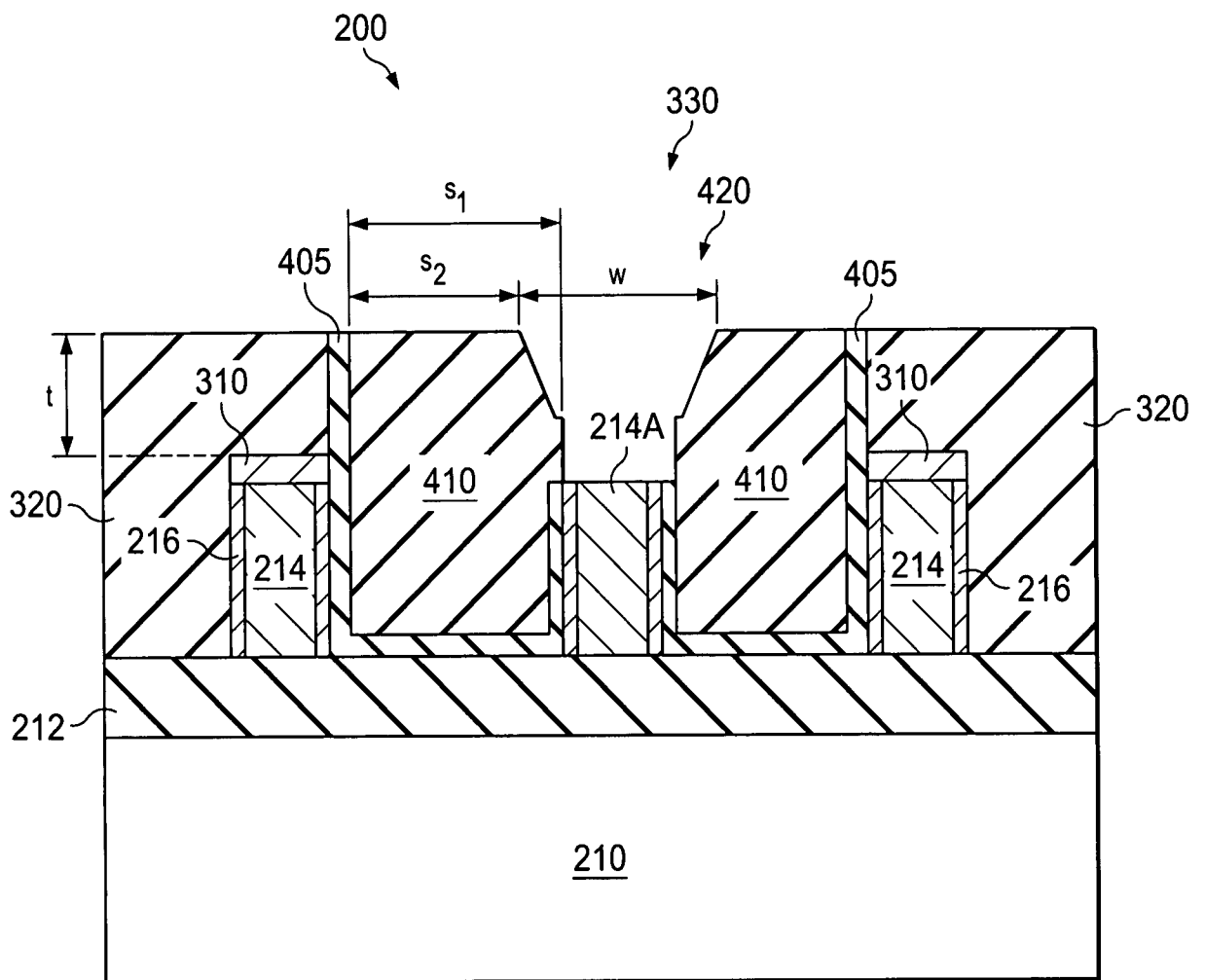
第 3 圖



第 4 圖

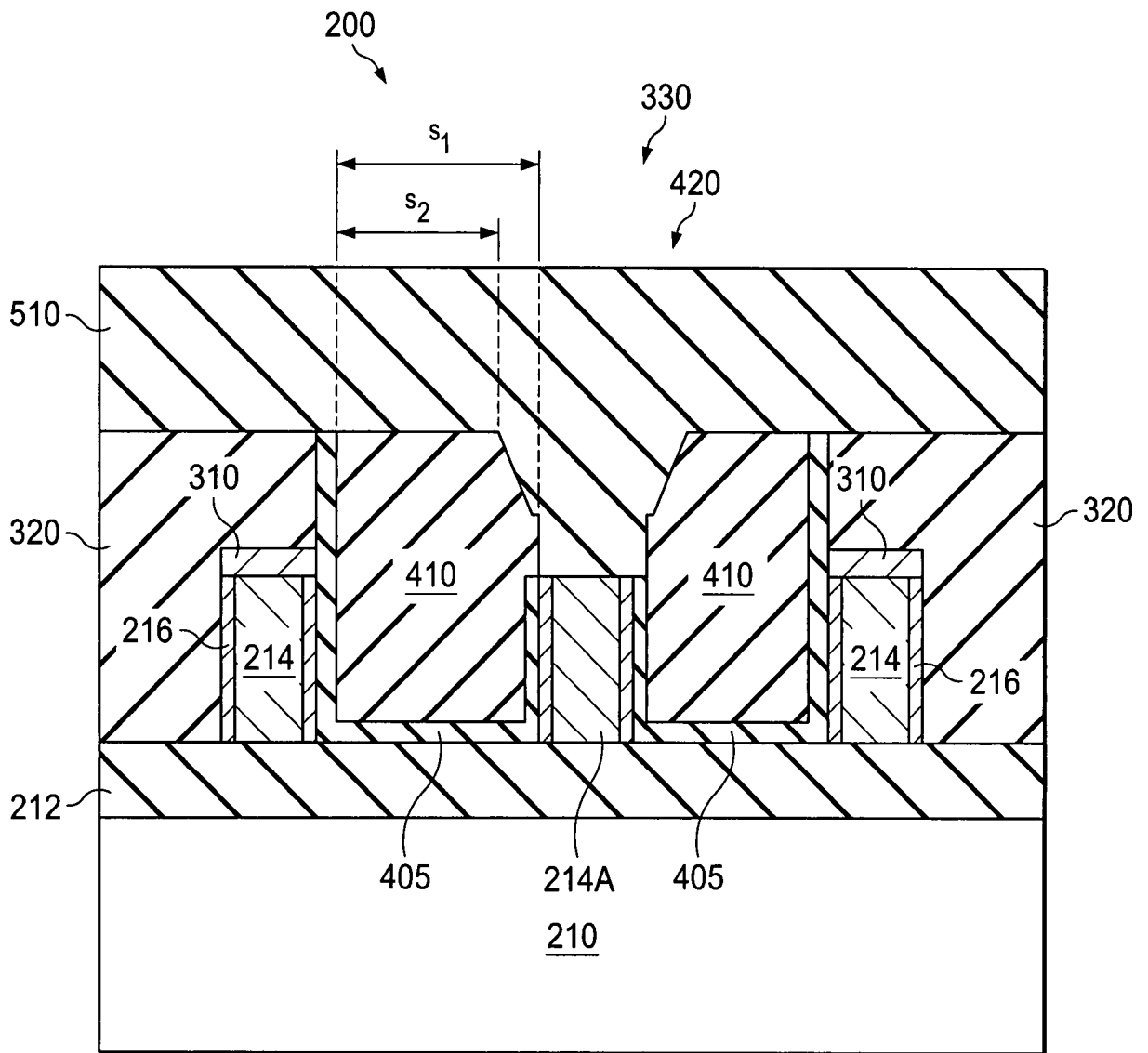


第 5 圖

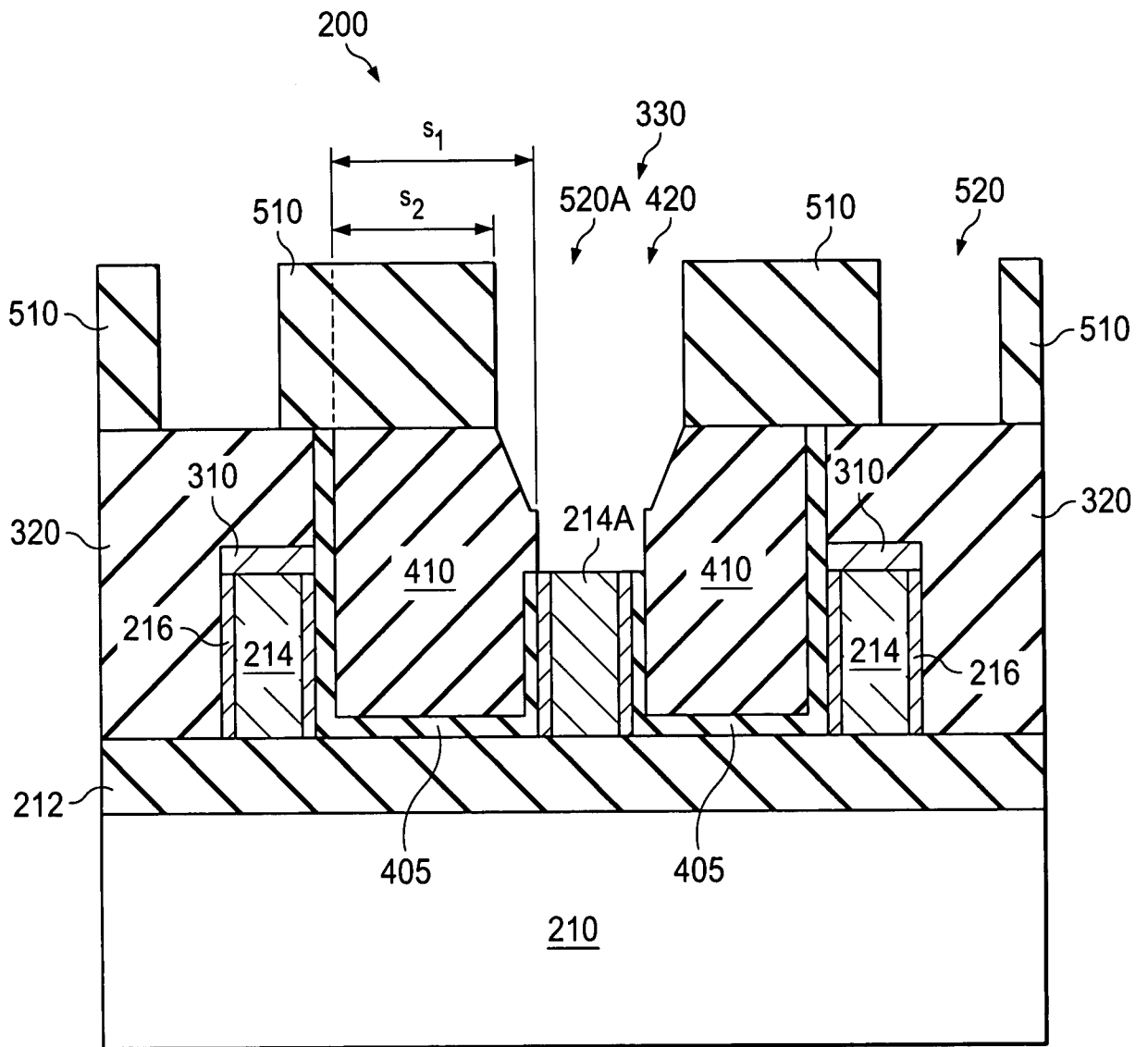


第 6 圖

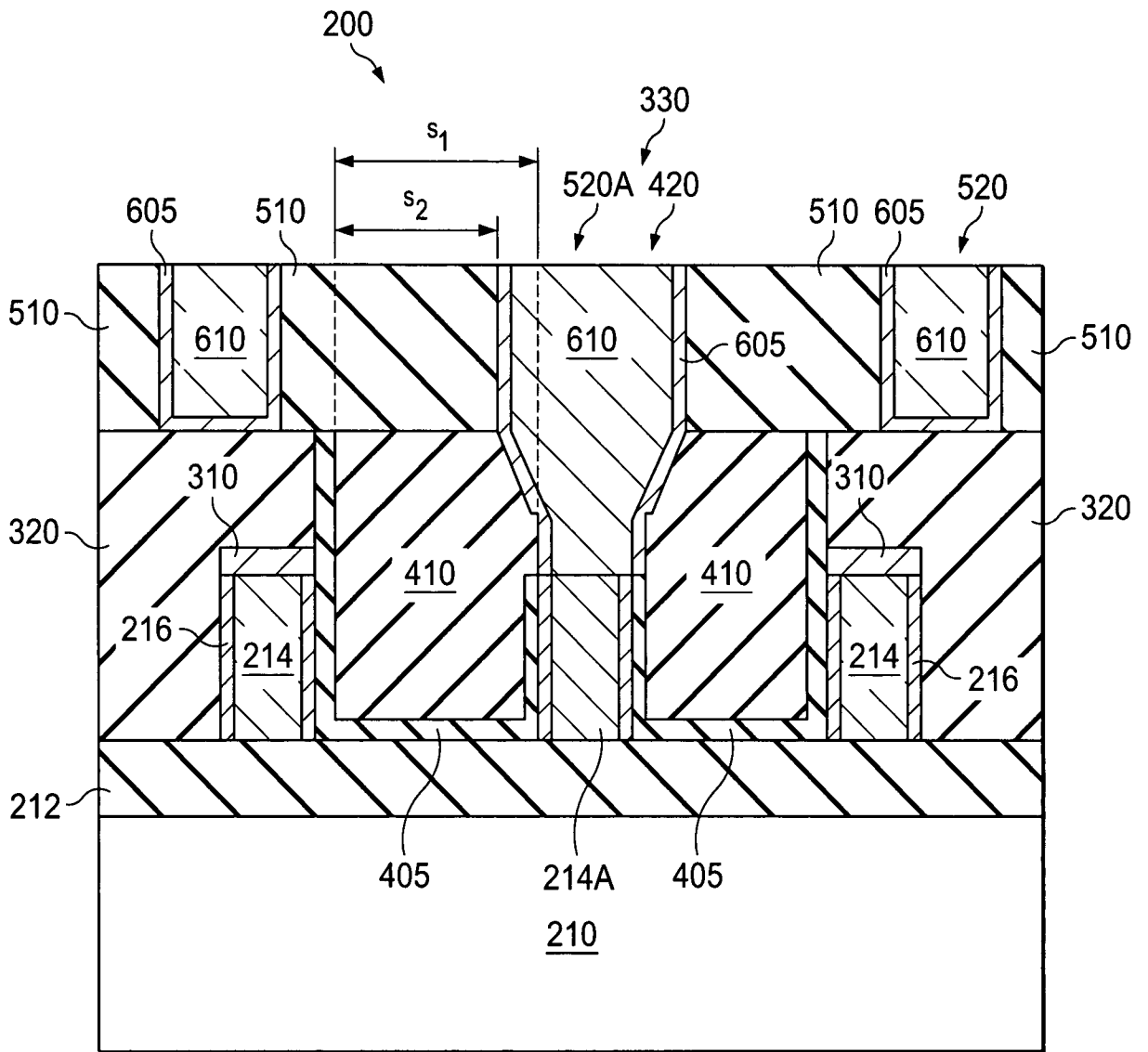




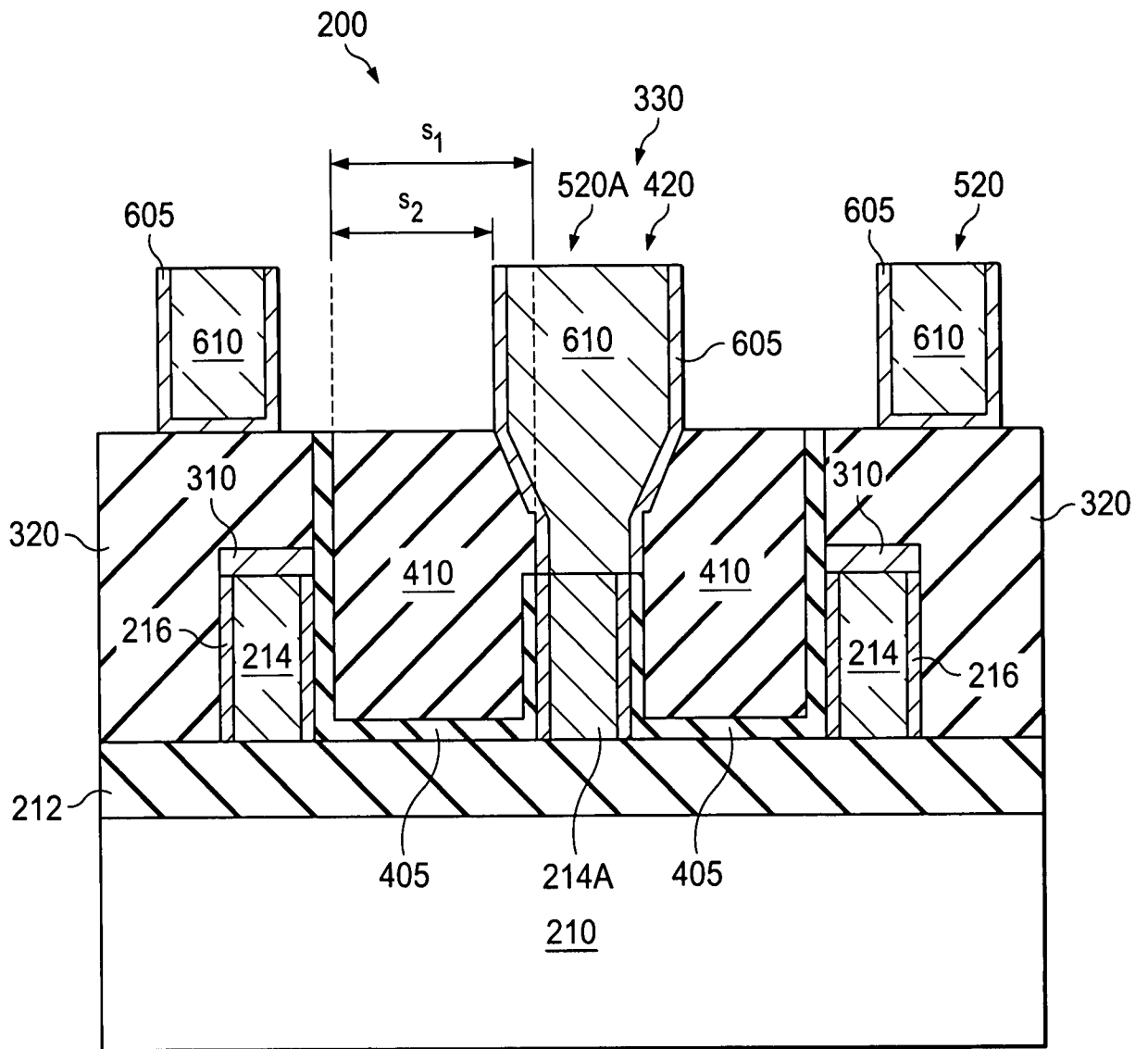
第 7 圖



第 8 圖

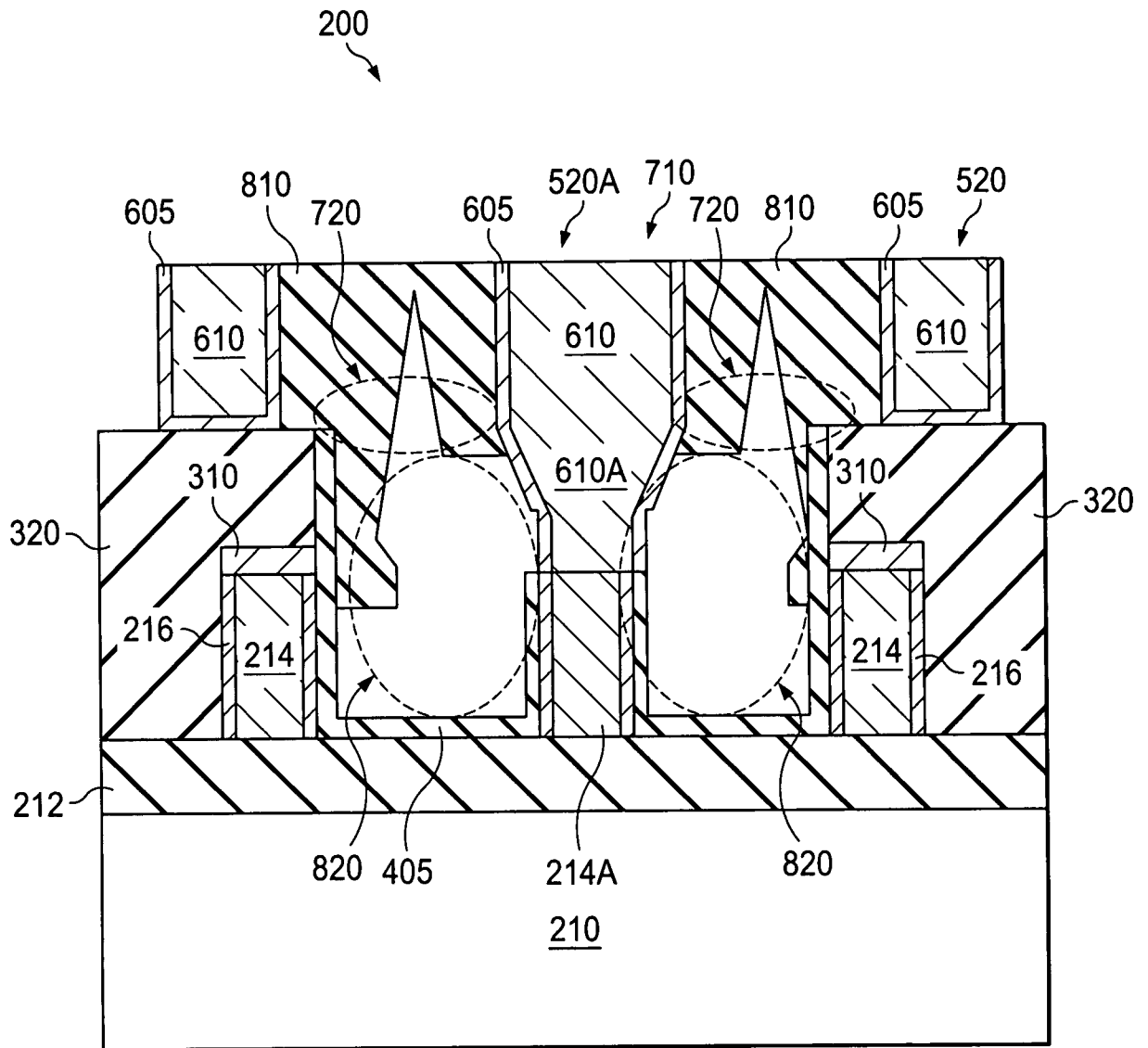


第 9 圖



第 10 圖





第 12 圖

# 發明摘要

※ 申請案號：

※ 申請日：

※IPC 分類： H01L 21/768 (2006.1)  
H01L 23/522 (2006.1)  
H01L 23/532 (2006.1)

**【發明名稱】** 半導體積體電路與其製作方法

Semiconductor integrated circuit and method for  
fabricating the same

**【中文】**

本發明實施例揭露半導體積體電路(IC)的製作方法。提供導電結構於基板上。沉積第一介電層於導電結構與基板上。形成一形成通孔溝槽(VFT)於第一介電層中，以露出該導電結構與導電結構周圍的基板。將犧牲層填入VFT中。形成通孔開口於犧牲層中，以露出導電結構。形成金屬插塞於通孔開口中，以連接至導電結構。移除犧牲層以形成圍繞空隙，其包圍金屬插塞與導電結構。沉積第二介電層於基板上以密封部份的圍繞空隙，並形成密閉氣隙圍繞金屬插塞與導電結構。

**【英文】**

A method of fabricating a semiconductor integrated circuit (IC) is disclosed. A conductive feature over a substrate is provided. A first dielectric layer is deposited over the conductive feature and the substrate. A via-forming-trench (VFT) is formed in the first dielectric layer to expose the conductive feature and the substrate around the conductive feature. The VFT is filled in by a sacrificial layer. A

via-opening is formed in the sacrificial layer to expose the conductive feature. A metal plug is formed in the via-opening to connect to the conductive feature. The sacrificial layer is removed to form a surrounding-vacancy around metal plug and the conductive feature. A second dielectric layer is deposited over the substrate to seal a portion of the surrounding-vacancy to form an enclosure-air-gap all around the metal plug and the conductive feature.

### 【代表圖】

【本案指定代表圖】：第（12）圖。

【本代表圖之符號簡單說明】：

- 200 IC 裝置
- 210 基板
- 212 第一介電層
- 214、214A 導電結構
- 216 阻障
- 310 蓋層
- 320 第二介電層
- 405 蝕刻停止層
- 520、520A 介電溝槽
- 605 阻障層
- 610、610A 金屬插塞
- 710 圍繞空隙
- 720 窄頸入口



810 第四介電層

820 封閉氣隙

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：**

無。

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

**【發明名稱】** 半導體積體電路與其製作方法

Semiconductor integrated circuit and method for fabricating the same

**【技術領域】**

**【0001】** 本發明實施例係關於半導體積體電路，更特別關於半導體積體電路之氣隙與其形成方法。

**【先前技術】**

**【0002】** 半導體積體電路(IC)產業已經歷快速成長一段時日。IC材料與設計的技術進步，使每一代的IC比前一代的IC更小且其電路更複雜。新一代的IC具有較大的功能密度(比如固定晶片面積中的內連線裝置數目)，與較小的尺寸(比如製程形成的最小構件或連線)。

**【0003】** 製程尺寸縮小往往有利於增加製程效率並降低相關成本。製程尺寸縮小會增加製程複雜度，但製程尺寸縮小的優點顯而易見，因此需要更小的IC製程。技術領域之一為電晶體與其他裝置之間的打線或內連線。雖然現有製作IC裝置的方法通常適用於特定目的，但無法完全適用於所有領域。舉例來說，改良介電層與金屬內連線之製程與結構的發展正面臨挑戰。

**【發明內容】**

**【0004】** 本發明一實施例提供之半導體積體電路的製作方法，包括：提供導電結構於基板上；沉積第一介電層於導電結構與基板上；形成一形成通孔溝槽於第一介電層中，以露出導

電結構及導電結構周圍的基板；將犧牲層填入形成通孔溝槽中；形成通孔開口於犧牲層中以露出導電結構；形成金屬插塞於通孔開口中以連接至導電結構；選擇性移除犧牲層以形成圍繞空隙包圍金屬插塞與導電結構；以及沉積第二介電層於基板上，以密封圍繞空隙的較上部份，並形成密閉氣隙包圍金屬插塞與導電結構。

【0005】 本發明一實施例提供之半導體積體電路的製作方法，包括：提供導電結構於基板上；沉積第一介電層於導電結構與基板上；形成形成通孔溝槽於第一介電層中，以露出導電結構及導電結構周圍的基板；將犧牲層填入形成通孔溝槽中；形成通孔開口於該犧牲層中以露出導電結構；沉積第二介電層於犧牲層上；移除部份第二介電層，以形成介電溝槽向下連接至通孔開口；形成金屬插塞於介電溝槽與通孔開口中；移除第二介電層；選擇性移除犧牲層以形成圍繞空隙包圍金屬插塞與導電結構；以及沉積第三介電層於基板上，以密封部份圍繞空隙，並形成密閉氣隙完全包圍金屬插塞與導電結構。

【0006】 本發明一實施例提供之半導體積體電路，包括：基板；導電結構位於基板上；通孔金屬位於導電結構上，其中通孔金屬具有錐形輪廓，其中錐形輪廓之頂部寬度大於錐形輪廓其較下部份的寬度；金屬插塞位於通孔金屬之頂部上；密閉氣隙圍繞導電結構與通孔金屬；以及介電層位於密閉氣隙上並分隔金屬插塞。

### 【圖式簡單說明】

#### 【0007】

第 1 圖係某些實施例中，製作半導體積體電路 (IC) 之方法的流程圖。

第 2 至 12 圖係依據第 1 圖之方法製作之半導體積體電路 (IC) 於製程階段中的剖視圖。

### 【實施方式】

【0008】 下述內容提供的不同實施例可實施本發明的不同結構。特定構件與排列的實施例係用以簡化本發明而非侷限本發明。舉例來說，形成第一構件於第二構件上的敘述包含兩者直接接觸，或兩者之間隔有其他額外構件而非直接接觸。此外，本發明之多種實例將重複標號及/或符號以簡化並清楚說明。不同實施例中具有相同標號的元件並不必然具有相同的對應關係及/或排列。

【0009】 此外，空間性的相對用語如「下方」、「其下」、「較下方」、「上方」、「較上方」、或類似用語可用於簡化說明某一元件與另一元件在圖示中的相對關係。空間性的相對用語可延伸至以其他方向使用之元件，而非侷限於圖示方向。元件亦可轉動 90° 或其他角度，因此方向性用語僅用以說明圖示中的方向。

【0010】 第 1 圖係本發明實施例中，製作一或多個半導體裝置之方法 100 的流程圖。方法 100 將詳述如下，並以第 2 至 12 圖中的 IC 裝置 200 舉例說明。可以理解的是其他實施例在上述方法之前、之中、及之後可進行額外步驟，且可採用其他步驟替換上述方法之某些步驟，甚至省略上述方法之某些步驟。

【0011】 如第 1 與 2 圖所示，方法 100 開始於步驟 102，其提

供基板 210。基板 210 包含矽。在其他實施例中，基板 210 可包含其他半導體元素如鍺。基板 210 亦可包含半導體化合物如碳化矽、砷化鎵、砷化銮、或磷化銮。基板 210 亦包含半導體合金如矽鍺、碳化矽鍺、磷化鎵砷、或磷化鎵銮。在一實施例中，基板 210 包含磊晶層。舉例來說，基板 210 可包含磊晶層於基體半導體上。此外，基板 210 可包含絕緣層上矽 (SOI) 結構。舉例來說，基板 210 可包含埋置氧化物 (BOX) 層，其形成方法可為佈植氧隔離 (SIMOX) 或其他合適技術 (比如晶圓接合與研磨)。

● **【0012】** 基板 210 亦可包含多種 p 型摻雜區及 / 或 n 型摻雜區，其形成方法可為離子佈植及 / 或擴散。這些摻雜區包含 n 型井、p 型井、輕摻雜區 (LDD)、重摻雜源極與汲極 (S/D)、與多種通道摻雜輪廓，設置以形成多種積體電路 (IC) 裝置如互補式金氧半場效電晶體 (CMOSFET)、影像感測器、及 / 或發光二極體 (LED)。基板 210 亦可包括其他功能結構如電阻或電容形成其上或其中。

● **【0013】** 基板 210 亦可包含多個隔離結構。隔離結構分隔基板 210 中的多種裝置區。隔離結構包含不同製程技術形成的不同結構。舉例來說，隔離結構可包含淺溝槽隔離 (STI) 結構。STI 的形成方法可包含蝕刻溝槽於基板 210 中，再將絕緣材料如氧化矽、氮化矽、或氮氧化矽填入溝槽。填入溝槽的絕緣物可為多層結構，比如熱氧化物襯墊層與後續填入的氮化矽。接著可進行化學機械研磨 (CMP) 以回研磨多餘的絕緣材料，並平坦化隔離結構的上表面。

**【0014】** 基板 210 亦可包含介電層與電極層形成的閘極堆

疊。介電層可包含界面層(IL)與高介電常數(HK)介電層，其沉積方法可為合適技術如化學氣相沉積(CVD)、原子層沉積(ALD)、物理氣相沉積(PVD)、熱氧化法、上述之組合、或其他合適技術。電極層可包含單層或多層，比如金屬層、襯墊層、濕潤層、與黏著層，其形成方法可為ALD、PVD、CVD、或其他合適製程。

**【0015】** 基板210亦包含第一介電層212。第一介電層212包含介電材料如氧化矽或氮化矽。第一介電層212之介電常數(k)小於熱氧化矽(因此又稱作低介電常數介電材料層)，及/或具有其他合適的介電性質。第一介電層212的形成製程可為化學氣相沉積(CVD)或其他合適技術。

**【0016】** 基板210亦包含多個導電結構214。導電結構214可包含摻雜區如源極與汲極(S/D)、閘極、及/或部份內連線結構(如接點、金屬通孔、或金屬線路)。在一實施例中，導電結構214包含電極、電容、電阻、或部份電阻。導電結構214之形成方法可為一或多道製程如微影、蝕刻、與沉積。兩個相鄰的導電結構214之間具有第一間距 $s_1$ 。

**【0017】** 在一實施例中，沿著導電結構214之側壁形成阻障216。阻障216可包含氮化鈦(TiN)、氮化鉭(TaN)、氮化鎢(WN)、氮化鈦矽(TiSiN)、氮化鉭矽(TaSiN)、或其他合適材料。

**【0018】** 如第1與3圖所示，方法100之步驟104沉積第二介電層320於基板上，且第二介電層320位於導電結構214上。在一實施例中，先形成蓋層310覆蓋導電結構214之上表面，之後再沉積第二介電層320。蓋層310可包含鉭(Ta)、鈦(Ti)、錳

(Mn)、鈷 (Co)、鈳 (Ru)、TiN、TaN、WN、TiSiN、氧化錳 (MnO)、氮化鋁、氧化鋁、或其他合適材料。蓋層 310 之形成製程可為沉積、光微影、與蝕刻。

**【0019】** 第二介電層 320 完全填入導電結構 214 之間的空間，且延伸於導電結構 214 之上表面上的第二介電層 320 具有預定的厚度  $t$ 。上述預定的厚度  $t$  係設計以定義後續步驟所形成的通孔開口其高度，請見後續說明。第二介電層 320 可包含介電材料層如氧化矽、氮化矽、介電常數低於熱氧化矽的介電材料層 (又稱作低介電常數介電層)、或其他合適介電材料層。第二介電層 320 的形成製程可包含 CVD、旋轉塗佈法、或其他合適技術。第二介電層 320 可為順應性或平坦的結構，其形成方法可為本技術領域已知的技術。在此實施例中，第二介電層 320 為化學機械研磨形成的平坦結構。

**【0020】** 如第 1 與 4 圖所示，方法 100 之步驟 106 移除部份的第二介電層 320 以形成 VFT (形成通孔溝槽) 330。VFT 330 露出部份導電結構 214A，亦露出部份導電結構 214A 周圍之部份第一介電層 212。在某些實施例中，亦可露出導電結構 214/214A 之某些側壁或所有側壁。VFT 330 之形成方法，可為經由圖案化光阻層蝕刻第二介電層 320。一般而言，圖案化製程可包含塗佈光阻 (如旋轉塗佈)、曝光、顯影光阻、其他合適製程、或上述之組合。接著經由圖案化光阻層蝕刻第二介電層 320 以形成 VFT 330。第二介電層 320 可由多種方法蝕刻，包含乾蝕刻、濕蝕刻、或上述之組合。

**【0021】** 如第 1 與 5 圖所示，方法 100 之步驟 108 將犧牲層 410

填入 VFT 330 中。犧牲層 410 可包含氧化鈦 (TiO)，其沉積方法可為 ALD 或 CVD。在其他實施例中，犧牲層 410 可包含旋塗玻璃 (SOG)、氧化矽、或其他介電材料，其沉積方法可為任何合適方法如旋轉塗佈、ALD、CVD、或臭氧氧化法。在一實施例中，先沉積蝕刻停止層 405 於 VFT 330 上並包覆導電結構 214A，之後再沉積犧牲層 410。蝕刻停止層 405 可包含氮化矽、氧化矽、碳化矽、碳氮化矽、或其他合適材料。蝕刻停止層 405 之材料選擇不同於犧牲層 410，以在後續蝕刻中具有蝕刻選擇性。後續蝕刻將說明於下述內容。蝕刻停止層 405 之沉積法可為任何合適技術，比如 CVD、PVD、或 ALD。在一實施例中，凹陷製程可用以移除多餘的犧牲層 410。

**【0022】** 如第 1 與 6 圖所示，方法 100 之步驟 110 形成通孔開口 420 於 VFT 330 中。通孔開口 420 對準個別的導電結構 214A，並露出導電結構 214A 的上表面。通孔開口 420 之形成方法可為經由圖案化遮罩層，蝕刻犧牲層 410 與蝕刻停止層 405。藉由犧牲層 410 與蝕刻停止層 405 的保護，形成通孔開口 420 的製程可完整保留與導電結構 214A 相鄰之導電結構 214，進而降低通孔引發的金屬橋接 (VIMB) 問題。

**【0023】** 如前述之步驟 104，厚度  $t$  的範圍取決於通孔開口 420 的高度。在一實施例中，通孔開口 420 之較低部份與較高部份的輪廓不同：較低部份具有垂直輪廓，而較高部份具有錐形輪廓 (頂部的開口較寬)。通孔開口 420 的兩個部份之形成方法，可為兩個不同蝕刻條件 (比如氣體或化學品) 的蝕刻步驟。藉由控制通孔開口 420 之較寬開口的寬度  $w$ ，可讓通孔開口 420 之頂



部邊緣與 VFT 330 之邊緣具有第二間距  $s_2$ 。在一實施例中，第二間距  $s_2$  實質上小於第一間距  $s_1$ ，使後續製程形成的圍繞空隙具有窄頸入口，如下述內容所說明。VFT 330 之外的犧牲層 410 與蝕刻停止層 405，可由蝕刻通孔開口的製程移除，或由獨立的蝕刻製程移除。

【0024】如第 1 與 7 圖所示，方法 100 之步驟 112 沉積第三介電層 510 於第二介電層 320 上並填入通孔開口 420 中。在許多實施例中，第三介電層 510 可與前述第 3 圖中的第二介電層 320 類似。在一實施例中，第三介電層 510 與第二介電層 320 不同，以達後續蝕刻中的蝕刻選擇性。

【0025】如第 1 與 8 圖所示，方法 100 之步驟 114 形成介電溝槽 520 於第三介電層 510 中，並自通孔開口 420 移除第三介電層 510。某些介電溝槽對準個別的通孔開口 420，並標示為介電溝槽 520A。在許多實施例中，介電溝槽 520 的形成方法與前述第 4 圖中的 VFT 420 之形成方法類似。第三介電層 510 的移除方法可為選擇性乾蝕刻、選擇性濕蝕刻、或上述之組合。上述蝕刻可選擇性地移除第三介電層，但實質上不蝕刻第二介電層 320。在介電溝槽 520A 中，自通孔開口 420 向下移除第三介電層 510。因此介電溝槽 520A 連接至通孔開口 420。此蝕刻製程亦移除介電溝槽 520A 中的蝕刻停止層 410。

【0026】如第 1 與 9 圖所示，方法 100 之步驟 116 形成金屬插塞 610 於介電溝槽 520 與 520A 及通孔開口 420 中。形成於介電溝槽 520A 與通孔開口 420 中的金屬插塞 610，可形成完整的接點向下延伸至導電結構 214A。為簡化說明，位於通孔開口 420 中的

金屬插塞將標示為金屬插塞 610A。金屬插塞 610A 與通孔開口 420 一樣具有錐形輪廓，其第二間距  $s_2$  亦小於第一間距  $s_1$ 。

【0027】 在一實施例中，先形成阻障層 605 於介電溝槽 520 及通孔開口 420 中，其形成方法為適當的沉積技術如 PVD 與 CVD。阻障層 605 可包含導電的金屬，但不會與介電層及後續填入介電溝槽 520 中的導電材料互相擴散及反應。阻障層 605 可包含難熔金屬與其氮化物。在多種實例中，阻障層包含 TiN、TaN、Co、WN、TiSiN、TaSiN、或上述之組合。阻障層可包含多層膜。

【0028】 接著將金屬層填入介電溝槽 520 與 520A 及通孔開口 420 中的阻障層 605 上。金屬層可包含銅 (Cu)、鋁 (Al)、鎢 (W)、銅合金如銅鎂 (CuMn)、銅鋁 (CuAl)、或銅矽 (CuSi)、或其他合適導電材料。金屬層 610 之沉積方法可為 PVD、CVD、有機金屬化學氣相沉積 (MOCVD)、或電鍍。此外可進行 CMP 以回蝕刻多餘的金屬層與阻障層 605，以形成金屬插塞 610 於介電溝槽 520 中。

【0029】 如第 1 與 10 圖所示，方法 100 之步驟 118 移除第三介電層 510。選擇性移除第三介電層 510 的方法可為濕蝕刻、乾蝕刻、或上述之組合。上述蝕刻選擇性地移除第三介電層 510，但實質上不蝕刻第二介電層 320 與犧牲層 410。

【0030】 如第 1 與 11 圖所示，方法 100 之步驟 120 移除犧牲層 410 以形成圍繞空隙 710，其包圍金屬插塞 610A 與導電結構 214A。選擇性移除犧牲層 410 的方法可為濕蝕刻、乾蝕刻、或上述之組合。藉由蝕刻停止層 405，可改善製程容忍度並舒解

蝕刻製程的限制。如前所述，一實施例之第二間距  $s_2$  實質上小於第一間距  $s_1$ ，使圍繞空隙 710 在金屬插塞 610A 之頂部邊緣與 VFT 330 之邊緣之間具有窄頸入口 720。藉由調整第二間距  $s_2$ ，可調整窄頸入口 720 之寬度。

【0031】 如第 1 與 12 圖所示，方法 100 之步驟 124 沉積第四介電層 810 以密封圍繞空隙 710，形成之封閉氣隙 820 完全包圍金屬插塞 610A 與導電結構 214A。第四介電層 810 可包含氧化矽、氮化矽、介電常數 (k) 低於熱氧化矽的介電材料層 (又稱作低介電常數材料層)、或其他合適的介電材料層。第四介電層 810 的沉積方法可為 CVD、旋轉塗佈、或其他合適技術。藉由選擇合適的沉積製程，第四介電層 810 並非填入圍繞空隙 710 中，而是密封圍繞空隙 710 以形成密閉氣隙 820，且密閉氣隙 820 完全包圍金屬插塞 610A 與導電結構 214A。在一實施例中，第四介電層 810 之沉積方法為 CVD，且 CVD 之沉積速率需高到在完全填入圍繞空隙 710 前，即封閉圍繞氣隙 710 之較高部份。在具有窄頸入口 720 的一實施例中，第四介電層 810 在完全填入圍繞空隙 710 中之前，會先在靠近窄頸入口 720 處密封圍繞空隙 710。

【0032】 在方法 100 之前、之中、或之後可進行額外步驟，且其他實施例之方法 100 的某些步驟可置換、省略、或調整順序。IC 裝置 200 可進行額外的 CMOS 或 MOS 技術製程，以形成多種結構與區域。

【0033】 基於上述內容，本發明提供製作 IC 裝置的方法，其藉由移除與金屬通孔相鄰之犧牲層以形成圍繞空隙，再沉積膜層於圍繞空隙上以密封圍繞空隙的較高部份，以形成密閉氣

隙。此方法提供之方法可形成完全包圍導電結構之密閉氣隙。此方法可改善 VIMB 與時間相關介電崩潰 (TDDB) 效能，並降低金屬線路的電容。

**【0034】** 本發明提供許多不同實施例製作半導體 IC 以改良現有研究。在一實施例中，半導體積體電路的製作方法包括：提供導電結構於基板上；沉積第一介電層於導電結構與基板上；形成一形成通孔溝槽 (VFT) 於第一介電層中，以露出導電結構及導電結構周圍的基板。上述方法亦包括將犧牲層填入 VFT 中；形成通孔開口於犧牲層中以露出導電結構；形成金屬插塞於通孔開口中以連接至導電結構；選擇性移除犧牲層以形成圍繞空隙包圍金屬插塞與導電結構；以及沉積第二介電層於基板上，以密封部份的圍繞空隙，並形成密閉氣隙包圍金屬插塞與導電結構。

**【0035】** 在另一實施例中，半導體積體電路的製作方法包括：提供導電結構於基板上；沉積第一介電層於導電結構與基板上；形成形成通孔溝槽 (VFT) 於第一介電層中，以露出導電結構及導電結構周圍的基板；將犧牲層填入 VFT 中；形成通孔開口於犧牲層中以露出導電結構；沉積第二介電層於犧牲層上；移除部份第二介電層，以形成介電溝槽向下連接至通孔開口；形成金屬插塞於介電溝槽與通孔開口中；移除第二介電層；選擇性移除犧牲層以形成圍繞空隙包圍金屬插塞與導電結構；以及沉積第三介電層於基板上，以密封部份圍繞空隙，並形成密閉氣隙完全包圍金屬插塞與導電結構。

**【0036】** 在又一實施例中，半導體 IC 包括：基板；導電結

構位於基板上；通孔金屬位於導電結構上。通孔金屬具有錐形輪廓，且錐形輪廓之頂部寬度大於錐形輪廓其較下部份的寬度。IC亦包括金屬插塞位於通孔金屬之頂部上；以及密閉氣隙圍繞導電結構與通孔金屬；IC亦包括介電層位於密閉氣隙上並分隔金屬插塞。

【0037】 上述實施例之特徵有利於本技術領域中具有通常知識者理解本發明。本技術領域中具有通常知識者應理解可採用本申請案作為基礎，設計並變化其他製程與結構以完成上述實施例之相同目的及/或相同優點。本技術領域中具有通常知識者亦應理解，這些等效置換並未脫離本發明之精神與範疇，並可在未脫離本發明之精神與範疇的前提下進行改變、替換、或更動。

#### 【符號說明】

##### 【0038】

$s_1$  第一間距

$s_2$  第二間距

$t$  厚度

100 方法

102、104、106、108、110、112、114、116、118、120、

122、124 步驟

200 IC裝置

210 基板

212 第一介電層

214、214A 導電結構

- 216 阻障
- 310 蓋層
- 320 第二介電層
- 330 VFT
- 405 蝕刻停止層
- 410 犧牲層
- 420 通孔開口
- 510 第三介電層
- 520、520A 介電溝槽
- 605 阻障層
- 610、610A 金屬插塞
- 710 圍繞空隙
- 720 窄頸入口
- 810 第四介電層
- 820 封閉氣隙

## 申請專利範圍

1. 一種半導體積體電路的製作方法，包括：
  - 提供一導電結構於一基板上；
  - 沉積一第一介電層於該導電結構與該基板上；
  - 形成一形成通孔溝槽於該第一介電層中，以露出該導電結構及該導電結構周圍的基板；
  - 將一犧牲層填入該形成通孔溝槽中；
  - 形成一通孔開口於該犧牲層中以露出該導電結構；
  - 形成一金屬插塞於該通孔開口中以連接至該導電結構；
  - 選擇性移除該犧牲層以形成一圍繞空隙包圍該金屬插塞與該導電結構；以及
  - 沉積一第二介電層於該基板上，以密封該圍繞空隙的較上部份，並形成一密閉氣隙包圍該金屬插塞與該導電結構。
2. 如申請專利範圍第 1 項所述之半導體積體電路的製作方法，其中形成該通孔開口之步驟包括：
  - 形成一圖案化遮罩於該犧牲層上；以及
  - 經由該圖案化遮罩蝕刻該犧牲層，其中該通孔開口具有一錐形輪廓且頂部邊緣的開口較寬，其中該頂部邊緣至該形成通孔溝槽之邊緣的距離實質上小於該通孔開口至該形成通孔溝槽之距離。
3. 如申請專利範圍第 2 項所述之半導體積體電路的製作方法，其中該金屬插塞的形成方法係將一金屬層填入該通孔開口中，其中該金屬插塞的錐形輪廓與該通孔開口的錐形輪廓相同。

4. 如申請專利範圍第 2 項所述之半導體積體電路的製作方法，其中包圍該金屬插塞之該圍繞空隙具有一窄頸入口，且該窄頸入口位於該通孔開口的頂部邊緣與該形成通孔溝槽的邊緣之間。
5. 如申請專利範圍第 2 項所述之半導體積體電路的製作方法，藉由調整該頂部邊緣至該形成通孔溝槽之邊緣的距離，使該圍繞空隙的密封處靠近該窄頸入口。
6. 如申請專利範圍第 1 項所述之半導體積體電路的製作方法，更包括：  
在形成該通孔開口後，沉積一第三介電層於該犧牲層上並填入該通孔開口中；  
蝕刻該第三介電層並由該通孔開口移除該第三介電層，以形成一溝槽對準該通孔開口，其中該溝槽連接該通孔開口；  
將一金屬層填入該溝槽與該通孔開口中；以及  
移除多餘的該金屬層以形成一金屬結構。
7. 一種半導體積體電路的製作方法，包括：  
提供一導電結構於一基板上；  
沉積一第一介電層於該導電結構與該基板上；  
形成一形成通孔溝槽於該第一介電層中，以露出該導電結構及該導電結構周圍的基板；  
將一犧牲層填入該形成通孔溝槽中；  
形成一通孔開口於該犧牲層中以露出該導電結構；  
沉積一第二介電層於該犧牲層上；  
移除部份該第二介電層，以形成一介電溝槽向下連接至該



通孔開口；

形成一金屬插塞於該介電溝槽與該通孔開口中；

移除該第二介電層；

選擇性移除該犧牲層以形成一圍繞空隙包圍該金屬插塞與該導電結構；以及

沉積一第三介電層於該基板上，以密封部份該圍繞空隙，並形成一密閉氣隙完全包圍該金屬插塞與該導電結構。

8. 如申請專利範圍第 7 項所述之半導體積體電路的製作方法，其中形成該通孔開口之步驟包括：

形成一圖案化遮罩於該犧牲層上；以及

經由該圖案化遮罩蝕刻該犧牲層，其中該通孔開口具有一錐形輪廓且頂部邊緣的開口較寬，其中該頂部邊緣至該形成通孔溝槽之邊緣的距離實質上小於該通孔開口至該形成通孔溝槽之距離。

9. 如申請專利範圍第 8 項所述之半導體積體電路的製作方法，其中該金屬插塞之形成方法為將一金屬層填入該通孔開口中，其中該金屬插塞之錐形輪廓與該通孔開口之錐形輪廓相同，其中包圍該金屬插塞之該圍繞空隙具有一窄頸入口，且該窄頸入口位於該通孔開口的頂部邊緣與該形成通孔溝槽的邊緣之間，藉由調整該頂部邊緣至該形成通孔溝槽之邊緣的距離，使該圍繞空隙的密封處靠近該窄頸入口。

10. 一種半導體積體電路，包括：

一基板；

- 一 導電結構位於該基板上；
- 一通孔金屬位於該導電結構上，其中該通孔金屬具有一錐形輪廓，其中該錐形輪廓之頂部寬度大於該錐形輪廓其較下部份的寬度；
- 一金屬插塞位於該通孔金屬之頂部上；
- 一密閉氣隙圍繞該導電結構與該通孔金屬；以及
- 一介電層位於該密閉氣隙上並分隔該金屬插塞。